

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6493933号
(P6493933)

(45) 発行日 平成31年4月3日(2019.4.3)

(24) 登録日 平成31年3月15日(2019.3.15)

(51) Int. Cl.	F I
HO3K 19/0175 (2006.01)	HO3K 19/0175 210
HO1L 21/822 (2006.01)	HO1L 27/04 H
HO1L 27/04 (2006.01)	HO1L 27/04 F
HO1L 21/8238 (2006.01)	HO1L 27/092 A
HO1L 27/092 (2006.01)	HO1L 27/092 H
請求項の数 4 (全 11 頁) 最終頁に続く	

(21) 出願番号 特願2017-194179 (P2017-194179)
 (22) 出願日 平成29年10月4日(2017.10.4)
 (65) 公開番号 特開2018-121324 (P2018-121324A)
 (43) 公開日 平成30年8月2日(2018.8.2)
 審査請求日 平成29年12月19日(2017.12.19)
 (31) 優先権主張番号 特願2017-11459 (P2017-11459)
 (32) 優先日 平成29年1月25日(2017.1.25)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000003551
 株式会社東海理化電機製作所
 愛知県丹羽郡大口町豊田三丁目260番地
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和詳
 (74) 代理人 100099025
 弁理士 福田 浩志
 (72) 発明者 松原 淳一
 愛知県丹羽郡大口町豊田三丁目260番地
 株式会社東海理化電機製作所内
 審査官 及川 尚人

最終頁に続く

(54) 【発明の名称】 レベルシフタ

(57) 【特許請求の範囲】

【請求項1】

第1電源電圧に一端が接続される第1抵抗と、当該第1抵抗の他端に第1主電極及び第1制御電極が接続され、前記第1電源電圧よりも低い電圧の第2電源電圧に第2主電極が接続される第1トランジスタと、を有する電源系電流源と、

前記第1電源電圧の電位と前記第2電源電圧の電位との電位差に応じた電圧により駆動される入力電圧信号が入力される入力電圧信号端子に第3主電極が接続され、出力電圧信号端子に第4主電極が接続され、第2制御電極が前記第1電源電圧よりも低く前記第2電源電圧よりも高い電圧の第3電源電圧に接続される第2トランジスタと、

前記第4主電極と前記出力電圧信号端子との間に一端が接続された第2抵抗と、

当該第2抵抗の他端に第5主電極が接続され、前記第2電源電圧に第6主電極が接続され、第3制御電極が前記第1制御電極に接続された第3トランジスタと、

前記第3電源電圧の電位と前記第2電源電圧の電位との電位差に応じた電圧により駆動され、前記出力電圧信号端子から出力される信号に応じて出力電圧信号を出力するバッファ部と、

を備えたレベルシフタ。

【請求項2】

前記入力電圧信号端子と前記第2トランジスタの第3主電極との間に静電気保護素子が配設されている請求項1に記載のレベルシフタ。

【請求項3】

前記第2トランジスタの静電気破壊耐圧は、前記第1トランジスタ、前記第3トランジスタのそれぞれの静電気破壊耐圧よりも高く設定されている請求項1又は請求項2に記載のレベルシフト。

【請求項4】

前記第2トランジスタは、垂直方向拡散型トランジスタにより構成されている請求項1～請求項3のいずれか1項に記載のレベルシフト。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レベルシフトに関する。

【背景技術】

【0002】

特許文献1には、車載バッテリーから供給される高電圧をエンジンコントロールユニット（ECU）等において使用可能な低電圧に変換するレベルシフトが開示されている。レベルシフトにはレベルシフト部が含まれている。レベルシフト部では、入力電圧信号が入力されると、高電圧から低電圧にレベルシフトされた出力電圧信号が出力される。レベルシフトは、車載バッテリーから供給される高電圧の電圧レベルが変化しても、入力電圧信号の閾値電圧の電圧レベルが一定となる回路構成とされている。

【0003】

ところで、例えば車載バッテリーの電圧低下が生じたとき、閾値電圧が一定とされると、本来、ハイレベルの入力電圧信号が閾値電圧に達せずにロウレベルと判定され、誤動作を生じる可能性がある。このため、電圧変化に応じて入力電圧信号の閾値電圧を変化させるレベルシフトが望まれていた。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第5465548号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、上記事実を考慮し、電源電圧の変化に応じて入力電圧信号の閾値電圧を変化させることができるレベルシフトを提供する。

【課題を解決するための手段】

【0006】

本発明の第1実施態様に係るレベルシフトは、第1電源電圧に一端が接続される第1抵抗と、第1抵抗の他端に第1主電極及び第1制御電極が接続され、第1電源電圧よりも低い電圧の第2電源電圧に第2主電極が接続される第1トランジスタと、を有する電源系電流源と、第1電源電圧の電位と第2電源電圧の電位との電位差に応じた電圧により駆動される入力電圧信号が入力される入力電圧信号端子に第3主電極が接続され、出力電圧信号端子に第4主電極が接続され、第2制御電極が第1電源電圧よりも低く第2電源電圧よりも高い電圧の第3電源電圧に接続される第2トランジスタと、第4主電極と出力電圧信号端子との間に一端が接続された第2抵抗と、第2抵抗の他端に第5主電極が接続され、第2電源電圧に第6主電極が接続され、第3制御電極が第1制御電極に接続された第3トランジスタと、第3電源電圧の電位と第2電源電圧の電位との電位差に応じた電圧により駆動され、前記出力電圧信号端子から出力される信号に応じて出力電圧信号を出力するバッファ部と、を備えている。

【0007】

第1実施態様に係るレベルシフトは、電源系電流源と、第2トランジスタと、第2抵抗と、第3トランジスタとを備える。電源系電流源は、第1抵抗と、第1トランジスタとを

10

20

30

40

50

含んで構成される。第1抵抗の一端は第1電源電圧に接続される。第1トランジスタの第1主電極及び第1制御電極は第1抵抗の他端に接続され、第1トランジスタの第2主電極は第2電源電圧に接続される。第2電源電圧は第1電源電圧よりも低い電圧とされる。

第2トランジスタは、第3主電極を入力電圧信号端子に接続し、第4主電極を出力電圧信号端子に接続する。第2トランジスタの第2制御電極は第3電源電圧に接続される。第3電源電圧は第1電源電圧よりも低く、第2電源電圧よりも高い電圧である。

第2抵抗の一端は第2トランジスタの第4主電極と出力電圧信号端子との間に接続される。第3トランジスタの第5主電極は第2抵抗の他端に接続され、第3トランジスタの第6主電極は第2電源電圧に接続される。そして、第3トランジスタの第3制御電極は第1制御電極に接続される。

10

【0008】

ここで、第3トランジスタの第3制御電極は第1トランジスタの第1制御電極に接続されるので、第3トランジスタは電源系電流源（第1トランジスタ）とカレントミラー回路を構成する。電源系電流源では、第1電源電圧の電圧レベルの変化に応じて、第1電源電圧から第1抵抗及び第1トランジスタを通して第2電源電圧に流れる電流が変化し、電流調整がなされる。入力電圧信号端子に入力電圧信号が印加されると、この入力電圧信号は第2トランジスタ、第2抵抗及び第3トランジスタを通して第2電源電圧に電流として出力される。電源系電流源の第1トランジスタに流れる電流の変化に応じて、カレントミラー回路を構成する第3トランジスタに流れる電流が調整される。

このため、第2抵抗に流れる電流が電源系電流源の電流調整に応じて調整されるので、入力電圧信号の閾値電圧の電圧レベルを変化させることができる。

20

【0009】

本発明の第2実施態様に係るレベルシフタでは、第1実施態様に係るレベルシフタにおいて、入力電圧信号端子と第2トランジスタの第3主電極との間に静電気保護素子が配設されている。

【0010】

第2実施態様に係るレベルシフタによれば、静電気保護素子が入力電圧信号端子と第2トランジスタとの間に配設されているので、第2トランジスタの静電気破壊を防止又は効果的に抑制することができる。このため、レベルシフタの静電気破壊耐性を向上させることができる。

30

【0011】

本発明の第3実施態様に係るレベルシフタでは、第1実施態様又は第2実施態様に係るレベルシフタにおいて、第2トランジスタの静電気破壊耐圧は第1トランジスタ、第3トランジスタのそれぞれの静電気破壊耐圧よりも高く設定されている。

【0012】

第3実施態様に係るレベルシフタによれば、第2トランジスタの静電気破壊耐圧が高く設定されているので、第2トランジスタの静電気破壊を防止又は効果的に抑制することができる。このため、レベルシフタの静電気破壊耐性を向上させることができる。

【0013】

本発明の第4実施態様に係るレベルシフタでは、第1実施態様～第3実施態様のいずれか1つに係るレベルシフタにおいて、第2トランジスタは、垂直方向拡散型トランジスタにより構成されている。

40

【0014】

第4実施態様に係るレベルシフタによれば、第2トランジスタが垂直方向拡散型トランジスタとされるので、第2トランジスタの静電気破壊耐圧を向上させることができる。このため、レベルシフタの静電気破壊耐性を向上させることができる。

【0015】

本発明の第5実施態様に係るレベルシフタでは、第1実施態様～第4実施態様のいずれか1つに係るレベルシフタにおいて、出力電圧信号端子に出力電圧信号の波形を整形するバッファ部が接続される。

50

【 0 0 1 6 】

第5実施態様に係るレベルシフトによれば、バッファ部を用いて出力電圧信号端子から出力される出力電圧信号の波形を整形し、そして整形された出力電圧信号を最終的に出力することができる。

【 発明の効果 】

【 0 0 1 7 】

本発明に係るレベルシフトは、電源電圧の変化に応じて入力電圧信号の閾値電圧を変化させることができるという優れた効果を有する。

【 図面の簡単な説明 】

【 0 0 1 8 】

【 図 1 】 本発明の一実施の形態に係るレベルシフトの回路図である。

【 図 2 】 図 1 に示されるレベルシフトのレベルシフト部を構成する各素子の縦断面構造図である。

【 図 3 】 図 1 に示されるレベルシフトのバッファ部の一部を構成する素子の図 2 に対応する縦断面構造図である。

【 図 4 】 図 1 に示されるレベルシフトにおいて V_{BB} 電源電圧の変化に対する入力電圧信号 S_{IN} の閾値電圧の変化を示す特性図である。

【 発明を実施するための形態 】

【 0 0 1 9 】

以下、図 1 ~ 図 4 を用いて、本発明の一実施の形態に係るレベルシフトについて説明する。なお、実施の形態において、同一機能又は実質的に同一機能を有する構成要素には同一符号を付し、重複する説明は省略する。

【 0 0 2 0 】

(レベルシフト 1 の回路構成)

図 1 に示されるように、本実施の形態に係るレベルシフト 1 は、車載バッテリーから供給される高電圧の第 1 電源電圧 V_{BB} により駆動されている。レベルシフト部 2 と、バッファ部 3 とを含んで構築されている。レベルシフト 1 では、第 1 電源電圧 V_{BB} よりも低い電圧の入力電圧信号 S_{IN} に応じて、第 1 電源電圧 V_{BB} からそれよりも低い電圧にレベルシフトされた出力電圧信号 S_{OUT1} 及び反転出力電圧信号 S_{OUT2} が出力される。入力電圧信号 S_{IN} はレベルシフト 1 の入力電圧信号端子 S 1 に印加される。出力電圧信号 S_{OUT1} は出力電圧信号端子 S 3 に出力され、出力電圧信号 S_{OUT2} は出力電圧信号端子 S 4 に出力される。

【 0 0 2 1 】

第 1 電源電圧 V_{BB} は例えば 8 V ~ 18 V である。入力電圧信号 S_{IN} は例えば 0 V (ロウレベル) から 6 V (ハイレベル) の立上がり信号、又は 6 V から 0 V の立下がり信号である。出力電圧信号 S_{OUT1} は、例えば 0 V (ロウレベル) から 5 V (ハイレベル) の立上がり信号、又は 5 V から 0 V の立下がり信号である。反転出力電圧信号 S_{OUT2} は出力電圧信号 S_{OUT1} の反転電圧信号である。ここで、第 2 電源電圧 V_{SS} は 0 V である。

【 0 0 2 2 】

(1) レベルシフト部 2 の構成

レベルシフト 1 のレベルシフト部 2 は、電源系電流源 20 と、第 2 トランジスタ T 2 と、第 2 抵抗 R 2 と、第 3 トランジスタ T 3 とを含んで構成されている。電源系電流源 20 は、第 1 抵抗 R 1 と、第 1 トランジスタ T 1 とを備えている。更に、レベルシフト部 2 では、静電気保護素子が配設されている。本実施の形態において、静電気保護素子は第 3 抵抗 R 3 により構成されている。

【 0 0 2 3 】

詳しく説明すると、電源系電流源 20 の第 1 抵抗 R 1 の一端は第 1 電源電圧 V_{BB} に接続されている。

第 1 トランジスタ T 1 は、ここでは第 1 導電型としての n チャネル導電型絶縁ゲート電界効果トランジスタ (IGFET : Insulated Gate Field Effect Transistor) により構成さ

10

20

30

40

50

れている。IGFETには、金属/酸化膜/半導体(MOS: Metal Oxide Semiconductor)型FET、金属/絶縁体/半導体(MIS: Metal Insulator Semiconductor)型FETが少なくとも含まれている。第1トランジスタT1の第1主電極(ドレイン電極)は第1抵抗R1の他端に接続され、第2主電極(ソース電極)は第2電源電圧 V_{SS} に接続されている。第1トランジスタT1の第1制御電極(ゲート電極)は第1抵抗R1、第3トランジスタT3の第3制御電極(ゲート電極)のそれぞれに接続されている。

【0024】

第2トランジスタT2は、第1トランジスタT1の静電気破壊耐圧よりも静電気破壊耐圧が高い高耐圧トランジスタにより構成されている。本実施の形態では、第2トランジスタT2は垂直方向拡散型の金属/酸化膜/半導体型電界効果トランジスタ(VDMOSFET: Vertical Diffused Metal Oxide Semiconductor Filed Effect Transistor)により構成されている。なお、第2トランジスタT2を単に「VDMOSFET」又は「垂直方向拡散型トランジスタ」と表記する場合がある。第2トランジスタT2は第1導電型に設定されている。

第2トランジスタT2の第3主電極(ドレイン電極)は入力電圧信号端子S1に接続され、第4主電極(ソース電極)はレベルシフト部2の出力電圧信号端子S2に接続されている。出力電圧信号端子S2には、第1電源電圧 V_{BB} の高電圧が低電圧にレベルシフトされた出力信号電圧 S_{OUT} が出力される。第2トランジスタT2の第2制御電極(ゲート電極)には第3電源電圧 V_{CC} が接続されている。ここで、第3電源電圧 V_{CC} は、第1電源電圧 V_{BB} よりも低く第2電源電圧 V_{SS} よりも高い電圧、具体的には5Vである。第2トランジスタT2は、出力電圧信号端子S2に一定電圧以上の信号が出力されないクランプトランジスタとして作用する。

【0025】

第2抵抗R2の一端は、第2トランジスタT2の第4主電極と出力電圧信号端子S2との間に接続されている。第2抵抗R2は入力電圧信号 S_{IN} の閾値電圧の調整に使用されている。

第3トランジスタT3は、第1導電型IGFETにより構成され、第1トランジスタT1と同一構造により構成されている。第3トランジスタT3の第5主電極(ドレイン電極)は第2抵抗R2の他端に接続され、第6主電極(ソース電極)は第2電源電圧 V_{SS} に接続されている。前述の通り、第3制御電極は第1トランジスタT1の第1制御電極に接続されているので、第3トランジスタT3は第1トランジスタT1とカレントミラー回路を構成している。

【0026】

静電気保護素子としての第3抵抗R3の一端は入力電圧信号端子S1に接続され、他端は第2トランジスタT2の第3主電極に接続されている。ここでは、静電気保護素子は第3抵抗R3により構成されているが、本実施の形態では、逆方向接続により挿入されたダイオードを用いて、又はダイオードと抵抗とを組み合わせ静電気保護素子を構成してもよい。

【0027】

(2)バッファ部3の構成

レベルシフト部1のバッファ部3は、本実施の形態において、電氣的に直列に接続された3段の第1インバータ30、第2インバータ31及び第3インバータ32を含んで構成されている。

【0028】

第1インバータ30は、第4トランジスタT4及び第5トランジスタT5を含んで構成されている。

詳しく説明すると、第4トランジスタT4は第1導電型IGFETにより構成されている。第4トランジスタT4の一方の主電極としてのソース電極は第2電源電圧 V_{SS} に接続され、他方の主電極としてのドレイン電極は第5トランジスタT5の他方の主電極のドレイン電極に接続され、かつ、第2インバータ31のゲート電極に接続されている。第4トランジスタT4のゲート電極は出力電圧信号端子S2に接続されている。

第5トランジスタT5は第2導電型としてのpチャネル導電型IGFETにより構成されている。第5トランジスタT5の一方の主電極としてのソース電極は第3電源電圧 V_{CC} に接続され、ドレイン電極は第4トランジスタT4のドレイン電極に接続され、かつ、第2インバータ31のゲート電極に接続されている。第5トランジスタT5のゲート電極は出力電圧信号端子S2に接続されている。

第1インバータ30では、出力電圧信号端子S2から出力される出力電圧信号 S_{OUT} の波形が整形される。

【0029】

第2インバータ31は、第1インバータ30の次段回路として配設され、第6トランジスタT6及び第7トランジスタT7を含んで構成されている。第6トランジスタT6は第4トランジスタT4と同一構造により構成され、第7トランジスタT7は第5トランジスタT5と同一構造により構成されている。第6トランジスタT6及び第7トランジスタT7のゲート電極は第1インバータ30に接続され、ドレイン電極は第3インバータ32及び出力電圧信号端子S4に接続されている。出力電圧信号端子S4には反転出力電圧信号 S_{OUT2} が出力される。

10

【0030】

第3インバータ32は、第2インバータ31の次段回路として配設され、第8トランジスタT8及び第9トランジスタT9を含んで構成されている。第8トランジスタT8は第4トランジスタT4と同一構造により構成され、第9トランジスタT9は第5トランジスタT5と同一構造により構成されている。第8トランジスタT8及び第9トランジスタT9のゲート電極は第2インバータ31に接続され、ドレイン電極は出力電圧信号端子S3に接続されている。出力電圧信号端子S3には出力電圧信号 S_{OUT1} が出力される。

20

【0031】

(レベルシフトのデバイス構成)

本実施の形態に係るレベルシフト1は、半導体集積回路(半導体装置)として構成されている。図2及び図3に示されるように、レベルシフト1は、半導体基板40をベースとして形成されている。本実施の形態において、半導体基板40には、n型シリコン単結晶基板が使用されている。

【0032】

図2に示されるように、レベルシフト部2において、第1抵抗R1~第3抵抗R3、第1トランジスタT1~第3トランジスタT3のそれぞれの半導体素子は、半導体基板40の主面上に形成されたn型エピタキシャル成長層41に形成されている。それぞれの半導体素子は、エピタキシャル成長層41において、素子分離領域42により周囲が囲まれた領域内に形成されている。

30

【0033】

第1抵抗R1は、エピタキシャル成長層41に形成された第1導電型(n型)ウエル領域43の主面部に配設され、第2導電型(p型)半導体領域47により形成されている。第2抵抗R2及び第3抵抗R3は、第1抵抗R1と同一の縦断面構造により構成されている。

【0034】

第1トランジスタT1は、エピタキシャル成長層41に形成された第2導電型ウエル領域44の主面部に配設されている。詳しく説明すると、第1トランジスタT1は、ウエル領域44により形成されるチャネル形成領域と、第1主電極及び第2主電極として使用される一对の第1導電型半導体領域48と、ゲート絶縁膜50と、第1制御電極としてのゲート電極51とを含んで構成されている。一对の半導体領域48は、チャネル領域形成を介して互いに離間してウエル領域44の主面部に形成されている。ゲート絶縁膜50はチャネル形成領域上(ウエル領域44の主面上)に形成されている。ゲート電極51はゲート絶縁膜50上に形成されている。

40

第3トランジスタT3は、第1トランジスタT1と同一の縦断面構造により構成されている。

50

【0035】

第2トランジスタT2は、前述の通り、本実施の形態においてVDMOSFETにより構成されている。詳しく説明すると、第2トランジスタT2は、第3主電極と、チャネル形成領域と、第4主電極と、ゲート絶縁膜50と、第2制御電極としてのゲート電極51とを含んで構成されている。第3主電極はウエル領域43を含んで構成されている。ウエル領域43の不純物密度は半導体基板40及び半導体領域48の不純物密度よりも低い設定とされている。チャネル形成領域は、ゲート電極51の端部において、ウエル領域43の主面部に形成された第2導電型ベース領域45の主面部に形成されている。ベース領域45は、このベース領域45よりも不純物密度が高い第2導電型半導体領域46に接続されている。第4主電極は、ベース領域45の主面部に形成された半導体領域48により形成されている。半導体領域48の不純物密度は半導体基板40の不純物密度よりも高い設定とされている。ゲート絶縁膜50はチャネル形成領域上(ベース領域45の主面上)に形成され、ゲート電極51はゲート絶縁膜50上に形成されている。

10

【0036】

一方、図3に示されるように、バッファ部3の第1インバータ30の第4トランジスタT4は、素子分離領域42により周囲が囲まれた領域内において、ウエル領域44の主面部に形成されている。

第4トランジスタT4は、チャネル形成領域としてのウエル領域44と、一方の主電極及び他方の主電極としての一对の半導体領域48と、ゲート絶縁膜50と、ゲート電極51とを含んで構成されている。つまり、第4トランジスタT4は、第1トランジスタT1、第3トランジスタT3のそれぞれと同一の縦断面構造により構成されている。

20

第5トランジスタT5は、チャネル領域としてのウエル領域43と、一方の主電極及び他方の主電極としての一对の半導体領域47と、ゲート絶縁膜50と、ゲート電極51とを含んで構成されている。

【0037】

そして、第2インバータ31の第6トランジスタT6、第3インバータ32の第8トランジスタT8は、図示を省略するが、第4トランジスタT4と同一の縦断面構造により構成されている。また、第2インバータ31の第7トランジスタT7、第3インバータ32の第9トランジスタT9は第5トランジスタT5と同一の縦断面構造により構成されている。

30

【0038】

(本実施の形態の作用及び効果)

本実施の形態に係るレベルシフト部1は、図1に示されるように、レベルシフト部2を含んで構成される。レベルシフト部2は、電源系電流源20と、第2トランジスタT2と、第2抵抗R2と、第3トランジスタT3とを備える。電源系電流源20は、第1抵抗R1と、第1トランジスタT1とを含んで構成されている。第1抵抗R1の一端は第1電源電圧 V_{BB} に接続される。第1トランジスタT1の第1主電極及び第1制御電極は第1抵抗R1の他端に接続され、第1トランジスタT1の第2主電極は第2電源電圧 V_{SS} に接続される。第2電源電圧 V_{SS} は第1電源電圧 V_{BB} よりも低い電圧とされる。

第2トランジスタT2は、第3主電極を入力電圧信号端子S1に接続し、第4主電極を出力電圧信号端子S2に接続する。第2トランジスタT2の第2制御電極は第3電源電圧 V_{CC} に接続される。第3電源電圧 V_{CC} は、第1電源電圧 V_{BB} よりも低く、第2電源電圧 V_{SS} よりも高い電圧である。

40

第2抵抗R2の一端は第2トランジスタT2の第4主電極と出力電圧信号端子S2との間に接続される。第3トランジスタT3の第5主電極は第2抵抗R2の他端に接続され、第3トランジスタT3の第6主電極は第2電源電圧 V_{SS} に接続される。そして、第3トランジスタT3の第3制御電極は第1トランジスタT1の第1制御電極に接続される。

【0039】

ここで、第3トランジスタT3の第3制御電極は第1トランジスタT1の第1制御電極に接続されるので、第3トランジスタT3は電源系電流源20(第1トランジスタT1)

50

とカレントミラー回路を構成する。電源系電流源 20 では、第 1 電源電圧 V_{BB} の電源レベルの変化に応じて、第 1 電源電圧 V_{BB} から第 1 抵抗 R_1 及び第 1 トランジスタ T_1 を通じて第 2 電源電圧 V_{SS} に流れる電流が変化し、電流調整がなされる。入力電圧信号端子 S_1 に入力電圧信号 S_{IN} が印加されると、この入力電圧信号 S_{IN} は第 2 トランジスタ T_2 、第 2 抵抗 R_2 及び第 3 トランジスタ T_3 を通じて第 2 電源電圧 V_{SS} に電流として出力される。電源系電流源 20 の第 1 トランジスタ T_1 に流れる電流の変化に応じて、カレントミラー回路を構成する第 3 トランジスタ T_3 に流れる電流が調整される。

このため、第 2 抵抗 R_2 に流れる電流が電源系電流源 20 の電流調整に応じて調整されるので、入力電圧信号 S_{IN} の閾値電圧の電圧レベルを変化させることができる。

【0040】

10

図 4 は、第 1 電源電圧 V_{BB} の電圧レベルの変化に対する入力電圧信号 S_{IN} の閾値電圧の電圧レベルの変化を示すレベルシフト部 2 の特性図である。横軸は第 1 電源電圧 V_{BB} の変化 (V) を示し、縦軸は閾値電圧の変化を示す。ここでは、第 1 電源電圧 V_{BB} が 16 V のとき、入力電圧信号 S_{IN} の閾値電圧は 5.43 V である。第 1 電源電圧 V_{BB} が電圧低下により 7 V に低下したとき、入力電圧信号 S_{IN} の閾値電圧は 5.24 V に変化する。この閾値電圧は第 1 電源電圧 V_{BB} の変化に対してリニアに変化する。

【0041】

従って、本実施の形態に係るレベルシフト 1 によれば、第 1 電源電圧 V_{BB} の変化に応じて入力電圧信号 S_{IN} の閾値電圧を変化させることができる。

【0042】

20

また、本実施の形態に係るレベルシフト 1 では、図 1 に示されるように、静電気保護素子、具体的には第 3 抵抗 R_3 が入力電圧信号端子 S_1 と第 2 トランジスタ T_2 との間に配設されている。このため、第 2 トランジスタ T_2 の静電気破壊を防止又は効果的に抑制することができるので、レベルシフト 1 の静電気破壊耐性を向上させることができる。

【0043】

さらに、本実施の形態に係るレベルシフト 1 では、図 1 及び図 2 に示されるように、第 2 トランジスタ T_2 の静電気破壊耐圧が高く設定されている。このため、第 2 トランジスタ T_3 の静電気破壊を防止又は効果的に抑制することができるので、レベルシフト 1 の静電気破壊耐性を向上させることができる。

【0044】

30

また、本実施の形態に係るレベルシフト 1 では、図 1 及び図 2 に示されるように、第 2 トランジスタ T_2 が VDMOSFET とされる。このため、第 2 トランジスタ T_2 の静電気破壊耐圧を向上させることができるので、レベルシフト 1 の静電気破壊耐性を向上させることができる。

【0045】

さらに、本実施の形態に係るレベルシフト 1 では、図 1 に示されるように、レベルシフト部 2 の出力電圧信号端子 S_2 にバッファ部 3 が接続される。このため、バッファ部 3 を用いて出力電圧信号端子 S_2 から出力される出力電圧信号 S_{OUT} の波形を整形し、そして整形された出力電圧信号 S_{OUT1} を出力電圧信号端子 S_3 へ最終的に出力することができ、同様に整形された反転出力電圧信号 S_{OUT2} を出力電圧信号端子 S_4 へ最終的に出力することができる。

40

【0046】

[上記実施の形態の補足説明]

本発明は、上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において、例えば下記の通り変形可能である。

本発明は、レベルシフト 1 のレベルシフト部 2 において、第 2 トランジスタ T_2 を横向拡散型電界効果トランジスタ (LDMOSFET: Lateral Diffused MOSFET) により構成してもよい。このトランジスタは高耐圧構造を有する。

また、本発明は、レベルシフト部 2 において、第 1 抵抗 R_1 を第 2 導電型 IGFET としてもよい。第 2 導電型 IGFET では、チャンネル形成領域が抵抗として使用可能である。

50

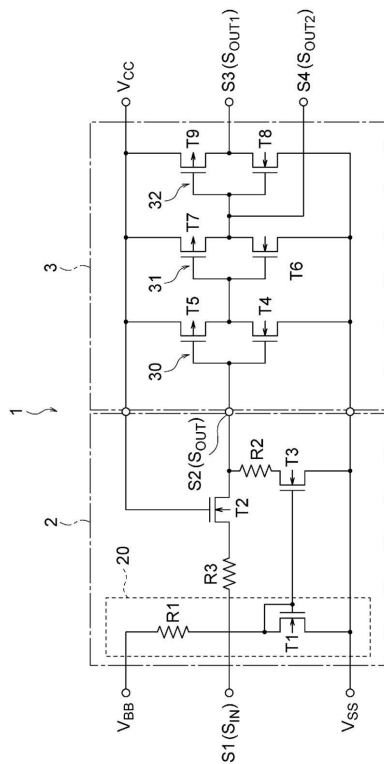
さらに、本発明は、レベルシフタ1のバッファ部3の回路構成を代えてもよい。例えば、バッファ部3は、第2インバータ31及び第3インバータ32の2段回路構成としてもよいし、4段以上の回路構成としてもよい。加えて、第1インバータ30～第3インバータ32の第5トランジスタT5、第7トランジスタT7及び第9トランジスタT9は抵抗としてもよい。

【符号の説明】

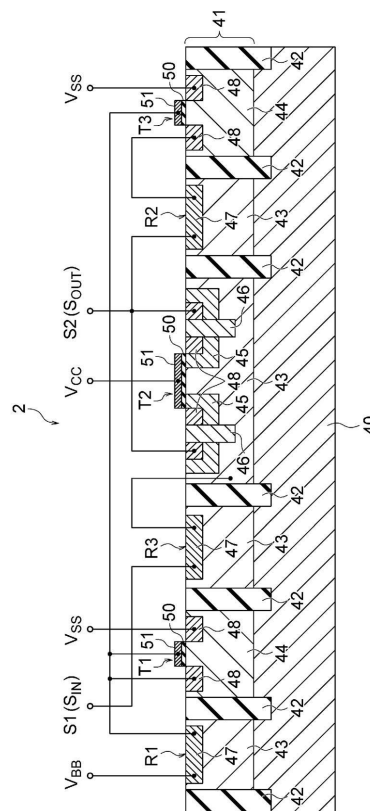
【0047】

1...レベルシフタ、2...レベルシフト部、3...バッファ部、20...電源系電流源、30...第1インバータ、31...第2インバータ、32...第3インバータ、40...半導体基板、43、44...ウエル領域、47、48...半導体領域、50...ゲート絶縁膜、51...ゲート電極、R1...第1抵抗、R2...第2抵抗、R3...第3抵抗(静電気保護素子)、T1...第1トランジスタ、T2...第2トランジスタ(VDMOSFET)、T3...第3トランジスタ、S1...入力電圧信号端子、S2～S4...出力電圧信号端子、V_{BB}...第1電源電圧、V_{SS}...第2電源電圧、V_{CC}...第3電源電圧。

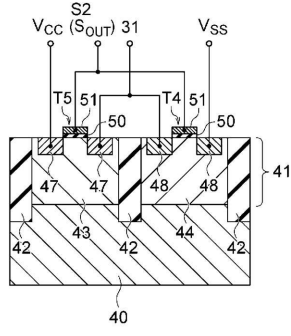
【図1】



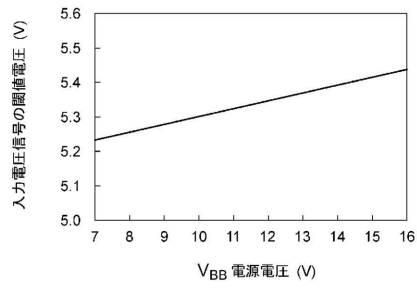
【図2】



【 図 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl.			F I		
H 0 1 L	21/336	(2006.01)	H 0 1 L	29/78	3 0 1 D
H 0 1 L	29/78	(2006.01)	H 0 1 L	29/78	3 0 1 K

(56)参考文献 特開2011-119979(JP,A)
特開2004-128634(JP,A)
特開2017-055214(JP,A)
特開昭63-182910(JP,A)
特開2008-141292(JP,A)
特開2007-173823(JP,A)
米国特許第9166591(US,B1)
特開2009-004762(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 3 K 19/00-19/096
H 0 1 L 21/336
H 0 1 L 21/822
H 0 1 L 21/8238
H 0 1 L 27/04
H 0 1 L 27/092
H 0 1 L 29/78