(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H05B 33/00 (2006.01)

(45) 공고일자 2006년03월06일
(11) 등록번호 10-0557730
(24) 등록일자 2006년02월27일

(21) 출원번호 10-2003-0097938
(22) 출원일자 2003년12월26일

(65) 공개번호 10-2005-0066630
(43) 공개일자 2005년06월30일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박재용
경기도안양시동안구평촌동933-7꿈마을건영아파트305동701호

(74) 대리인 특허법인네이트

심사관 : 여운석

(54) 듀얼패널타입 유기전계발광 소자 및 그 제조방법

요약

본 발명에 따른 듀얼패널타입 유기전계발광 소자 및 그 제조방법에 의하면,첫째, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산성을 향상시킬 수 있고, 제품수명을 효과적으로 늘릴 수 있으며, 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현 및 신뢰성을 향상시킬 수 있고, 세째 게이트 공정에서 형성된 제 1 게이트 전극과, 상, 하부 기판의 전기적 연결 전극의 제조 단계에서 형성되며, 상기 제 1 게이트 전극과 연결되는 제 2 게이트 전극을 가지는 듀얼게이트 구조로 구동용 박막트랜지스터를 형성함에 따라, 백 채널과 프론트 채널을 모두 채널로 이용할 수 있어서 소자의 구동 능력을 향상시킬 수 있어서, 생산성 및 구동 능력이 높은 소자의 제작이 가능하고, 네째 파워라인 공용구조에 듀얼게이트 구조 구동용 박막트랜지스터 구조를 적용함으로써, 구동 능력과 함께 개구율 향상 효과를 가져 고화질/고해상도 및 고성능 제품 제작이 가능하다.

대표도

도 5b

명세서

도면의 간단한 설명

도 1은 종래의 유기전계발광 소자 패널에 대한 단면도.

도 2a, 2b는 종래의 액티브 매트릭스형 유기전계발광 소자의 한 화소 영역에 대한 도면으로서, 도 2a는 평면도이고, 도 2b는 상기 도 2a의 절단선 "IIb-IIb"에 따라 절단된 단면을 도시한 단면도.

도 3, 도 4a, 4b는 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 도면으로서, 도 3은 전체 단면도, 도 4a는 어느 한 화소부에 대한 평면도, 도 4b는 상기 도 4a의 절단선 "IVb-IVb"에 따라 절단된 단면을 도시한 단면도.

도 5a, 5b는 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자용 기판에 대한 도면으로서, 도 5a는 평면도이고, 도 5b는 상기 도 5a의 절단선 "Vb-Vb"에 따라 절단된 단면을 도시한 단면도.

도 6a 내지 6i, 도 7a 내지 7i는 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자용 기판의 제조 공정을 단계별로 나타낸 도면으로서, 도 6a 내지 6i는 평면도이고, 도 7a 내지 7i는 상기 도 6의 절단선 "VII-VII"에 따라 절단된 단면도.

도 8은 본 발명의 제 3 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 평면도.

도 9a, 9b는 듀얼패널타입 유기전계발광 소자의 등가회로도.

도 10a, 10b는 본 발명의 제 4 실시예에 따른듀얼패널타입 유기전계발광 소자에 대한 평면도.

<도면의 주요부분에 대한 부호의 설명>

210 : 기판 216 : 제 1 연결배선

218 : 제 1 게이트 전극 220 : 게이트 절연막

224 : 반도체층 230 : 제 1 콘택홀

236 : 스위칭용 드레인 전극 240 : 소스 전극

242 : 드레인 전극 244 : 소스 콘택홀

246 : 제 1 보호층 248 : 파워 전극

254 : 드레인 콘택홀 256 : 제 2 보호층

257 : 제 2 콘택홀 258 : 돌출 패턴

262 : 연결 전극 264 : 제 2 게이트 전극

266 : 전기적 연결패턴 B-CH : 백 채널

F-CH : 프론트 채널 CH : 채널

T_S : 스위칭용 박막트랜지스터 Td : 구동용 박막트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광 소자(Organic Electroluminescent Device)에 관한 것이며, 특히 픽셀 구동부(박막트랜지스터를 포함하는 어레이 소자층)와 발광부(발광층을 포함하는 유기전계발광 다이오드 소자)가 서로 다른 기판에 형성되고, 두 소자는 별도의 전기적 연결패턴을 통해 연결되는 방식의 듀얼패널타입 유기전계발광 소자(Active-Matrix Organic Electroluminescent Device) 및 그 제조방법에 관한 것이다.

새로운 평판디스플레이 중 하나인 유기전계발광 소자는 자체발광형이기 때문에 액정표시장치에 비해 시야각, 대조비 등이 우수하며 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다. 그리고 직류저전압 구동이 가능하고 응답속도가 빠르며 전부 고체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

특히, 상기 유기전계발광 소자는 액정표시장치나 PDP(Plasma Display Panel)와 달리 공정이 매우 단순하기 때문에 증착 및 봉지(encapsulation) 장비가 전부라고 할 수 있다.

이하, 도 1은 종래의 유기전계발광 소자 패널에 대한 단면도이다.

도시한 바와 같이, 제 1, 2 기판(10, 60)이 서로 대향되게 배치되어 있고, 제 1 기판(10) 상에는 화면을 구현하는 최소 단위인 화소 영역(P)별로 박막트랜지스터(T)를 포함하는 어레이 소자층(AL)이 형성되어 있으며, 상기 어레이 소자층(AL) 상부에는 제 1 전극(48), 유기발광층(54), 제 2 전극(56)이 차례대로 적층된 구조의 유기전계발광 다이오드 소자(E)가 형성되어 있다. 유기발광층(54)으로부터 발광된 빛은 제 1, 2 전극(48, 56) 중 투광성을 가지는 전극 쪽으로 발광되어, 상부발광 또는 하부발광 방식으로 분류할 수 있으며, 한 예로 제 1 전극(48)이 투광성 물질에서 선택되어 유기발광층(54)에서 발광된 빛이 제 1 전극(48)쪽으로 발광되는 하부발광 방식 구조를 제시하였다.

그리고, 상기 제 2 기판(60)은 일종의 인캡슐레이션 기판으로서, 그 내부에는 오목부(62)가 형성되어 있고, 오목부(62) 내에는 외부로부터의 수분흡수를 차단하여 유기전계발광 다이오드 소자(E)를 보호하기 위한 흡습제(64)가 봉입되어 있다.

상기 제 1, 2 기판(10, 60)의 가장자리부는 씰패턴(70)에 의해 봉지되어 있다.

이하, 도 2a, 2b는 종래의 액티브 매트릭스형 유기전계발광 소자의 한 화소 영역에 대한 도면으로서, 도 2a는 평면도이고, 도 2b는 상기 도 2a의 절단선 "IIb-IIb"에 따라 절단된 단면을 도시한 단면도이며, 주요 구성요소를 중심으로 간략하게 설명한다.

도시한 바와 같이, 제 1 기판(10) 상에 버퍼층(12)이 형성되어 있고, 버퍼층(12) 상부에는 반도체층(14)과 커패시터 전극(16)이 서로 이격되게 형성되어 있으며, 상기 반도체층(14) 중앙부에는 게이트 절연막(18), 게이트 전극(20)이 차례대로 형성되어 있다. 상기 반도체층(14)은 게이트 전극(20)과 대응되는 활성 영역(IIc)과, 활성 영역(IIc)의 좌, 우 양측 영역은 드레인 영역(IId) 및 소스 영역(IIe)으로 각각 정의된다.

상기 게이트 전극(20) 및 커패시터 전극(16)을 덮는 영역에는 제 1 보호층(24)이 형성되어 있으며, 제 1 보호층(24) 상부의 커패시터 전극(16)과 대응된 위치에는 파워 전극(26)을 포함하고, 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 전력공급 배선(28)에서 분기되어 있다.

상기 파워 전극(26)을 덮는 기판 전면에는 제 2 보호층(30)이 형성되어 있고, 상기 제 1, 2 보호층(24, 30)에는 공통적으로 반도체층(14)의 드레인 영역(IId)과 소스 영역(IIe)을 노출시키는 제 1, 2 콘택홀(32, 34)을 가지고 있고, 제 2 보호층(30)은 파워 전극(26)을 일부 노출시키는 제 3 콘택홀(36)을 가지고 있다.

상기 제 2 보호층(30) 상부에는, 제 1 콘택홀(32)을 통해 반도체층(14)의 드레인 영역(IId)과 연결되는 드레인 전극(40)과, 일측에서는 제 2 콘택홀(34)을 통해 반도체층(14)의 소스 영역(IIe)과 연결되고, 또 다른 일측에서는 제 3 콘택홀(36)을 통해 파워 전극(26)과 연결되는 소스 전극(38)이 형성되어 있다.

상기 드레인 전극(40) 및 소스 전극(38)을 덮는 영역에는, 드레인 전극(40)을 일부 노출시키는 드레인 콘택홀(46)을 가지는 제 3 보호층(44)이 형성되어 있다.

상기 제 3 보호층(44) 상부에는 발광부(EA)가 정의되어 있고, 발광부(EA)에는 드레인 콘택홀(46)을 통해 드레인 전극(40)과 연결되는 제 1 전극(48)이 형성되어 있으며, 제 1 전극(48) 상부에는 제 1 전극(48)의 주 영역을 노출시키며 그외 영역을 덮는 위치에 층간 절연막(50)이 형성되어 있고, 상기 층간 절연막(50) 상부의 발광부(EA)에는 유기발광층(54)이 형성되어 있고, 유기발광층(54) 상부 전면에는 제 2 전극(56)이 형성되어 있다.

상기 반도체층(14), 게이트 전극(20), 소스 전극(38) 및 드레인 전극(40)은 박막트랜지스터(T)를 이루며, 상기 박막트랜지스터(T)는 상기 게이트 배선(22) 및 데이터 배선(42)이 교차되는 지점에 위치하는 스위칭용 박막트랜지스터(Ts ; switching TFT)와, 상기 스위칭용 박막트랜지스터(Ts)와 전력공급 배선(28)이 교차되는 지점에 위치하는 구동용 박막트랜지스터(Td ; driving TFT)로 이루어진다.

상기 도 2b에서 제시한 박막트랜지스터(T)는 구동용 박막트랜지스터(Td)에 해당된다.

즉, 전술한 게이트 전극(20)은 스위칭용 박막트랜지스터(Ts)과 연결되고, 전술한 드레인 전극(40)은 아일랜드 패턴 구조로 이루어지며, 상기 게이트 배선(22) 및 데이터 배선(42)에서 분기되는 게이트 전극(20) 및 소스 전극(38)은 스위칭용 박막트랜지스터(Ts)를 이룬다.

상기 파워 전극(26)을 포함하여 전력공급 배선(28)과 커패시터 전극(16)이 중첩되는 영역은 스토리지 커패시터(Cst ; storage capacitor)를 이룬다.

상기 도 1, 도 2a, 2b를 통해 살펴본 바와 같이, 기존의 하부발광방식 유기전계발광 소자는 어레이 소자 및 유기전계발광 다이오드가 형성된 기판과 별도의 인캡슐레이션용 기판의 합착을 통해 소자를 제작하였다. 이런 경우, 어레이 소자의 수율과 유기전계발광 다이오드의 수율의 곱이 유기전계발광 소자의 수율을 결정하기 때문에, 기존의 유기전계발광 소자 구조에서는 후반 공정에 해당되는 유기전계발광 다이오드 공정에 의해 전체 공정 수율이 크게 제한되는 문제점이 있었다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1,000 Å 정도의 박막을 사용하는 유기발광층의 형성시 이물이나 기타 다른 요소에 의해 불량이 발생하게 되면, 유기전계발광 소자는 불량 등급으로 판정된다.

이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있었다.

그리고, 하부발광방식은 인캡슐레이션에 의한 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있고, 상부발광방식은 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하지만, 기존의 상부발광방식 구조에서는 유기발광층 상부에 통상적으로 음극이 위치함에 따라 재료 선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 점과, 광투과도의 저하를 최소화하기 위해 박막형 보호막을 구성해야 하는 경우 외기를 충분히 차단하지 못하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여, 본 발명에서는 생산수율이 향상된 고해상도/고개구율 구조 액티브 매트릭스형 유기전계발광 소자를 제공하고자 한다.

이를 위하여, 본 발명에서는 픽셀 구동부(박막트랜지스터를 포함하는 어레이 소자층)와 발광부(발광층을 포함하는 유기전계발광 다이오드 소자)가 서로 다른 기판에 형성되고, 두 소자는 별도의 전기적 연결패턴을 통해 연결되는 방식의 듀얼패널타입 유기전계발광 소자를 제공하고자 한다.

본 발명의 또 하나의 목적은, 비정질 실리콘 물질 또는 마이크로 결정화 물질로 이루어진 반도체층을 가지는 구동용 박막트랜지스터의 구동 능력을 향상시키기 것이고, 또 다른 목적은 고해상도 제품에 대응가능한 듀얼패널타입 유기전계발광 소자를 제공하는 것이다.

이를 위하여, 본 발명에서는 전기적 연결패턴의 연결 전극과 동일 공정에서 동일 물질을 이용하여, 게이트 전극과 대응된 위치에 또 하나의 게이트 전극을 가지는 듀얼게이트 구조 구동용 박막트랜지스터를 포함하는 듀얼패널타입 유기전계발광 소자를 제공하고자 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 제 1 기판 상에 형성된 다수 개의 게이트 배선, 데이터 배선, 파워 배선과; 상기 게이트 배선과 데이터 배선에서 인가되는 전압을 제어하는 스위칭용 박막트랜지스터와; 상기 스위칭 박막트랜지스터의 어느 한 구동 전극과 연결되는 제 1 게이트 전극과, 상기 제 1 게이트 전극을 덮는 영역에 형성된 반도체층과, 상기 반도체층 상부에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극을 덮는

영역에 형성된 절연층과, 상기 절연층 상부의 제 1 게이트 전극과 대응된 위치에서, 상기 제 1 게이트 전극과 연결되는 제 2 게이트 전극으로 이루어진 듀얼게이트 구조 구동용 박막트랜지스터와; 상기 듀얼게이트 구조 구동용 박막트랜지스터와 연결되며, 일정두께를 가지는 전기적 연결패턴과; 상기 제 1 기판과 대향되는 제 2 기판 하부에 형성되며, 상기 전기적 연결패턴과 연결되는 유기전계발광 다이오드 소자를 포함하는 듀얼패널타입 유기전계발광 소자를 제공한다.

본 발명의 제 2 특징에서는, 구동용 박막트랜지스터를 포함하는 어레이 소자와, 상기 구동용 박막트랜지스터와 연결되는 전기적 연결패턴이 형성된 제 1 기판과, 상기 제 1 기판과 대향되게 배치되는 제 2 기판과, 상기 제 2 기판에 형성되며, 상기 전기적 연결패턴과 연결되는 유기전계발광 다이오드 소자를 포함하는 듀얼패널타입 유기전계발광 소자용 기판에 있어서, 기판 상에 형성된 다수 개의 게이트 배선, 데이터 배선, 파워 배선과; 상기 게이트 배선과 데이터 배선에서 인가되는 전압을 제어하는 스위칭용 박막트랜지스터와; 상기 스위칭 박막트랜지스터의 어느 한 구동 전극과 연결되는 제 1 게이트 전극과, 상기 제 1 게이트 전극을 덮는 영역에 형성된 반도체층과, 상기 반도체층 상부에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극을 덮는 영역에 형성된 절연층과, 상기 절연층 상부의 제 1 게이트 전극과 대응된 위치에서, 상기 제 1 게이트 전극과 연결되는 제 2 게이트 전극으로 이루어진 듀얼게이트 구조 구동용 박막트랜지스터와; 상기 듀얼게이트 구조 구동용 박막트랜지스터와 연결되며, 일정두께를 가지는 전기적 연결패턴을 포함하는 듀얼패널타입 유기전계발광 소자용 기판을 제공한다.

본 발명의 제 3 특징에서는, 구동용 박막트랜지스터를 포함하는 어레이 소자와, 상기 구동용 박막트랜지스터와 연결되는 전기적 연결패턴이 형성된 제 1 기판과, 상기 제 1 기판과 대향되게 배치되는 제 2 기판과, 상기 제 2 기판에 형성되며, 상기 전기적 연결패턴과 연결되는 유기전계발광 다이오드 소자를 포함하는 듀얼패널타입 유기전계발광 소자용 기판에 있어서, 화면을 구현하는 최소 단위인 화소 영역이 정의된 기판 상에 제 1 방향으로 형성된 다수 개의 게이트 배선과; 상기 제 1 방향으로 교차되는 제 2 방향으로 형성되며, 이웃하는 두 개의 화소 영역 간 경계부별로 위치하는 다수 개의 파워 배선과, 상기 하나의 파워 배선을 공용하는 화소 영역의 양측에 각각 위치하는 다수 개의 데이터 배선과; 상기 게이트 배선 및 데이터 배선에서 인가되는 전압을 제어하는 스위칭 박막트랜지스터와; 상기 스위칭 박막트랜지스터의 어느 한 구동 전극과 상기 스위칭 박막트랜지스터의 어느 한 구동 전극과 연결되는 제 1 게이트 전극과, 상기 제 1 게이트 전극을 덮는 영역에 형성된 반도체층과, 상기 반도체층 상부에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극을 덮는 영역에 형성된 절연층과, 상기 절연층 상부의 제 1 게이트 전극과 대응된 위치에서, 상기 제 1 게이트 전극과 연결되는 제 2 게이트 전극으로 이루어진 듀얼게이트 구조 구동용 박막트랜지스터와; 상기 듀얼게이트 구조 구동용 박막트랜지스터와 연결되며, 일정두께를 가지는 전기적 연결패턴을 포함하며, 상기 동일한 파워 배선을 공용하는 한쌍의 화소 영역 내 배치 구조는 파워 배선을 중심으로 대칭적인 구조를 가지는 듀얼패널타입 유기전계발광 소자용 기판을 제공한다.

상기 제 2, 3 특징에서는, 상기 듀얼게이트 구조 구동용 박막트랜지스터는, 상기 제 1 게이트 전극과, 상기 소스 전극 및 드레인 전극 간에 가지는 백 채널(back-channel)과, 상기 제 2 게이트 전극과 상기 소스 전극 및 드레인 전극 간에 가지는 프론트 채널(front-channel)을 모두 채널로 가지고, 상기 전기적 연결패턴은, 일정 두께를 갖는 돌출 패턴과, 상기 돌출 패턴을 감싸는 구조로, 상기 드레인 전극과 연결되는 연결 전극으로 이루어지고, 상기 제 2 게이트 전극은, 상기 연결 전극과 동일 공정에서 동일 물질로 이루어지며, 상기 제 1 게이트 전극과 연결되는 스위칭 박막트랜지스터의 어느 한 구동 전극은 스위칭용 드레인 전극이며, 상기 제 1, 2 게이트 전극은 스위칭용 드레인 전극을 통해 전기적으로 연결되고, 상기 스위칭용 드레인 전극과는 별도의 콘택홀을 통해 연결되며, 상기 제 1, 2 게이트 전극은 제 1, 2 연결 배선에서 연장형성되며, 실질적으로 상기 제 1, 2 게이트 전극은 제 1, 2 연결 배선과 스위칭용 드레인 전극 간의 연결을 통해, 상기 스위칭용 드레인 전극과 전기적으로 연결되고, 상기 콘택홀은, 적어도 두 개 이상의 다수 개의 콘택홀인 것을 특징으로 한다.

상기 제 3 특징에서는, 상기 하나의 파워 배선은, 양방으로 분기된 두 개의 파워 전극 및 두 개의 커패시터 전극을 가지고, 상기 파워 전극은 소스 전극과 연결되고, 상기 커패시터 전극은 상기 스위칭 소자의 어느 한 구동 전극에서 연장형성된 또 하나의 커패시터 전극과 절연체가 개재된 상태에서 스토리지 커패시터를 이루는 것을 특징으로 한다.

상기 제 2, 3 특징에서는, 상기 반도체층은 비정질 실리콘 물질 또는 마이크로 결정화 물질 중 어느 하나에서 선택되는 것을 특징으로 한다.

본 발명의 제 4 특징에서는, 제 1 기판 상에 다수 개의 게이트 배선, 데이터 배선, 파워 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선에서 인가되는 전압을 제어하는 스위칭용 박막트랜지스터를 형성하는 단계와; 상기 스위칭용 박막트랜지스터의 어느 한 구동 전극과 상기 파워 배선에서 인가되는 전압을 이용하여 발광 휘도를 조절하는 구동용 박막트랜지스터를 형성하는 단계와; 상기 구동용 박막트랜지스터와 연결되며 일정 두께를 가지는 전기적 연결패턴을 형성하는 단계와; 또 하나의 기판인 제 2 기판 상에 유기전계발광 다이오드 소자를 형성하는 단계와; 상기 전기적 연결패턴과 유기전

계발광 다이오드 소자가 접촉되는 방향으로, 상기 제 1, 2 기판을 합착하는 단계를 포함하며, 상기 전기적 연결패턴을 형성하는 단계에서는 상기 구동용 박막트랜지스터의 제 1 게이트 전극과 연결되며, 상기 제 1 게이트 전극과 대응된 위치에 또 하나의 제 2 게이트 전극을 형성하는 단계를 포함하는 듀얼패널타입 유기전계발광 다이오드 소자의 제조방법을 제공한다.

본 발명의 제 5 특징에서는, 제 1 기판 상에 다수 개의 게이트 배선, 데이터 배선, 파워 배선과, 상기 게이트 배선과 데이터 배선에서 인가되는 전압을 제어하는 스위칭 박막트랜지스터와, 상기 스위칭 박막트랜지스터 및 파워 배선에서 인가되는 전압을 이용하여 발광 휘도를 조절하는 구동용 박막트랜지스터와, 상기 구동용 박막트랜지스터와 연결되는 전기적 연결패턴과, 상기 제 1 기판과 대향되는 제 2 기판과, 상기 제 2 기판에 형성되며, 상기 전기적 연결패턴과 연결되는 유기전계발광 다이오드 소자를 포함하는 듀얼패널타입 유기전계발광 소자의 구동용 박막트랜지스터의 제조방법에 있어서, 제 1 기판 상에 제 1 게이트 전극을 형성하는 단계와; 상기 제 1 게이트 전극을 덮는 영역에 게이트 절연막을 형성하고, 상기 게이트 절연막 상부의 제 1 게이트 전극을 덮는 영역에 반도체층을 형성하는 단계와; 상기 반도체층 상부에 서로 이격되게 소스 전극 및 드레인 전극을 형성하는 단계와; 상기 소스 전극 및 드레인 전극을 덮는 영역에 위치하며, 상기 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부의 제 1 게이트 전극과 대응된 위치에, 상기 제 1 게이트 전극과 연결되는 제 2 게이트 전극을 형성하는 단계를 포함하는 듀얼패널타입 유기전계발광 소자의 구동용 박막트랜지스터의 제조 방법을 제공한다.

본 발명의 제 6 특징에서는, 제 1 기판 상에 다수 개의 게이트 배선, 데이터 배선, 파워 배선과, 상기 게이트 배선과 데이터 배선에서 인가되는 전압을 제어하는 스위칭 박막트랜지스터와, 상기 스위칭 박막트랜지스터 및 파워 배선에서 인가되는 전압을 이용하여 발광 휘도를 조절하는 구동용 박막트랜지스터와, 상기 구동용 박막트랜지스터와 연결되는 전기적 연결패턴과, 상기 제 1 기판과 대향되는 제 2 기판과, 상기 제 2 기판에 형성되며, 상기 전기적 연결패턴과 연결되는 유기전계발광 다이오드 소자를 포함하는 듀얼패널타입 유기전계발광 소자용 기판의 제조방법에 있어서, 제 1 기판 상에 제 1 방향으로 위치하며, 스위칭용 게이트 전극을 가지는 게이트 배선과, 제 1 연결배선과, 상기 제 1 연결배선에서 연장형성된 제 1 구동용 게이트 전극을 형성하는 단계와; 상기 게이트 배선을 덮는 영역에 게이트 절연막을 형성하고, 상기 게이트 절연막 상부의 스위칭용 게이트 전극 및 구동용 제 1 게이트 전극을 덮는 영역에 스위칭용 반도체층 및 구동용 반도체층을 각각 형성하는 단계와; 상기 게이트 절연막에, 상기 제 1 연결배선을 일부 노출시키는 제 1 콘택홀을 형성하는 단계와; 상기 스위칭 반도체층 상부에서 서로 이격되게 위치하는 스위칭용 소스 전극 및 상기 제 1 콘택홀을 통해 제 1 연결배선과 연결되는 스위칭용 드레인 전극과, 상기 구동용 반도체층 상부에서 서로 이격되게 위치하는 구동용 소스 전극 및 구동용 드레인 전극과, 상기 스위칭용 소스 전극과 연결되며, 상기 제 1 방향과 교차되는 제 2 방향으로 데이터 배선을 형성하는 단계와; 상기 스위칭용 소스 전극 및 스위칭용 드레인 전극 사이 구간과, 상기 구동용 소스 전극 및 구동용 드레인 전극 사이 구간에 위치하는 반도체층의 순수 반도체 물질 영역을 노출시켜 스위칭용 채널 및 구동용 채널을 각각 형성하는 단계와; 상기 스위칭용 소스 전극 및 스위칭용 드레인 전극을 덮는 기판 전면에, 상기 구동용 소스 전극을 일부 노출시키는 소스 콘택홀을 가지는 제 1 보호층을 형성하는 단계와; 상기 제 1 보호층 상부에, 상기 소스 콘택홀을 통해 소스 전극과 연결되는 파워 전극과, 상기 파워 전극과 연결되며, 상기 제 2 방향으로 데이터 배선과 이격되게 위치하는 파워 배선을 형성하는 단계와; 상기 파워 배선을 덮는 영역에, 상기 제 1 보호층과 공통적으로 구동용 드레인 전극을 일부 노출시키는 드레인 콘택홀과, 상기 제 1 콘택홀과 대응된 위치에서 상기 스위칭용 드레인 전극을 일부 노출시키는 제 2 콘택홀을 가지는 제 2 보호층을 형성하는 단계와; 상기 제 2 보호층 상부의 화소 영역에, 일정 두께를 가지는 돌출 패턴을 형성하는 단계와; 상기 돌출 패턴을 감싸는 영역에 위치하며, 상기 드레인 콘택홀을 통해 드레인 전극과 연결되는 연결 전극을 형성하는 단계와; 상기 연결 전극과 동일 공정에서 동일 물질을 이용하여, 상기 제 2 콘택홀을 통해 스위칭용 드레인 전극과 연결되는 제 2 연결배선과, 상기 제 2 연결배선에서 연장형성되며, 상기 제 1 게이트 전극과 대응되게 위치하는 제 2 게이트 전극을 형성하는 단계를 포함하며, 상기 제 1, 2 게이트 전극은 스위칭용 드레인 전극을 통해 서로 전기적으로 연결되는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법을 제공한다.

상기 제 6 특징에서는, 상기 제 1, 2 콘택홀을 각각 적어도 두 개 이상의 다수 개의 콘택홀이고, 상기 데이터 배선을 형성하는 단계에서, 상기 데이터 배선은, 상기 제 1 방향으로 서로 이웃하는 두 개의 화소 영역의 양측에 배치되고, 상기 파워 배선을 형성하는 단계에서, 상기 파워 배선은 상기 두 개의 화소 영역의 경계부에 위치하여, 상기 두 개의 화소 영역은 하나의 파워 배선을 공용하는 것을 특징으로 하며, 상기 파워 배선에서, 상기 파워 전극 및 제 2 커패시터 전극은 양 방으로 두 개씩 분기되어 있고, 상기 파워 배선을 공용하는 두 개의 화소 영역의 배치 구조는 상기 파워 배선을 기준으로 서로 대칭적인 구조를 가지는 것을 특징으로 한다.

상기 제 6 특징에서는, 상기 제 1, 2 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 구동용 박막트랜지스터를 이루고, 상기 제 1 게이트 전극과 소스 전극 및 드레인 전극 간의 백 채널(back-channel)과, 상기 제 2 게이트 전극과 소스 전극 및 드레인 전극 간의 프론트 채널(front-channel)이 모두 채널로 이용되고, 상기 스위칭용 반도체층 및 구동용 반도체층을 이루는 물질은 비정질 실리콘 물질 또는 마이크로 결정화 물질 중 어느 하나에서 선택되는 것을 특징으로 한다.

이하, 본 발명에 따른 바람직한 실시예에 대해서 도면을 참조하여 상세히 설명한다.

본 발명에 따른 하나의 실시예는, 독립적인 발광방식의 듀얼패널타입 유기전계발광 소자에 대한 실시예이다.

-- 제 1 실시예 --

도 3, 도 4a, 4b는 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 도면으로서, 도 3은 전체 단면도, 도 4a는 어느 한 화소부에 대한 평면도, 도 4b는 상기 도 4a의 절단선 "IVb-IVb"에 따라 절단된 단면을 도시한 단면도이다.

도시한 바와 같이, 제 1, 2 기판(110, 170)이 서로 대향되게 배치되어 있고, 제 1 기판(110) 상부에는 박막트랜지스터(T)를 포함하는 어레이 소자층(A)이 형성되어 있으며, 어레이 소자층(A) 상부에는 박막트랜지스터(T)와 연결되는 일정 두께를 갖는 전기적 연결패턴(166)이 형성되어 있다.

상기 전기적 연결패턴(166)이 갖는 일정 두께는, 상기 전기적 연결패턴(166)에 의해 서로 다른 기판 상에 형성되는 픽셀 구동부와 발광부를 전기적으로 연결시킬 수 있는 두께범위에서 선택된다. 즉, 상기 전기적 연결패턴(166)의 두께는 두 기판 간의 셀 갭과 대응되는 값에서 선택될 수 있다.

그리고, 상기 박막트랜지스터(T)는 유기전계발광 소자에 전류를 인가하는 구동용 박막트랜지스터에 해당되며, 비정질 실리콘 물질을 이용한 역스태거형 박막트랜지스터 구조를 이루고 있다.

상기 제 2 기판(170) 하부 전면에는 제 1 전극(182)이 형성되어 있고, 제 1 전극(182) 하부의 화소 영역(P)간 경계부에 위치하는 비화소 영역(NP ; non-pixel area)에는 층간절연막(184)과, 역테이퍼 구조로 일정 두께를 갖는 격벽(186)이 차례대로 형성되어 있으며, 격벽(186) 간 사이 구간에는 격벽(186)에 의해 자동패터닝된 구조로 유기발광층(188), 제 2 전극(190)이 차례대로 형성되어 있다.

상기 격벽(186)이 가지는 일정 두께는, 상기 격벽(186)에 의해 유기발광층(188) 및 제 2 전극(190)을 화소 영역(P)별로 분리시킬 수 있는 두께범위에서 선택된다.

상기 유기발광층(188)은, 적, 녹, 청 발광층(188a, 188b, 188c)이 화소 영역(P) 단위로 차례대로 형성된 구조로 이루어지고, 상기 제 1, 2 전극(182, 190)과, 제 1, 2 전극(182, 190) 사이에 개재된 유기발광층(188)은 유기전계발광 다이오드 소자(E)를 이룬다.

그리고, 상기 제 1 전극(182)은 투광성을 가지는 물질에서 선택되어, 유기발광층(188)에서 발광된 빛은 제 1 전극(182)쪽으로 발광되는 상부발광 방식으로 화면을 구현하는 것을 특징으로 한다. 한 예로, 상기 제 1 전극(182)이 양극(anode electrode), 제 2 전극(190)이 음극(cathode electrode)에 해당될 경우, 제 1 전극(182)은 투명 도전성 물질에서 선택되고, 한 예로 ITO(indium tin oxide)로 이루어질 수 있다.

그리고, 상기 제 1, 2 기판(110, 170)은, 두 기판의 가장자리부에 위치하는 씰패턴(192)에 의해 합착되어 있다.

본 실시예에 따른 듀얼패널타입 유기전계발광 소자 구조에 의하면, 첫째, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산성을 향상시킬 수 있고, 제품수명을 효과적으로 늘릴 수 있으며, 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현 및 신뢰성을 향상시킬 수 있고, 세째, 격벽에 의해 별도의 섀도우 마스크(shadow mask)없이 자동 패터닝된 구조로 유기발광층 및 제 2 전극을 형성할 수 있으므로 공정 효율을 높일 수 있는 장점을 가진다.

도면으로 제시하지 않았지만, 풀컬러 구현을 위해서는 본 실시예에 따른 독립발광방식 이외에, 컬러필터층 단일 구조 또는, 컬러필터층 및 색변환층인 CCM(Color-changing Mediums) 이중 구조로 이루어진 풀컬러 구현소자를 구비하는 구조를 포함할 수 있다. 상기 별도의 풀컬러 구현소자가 구비되는 경우, 유기발광층은 단색발광물질로 이루어진다.

이하, 전술한 박막트랜지스터(T)를 포함하는 어레이 소자층(A)의 구체적인 평면, 단면 구조에 대해서 도 4a, 4b를 참조하여 설명하면, 제 1 기판(110) 상에 제 1 방향으로 스위칭용 게이트 전극(112)을 가지는 게이트 배선(114)이 형성되어 있

고, 상기 스위칭용 게이트 전극(112) 및 게이트 배선(114)과 이격되게, 제 1 방향과 교차되는 제 2 방향을 주 방향으로 하여 아일랜드 패턴 구조로 스위칭용 게이트 전극(112)과 인접하게 연결 배선(116)이 형성되어 있고, 상기 연결 배선(116)에서는 게이트 전극(118)이 연장형성되어 있다.

그리고, 상기 스위칭용 게이트 전극(112), 게이트 배선(114), 연결 배선(116), 게이트 전극(118)을 덮는 영역에는 게이트 절연막(120)이 형성되어 있고, 게이트 절연막(120) 상부의 스위칭용 게이트 전극(112) 및 게이트 전극(118)을 각각 덮는 위치에는 아일랜드 패턴구조의 스위치용 반도체층(122) 및 반도체층(124)이 각각 형성되어 있다.

상기 반도체층(124)은, 순수 반도체 물질로 이루어진 액티브층(124a)과, 불순물 반도체 물질로 이루어진 오믹콘택층(124b)으로 이루어지며, 도면으로 상세히 제시하지 않았지만, 상기 스위칭용 반도체층(122)도 반도체층(124)과 동일한 단면구조를 가진다.

상기 반도체 물질은, 비정질 실리콘 물질 또는 마이크로 결정화 물질 중 어느 하나에서 선택된다.

상기 게이트 절연막(120)은 연결 배선(116)을 일부 노출시키는 제 1 콘택홀(130)을 가진다.

상기 스위칭용 반도체층(122) 및 반도체층(124) 상부에는, 상기 제 2 방향으로 위치하며, 스위칭용 소스 전극(134)을 가지는 데이터 배선(132)과, 상기 스위칭용 소스 전극(134)과 일정간격 이격되며 제 1 콘택홀(130)을 통해 연결 배선(116)과 연결되는 스위칭용 드레인 전극(136)과, 상기 스위칭용 드레인 전극(136)에서 연장형성된 제 1 커패시터 전극(138)이 형성되어 있다.

또한, 상기 반도체층(124)의 양측과 중첩된 위치에는 아일랜드 패턴 구조의 소스 전극(140) 및 드레인 전극(142)이 각각 형성되어 있다.

상기 스위칭용 게이트 전극(112), 스위칭용 반도체층(122), 스위칭용 소스 전극(134), 스위칭용 드레인 전극(136)은 스위칭용 박막트랜지스터(Ts)를 이루고, 상기 게이트 전극(118), 반도체층(124), 소스 전극(140), 드레인 전극(142)은 구동용 박막트랜지스터(Td)를 이룬다.

상기 스위칭용 소스 전극(134), 스위칭용 드레인 전극(136) 사이 구간 및 소스 전극(140), 드레인 전극(142) 사이 구간에는 각각 순수 반도체 물질 영역으로 이루어지며, 캐리어(carrier) 이동통로인 채널부(CH)가 구성되어 있다.

상기 스위칭용 박막트랜지스터(Ts) 및 구동용 박막트랜지스터(Td)를 덮는 영역에는, 상기 소스 전극(140)을 일부 노출시키는 제 2 콘택홀(144)을 가지는 제 1 보호층(146)이 형성되어 있고, 제 1 보호층(146) 상부에는 제 2 방향으로 데이터 배선(132)과 이격되게 위치하며, 상기 제 2 콘택홀(144)을 통해 소스 전극(140)과 연결되는 파워 전극(148)과, 상기 제 1 커패시터 전극(138)과 중첩되게 위치하는 제 2 커패시터 전극(150)을 가지는 파워 배선(152)이 형성되어 있다.

상기 제 1, 2 커패시터 전극(138, 150)이 중첩된 영역은 제 1 보호층(146)이 개재된 상태에서 스토리지 커패시터(Cst)를 이룬다.

그리고, 상기 게이트 배선(114), 데이터 배선(132), 파워 배선(152)이 서로 교차되는 영역은 화소 영역(P)으로 정의된다.

그리고, 상기 파워 배선(152), 파워 전극(148), 제 2 커패시터 전극(150)을 덮는 영역에는, 상기 제 1 보호층(146)과 공통적으로 드레인 전극(142)을 일부 노출시키는 제 3 콘택홀(154)을 가지는 제 2 보호층(156)이 형성되어 있고, 제 3 콘택홀(154)과 인접한 화소 영역(P)에는 일정두께를 갖는 돌출 패턴(158)이 형성되어 있고, 돌출 패턴(158)을 덮는 영역에는 제 3 콘택홀(154)을 통해 드레인 전극(142)과 연결되는 연결 전극(162)이 형성되어 있다.

상기 돌출 패턴(158) 및 연결 전극(162)은 전기적 연결패턴(166)을 구성한다.

이러한 구조의 듀얼패널타입 유기전계발광 소자용 박막트랜지스터는, 공정 비용 및 효율을 고려하여 버텀게이트 방식(bottom gate type)이 주로 이용된다.

상기 버텀게이트 방식으로 형성가능한 실리콘 물질로는 대표적으로 비정질 실리콘 및 마이크로(micro) 결정화 물질을 액티브층 물질로 이용할 수 있다.

전술한 마이크로 결정화 물질은, 순수 비정질 실리콘츠에 수소(H)를 과다하게 주입하여 별도의 결정계를 가지지 않는 미세한 결정으로 이루어진 물질에 해당되된다.

그러나, 상기 비정질 실리콘 물질 또는 마이크로 결정화 물질을 반도체 소자로 이용시, 이동도(mobility) 특성 및 구동능력 면에서, 고화질의 고해상도 제품에 적용하기 힘든 단점을 가진다.

본 발명의 또 하나의 실시예는, 구동 능력이 향상된 구조의 구동용 박막트랜지스터를 포함하는 듀얼패널타입 유기전계발광 소자에 대한 실시예이다.

-- 제 2 실시예 --

도 5a, 5b는 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자용 기판에 대한 도면으로서, 도 5a는 평면도이고, 도 5b는 상기 도 5a의 절단선 "Vb-Vb"에 따라 절단된 단면을 도시한 단면도이며, 평면 구조는 상기 제 1 실시예 구조를 적용하였으며, 상기 제 1 실시예와 구별되는 본 실시예의 특징적인 구조를 중심으로 설명한다.

도시한 바와 같이, 기판(210) 상에 제 1 연결배선(216)과, 상기 제 1 연결배선(216)에서 연장형성된 제 1 게이트 전극(218)이 형성되어 있고, 제 1 연결배선(216) 및 제 1 게이트 전극(218)을 덮는 영역에는 제 1 연결배선(216)의 일부를 노출시키는 제 1 콘택홀(230)을 가지는 게이트 절연막(220)이 형성되어 있으며, 게이트 절연막(220) 상부의 제 1 게이트 전극(218)을 덮는 위치에는 비정질 실리콘 물질 또는 마이크로 결정화 물질 중 어느 하나로 이루어진 반도체층(224)이 형성되어 있다. 상기 반도체층(224)은 비정질 실리콘 물질 또는 마이크로 결정화 물질 중 어느 하나로 이루어져 있으며, 순수 반도체 물질로 이루어진 액티브층(224a)과, 불순물 반도체 물질로 이루어진 오믹콘택층(224b)으로 이루어진다.

그리고, 상기 반도체층(224) 상부에는 제 1 게이트 전극(218) 상부에서 서로 이격되게 위치하는 소스 전극(240) 및 드레인 전극(242)을 형성되어 있고, 상기 소스 전극(240)과 드레인 전극(242) 사이 구간에서는 액티브층(224a)이 노출되어 있고, 노출된 액티브층(224a) 영역은 캐리어 이동통로인 채널(CH)을 이룬다.

그리고, 스위칭용 박막트랜지스터(Ts)를 이루는 스위칭용 드레인 전극(236)은 제 1 콘택홀(230)을 통해 제 1 연결배선(216)과 연결된다.

상기 소스 전극(240) 및 드레인 전극(242)과 채널(CH)을 덮는 영역에 위치하며, 상기 소스 전극(240)을 일부 노출시키는 소스 콘택홀(244)을 가지는 제 1 보호층(246)이 형성되어 있고, 상기 제 1 보호층(246) 상부에는 소스 콘택홀(244)을 통해 소스 전극(240)과 연결되는 파워 전극(248)이 형성되어 있으며, 상기 파워 전극(248)을 덮는 영역에는, 상기 제 1 보호층(246)과 함께 공통적으로 드레인 전극(242)을 노출시키는 드레인 콘택홀(254)과, 전술한 제 1 콘택홀(230)과 대응된 위치에서 스위칭용 드레인 전극(236)을 일부 노출시키는 제 2 콘택홀(257)을 가지는 제 2 보호층(256)을 형성되어 있다.

상기 드레인 콘택홀(254)과 인접한 화소 영역(P)에는 일정 두께를 갖는 돌출 패턴(258)이 형성되어 있으며, 상기 돌출 패턴(258)을 감싸며 드레인 콘택홀(254)을 통해 드레인 전극(242)과 연결되어 연결 전극(262)이 형성되어 있다. 상기 돌출 패턴(258) 및 연결 전극(262)은 전기적 연결패턴(266)을 이룬다.

그리고, 상기 연결 전극(262)과 동일 공정에서 동일 물질로 이루어지며, 상기 제 1 게이트 전극(218)과 대응된 패턴 구조로 제 2 게이트 전극(264)이 형성되어 있다.

상기 제 2 게이트 전극(264)은, 상기 제 1 연결배선(216)과 대응된 위치에 형성된 제 2 연결배선(265)에서 연장형성되어 있고, 상기 제 2 연결배선(265)은 상기 제 2 콘택홀(257)을 통해 스위칭용 드레인 전극(236)과 연결되므로, 상기 제 1, 2 게이트 전극(218, 264)은 스위칭용 드레인 전극(236)을 통해 전기적으로 연결된다.

즉, 상기 제 1, 2 게이트 전극(218, 264)은 스위칭용 드레인 전극(236)을 통해 전기적으로 연결 구조를 가진다.

상기 제 1, 2 게이트 전극(218, 264), 반도체층(224), 소스 전극(240) 및 드레인 전극(242)은 듀얼게이트 구조 구동 박막트랜지스터(Td)를 이루는 것을 특징으로 한다.

본 실시예에서는, 또 하나의 제 2 게이트 전극(264)을 구비함으로써, 제 1 게이트 전극(218)과 소스 전극(240) 및 드레인 전극(242) 간의 백채널(B-CH ; back channel)과, 제 2 게이트 전극(264)과 소스 전극(240) 및 드레인 전극(242) 간의 프론트 채널(F-CH ; front channel)을 모두 이용함으로써, 캐리어의 이동을 보다 활발히 함에 따라 구동용 박막트랜지스터의 구동 능력을 보다 향상시킬 수 있다.

도 6a 내지 6i, 도 7a 내지 7i는 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자용 기판의 제조 공정을 단계별로 나타낸 도면으로서, 도 6a 내지 6i는 평면도이고, 도 7a 내지 7i는 상기 도 6의 절단선 "VII-VII"에 따라 절단된 단면도이며, 상기 제 1, 2 실시예에서 설명된 기본적인 구조에 대한 제조 공정은 간략하게 설명하거나 생략하고, 구동용 박막트랜지스터의 듀얼 게이트 구조를 중심으로 설명한다.

도 6a, 7a는, 기판(210) 상에 제 1 연결배선(216)과, 상기 제 1 연결배선(216)에서 연장형성되는 게이트 전극(218)을 형성하는 단계이다.

이 단계에서는, 제 1 방향으로 위치하며, 스위칭용 게이트 전극(212)이 분기된 게이트 배선(214)을 형성하는 단계를 포함한다.

도 6b, 7b는, 상기 게이트 전극(218)을 덮는 기판 전면에 게이트 절연막(220)을 형성하는 단계와, 상기 게이트 절연막(220) 상부에 순수 비정질 실리콘 물질, 불순물 비정질 실리콘 물질이 차례대로 형성한 다음, 상기 게이트 절연막(220) 상부의 게이트 전극(218)을 덮는 위치에 반도체층(224)을 형성하는 단계이다.

이 단계에서는, 상기 게이트 절연막(220) 상부의 스위칭용 게이트 전극(212)을 덮는 위치에 스위칭용 반도체층(222)을 형성하는 단계를 포함한다.

본 발명에서는, 상기 비정질 실리콘 물질 대신에 마이크로 결정화 물질을 이용하는 경우도 포함한다.

도 6c, 7c는, 상기 제 1 연결배선(216)을 일부 노출시키기 위하여, 게이트 절연막(220)에 제 1 콘택홀(230)을 형성하는 단계이다.

경우에 따라서, 상기 도 6c, 7c 제조 단계가 도 6b, 7b 단계보다 앞서서 진행될 수도 있다.

그리고, 도 6d, 7d는, 상기 반도체층(224) 상부에서 서로 이격되는 아일랜드 패턴 구조의 소스 전극(240) 및 드레인 전극(242)을 형성하는 단계이다.

이 단계에서는, 상기 스위칭용 반도체층(222) 상부에서 서로 이격되게 위치하는 스위칭용 소스 전극(234) 및 스위칭용 드레인 전극(236)과, 상기 스위칭용 소스 전극(234)을 포함하며, 상기 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(232)을 형성하는 단계를 포함한다.

이 단계에서, 상기 스위칭용 드레인 전극(236)은 제 1 콘택홀(230)을 통해 제 1 연결배선(216)과 연결되어, 상기 제 1 연결배선(216)을 통해 스위칭용 드레인 전극(236)과 제 1 게이트 전극(218)은 전기적으로 연결된다. 상기 스위칭용 드레인 전극(236)에서 연장형성되어 제 1 커패시터 전극(238)을 형성하는 단계를 포함한다.

그리고, 이 단계에서는 소스 전극(240)과 드레인 전극(242) 사이 구간에 위치하는 불순물 반도체 물질은 제거되고, 그 하부층을 이루는 순수 반도체 물질을 노출시키는 단계를 포함하여 채널(CH)을 형성하는 단계를 포함한다.

이 단계에서는, 상기 스위칭용 소스 전극(234)과 스위칭용 드레인 전극(236) 사이구간에 또 하나의 채널(ch)을 형성하는 단계를 포함한다.

그리고, 상기 반도체층(224)은, 순수 반도체 물질로 이루어진 액티브층(224a)과, 불순물 반도체 물질로 이루어지며 채널(CH)을 제외한 반도체층 영역에 위치하는 오믹콘택층(224b)으로 이루어진다.

상기 스위칭용 게이트 전극(212), 스위칭용 반도체층(222), 스위칭용 소스 전극(234), 스위칭용 드레인 전극(236)은 스위칭용 박막트랜지스터(Ts)를 이룬다.

도면으로 제시하지 않았지만, 상기 스위칭용 반도체층(222)도 상기 반도체층(224)과 동일한 구조로 이루어진다.

다음, 도 6e, 7e는 상기 소스 전극(240) 및 드레인 전극(242)을 덮는 기판 전면에 위치하며, 상기 소스 전극(240)을 일부 노출시키는 영역에 소스 콘택홀(244)을 가지는 제 1 보호층(246)을 형성하는 단계이다.

그리고, 도 6f, 7f는 상기 제 1 보호층(246) 상부에, 상기 소스 콘택홀(244)을 통해 소스 전극(240)과 연결되는 파워 전극(248)을 형성하는 단계이다.

이 단계에서는, 상기 파워 전극(248)을 포함하며, 상기 제 2 방향으로 데이터 배선(232)과 이격되게 위치하는 파워 배선(252)과, 상기 파워 배선(252)에서 분기되며, 상기 제 1 커패시터 전극(238)과 중첩된 위치에 제 2 커패시터 전극(250)을 가지는 파워 배선(252)을 형성하는 단계이다.

상기 제 1, 2 커패시터 전극(238, 250)은 제 1 보호층(246)이 개재된 상태에서 스토리지 커패시터(Cst)를 이룬다.

그리고, 상기 게이트 배선(214), 데이터 배선(232), 파워 배선(252)이 서로 교차하는 영역은 화면을 구현하는 최소 단위인 화소 영역(P)으로 정의된다.

다음, 도 6g, 7g는, 상기 파워 전극(248)을 덮는 기판 전면에 위치하며, 상기 제 1 보호층(246)과 공통적으로 스위칭용 드레인 전극(236)을 일부 노출시키는 제 2 콘택홀(257)을 가지는 제 2 보호층(256)을 형성하는 단계이다.

이 단계에서는, 상기 제 1, 2 보호층(246, 256)에 드레인 전극(242)을 일부 노출시키는 드레인 콘택홀(254)을 형성하는 단계를 포함한다.

도 6h, 7h는, 상기 제 2 보호층(256) 상부의 드레인 콘택홀(254)과 인접한 화소 영역(P)에 일정 두께를 갖는 돌출 패턴(258)을 형성하는 단계이다.

다음, 도 6i, 7i는, 상기 돌출 패턴(258)을 감싸는 영역에, 상기 드레인 콘택홀(254)을 통해 드레인 전극(242)과 연결되는 연결 전극(262)을 형성하는 단계와, 동일 단계에서 동일 물질을 이용하여 상기 제 2 콘택홀(257)을 통해 스위칭용 드레인 전극(236)과 연결되는 제 2 연결배선(265)과, 상기 제 2 연결배선(265)에서 연장형성되며, 상기 제 1 게이트 전극(218)과 대응된 패턴 구조로 대응되게 위치하는 제 2 게이트 전극(264)을 형성하는 단계이다.

상기 제 1 게이트 전극(218), 반도체층(224), 소스 전극(240), 드레인 전극(242), 제 2 게이트 전극(264)으로 이루어지는 듀얼게이트(dual gate) 구조 구동용 박막트랜지스터(Td)를 이루고, 상기 구동용 박막트랜지스터(Td)는, 제 1 게이트 전극(218)과 소스 전극 (240)및 드레인 전극(242)간의 백채널(B-CH ; back channel)과, 제 2 게이트 전극(264)과 소스 전극(240) 및 드레인 전극(242)간의 프론트 채널(F-CH ; front channel)을 채널(CH)로 이용할 수 있고, 이에 따라 전류량을 증가시켜 구동 능력이 향상된 구동용 박막트랜지스터를 제공할 수 있다.

이하, 본 발명의 또 다른 실시예는, 전기적으로 높은 전류가 흐를 수 있는 구조를 제공하기 위하여 상기 제 1, 2 게이트 배선 간의 콘택 부분을 멀티 콘택홀 구조로 형성하는 실시예이다.

-- 제 3 실시예 --

도 8은 본 발명의 제 3 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 평면도로서, 상기 제 2 실시예와 구별되는 특징적인 부분을 중심으로 설명한다.

도시한 바와 같이, 제 1, 2 연결배선(316, 365)에서 연장형성되어 제 1, 2 게이트 전극(318, 364)이 형성되어 있고, 제 1, 2 연결배선(316, 365)은 제 1 내지 3 콘택홀(330a, 330b, 330c)을 통해 스위칭용 드레인 전극(336)과 연결되어 있다.

상기 제 1 연결배선(316) 및 제 1 게이트 전극(318)과, 스위칭용 드레인 전극(336)과, 제 2 연결배선(365) 및 제 2 게이트 전극(364) 간의 적층 구조는 제 2 실시예를 적용할 수 있다.

즉, 도면으로 상세히 제시하지 않았지만, 상기 스위칭용 드레인 전극(336)은 게이트 절연막이 가지는 제 1 내지 제 3 콘택홀을 통해 제 1 연결배선(316)과 연결되고, 제 2 연결배선(365)은 제 1, 2 보호층이 가지며, 상기 제 1 내지 제 3 콘택홀과 대응된 위치에 형성된 또 하나의 제 1 내지 제 3 콘택홀을 통해 스위칭용 드레인 전극(336)과 연결된다.

본 실시예에서는, 전류량은 단면적에 비례하는 원리를 이용하여 다수 개의 콘택홀을 통해, 제 1, 2 연결배선(316, 365)과 스위칭용 드레인 전극(336) 간의 접촉 면적을 넓힘에 따라, 스위칭용 드레인 전극(336)을 통해 제 1, 2 게이트 전극(318, 364)에 인가되는 전류량을 증가시킬 수 있고, 이에 따라 구동능력이 향상된 구동용 박막트랜지스터를 제공할 수 있다.

상기 콘택홀의 배치 구조 및 갯수는 다양하게 변경가능하다.

본 실시예에 따른 제조 공정은 상기 제 2 실시예에 따른 제조 공정을 적용할 수 있으면, 단 상기 제 2 실시예에서 스위칭용 드레인 전극과 연결 배선의 전기적 연결을 위한 콘택홀 공정시, 멀티 콘택홀을 형성한다는 점에서 차이점을 가진다.

이하, 본 발명의 또 다른 실시예는, 서로 이웃하는 두 개의 화소 영역이 하나의 파워 배선을 공용하는 구조에 대한 실시예로서, 고해상도의 경우 유기전계발광 소자에 필요한 충분한 전류를 내기 위한 구동용 박막트랜지스터의 제작이 어려운 경우, 파워 배선을 인접하는 화소 영역 간에 공유함으로써 구동용 박막트랜지스터의 형성 공간을 확보할 수 있고, 또한 상기 본 발명의 제 2, 3 실시예에 따른 고성능의 구동용 박막트랜지스터를 사용함으로 인하여 고성능 및 고해상도의 제품을 제작을 목적으로 하는 실시예이다.

도 9a, 9b는 듀얼패널타입 유기전계발광 소자의 등가회로도로서, 도 9a는 일반적인 듀얼패널타입 유기전계발광 소자에 대한 것이고, 도 9b는 본 발명에 따른 파워라인공용 구조 듀얼패널타입 유기전계발광 소자에 대한 것이다.

도 9a는, 제 1 방향으로 게이트 배선(GL ; gate line)이 형성되어 있고, 상기 제 1 방향과 교차되는 제 2 방향으로 교대로 데이터 배선(DL ; data line) 및 파워 배선(PL ; powersupply line)이 서로 이격되게 형성되어 있으며, 상기 게이트 배선(GL), 데이터 배선(DL), 파워 배선(PL)이 서로 교차되는 영역은 화소 영역(P)으로 정의된다.

각 화소 영역(P)에는, 상기 게이트 배선(GL) 및 데이터 배선(DL)에서 인가되는 전압을 온/오프하는 스위칭용 박막트랜지스터(Ts)와, 상기 스위칭용 박막트랜지스터(Ts)와 파워 배선(PL)에서 인가되는 전압을 이용하여 유기전계발광 다이오드 소자(E)의 발광 휘도를 조정하는 구동용 박막트랜지스터(Td)와, 상기 스위칭용 박막트랜지스터(Ts)와 파워 배선(PL)에서 연장형성되어 스토리지 커패시터(Cst)가 형성되어 있고, 상기 구동용 박막트랜지스터(Td)와 연결되어 유기전계발광 다이오드 소자(E)가 형성되어 있다.

일반적인 구조에서는, 화소 영역(P) 별로 데이터 배선(DL) 및 파워 배선(PL)이 구비되고, 화소 영역(P) 간에는 배선 간의 단락 등을 방지하기 위해 일정 간격 이격됨에 따라, 고해상도 모델에 적용하기 어려운 단점이 있다.

이러한 단점을 해결하기 위하여, 본 발명에서는 도 9b에 제시한 바와 같이, 동일한 게이트 배선(GL)에서 신호를 인가받는 서로 이웃하는 한 쌍의 화소 영역(P)이 파워 배선(PL)을 공용하는 구조를 제안한다.

본 구조에 의하면, 화소 영역(PL)간 이격 영역(SA ; standoff area)을 화소 영역(P)으로 활용할 수 있어서, 고해상도 구조에 적합하며 상기 제 2, 3 실시예에서 제시한 듀얼게이트 구조 구동용 박막트랜지스터 구조를 적용하여 제품의 구동 능력을 향상시키고자 한다.

이하, 본 발명의 또 다른 실시예는, 상기 도 9b에서 제시한 파워배선 공용 구조에 듀얼게이트 구조를 적용한 실시예이다.

-- 제 4 실시예 --

도 10a, 10b는 본 발명의 제 4 실시예에 따른듀얼패널타입 유기전계발광 소자에 대한 평면도로서, 도 10a는 상기 제 2 실시예에 대한 변형예이고, 도 10b는 상기 제 3 실시예에 대한 변형예로서, 상기 제 2, 3 실시예와 중복되는 구조에 대한 설명은 간략히 한다.

도시한 바와 같이, 동일한 게이트 배선(414a, 414b)에 연결된 한 쌍의 화소 영역(PP)은 동일한 파워 배선(452a, 452b)과 연결되어 있는 것을 특징으로 한다.

따라서, 한 쌍의 화소 영역(PP)은 양측에, 제 1, 2 화소영역(P1, P2)별로 배치되는 데이터 배선(432a, 432b)이 위치하고, 화소 영역간 경계부에 공용 파워 배선(452a, 452b)이 위치하는 구조를 가진다.

이에 따라, 하나의 파워 배선(452a, 452b)을 공용하는 이웃하는 제 1, 2 화소 영역(P1, P2) 내 배치 구조는 파워 배선(452a, 452b)을 기준으로 대칭되게 위치한다.

상기 파워 배선(452a, 452b)에서는 양 방향으로 제 1, 2 파워 전극((448a, 448b), (448aa, 448bb))과, 제 I, II 커패시터 전극((450a, 450b), (450aa, 450bb))이 분기되어 있다. 상기 I, II 커패시터 전극((450a, 450b), (450aa, 450bb))은 실질적으로 상기 제 2, 3 실시예에서 언급한 제 2 커패시터 전극에 해당된다.

상기 제 1 파워 전극(448a, 448aa)과 연결되어 제 1 화소 영역(P1)의 소스 전극(440a, 440b)이 연결되어 있고, 제 2 파워 전극(448b, 448bb)과 연결되어 제 2 화소 영역(P2)의 소스 전극(440aa, 440bb)이 연결되어 있으며, 제 I 커패시터 전극(450a, 450aa)은 제 1 화소 영역(P1)의 제 1 커패시터 전극(438a, 438b)과 중첩된 영역에서 절연체가 개재된 상태에서 스토리지 커패시터(Cst)를 이루고, 제 II 커패시터 전극(450b, 450bb)은 제 2 화소 영역(P2)의 제 1 커패시터 전극(438aa, 438bb)과 중첩된 영역에서 절연체가 개재된 상태에서 스토리지 커패시터(Cst)를 이룬다.

도 10a에서는, 구동용 박막트랜지스터(Td)는 게이트 공정에서 형성된 제 1 게이트 전극(418a)과, 연결 전극(462a) 제조 공정에서 형성된 제 2 게이트 전극(464a)으로 이루어진 듀얼게이트 전극을 가지며, 상기 제 1, 2 게이트 전극(418a, 464a) 간의 전기적 연결을 위한 콘택홀(430)이 단일 콘택홀로 이루어져 있으며, 도 10b는, 상기 제 1, 2 게이트 전극(418b, 464b) 간의 전기적 연결을 위한 콘택홀(430)이 멀티 콘택홀(430a, 430b, 430c) 구조인 것을 특징으로 한다.

본 실시예에 의하면, 파워 배선을 공용하는 구조로 이루어져 화소 영역 간의 이격 영역의 생략으로 개구율을 향상시킬 수 있어서, 고해상도 제품에 적합한 장점과, 듀얼게이트 구조를 가지는 구동용 박막트랜지스터 구조의 채용으로 구동 능력을 향상시킬 수 있는 장점을 가진다.

본 실시예의 제조 공정은, 기본적으로 상기 제 2 실시예에 따른 제조 공정을 적용할 수 있으며, 단 데이터 배선과 파워 배선의 배치 구조 변경 및 파워 배선 패턴 변경에서 차이점을 가진다.

그러나, 본 발명은 상기 실시예 들로 한정되지 않고, 본 발명의 취지에 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

예를 들어서, 본 발명에서는 상기 제 2 내지 제 3 실시예에 따른 구동용 박막트랜지스터를 포함하는 어레이 소자층을 가지는 제 1 기판과, 상기 제 1 기판과 대향되게 배치되며 유기전계발광 다이오드 소자를 가지는 제 2 기판으로 이루어지는 듀얼패널타입 유기전계발광 소자 및 그 제조방법을 포함하며, 제 2 기판의 구체적인 구조는 상기 제 1 실시예에서 제시되어 있다.

발명의 효과

이상과 같이, 본 발명에 따른 듀얼패널타입 유기전계발광 소자 및 그 제조방법에 의하면,첫째, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산성을 향상시킬 수 있고, 제품수명을 효과적으로 늘릴 수 있으며, 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현 및 신뢰성을 향상시킬 수 있고, 세째 게이트 공정에서 형성된 제 1 게이트 전극과, 상, 하부 기판의 전기적 연결 전극의 제조 단계에서 형성되며, 상기 제 1 게이트 전극과 연결되는 제 2 게이트 전극을 가지는 듀얼게이트 구조로 구동용 박막트랜지스터를 형성함에 따라, 백 채널과 프론트 채널을 모두 채널로 이용할 수 있어서 소자의 구동 능력을 향상시킬 수 있어서, 생산성 및 구동 능력이 높은 소자의 제작이 가능하고, 네째 파워라인 공용구조에 듀얼게이트 구조 구동용 박막트랜지스터 구조를 적용함으로써, 구동 능력과 함께 개구율 향상 효과를 가져 고화질/고해상도 및 고성능 제품 제작이 가능하다.

(57) 청구의 범위

청구항 1.

제 1 기판 상에 형성된 다수 개의 게이트 배선, 데이터 배선, 파워 배선과;

상기 게이트 배선과 데이터 배선에서 인가되는 전압을 제어하는 스위칭용 박막트랜지스터와;

상기 스위칭 박막트랜지스터의 어느 한 구동 전극과 연결되는 제 1 게이트 전극과, 상기 제 1 게이트 전극을 덮는 영역에 형성된 반도체층과, 상기 반도체층 상부에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극을 덮는 영역에 형성된 절연층과, 상기 절연층 상부의 제 1 게이트 전극과 대응된 위치에서, 상기 제 1 게이트 전극과 연결되는 제 2 게이트 전극으로 이루어진 듀얼게이트 구조 구동용 박막트랜지스터와;

상기 듀얼게이트 구조 구동용 박막트랜지스터의 드레인 전극과 연결되며, 일정두께를 가지는 전기적 연결패턴과;

상기 제 1 기판과 대향되는 제 2 기판 하부에 형성되며, 상기 전기적 연결패턴과 연결되는 유기전계발광 다이오드 소자

를 포함하는 듀얼패널타입 유기전계발광 소자.

청구항 2.

구동용 박막트랜지스터를 포함하는 어레이 소자와, 상기 구동용 박막트랜지스터와 연결되는 전기적 연결패턴이 형성된 제 1 기판과, 상기 제 1 기판과 대향되게 배치되는 제 2 기판과, 상기 제 2 기판에 형성되며, 상기 전기적 연결패턴과 연결되는 유기전계발광 다이오드 소자를 포함하는 듀얼패널타입 유기전계발광 소자용 기판에 있어서,

기판 상에 형성된 다수 개의 게이트 배선, 데이터 배선, 파워 배선과;

상기 게이트 배선과 데이터 배선에서 인가되는 전압을 제어하는 스위칭용 박막트랜지스터와;

상기 스위칭 박막트랜지스터의 어느 한 구동 전극과 연결되는 제 1 게이트 전극과, 상기 제 1 게이트 전극을 덮는 영역에 형성된 반도체층과, 상기 반도체층 상부에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극을 덮는 영역에 형성된 절연층과, 상기 절연층 상부의 제 1 게이트 전극과 대응된 위치에서, 상기 제 1 게이트 전극과 연결되는 제 2 게이트 전극으로 이루어진 듀얼게이트 구조 구동용 박막트랜지스터와;

상기 듀얼게이트 구조 구동용 박막트랜지스터의 드레인 전극과 연결되며, 일정두께를 가지는 전기적 연결패턴

을 포함하는 듀얼패널타입 유기전계발광 소자용 기판.

청구항 3.

구동용 박막트랜지스터를 포함하는 어레이 소자와, 상기 구동용 박막트랜지스터와 연결되는 전기적 연결패턴이 형성된 제 1 기판과, 상기 제 1 기판과 대향되게 배치되는 제 2 기판과, 상기 제 2 기판에 형성되며, 상기 전기적 연결패턴과 연결되는 유기전계발광 다이오드 소자를 포함하는 듀얼패널타입 유기전계발광 소자용 기판에 있어서,

화면을 구현하는 최소 단위인 화소 영역이 정의된 기판 상에 제 1 방향으로 형성된 다수 개의 게이트 배선과;

상기 제 1 방향으로 교차되는 제 2 방향으로 형성되며, 이웃하는 두 개의 화소 영역 간 경계부별로 위치하는 다수 개의 파워 배선과, 상기 하나의 파워 배선을 공용하는 화소 영역의 양측에 각각 위치하는 다수 개의 데이터 배선과;

상기 게이트 배선 및 데이터 배선에서 인가되는 전압을 제어하는 스위칭 박막트랜지스터와;

상기 스위칭 박막트랜지스터의 어느 한 구동 전극과 연결되는 제 1 게이트 전극과, 상기 제 1 게이트 전극을 덮는 영역에 형성된 반도체층과, 상기 반도체층 상부에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극을 덮는 영역에 형성된 절연층과, 상기 절연층 상부의 제 1 게이트 전극과 대응된 위치에서, 상기 제 1 게이트 전극과 연결되는 제 2 게이트 전극으로 이루어진 듀얼게이트 구조 구동용 박막트랜지스터와;

상기 듀얼게이트 구조 구동용 박막트랜지스터의 드레인 전극과 연결되며, 일정두께를 가지는 전기적 연결패턴과;

을 포함하며, 상기 동일한 파워 배선을 공용하는 한쌍의 화소 영역 내 배치 구조는 파워 배선을 중심으로 대칭적인 구조를 가지는 듀얼패널타입 유기전계발광 소자용 기판.

청구항 4.

제 2 항 또는 제 3 항 중 어느 하나의 항에 있어서,

상기 듀얼게이트 구조 구동용 박막트랜지스터는, 상기 제 1 게이트 전극과, 상기 소스 전극 및 드레인 전극 간에 가지는 백 채널(back-channel)과, 상기 제 2 게이트 전극과 상기 소스 전극 및 드레인 전극 간에 가지는 프론트 채널(front-channel)을 모두 채널로 가지는 듀얼패널타입 유기전계발광 소자용 기판.

청구항 5.

제 2 항 또는 제 3 항 중 어느 하나의 항에 있어서,

상기 전기적 연결패턴은, 일정 두께를 갖는 돌출 패턴과, 상기 돌출 패턴을 감싸는 구조로, 상기 드레인 전극과 연결되는 연결 전극으로 이루어지고, 상기 제 2 게이트 전극은, 상기 연결 전극과 동일 공정에서 동일 물질로 이루어지는 듀얼패널타입 유기전계발광 소자용 기판.

청구항 6.

제 2 항 또는 제 3 항 중 어느 하나의 항에 있어서,

상기 제 1 게이트 전극과 연결되는 스위칭 박막트랜지스터의 어느 한 구동 전극은 스위칭용 드레인 전극이며, 상기 제 1, 2 게이트 전극은 상기 스위칭용 드레인 전극을 통해 전기적으로 연결되고, 상기 스위칭용 드레인 전극과는 상기 스위칭용 드레인 전극을 노출시키는 제 1 콘택홀을 통해 연결되는 듀얼패널타입 유기전계발광 소자용 기판.

청구항 7.

제 6 항에 있어서,

상기 제 1, 2 게이트 전극은 제 1, 2 연결 배선에서 연장형성되며, 상기 제 1, 2 게이트 전극은 상기 제 1, 2 연결 배선과 상기 스위칭용 드레인 전극 간의 연결을 통해, 상기 스위칭용 드레인 전극과 전기적으로 연결되는 듀얼패널타입 유기전계발광 소자용 기판.

청구항 8.

제 6 항에 있어서,

상기 제 1 콘택홀은, 다수 개의 콘택홀인 듀얼패널타입 유기전계발광 소자용 기판.

청구항 9.

제 3 항에 있어서,

상기 하나의 파워 배선은, 양방으로 분기된 두 개의 파워 전극 및 두 개의 커패시터 전극을 가지고, 상기 파워 전극은 소스 전극과 연결되고, 상기 커패시터 전극은 상기 스위칭 소자의 어느 한 구동 전극에서 연장형성된 또 하나의 커패시터 전극과 절연체가 개재된 상태에서 스토리지 커패시터를 이루는 듀얼패널타입 유기전계발광 소자용 기판.

청구항 10.

제 2 항 또는 제 3 항 중 어느 하나의 항에 있어서,

상기 반도체층은 비정질 실리콘 물질 또는 마이크로 결정화 물질 중 어느 하나에서 선택되는 듀얼패널타입 유기전계발광 소자용 기판.

청구항 11.

제 1 기판 상에 다수 개의 게이트 배선, 데이터 배선, 파워 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선에서 인가되는 전압을 제어하는 스위칭용 박막트랜지스터를 형성하는 단계와;

상기 스위칭용 박막트랜지스터의 어느 한 구동 전극과 상기 파워 배선에서 인가되는 전압을 이용하여 발광 휘도를 조절하며 제 1 게이트 전극을 포함하는 구동용 박막트랜지스터를 형성하는 단계와;

상기 구동용 박막트랜지스터와 연결되며 일정 두께를 가지는 전기적 연결패턴을 형성하는 단계와;

또 하나의 기판인 제 2 기판 상에 유기전계발광 다이오드 소자를 형성하는 단계와;

상기 전기적 연결패턴과 유기전계발광 다이오드 소자가 접촉되는 방향으로, 상기 제 1, 2 기판을 합착하는 단계

를 포함하며, 상기 전기적 연결패턴을 형성하는 단계에서는 상기 구동용 박막트랜지스터의 제 1 게이트 전극과 연결되며, 상기 제 1 게이트 전극과 대응된 위치에 또 하나의 제 2 게이트 전극을 형성하는 단계를 포함하는 듀얼패널타입 유기전계발광 다이오드 소자의 제조방법.

청구항 12.

제 11 항에 있어서,

상기 전기적 연결패턴을 형성하는 단계는,

돌출패턴을 형성하는 단계와;

상기 돌출패턴을 감싸는 구조로 상기 구동용 박막트랜지스터의 일전극과 접촉하는 연결전극과, 상기 연결전극과 동일한 층에 동일 물질로써 상기 제 2 게이트 전극을 형성하는 단계

를 더욱 포함하는 듀얼패널타입 유기전계발광 다이오드 소자의 제조방법.

청구항 13.

제 1 기판 상에 다수 개의 게이트 배선, 데이터 배선, 파워 배선과, 상기 게이트 배선과 데이터 배선에서 인가되는 전압을 제어하는 스위칭 박막트랜지스터와, 상기 스위칭 박막트랜지스터 및 파워 배선에서 인가되는 전압을 이용하여 발광 휘도를 조절하는 구동용 박막트랜지스터와, 상기 구동용 박막트랜지스터와 연결되는 전기적 연결패턴과, 상기 제 1 기판과 대향되는 제 2 기판과, 상기 제 2 기판에 형성되며, 상기 전기적 연결패턴과 연결되는 유기전계발광 다이오드 소자를 포함하는 듀얼패널타입 유기전계발광 소자용 기판의 제조방법에 있어서,

제 1 기판 상에 제 1 방향으로 위치하며, 스위칭용 게이트 전극을 가지는 게이트 배선과, 제 1 연결배선과, 상기 제 1 연결배선에서 연장형성된 제 1 구동용 게이트 전극을 형성하는 단계와;

상기 게이트 배선을 덮는 영역에 게이트 절연막을 형성하고, 상기 게이트 절연막 상부의 스위칭용 게이트 전극 및 구동용 제 1 게이트 전극을 덮는 영역에 스위칭용 반도체층 및 구동용 반도체층을 각각 형성하는 단계와;

상기 게이트 절연막에, 상기 제 1 연결배선을 일부 노출시키는 제 1 콘택홀을 형성하는 단계와;

상기 스위칭 반도체층 상부에서 서로 이격되게 위치하는 스위칭용 소스 전극 및 상기 제 1 콘택홀을 통해 제 1 연결배선과 연결되는 스위칭용 드레인 전극과, 상기 구동용 반도체층 상부에서 서로 이격되게 위치하는 구동용 소스 전극 및 구동용 드레인 전극과, 상기 스위칭용 소스 전극과 연결되며, 상기 제 1 방향과 교차되는 제 2 방향으로 데이터 배선을 형성하는 단계와;

상기 스위칭용 소스 전극 및 스위칭용 드레인 전극 사이 구간과, 상기 구동용 소스 전극 및 구동용 드레인 전극 사이 구간에 위치하는 반도체층의 순수 반도체 물질 영역을 노출시켜 스위칭용 채널 및 구동용 채널을 각각 형성하는 단계와;

상기 스위칭용 소스 전극 및 스위칭용 드레인 전극을 덮는 기판 전면에, 상기 구동용 소스 전극을 일부 노출시키는 소스 콘택홀을 가지는 제 1 보호층을 형성하는 단계와;

상기 제 1 보호층 상부에, 상기 소스 콘택홀을 통해 소스 전극과 연결되는 파워 전극과, 상기 파워 전극과 연결되며, 상기 제 2 방향으로 데이터 배선과 이격되게 위치하는 파워 배선을 형성하는 단계와;

상기 파워 배선을 덮는 영역에, 상기 제 1 보호층과 공통적으로 구동용 드레인 전극을 일부 노출시키는 드레인 콘택홀과, 상기 제 1 콘택홀과 대응된 위치에서 상기 스위칭용 드레인 전극을 일부 노출시키는 제 2 콘택홀을 가지는 제 2 보호층을 형성하는 단계와;

상기 제 2 보호층 상부의 화소 영역에, 일정 두께를 가지는 돌출 패턴을 형성하는 단계와;

상기 돌출 패턴을 감싸는 영역에 위치하며, 상기 드레인 콘택홀을 통해 드레인 전극과 연결되는 연결 전극을 형성하는 단계와;

상기 연결 전극과 동일 공정에서 동일 물질을 이용하여, 상기 제 2 콘택홀을 통해 스위칭용 드레인 전극과 연결되는 제 2 연결배선과, 상기 제 2 연결배선에서 연장형성되며, 상기 제 1 게이트 전극과 대응되게 위치하는 제 2 게이트 전극을 형성하는 단계

를 포함하며, 상기 제 1, 2 게이트 전극은 스위칭용 드레인 전극을 통해 서로 전기적으로 연결되는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

청구항 14.

제 13 항에 있어서,

상기 제 1, 2 콘택홀은 각각 다수 개의 콘택홀인 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

청구항 15.

제 13 항에 있어서,

상기 데이터 배선을 형성하는 단계에서, 상기 데이터 배선은, 상기 제 1 방향으로 서로 이웃하는 두 개의 화소 영역의 양측에 배치되고, 상기 파워 배선을 형성하는 단계에서, 상기 파워 배선은 상기 두 개의 화소 영역의 경계부에 위치하여, 상기 두 개의 화소 영역은 하나의 파워 배선을 공용하는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

청구항 16.

제 15 항에 있어서,

상기 파워 배선에서, 상기 파워 전극 및 제 2 커패시터 전극은 양 방으로 두 개씩 분기되어 있고, 상기 파워 배선을 공용하는 두 개의 화소 영역의 배치 구조는 상기 파워 배선을 기준으로 서로 대칭적인 구조를 가지는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

청구항 17.

제 13 항에 있어서,

상기 제 1, 2 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 구동용 박막트랜지스터를 이루고, 상기 제 1 게이트 전극과 소스 전극 및 드레인 전극 간의 백 채널(back-channel)과, 상기 제 2 게이트 전극과 소스 전극 및 드레인 전극 간의 프론트 채널(front-channel)이 모두 채널로 이용되는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

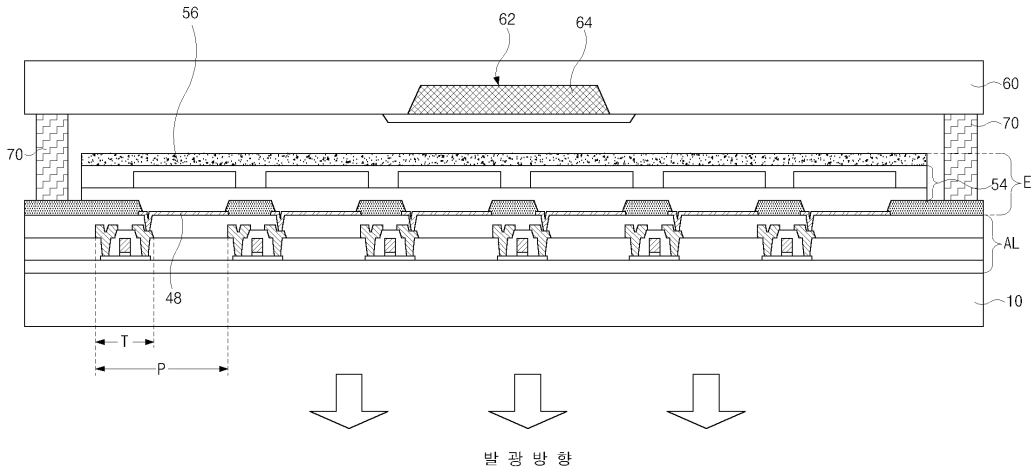
청구항 18.

제 13 항에 있어서,

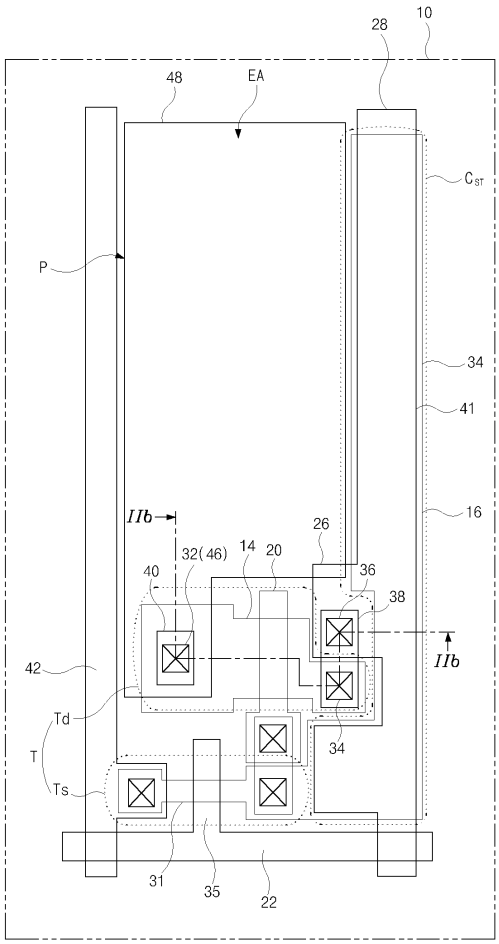
상기 스위칭용 반도체층 및 구동용 반도체층을 이루는 물질은 비정질 실리콘 물질 또는 마이크로 결정화 물질 중 어느 하나에서 선택되는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

도면

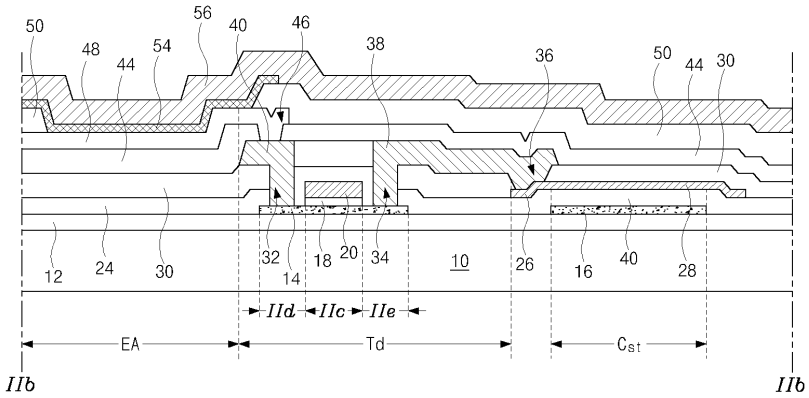
도면1


56
62
64
60
70
70
54
E
AL
48
10
T
P
발 광 방 향

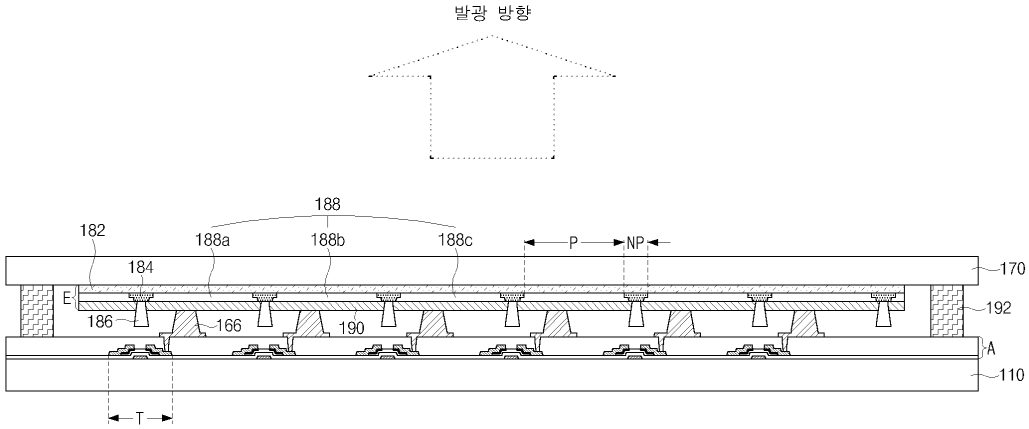
도면2a


10
28
48
EA
C_{ST}
P
34
41
16
IIb
26
32(46)
14
20
40
36
38
IIb
42
Td
T
Ts
34
31
35
22

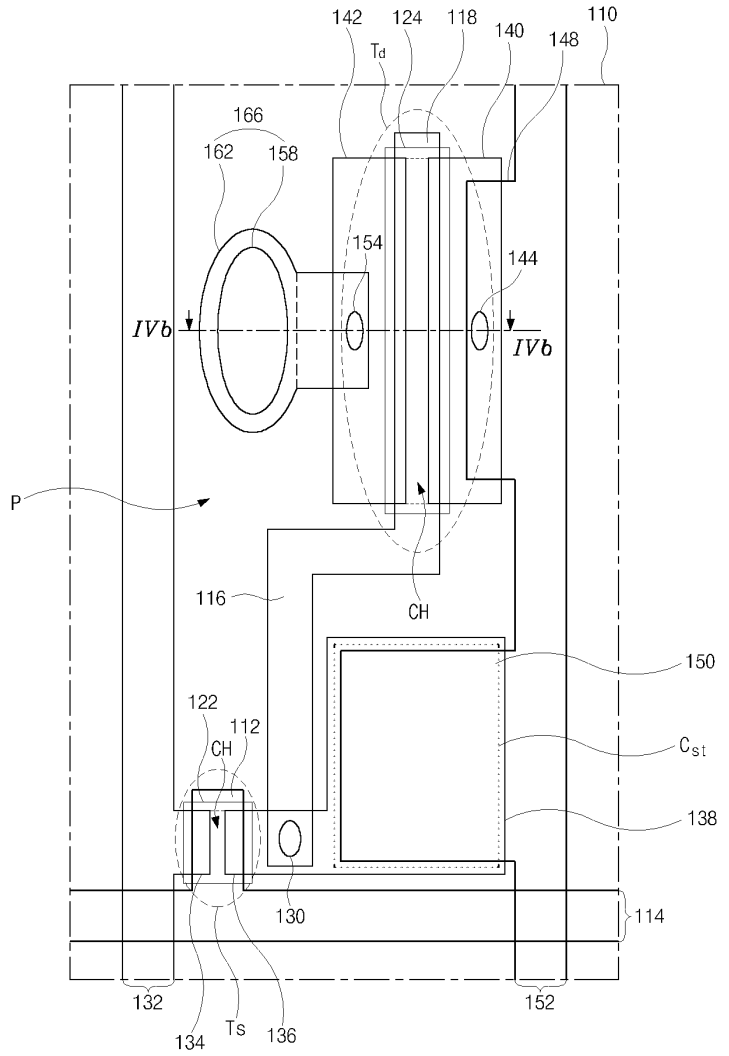
도면2b


50
48
44
54
56
40
46
38
36
50
44
30
12
24
30
32
14
18
20
34
10
26
16
40
28
IId
IIc
IIe
EA
Td
Cst
IIb
IIb

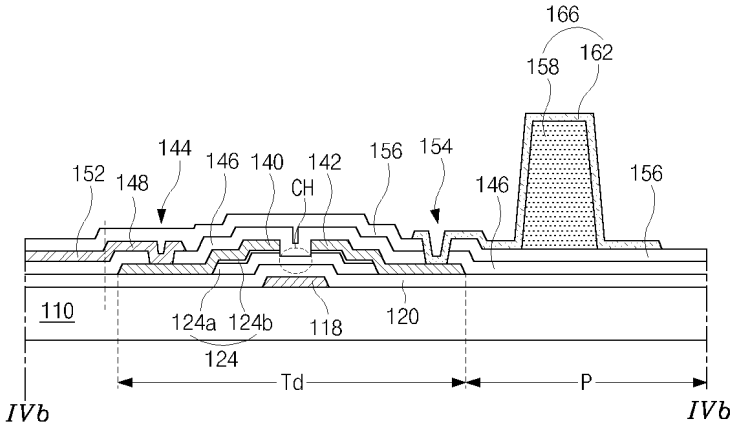
도면3


발광 방향
188
182
188a
188b
188c
P
NP
184
170
E
192
186
166
190
A
110
T

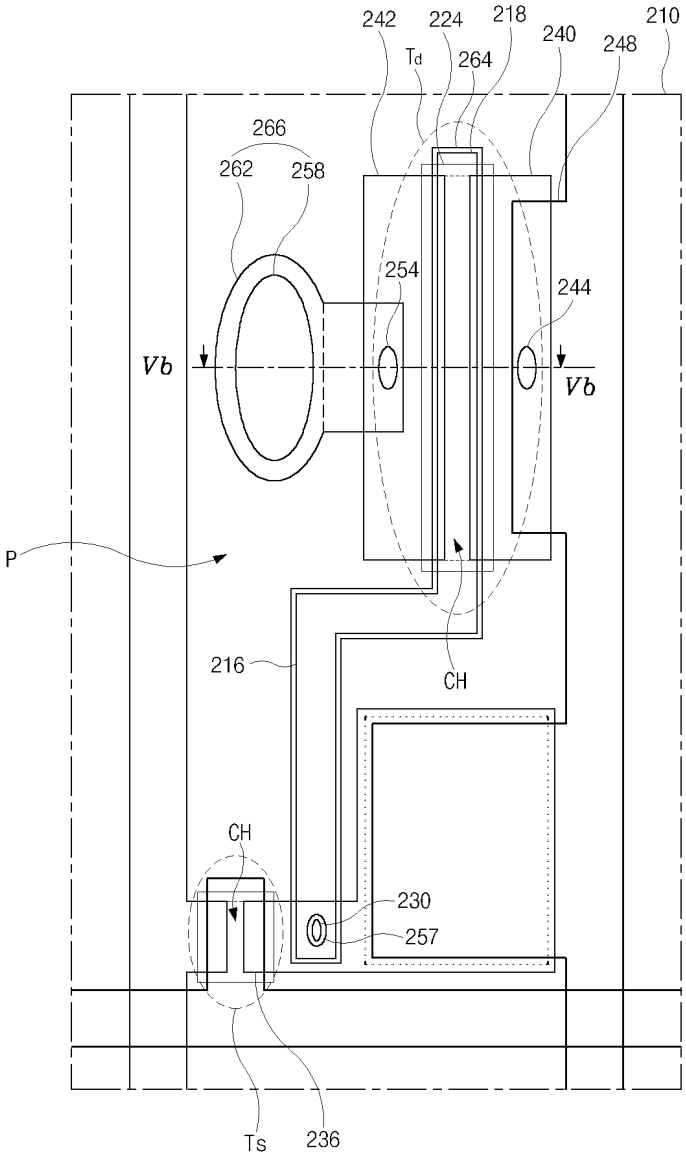
도면4a


142
124
118
140
148
110
Td
166
162
158
154
144
IVb
IVb
P
116
CH
150
122
112
CH
Cst
138
130
114
132
152
134
Ts
136

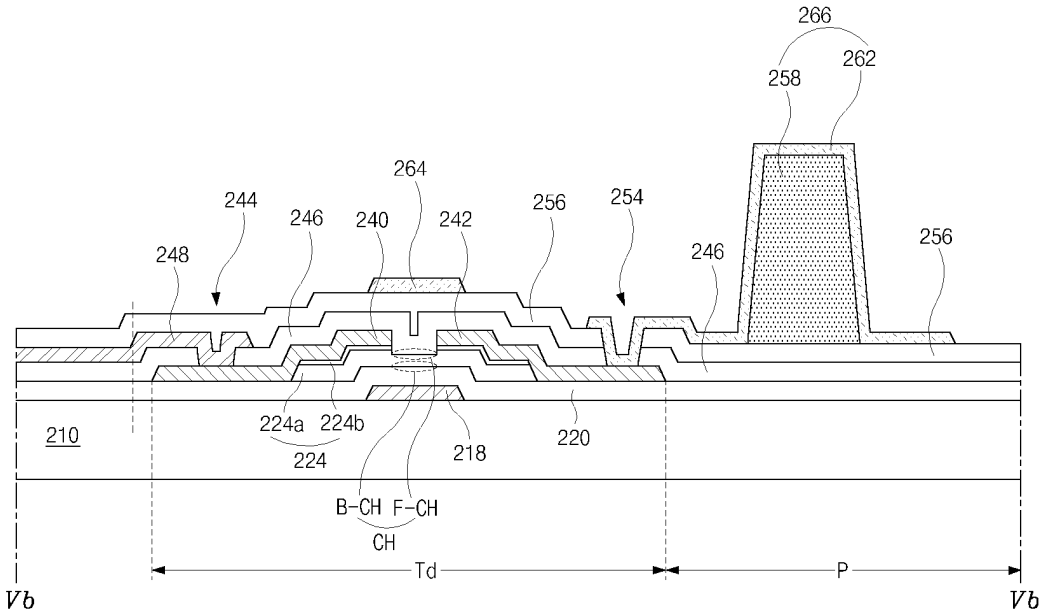
도면4b


166
158
162
144
152
148
146
140
142
CH
156
154
146
156
110
124a
124b
118
120
124
Td
P
IVb
IVb

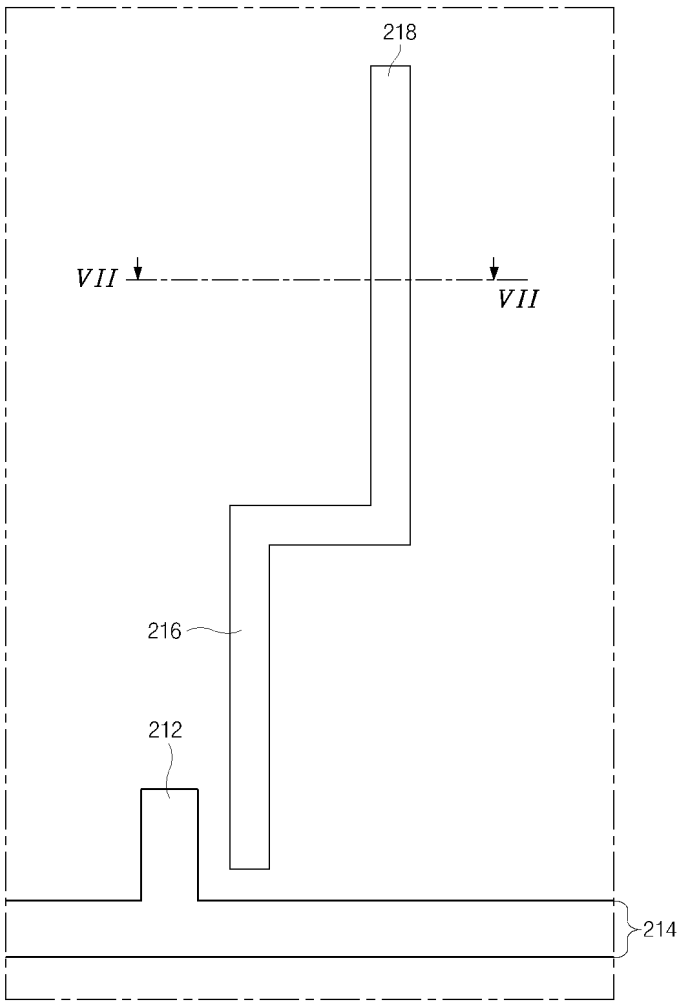
도면5a


242
224
218
240
248
210
Td
264
266
262
258
254
244
Vb
Vb
P
216
CH
CH
230
257
Ts
236

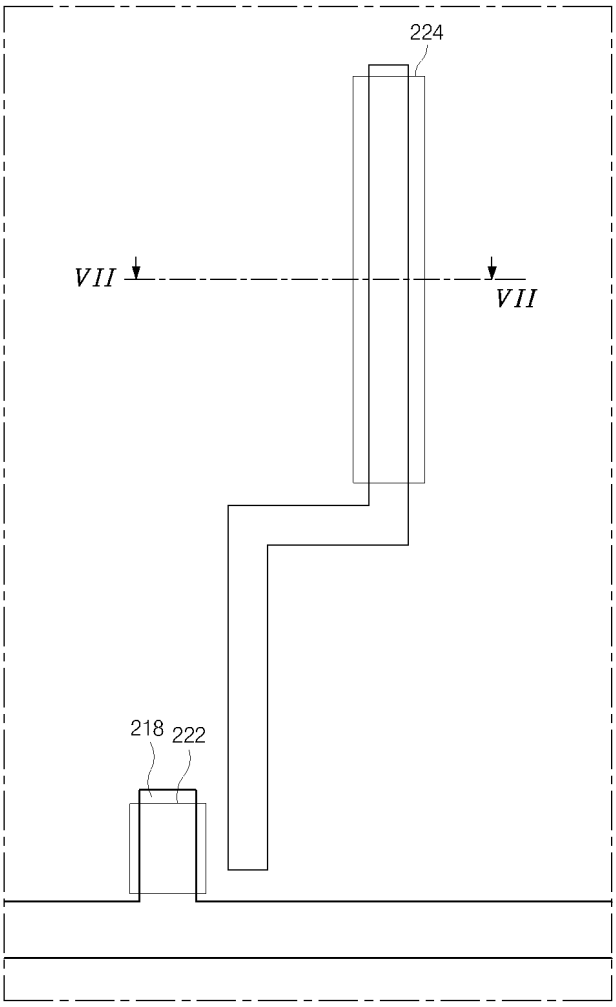
도면5b


266
262
258
264
244
246
240
242
256
254
248
246
256
224a
224b
224
218
220
210
B-CH
F-CH
CH
Td
P
Vb
Vb

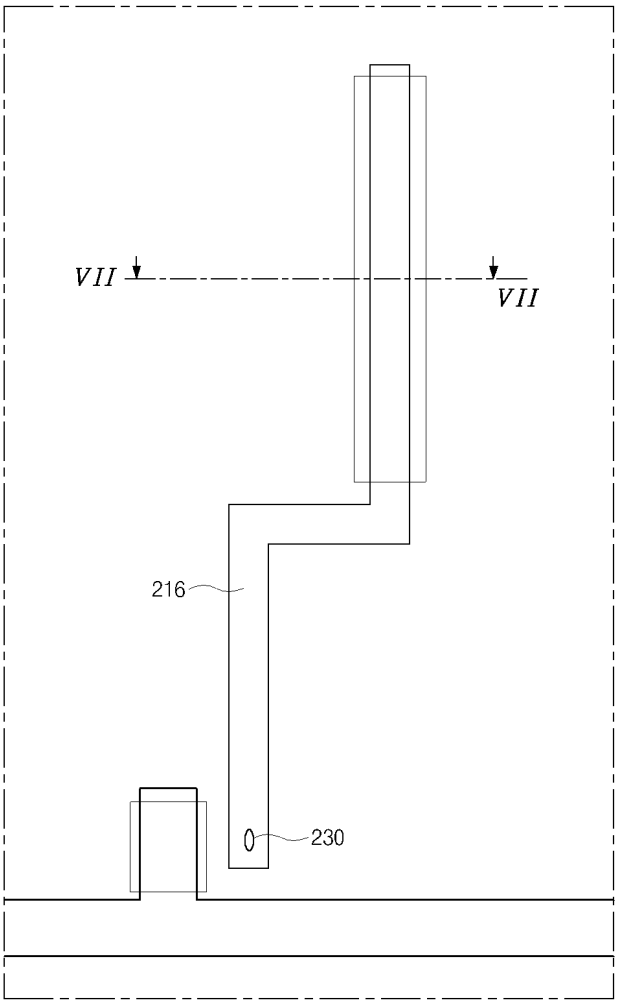
도면6a


218
VII
VII
216
212
214

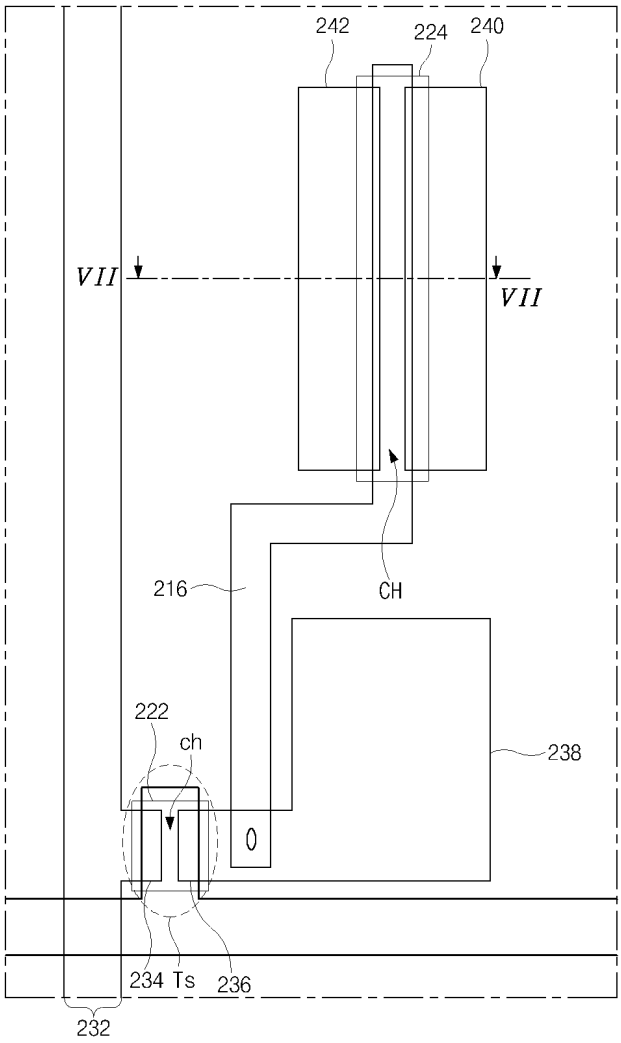
도면6b



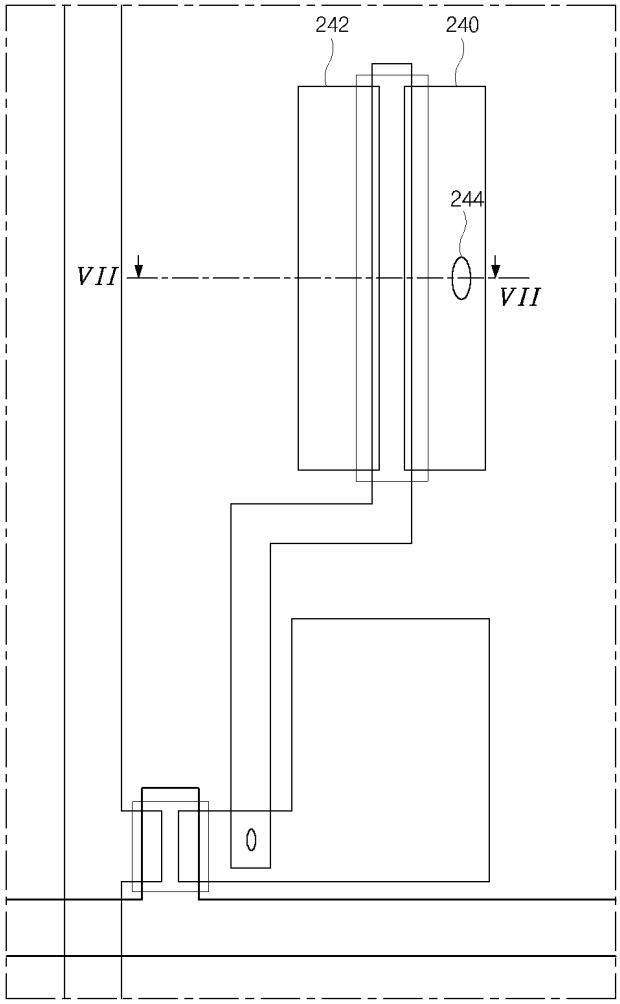
도면6c



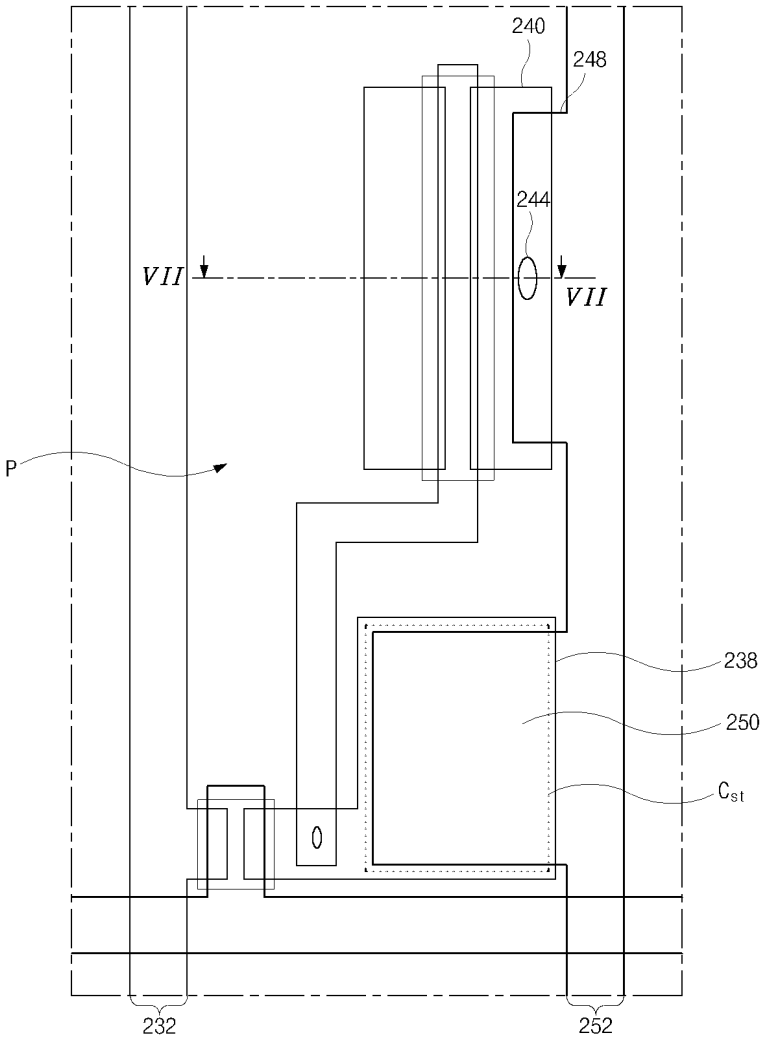
도면6d



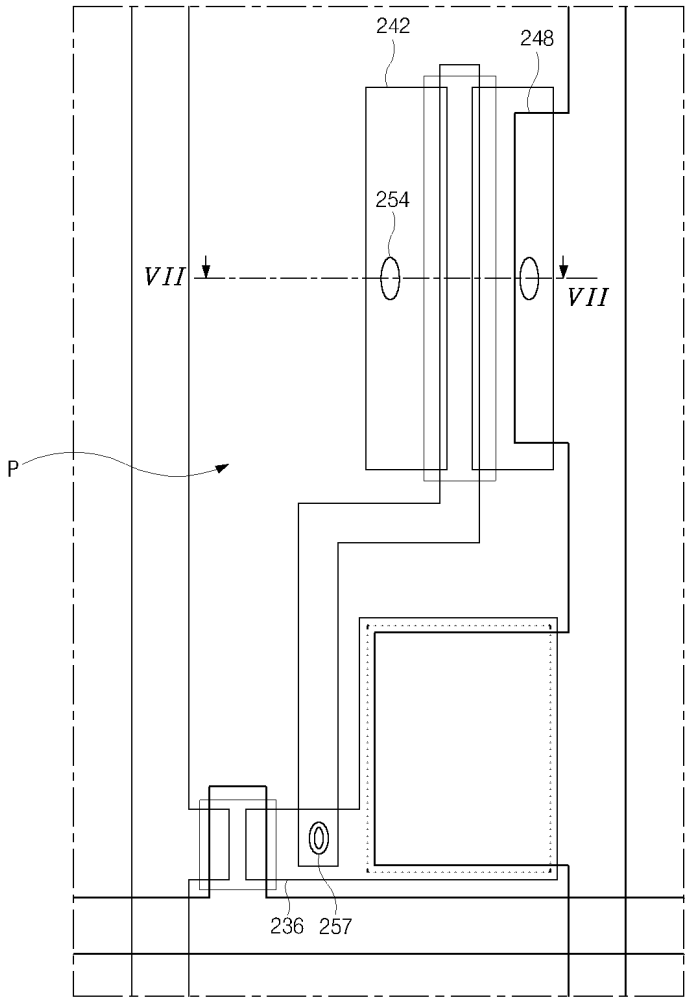
도면6e



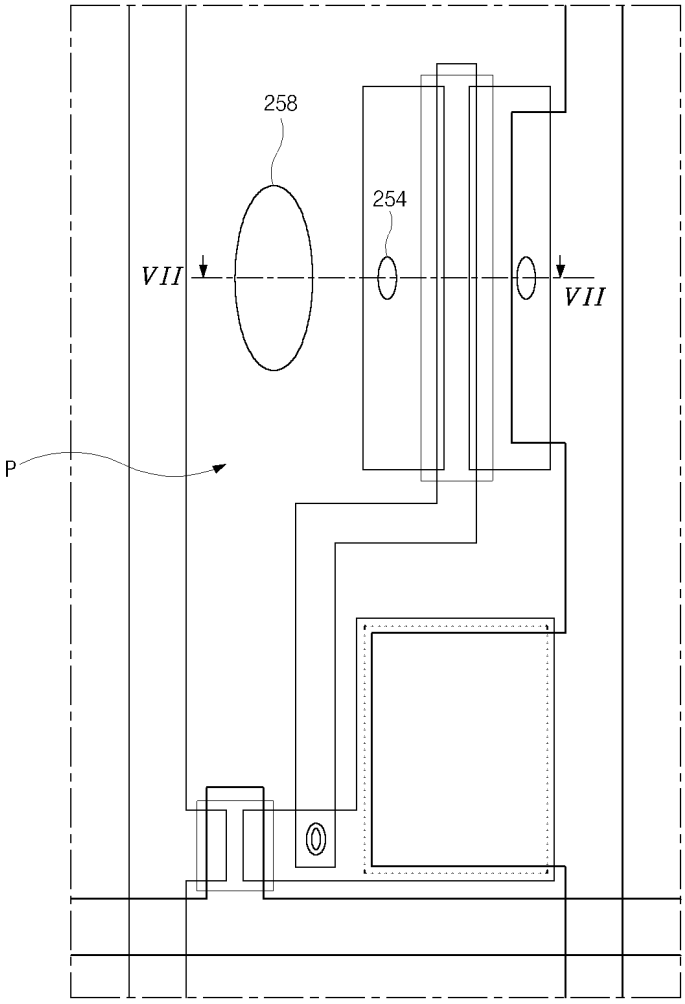
도면6f



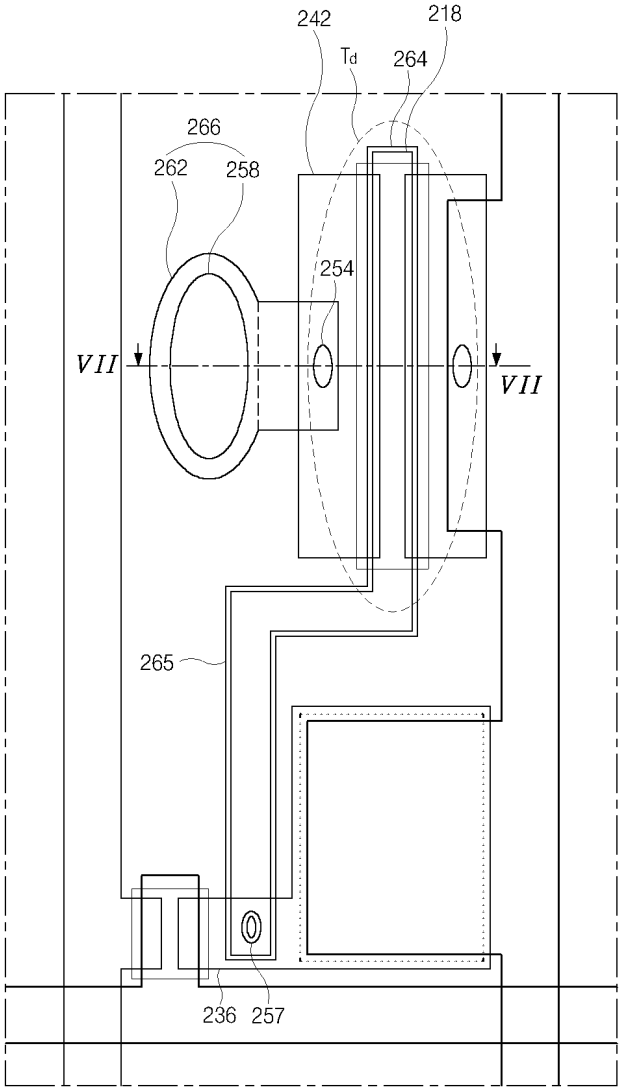
도면6g



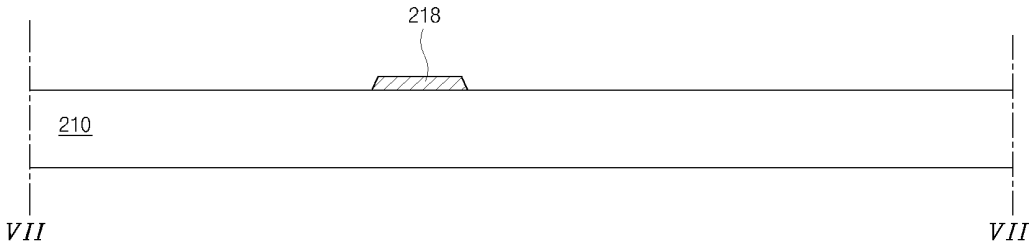
도면6h



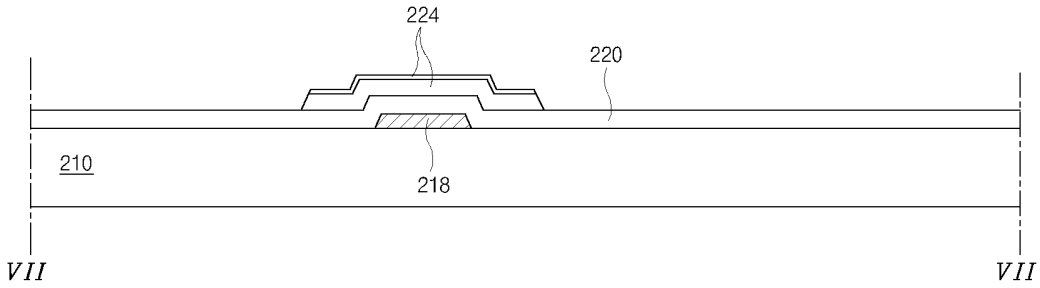
도면6i


242
218
Td
264
266
262
258
254
VII
VII
265
236
257

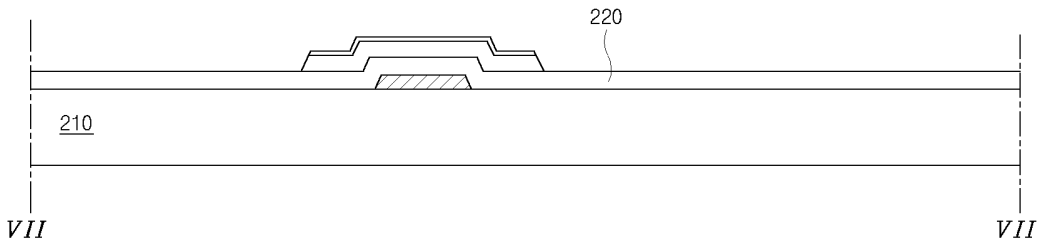
도면7a


218
210
VII
VII

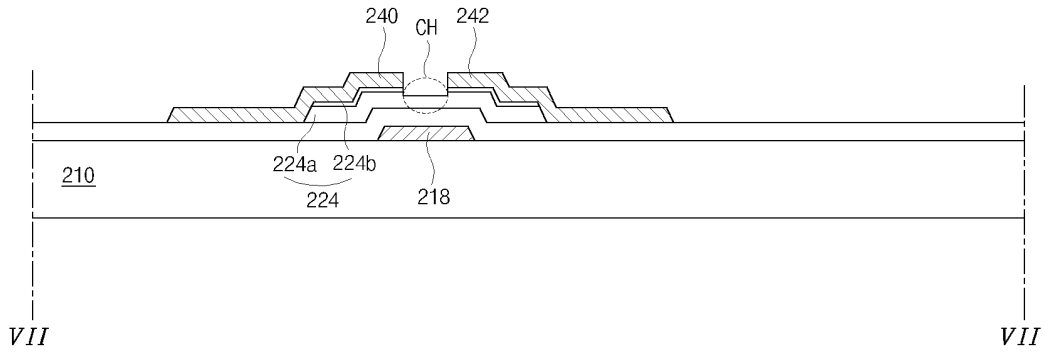
도면7b



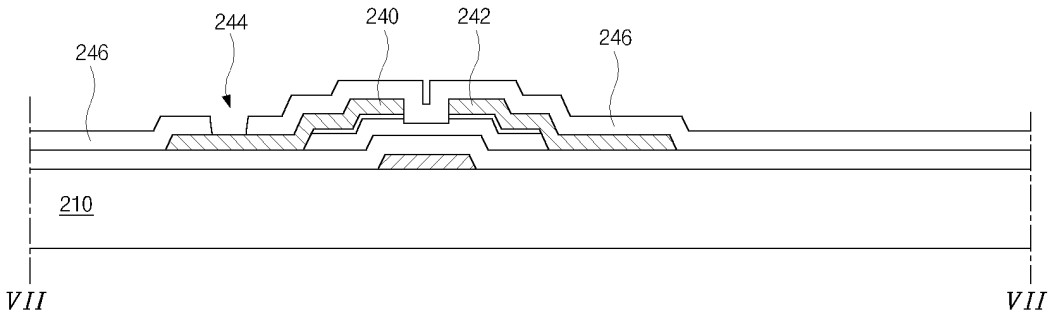
도면7c



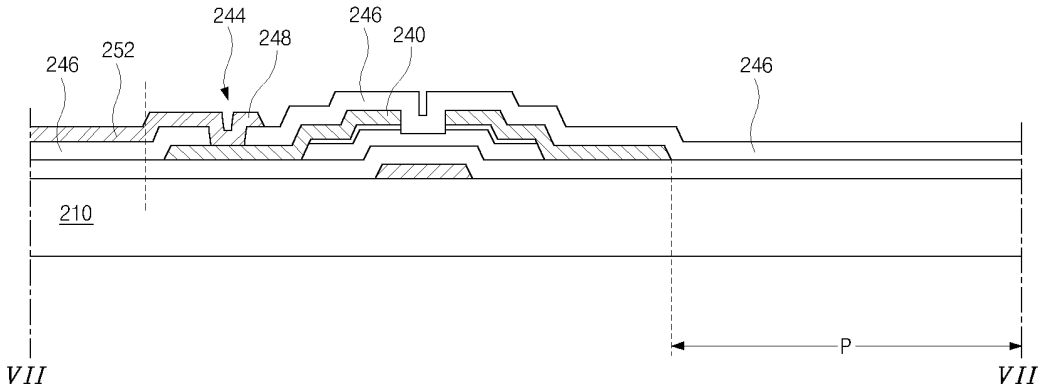
도면7d



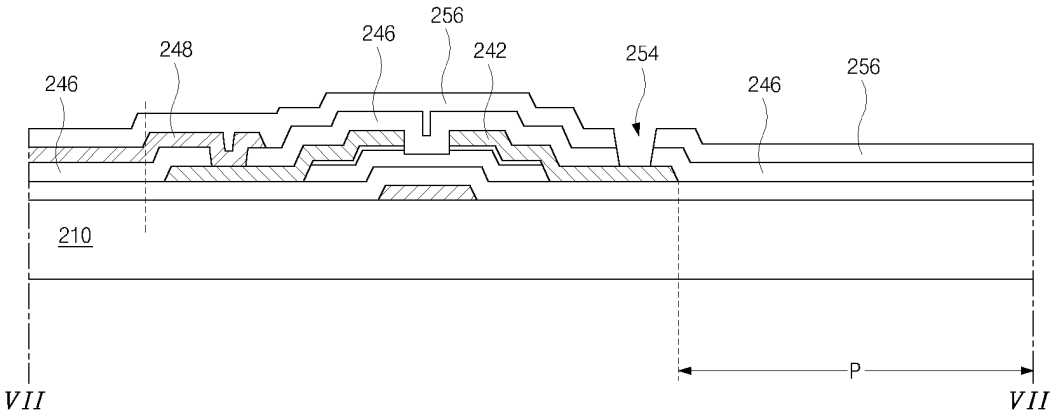
도면7e



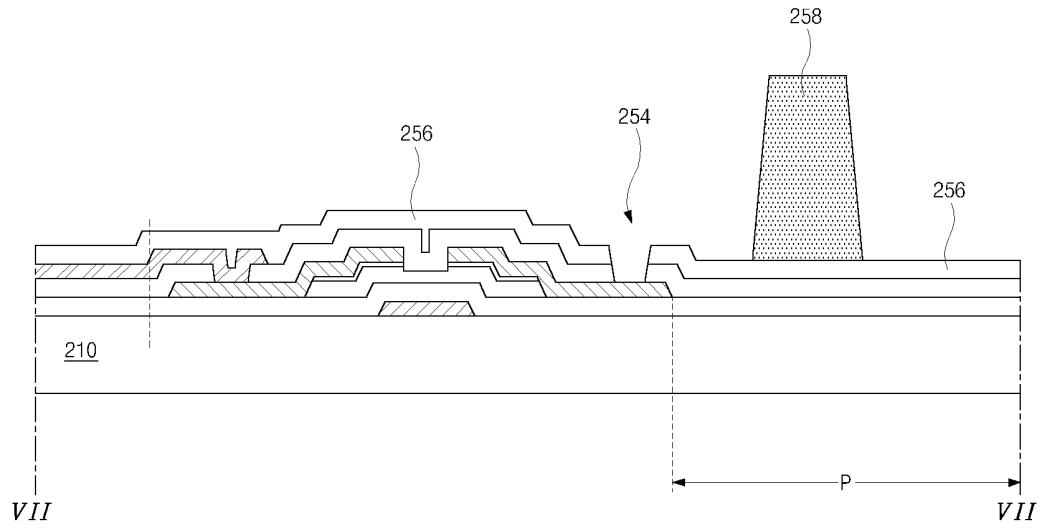
도면7f



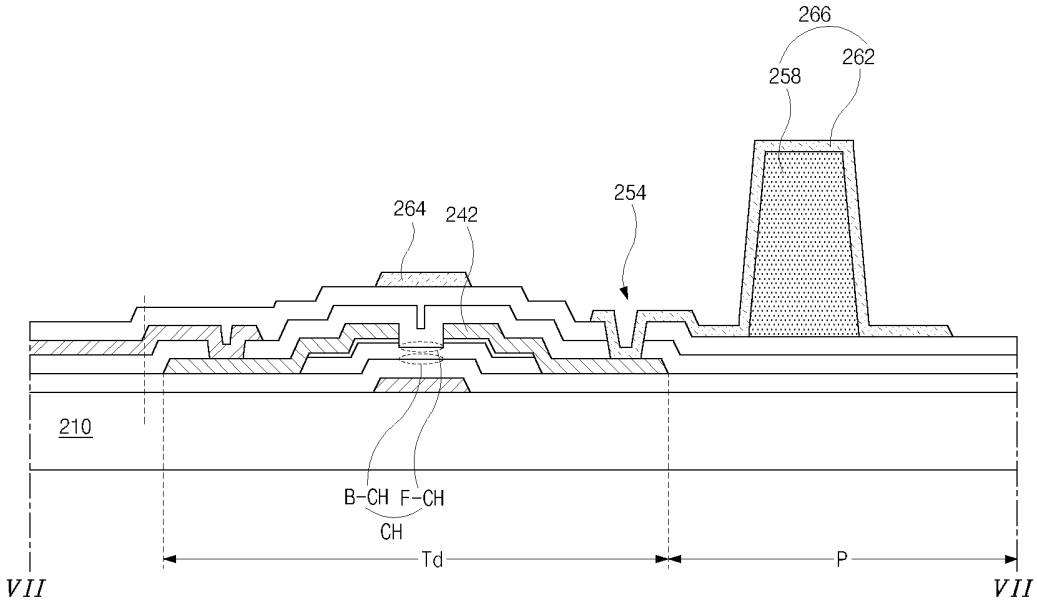
도면7g



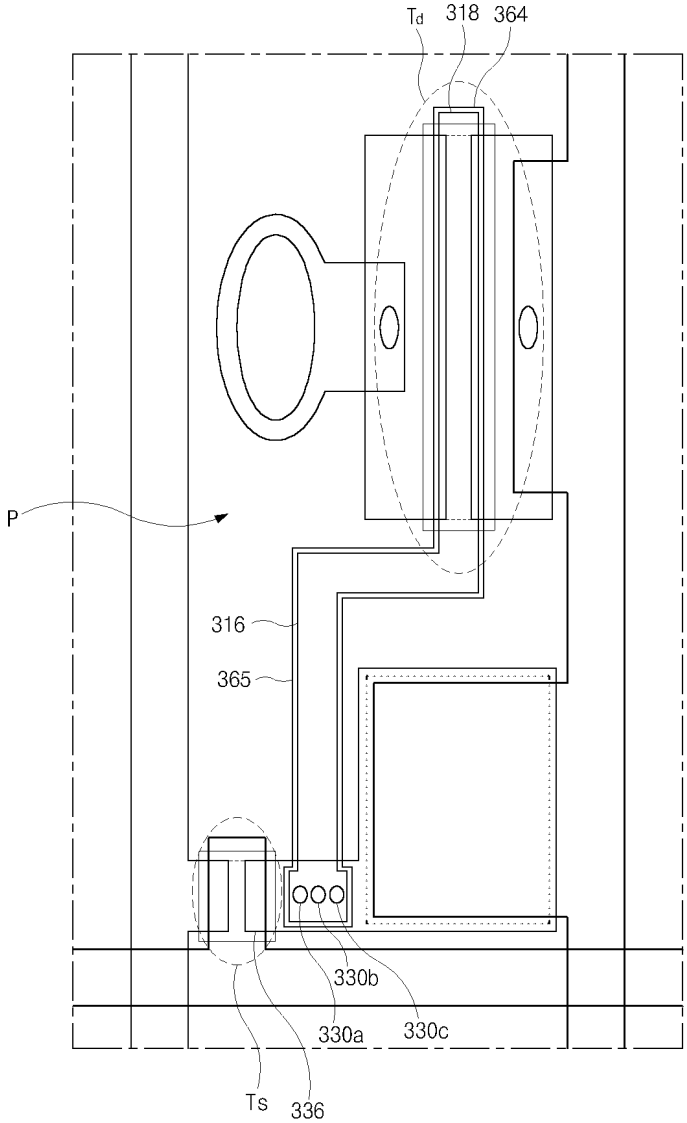
도면7h



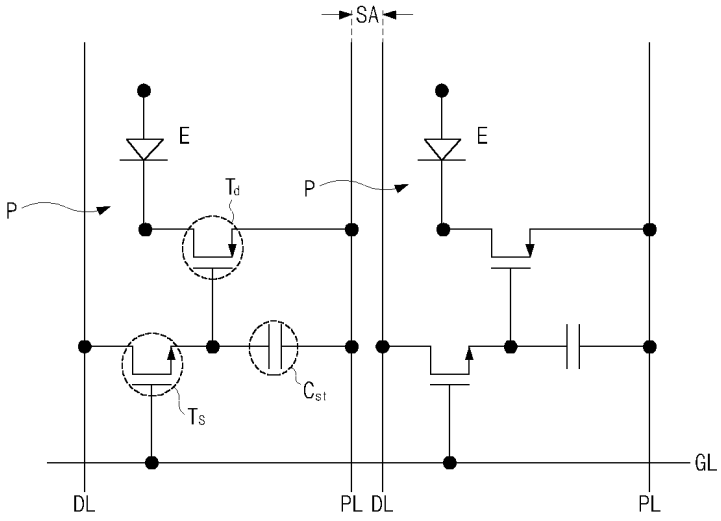
도면7i


266
262
258
254
264
242
210
B-CH
F-CH
CH
Td
P
VII
VII

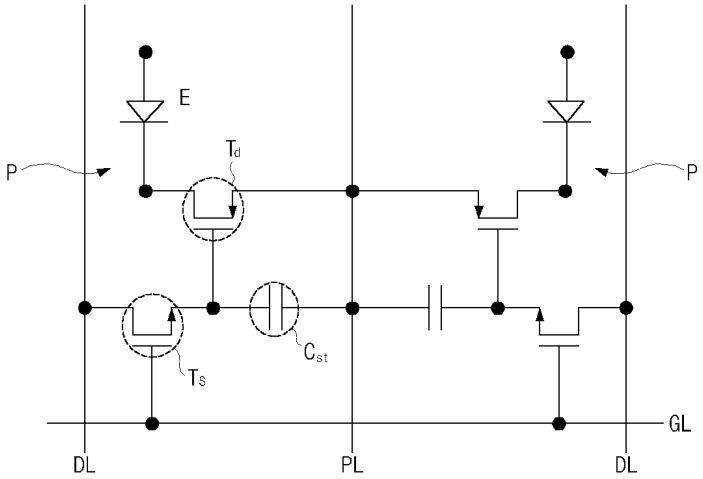
도면8


Td
318
364
P
316
365
330b
330a
330c
Ts
336

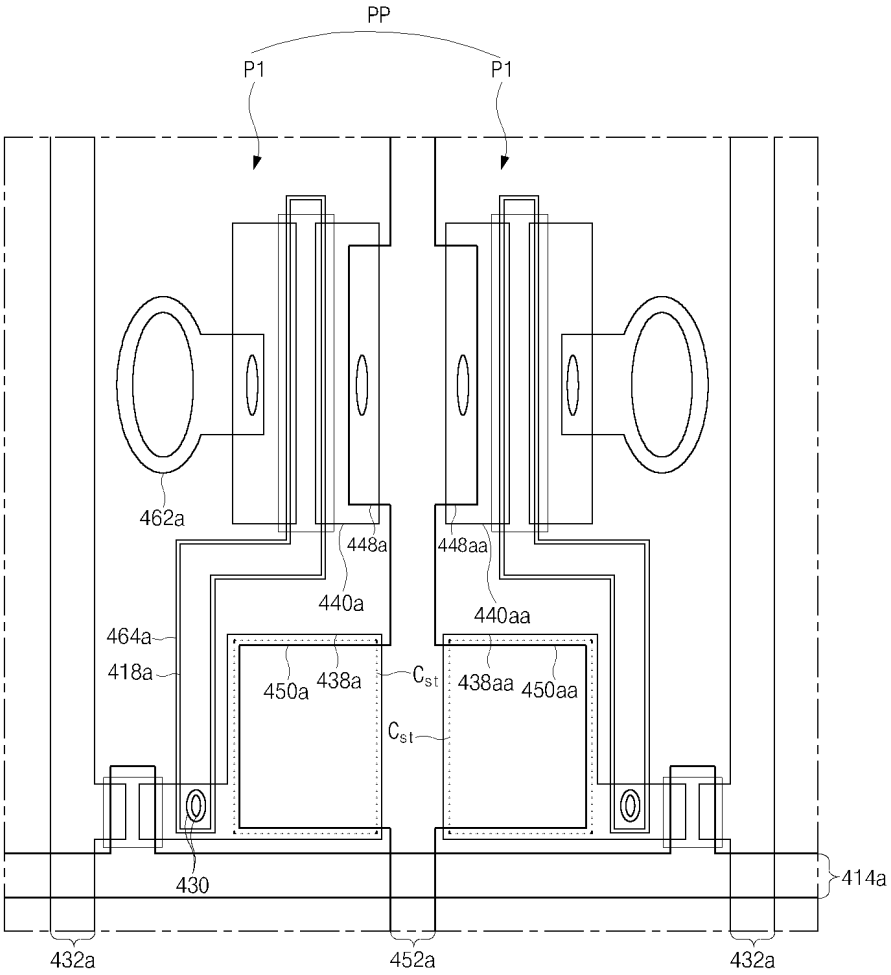
도면9a



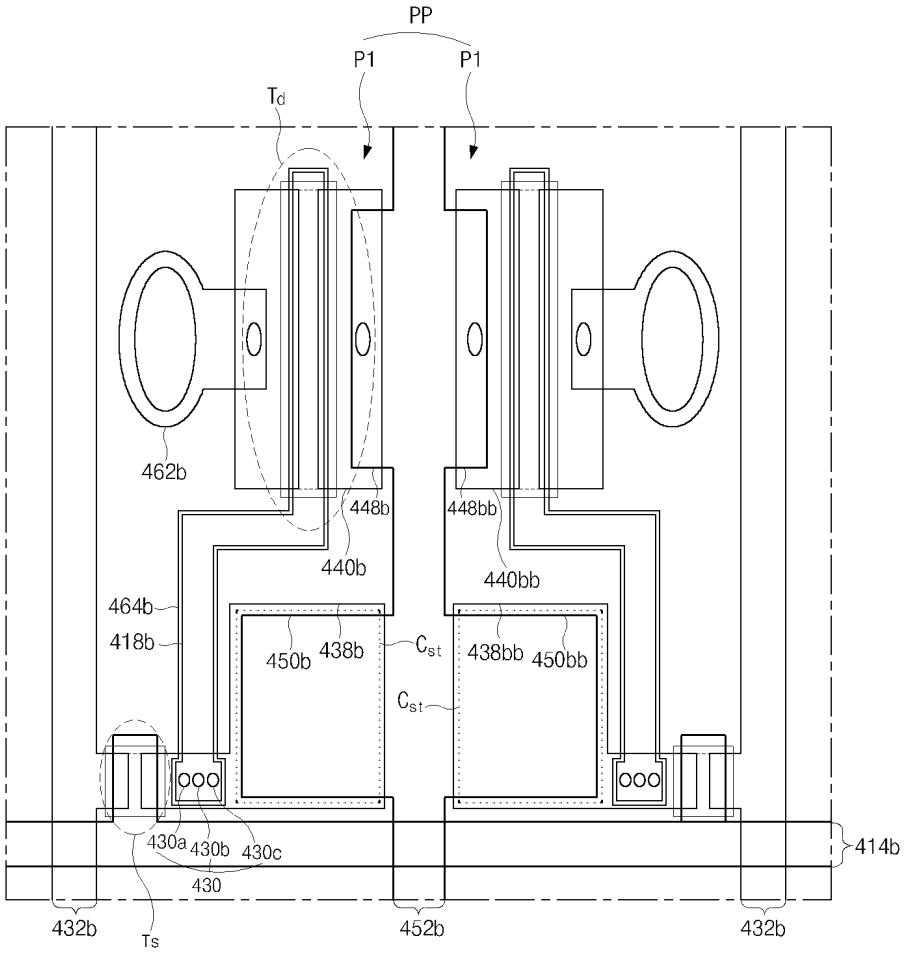
도면9b



도면10a


PP
P1
P1
462a
448a
448aa
440a
440aa
464a
418a
450a
438a
Cst
438aa
450aa
Cst
430
414a
432a
452a
432a

도면10b


PP
P1
P1
Td
462b
448b
448bb
440b
440bb
464b
418b
450b
438b
Cst
438bb
450bb
Cst
430a
430b
430c
430
414b
432b
Ts
452b
432b