



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I448081 B

(45) 公告日：中華民國 103 (2014) 年 08 月 01 日

(21) 申請案號：101102418

(22) 申請日：中華民國 101 (2012) 年 01 月 20 日

(51) Int. Cl. : **H03K5/156 (2006.01)****H03L7/085 (2006.01)**

(71) 申請人：國立中正大學 (中華民國) NATIONAL CHUNG CHENG UNIVERSITY (TW)

嘉義縣民雄鄉大學路 168 號

(72) 發明人：鍾菁哲 (TW)；沈頌恩 (TW)

(74) 代理人：蔡秀玫

(56) 參考文獻：

TW 200826506A

US 2006/0091921A1

US 2007/0013423A1

H.-J. Hsu, C.-C. Tu, and S.-Y. Huang, "A high-resolution all-digital phase-lock loop with its application to built-in speed grading for memory," in Proc. IEEE Symp. VLSI Design Autom., Apr. 2008, pp. 267-270.

B.-G. Kim, K.-I. Oh, L.-S. Kim, and D.-W. Lee, "A 500MHz DLL with second order duty cycle corrector for low jitter," in Proc. IEEE Custom Integr. Circuits Conf., Jan. 2006, pp. 325-328.

審查人員：陳臆聰

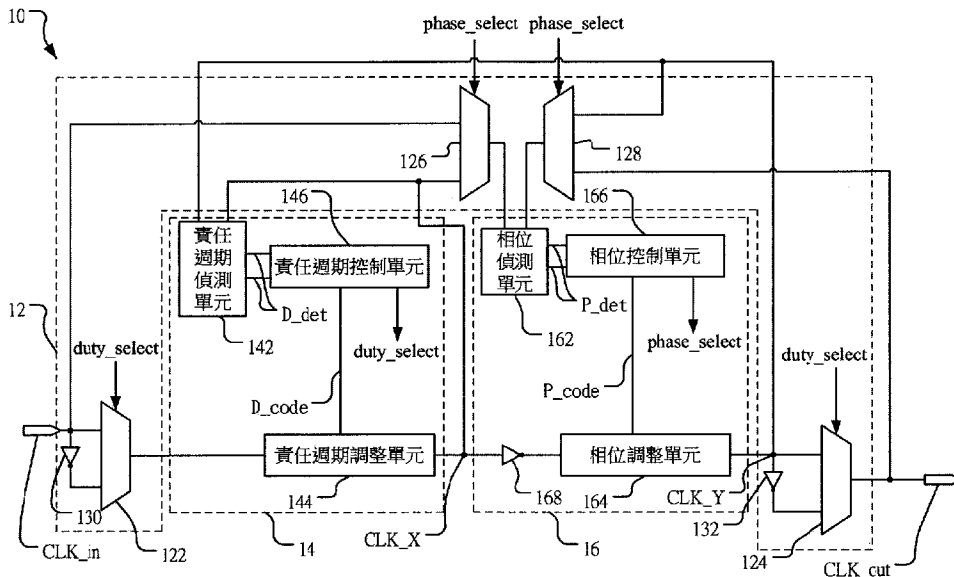
申請專利範圍項數：8 項 圖式數：6 共 29 頁

(54) 名稱

全數位時脈校正電路及其方法

(57) 摘要

本發明為一種全數位時脈責任週期校正電路及其方法，其電路包含取樣單元、責任週期校正模組與鎖相模組，責任週期校正模組依據輸入時脈訊號產生第一時脈訊號，鎖相模組依據第一時脈訊號產生第二時脈訊號，鎖相模組用以對齊該些時脈訊號之正緣相位，責任週期校正模組依據該些時脈訊號之脈波寬度差調整第一時脈訊號之脈波寬度，此外，於脈波寬度調整完成後，重新對齊該些時脈訊號之正緣相位，當脈波寬度差不等於 0 時，重新調整脈波寬度，並重新對齊正緣相位，直到該些時脈訊號之脈波寬度相同為止，最後將第二時脈訊號輸出產生一責任週期為 50% 之時脈訊號。



第一圖

- 10 . . . 全數位時脈責任週期校正電路
- 12 . . . 取樣單元
- 122 . . . 第一多工器
- 124 . . . 第二多工器
- 126 . . . 第三多工器
- 128 . . . 第四多工器
- 130 . . . 第一反相器
- 132 . . . 第二反相器
- 14 . . . 責任週期校正模組
- 142 . . . 責任週期偵測單元
- 144 . . . 責任週期控制單元
- 146 . . . 責任週期調整單元
- 16 . . . 鎖相模組
- 162 . . . 相位偵測單元
- 164 . . . 相位控制單元
- 166 . . . 相位調整單元



# 發明專利說明書

※記號部分請勿填寫

※申請案號：

101102418

※IPC分類：

H03K

S/156

(2006.01)

H03L

7/005

(2006.01)

※申請日：

101.1.20

## 一、發明名稱：

全數位時脈校正電路及其方法

## 二、中文發明摘要：

本發明為一種全數位時脈責任週期校正電路及其方法，其電路包含取樣單元、責任週期校正模組與鎖相模組，責任週期校正模組依據輸入時脈訊號產生第一時脈訊號，鎖相模組依據第一時脈訊號產生第二時脈訊號，鎖相模組用以對齊該些時脈訊號之正緣相位，責任週期校正模組依據該些時脈訊號之脈波寬度差調整第一時脈訊號之脈波寬度，此外，於脈波寬度調整完成後，重新對齊該些時脈訊號之正緣相位，當脈波寬度差不等於0時，重新調整脈波寬度，並重新對齊正緣相位，直到該些時脈訊號之脈波寬度相同為止，最後將第二時脈訊號輸出產生一責任週期為 50% 之時脈訊號。

## 三、英文發明摘要：

## 四、指定代表圖：

(一)本案指定代表圖為：第一圖

(二)本代表圖之元件符號簡單說明：

- 10 全數位時脈責任週期校正電路
- 12 取樣單元
- 122 第一多工器
- 124 第二多工器
- 126 第三多工器
- 128 第四多工器
- 130 第一反相器
- 132 第二反相器
- 14 責任週期校正模組
- 142 責任週期偵測單元
- 144 責任週期控制單元
- 146 責任週期調整單元
- 16 鎖相模組
- 162 相位偵測單元
- 164 相位控制單元
- 166 相位調整單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

[0001] 本發明係有關於一種責任週期校正裝置及其方法，特別是指一種全數位時脈責任週期校正電路及其方法。

### 【先前技術】

[0002] 近年來，數位裝置風行已久，在以數位裝置傳播、交換與處理數位資訊時，皆需配合電路所採用之時脈，以處理數位訊號，甚至是數位訊號中所夾帶之資料，例如：電腦架構中的中央處理器需配合時脈訊號，用以驅使中央處理器內部之各數位電路配合時脈訊號存取資料、處理資料或控制硬體；另外，在行動裝置中，亦需要以時脈來觸發數位資訊的發送與傳輸；數位裝置之間的資料存取需先同步時脈，方能正確地存取資料。在上述之同步時脈的過程中，其所採用之技術手段可區分為進行除頻與倍頻，進一步得到頻率不同但仍和諧同步之不同時脈，方便在不同的數位電路間協調數位資料的處理。

由於數位裝置為了加速擷取數位資料，因此數位裝置需使用時脈訊號之正、負緣擷取數位資料，而需要時脈訊號之責任週期為50%，然而，數位裝置之系統時脈訊號經電晶體不平衡之充電與放電時間，以及受到製程、溫度及工作電壓等因素的改變，皆會導致時脈訊號之責任週期不等於50%，因而無法採用時脈訊號之正、負緣加速數位資料之擷取，且會造成數位裝置於擷取資料時發生錯誤。為了解決上述之問題，需以責任週期校正電路改變脈波寬度，以讓時脈訊號之責任週期回復至50%。

由於數位責任週期校正器(Duty cycle

corrector, DCC)相較於類比責任週期校正器，因為其非電壓控制方式，因此不會受到先進製程下電晶體漏電流的影響，並具有快速之校正處理速度及寬廣的責任週期校正範圍之優點，因此一般半導體數位裝置，如半導體記憶體裝置，廣泛使用數位DCC校正時脈訊號之責任週期。而傳統數位DCC係採用時間對數位轉換器(Time to Digital Converter, TDC)以量化參考時脈週期，再經由延遲電路產生半週期延遲訊號，用於產生 50% 責任週期之時脈訊號。然而在寬廣之時脈頻率範圍下工作時，使用數位轉換器架構因為需要保持TDC 精確度，並需要有寬廣之可工作頻率範圍，會造成整體數位 DCC 所佔用之電路面積大幅增加。

並且使用 TDC 架構需搭配半週期延遲電路，如此卻導致數位DCC之調整精確度變成TDC之精確度的二倍，因此限制了數位 DCC 的精準度，造成責任週期誤差過大。

有鑑於此，本發明提出一種全數位時脈校正電路及其方法，其改善傳統使用 TDC架構所產生之問題，並改善時脈責任週期校正精確度，又加大其所支援之時脈訊號的頻率範圍與責任週期範圍。

#### 【發明內容】

[0003] 本發明之主要目的，在於提供一種全數位時脈責任週期校正電路及其方法，其改善校正精確度，以提供較寬頻率工作範圍，並支援較寬廣之輸入時脈責任週期範圍，並減少使用面積。

本發明係提供一種全數位時脈責任週期校正電路，

其包含一取樣單元、一責任週期校正模組與一鎖相模組，其中，責任週期校正模組係電性連接該取樣單元，鎖相模組係電性連接該取樣單元與該責任週期校正模組。取樣單元係接收一輸入時脈訊號至責任週期校正模組，以對應產生一第一時脈訊號 CLK\_X，鎖相模組依據第一時脈訊號 CLK\_X 產生一第二時脈訊號 CLK\_Y，且第二時脈訊號 CLK\_Y 為第一時脈訊號 CLK\_X 之反相並加上相位調整單元延遲相位後的結果。鎖相模組係偵測取樣單元所選取之第一時脈訊號 CLK\_X 與第二時脈訊號 CLK\_Y 之正緣相位差，並對齊第一時脈訊號 CLK\_X 與第二時脈訊號 CLK\_Y 之正緣相位。責任週期校正模組比較第一時脈訊號 CLK\_X 與第二時脈訊號 CLK\_Y 之脈波寬度差，以調整第一時脈訊號 CLK\_X 之脈波寬度，當第一時脈訊號 CLK\_X 之脈波寬度被改變後，第二時脈訊號 CLK\_Y 之脈波寬度也會隨之改變。此外，鎖相模組於每次責任週期校正模組調整第一時脈訊號 CLK\_X 之脈波寬度後，需重新對齊該第一時脈訊號 CLK\_X 與該第二時脈訊號 CLK\_Y 之正緣相位。之後第一時脈訊號 CLK\_X 與第二時脈訊號 CLK\_Y 之脈波寬度差不等於 0 時，該責任週期校正模組重新調整該第一時脈訊號 CLK\_X 之脈波寬度，以驅使該鎖相模組重新對齊該第一時脈訊號 CLK\_X 與該第二時脈訊號 CLK\_Y 之正緣相位，直到該第一時脈訊號 CLK\_X 與該第二時脈訊號 CLK\_Y 具相同脈波寬度，且該第一時脈訊號 CLK\_X 與該第二時脈訊號 CLK\_Y 正緣相位差為 0 為止。之後取樣單元將改為選擇輸入時脈訊號 CLK\_in 與輸出時脈訊號 CLK\_out 輸入相位偵測單元，

以驅使鎖相模組重新對齊輸出時脈訊號 CLK\_out 與輸入時脈訊號 CLK\_in 之正緣相位，直到輸出時脈訊號 CLK\_out 與輸入時脈訊號 CLK\_in 之正緣相位差為 0 為止，之後輸出時脈訊號 CLK\_out 不但正緣與輸入時脈訊號對齊，並且其責任週期已經校正回 50%。

當首次鎖相模組對齊第一時脈訊號 CLK\_X 與第二時脈訊號 CLK\_Y 之正緣相位後，如果責任週期校正模組偵測發現第一時脈訊號 CLK\_X 之脈波寬度大於與第二時脈訊號 CLK\_Y 時，也就是輸入時脈訊號之責任週期大於 50%，此時取樣單元將改為選擇反相後之輸入時脈訊號至責任週期校正模組，以確保輸入至責任週期調整單元之時脈訊號的責任週期永遠小於 50%。此時輸出之時脈訊號也改成輸出經過反相後之第二時脈訊號 CLK\_Y。

茲為使 貴審查委員對本發明之結構特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

#### 【實施方式】

[0004] 請參閱第一圖，其為本發明之一實施例之的電路圖。如圖所示，本發明之全數位時脈責任週期校正電路 10 係包含一取樣單元 12、一責任週期校正模組 14 與一鎖相模組 16。此外，取樣單元 12 進一步包含一第一多工器 122、一第二多工器 124、一第三多工器 126、一第四多工器 128、一第一反相器 130 與一第二反相器 132，責任週期校正模組 14 更進一步包含一責任週期偵測單元 142、一責任週期調整單元 144 與一責任週期控制單元 146，以及鎖相模組 16 更進一步包含一相位偵測單元 162、一相位調整



單元164、一相位控制單元166與一第三反相器168。

第一多工器122係電性連接輸入時脈訊號CLK\_in、第一反相器130與第三多工器126、責任週期調整單元144與責任週期控制單元146，第二多工器124係電性連接第四多工器128、第二反相器132、責任週期偵測單元142、責任週期控制單元146、相位調整單元164、第四多工器128之輸入端與輸出時脈訊號CLK\_out。第三多工器126係電性連接責任週期偵測單元142、責任週期調整單元144、相位偵測單元162、相位調整單元164與相位控制單元166，第四多工器128係電性連接責任週期偵測單元142、相位偵測單元162、相位調整單元164與相位控制單元166。

取樣單元12係電性連接鎖相模組16與責任週期校正模組14。取樣單元12係接收一輸入時脈訊號CLK\_in至責任週期校正模組14，以對應產生一第一時脈訊號CLK\_X，鎖相模組16接收第一時脈訊號CLK\_X，以對應產生一第二時脈訊號CLK\_Y，該第二時脈訊號CLK\_Y為第一時脈訊號CLK\_X之反相並加上相位調整單元延遲相位後的結果。

責任週期校正模組14偵測該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y之脈波寬度差，並依據該脈波寬度差調整該第一時脈訊號CLK\_X之脈波寬度，其中責任週期偵測單元142係依據該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y之一脈波寬度差產生一責任週期偵測訊號

D\_det，責任週期控制單元146依據該責任週期偵測訊號D\_det產生一責任週期控制碼D\_code至該責任週期校正

單元144，責任週期調整單元144係接收該第一時脈訊號CLK\_X，並依據責任週期控制碼D\_code調整該第一時脈訊號CLK\_X之脈波寬度，當第一時脈訊號CLK\_X之脈波寬度被改變後，第二時脈訊號CLK\_Y之脈波寬度也會隨之改變。此外，該責任週期控制單元146於調整上述之該脈波寬度後鎖住該責任週期校正單元144。責任週期控制單元146會根據輸入時脈信號之責任週期是大於50%還是小於50%，會進一步藉由責任週期選擇訊號duty\_select控制第一多工器122與第二多工器124。

鎖相模組16偵測並補償該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y之正緣相位差，以對齊該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y之正緣相位，其中相位偵測單元162係偵測該正緣相位差，以產生一相位偵測訊號P\_det至相位控制單元166，相位控制單元166依據相位偵測訊號P\_det產生一相位控制碼P\_code至相位調整單元164，相位調整單元164係接收該第一時脈訊號CLK\_X經由第三反相器168產生之反相訊號，並依據相位控制碼P\_code調整該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y之正緣相位，以對齊該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y之正緣相位。此外，該相位控制單元166更可進一步於該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y相位對齊後鎖住該相位調整單元164。相位控制單元166於完成責任週期校正後，進一步藉由相位選擇訊號phase\_select控制第三多工器126與第四多工器128，將改為選擇輸入時脈訊號CLK\_in與輸出時脈訊號CLK\_out輸入相位偵測單元162，以驅使鎖相模組重新

對齊輸出時脈訊號 CLK\_out與輸入時脈訊號 CLK\_in之正緣相位，直到輸出時脈訊號 CLK\_out 與輸入時脈訊號 CLK\_in 之正緣相位差為 0 為止，之後輸出時脈訊號 CLK\_out 不但正緣與輸入時脈信號對齊，並且其責任週期已經校正回 50%。

該鎖相模組16於該責任週期校正模組14每次調整該第一時脈訊號CLK\_X之脈波寬度後，重新對齊該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y之正緣相位，當該脈波寬度差不等於0時，該責任週期校正模組14重新調整該第一時脈訊號CLK\_X之脈波寬度，以驅使該鎖相模組16重新對齊該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y之正緣相位，直到該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y具相同脈波寬度，且該第一時脈訊號 CLK\_X與該第二時脈訊號 CLK\_Y 正緣相位差為 0為止。接著當輸入時脈訊號 CLK\_in之責任週期小於 50% 時，此時輸出之時脈訊號 CLK\_out為第二時脈訊號CLK\_Y，反之當輸入時脈訊號 CLK\_in之責任週期大於 50% 時，改成輸出經過反相後之第二時脈訊號 CLK\_Y，輸出時脈訊號 CLK\_out在完成鎖定後，其責任週期為 50%。

請一併參閱第二A圖與第二B圖，其為本發明之一實施例之波形圖。如第二A圖所示，系統重置後，責任週期校正模組14輸出責任週期選擇訊號duty\_select為0，即低準位訊號，鎖相模組16亦輸出相位選擇訊號 phase\_select為0，即低準位訊號。輸入時脈訊號 CLK\_in係由取樣單元12接收至責任週期校正模組並輸出為第一時脈訊號CLK\_X，接續反相第一時脈訊號CLK\_X，

以輸入至鎖相模組16，而輸出為第二時脈訊號CLK\_Y。鎖相模組16之相位偵測單元162偵測第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y之相位差並輸出對應之偵測訊號P\_det至相位控制單元166。相位控制單元166係依據偵測訊號P\_det產生對應之相位控制碼P\_code至相位調整單元164，以補償第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y之相位差。當第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y之相位差消除後，鎖相模組16即鎖住(lock)，而鎖相模組16鎖住後，第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y之正緣相位即為對齊。此外，由於第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y為互補訊號，當輸入時脈訊號CLK\_in之週期時間為T時，第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y之脈波寬度初始值假設分別為A與B，其責任週期便分別為 $(A/T)*100\%$ 與 $(B/T)*100\%$ ，並且 $T=(A+B)$ 。

如第二B圖所示，在鎖相模組16鎖住後，責任週期校正模組14即開始補償輸出時脈訊號CLK\_out之責任週期誤差，亦即調整時脈訊號之脈波寬度。責任週期校正模組14之責任週期偵測單元142係偵測已正緣相位對齊之第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y的負緣相位，也就是針對第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y在正緣相位同相之下，比較第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y的負緣相位，以獲得第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y的脈波寬度差，藉此產生對應之偵測訊號D\_det至責任週期控制單元146。責任週期控制單元146係依據偵測訊號D\_det產生對應之責任週期控制碼

D\_code至責任週期調整單元144，以放大第一時脈訊號CLK\_X之脈波寬度，本實施例係以假設輸入時脈訊號CLK\_in之責任週期為小於50%時，作為舉例說明，但本發明不限於此。

承接上述，責任週期校正模組14係一開始拉伸第一時脈訊號CLK\_X之脈波寬度，然後，下一時序，由於前一時序之脈波寬度調整，所以第二時脈訊號CLK\_Y之正緣相位將落後於第一時脈訊號CLK\_X之正緣相位，因此第二時序中的相位控制碼P\_code調整，以重新對齊第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y之正緣相位，藉此以重複校正第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y之正、負緣相位，直到第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y之脈波寬度相同為止，接續責任週期校正模組14即鎖住(lock)。

第一時脈訊號CLK\_X之脈波寬度係增加一偏移量 $\Delta E$ ，且該偏移量即等同於 $(B-A)/2$ ，由於輸入時脈訊號之週期時間為 $T$ ，因此最後第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y之脈波寬度變成 $A + \Delta E = A + (B-A)/2 = (A + B)/2 = T/2$ ，即表示第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y之責任週期校正為 $(T/2)/T * 100\% = 50\%$ 。

此外，當責任週期校正模組14鎖住，即驅使鎖相模組16輸出相位選擇訊號phase\_select為高準位訊號，以讓鎖相模組16之相位偵測單元162輸入訊號切換至輸入時脈訊號CLK\_in與輸出時脈訊號CLK\_out。且鎖相模組16更可進一步依據輸入時脈訊號CLK\_in與輸出時脈訊號

CLK\_out之相位差進行補償，以對齊輸入時脈訊號 CLK\_in與輸出時脈訊號CLK\_out之正緣相位。

當首次鎖相模組 16對齊第一時脈訊號 CLK\_X與第二時脈訊號CLK\_Y之正緣相位後，如果責任週期校正模組 14偵測發現第一時脈訊號CLK\_X之脈波寬度大於與第二時脈訊號 CLK\_Y時，也就是輸入時脈訊號之責任週期大於50%，如此責任週期校正模組14係輸出責任週期選擇訊號 duty\_select為高準位訊號，以讓輸入時脈訊號CLK\_in轉為反相輸入時脈訊號，以確保輸入至責任週期調整單元之時脈訊號的責任週期永遠小於50%。此時輸出之時脈訊號也改成輸出經過反相後之第二時脈訊號 CLK\_Y。

請參閱第三圖與第四圖，其為本發明之相位偵測裝置的電路圖。如圖所示，本發明之相位偵測裝置包含一粗調相位偵測電路51與一微調相位偵測電路52，粗調相位偵測電路51係包含一反相器511、一緩衝器512、一第一正反器514、一第二正反器516與一邏輯控制器518，微調相位偵測電路52包含複數反相器522、524、526、528、530、532、534，複數電晶體536、538、540、542、544、一第一傳輸閘546與一第二傳輸閘548。

粗調相位偵測電路51之第一正反器514與第二正反器516為D型正反器，緩衝器512係經反相器511耦接時脈訊號Y與第二正反器516，第一正反器514係耦接時脈訊號X並經反相器511耦接時脈訊號Y，且第一正反器514與第二正反器516的輸出 Q1 與 Q2輸出至邏輯控制器518，以供邏輯控制器518輸出偵測訊號，例如：相位領先訊號 UP\_1、相位落後訊號DOWN\_1與相位鎖定訊號LOCK。

微調相位偵測電路52之反相器522接收時脈訊號X並耦接電晶體540之閘極，反相器524係接收時脈訊號Y並耦接電晶體536、538之閘極，反相器526接收時脈訊號Y並耦接第一傳輸閘546與第二傳輸閘548，反相器528輸出相位領先訊號UP\_2，反相器530係耦接反相器528、電晶體542之閘極、第一傳輸閘546，反相器532輸出相位落後訊號DOWN\_2，反相器534耦接反相器532、電晶體544之閘極、第二傳輸閘548。電晶體536更耦接至接地與電晶體538、540，電晶體542更耦接至電晶體538與第一傳輸閘546，電晶體544更耦接至電晶體540與第二傳輸閘548，第一傳輸閘546與第二傳輸閘548分別耦接至一電壓源 $V_{DD}$ 。

此外，本發明之相位偵測裝置包含一粗調相位偵測電路51與一微調相位偵測電路52，當時脈訊號X與時脈訊號Y間的相位差很大時，使用粗調相位偵測電路51來判斷相位領先與落後的情形。當時脈訊號X與時脈訊號Y間的相位差小於粗調相位偵測電路51可偵測範圍時，改為使用微調相位偵測電路52來偵測時脈訊號X與時脈訊號Y間的極小相位差。

上述實施例之粗調相位偵測電路51與微調相位偵測電路52係用以作為第一圖之責任週期偵測單元142，上述粗調相位偵測電路51與微調相位偵測電路52係偵測負緣相位，以用於偵測第一圖中該第一時脈訊號CLK\_X與該第二時脈訊號CLK\_Y之脈波寬度。此外，粗調相位偵測電路51經取下反相器511以及微調相位偵測電路52經取下反相器522、524、526即可做為第一圖之相位偵測單元162。

請參閱第五圖，其為本發明之一較佳實施例之流程圖。如圖所示，本發明之全數位時脈責任週期校正方法之步驟包含如下：

步驟S100:接收一輸入時脈訊號，以對應產生一第一時脈訊號與一第二時脈訊號；

步驟S110:偵測該第一時脈訊號與該第二時脈訊號之正緣相位差，以判斷該第一時脈訊號與該第二時脈訊號之正緣相位差是否對齊；

步驟S120:依據正緣相位差對齊該第一時脈訊號與該第二時脈訊號之正緣相位；

步驟S130:判斷該第一時脈訊號之責任週期是否大於50%；

步驟S140:反相該第一時脈訊號；

步驟S150:比較該第一時脈訊號與該第二時脈訊號之脈波寬度差，以判斷該第一時脈訊號與該第二時脈訊號之脈波寬度是否相同；

步驟S160:依據該脈波寬度差調整該第一時脈訊號之脈波寬度；

步驟S170:偵測該第一時脈訊號與該第二時脈訊號之一正緣相位差，依據正緣相位差對齊該第一時脈訊號與該第二時脈訊號之正緣相位；以及

步驟S180:選取輸出時脈訊號並輸出。

於步驟S100中，取樣單元接收一輸入時脈訊號並輸入至責任週期校正模組，以對應產生一第一時脈訊號並輸入至鎖相模組，以對應產生一第二時脈訊號，該第二時脈訊號為該第一時脈訊號之反相；於步驟S110中，該



鎖相模組藉由該取樣單元所取樣之該第一時脈訊號與該第二時脈訊號進行正緣相位差之偵測，以判斷該第一時脈訊號與該第二時脈訊號是否對齊，當正緣相位未對齊時，執行步驟S120，當正緣相位對齊時，執行步驟S130；於步驟S120中，該鎖相模組補償所測得之正緣相位差，以對齊該第一時脈訊號與該第二時脈訊號之正緣相位，並延遲該第二時脈訊號之正緣相位直到該第一時脈訊號與該第二時脈訊號之正緣相位對齊，本實施例之說明，如第二A圖所示。

承接上述，於步驟S130中，接收正緣相位對齊之該第一時脈訊號與該第二時脈訊號至一責任週期校正模組，以藉由責任週期校正模組偵測該第一時脈訊號與該第二時脈訊號之脈波寬度，用於判斷該責任週期是否大於50%，當第一時脈訊號之責任週期大於50%時，執行步驟S140，當第一時脈訊號之責任週期不大於50%時，執行步驟S150；於步驟S140中，由於第一時脈訊號之責任週期大於50%，所以責任週期校正模組對應產生一責任週期選擇訊號duty\_select控制取樣單元接收反相之時脈訊號，亦即反相輸入時脈訊號CLK\_in、第一時脈訊號CLK\_X與第二時脈訊號CLK\_Y，接續執行步驟S120；步驟S150中，責任週期校正模組比較該第一時脈訊號與該第二時脈訊號之脈波寬度差，以判斷該第一時脈訊號與該第二時脈訊號之脈波寬度是否相同，當脈波寬度不同時，執行步驟S160，當脈波寬度相同時，執行步驟S180；於步驟S170中，當調整完第一時脈訊號之脈波寬度後，需切換至鎖相模組重新偵測該第一時脈訊號與該第二時脈訊

號之正緣相位差，以重新對齊該第一時脈訊號與該第二時脈訊號之正緣相位，並接續執行步驟S150，以重新判斷該第一時脈訊號與該第二時脈訊號之脈波寬度是否相同，直到該第一時脈訊號與該第二時脈訊號具相同脈波寬度為止。於步驟S180中，鎖相模組將具相同脈波寬度之該第一時脈訊號與該第二時脈訊號對齊後，即控制取樣單元選取第二時脈訊號與第二時脈訊號之反相，經由責任週期選擇訊號duty\_select控制取樣單元輸出時脈訊號並輸出。

綜上所述，本發明為一種全數位時脈責任校正電路及其方法，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

- [0005] 第一圖為本發明之一實施例之電路圖；  
 第二A圖與第二B圖為本發明之一實施例之波形圖；  
 第三圖為本發明之粗調相位偵測電路的電路圖；  
 第四圖為本發明之微調相位偵測電路的電路圖；以及  
 第五圖為本發明之一實施例之流程圖。

#### 【主要元件符號說明】

- [0006] 10 全數位時脈校正電路  
 12 取樣單元  
 122 第一多工器

124	第二多工器
126	第三多工器
128	第四多工器
130	第一反相器
132	第二反相器
14	責任週期校正模組
142	責任週期偵測單元
144	責任週期控制單元
146	責任週期調整單元
16	鎖相模組
162	相位偵測單元
164	相位控制單元
166	相位調整單元
51	粗調相位偵測電路
511	反相器
512	緩衝器
514	第一正反器
516	第二正反器
518	邏輯控制器
52	微調相位偵測電路
522	反相器
524	反相器
526	反相器
528	反相器
530	反相器
532	反相器

534	反相器
536	電晶體
538	電晶體
540	電晶體
542	電晶體
544	電晶體
546	第一傳輸閘
548	第二傳輸閘
$\Delta E$	偏移量
A	第一時脈訊號之脈波寬度
B	第二時脈訊號之脈波寬度
T	輸入時脈訊號之週期
CLK_in	輸入時脈訊號
CLK_out	輸出時脈訊號
CLK_X	第一時脈訊號
CLK_Y	第二時脈訊號
D_det	週期偵測訊號
D_code	週期控制碼
UP_1	粗調相位領先訊號
DOWN_1	粗調相位落後訊號
LOCK	粗調相位鎖定訊號
UP_2	微調相位領先訊號
DOWN_2	微調相位落後訊號
D_det	責任週期偵測訊號
D_code	責任週期控制碼
duty_select	責任週期選擇訊號

P\_det 相位偵測訊號

P\_code 相位控制碼

phase\_select 相位選擇訊號

## 七、申請專利範圍：

1. 一種全數位時脈責任週期校正電路，其包含：
  - 一取樣單元，其接收並取樣一輸入時脈訊號；
  - 一責任週期校正模組，其電性連接該取樣單元，該責任週期校正模組依據該輸入時脈訊號產生一第一時脈訊號；
  - 一鎖相模組，其電性連接該取樣單元與該責任週期校正模組，該鎖相模組依據該第一時脈訊號進行反相處理而產生一第二時脈訊號，該取樣單元傳送該第一時脈訊號與該第二時脈訊號至該鎖相模組，該鎖相模組偵測該第一時脈訊號與該第二時脈訊號之一正緣相位差，以對齊該第一時脈訊號與該第二時脈訊號之正緣相位，該取樣單元傳送已對齊正緣相位之該第一時脈訊號與該第二時脈訊號至該責任週期校正模組，該責任週期校正模組比較該第一時脈訊號與該第二時脈訊號之一脈波寬度差，以調整該第一時脈訊號與第二時脈訊號之脈波寬度直到兩者相等為止，此時將第二時脈訊號輸出為一第三時脈訊號。
2. 如申請專利範圍第1項所述之全數位時脈責任週期校正電路，其中該鎖相模組包含：
  - 一相位偵測單元，其偵測該正緣相位差，以產生一相位偵測訊號；
  - 一相位調整單元，接收該第一時脈訊號與該第二時脈訊號；以及
  - 一相位控制單元，電性連接該相位調整單元與該相位偵測單元，依據該相位偵測訊號產生一相位控制碼至該相位調整單元，以驅使該相位調整單元對齊該第一時脈訊號與該

第二時脈訊號之正緣相位，該相位控制單元於該第一時脈訊號與該第二時脈訊號相位對齊後鎖住該相位調整單元。

3. 如申請專利範圍第1項所述之全數位時脈責任週期校正電路，其中該責任週期校正模組包含：

一責任週期偵測單元，其依據該第一時脈訊號與該第二時脈訊號之脈波寬度差產生一責任週期偵測訊號；

一責任週期調整單元，接收該第一時脈訊號與該第二時脈訊號；以及

一責任週期控制單元，電性連接該責任週期校正單元，依據該責任週期偵測訊號產生一責任週期控制碼至該責任週期校正單元，以調整該第一時脈訊號與該第二時脈訊號之脈波寬度，該責任週期控制單元於調整該第一時脈訊號與該第二時脈訊號之責任週期後鎖住該責任週期校正單元。

4. 一種全數位時脈責任週期校正方法，其包含：

接收一輸入時脈訊號，進行取樣以產生一第一時脈訊號；  
進行反相處理以得到一第二時脈訊號；

傳送該第一時脈訊號與該第二時脈訊號至一鎖相模組，以偵測該第一時脈訊號與該第二時脈訊號之正緣相位差，並依據該正緣相位差分別對齊該第一時脈訊號與該第二時脈訊號之正緣相位；

傳送對齊正緣相位後之該第一時脈訊號與該第二時脈訊號至一責任週期校正模組，進行比較該第一時脈訊號與該第二時脈訊號之脈波寬度差，以調整該第一時脈訊號與第二時脈訊號之脈波寬度；

傳送該第一時脈訊號與該第二時脈訊號至該鎖相模組，以偵測該第一時脈訊號與該第二時脈訊號之正緣相位差，並

依據該正緣相位差分別對齊該第一時脈訊號與該第二時脈訊號之正緣相位；

傳送對齊正緣相位後之該第一時脈訊號與該第二時脈訊號至該責任週期校正模組，進行比較該第一時脈訊號與該第二時脈訊號之波寬度差，以調整該第一時脈訊號與第二時脈訊號之脈波寬度；以及

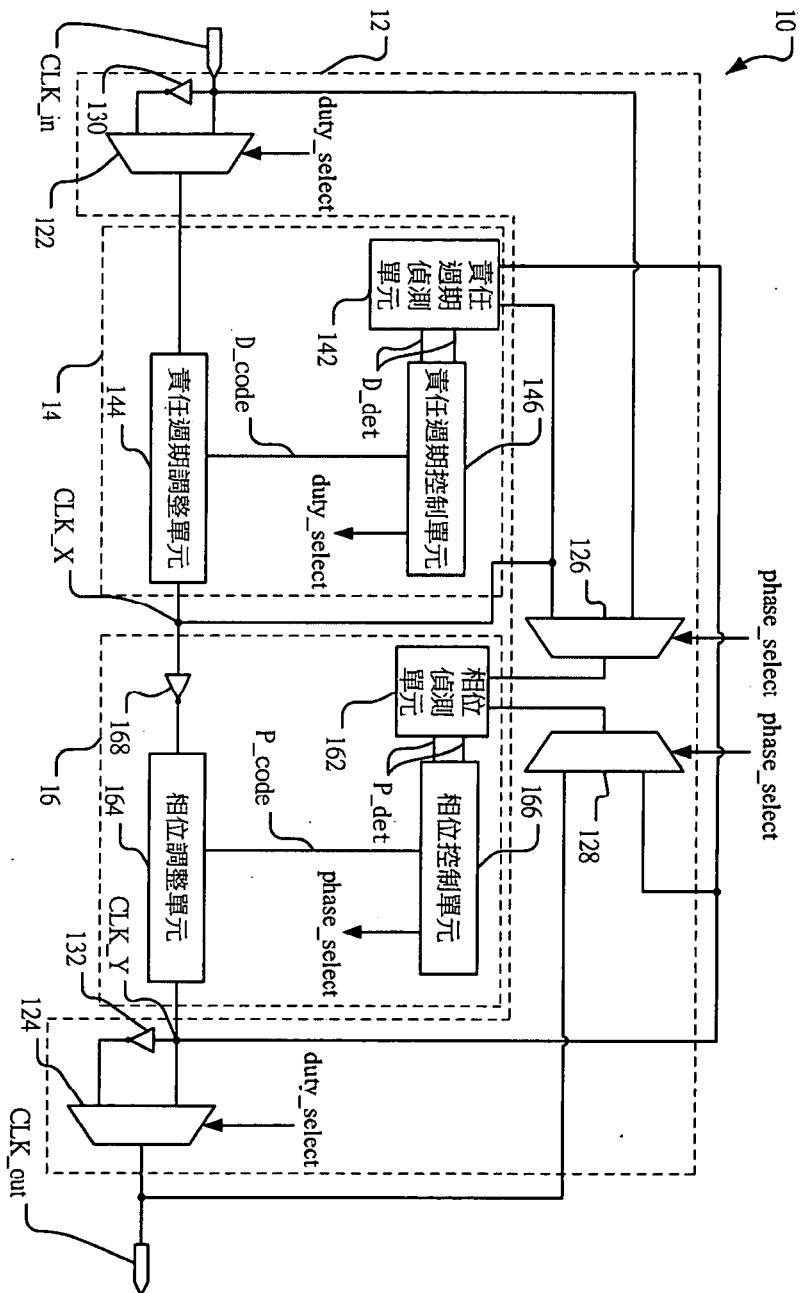
比對該第一時脈訊號與該第二時脈訊號之脈波寬度差為0時，輸出該第二時脈訊號為一責任週期為 50% 之全數位時脈訊號。

- 5 . 如申請專利範圍第4項所述之全數位責任週期校正方法，其中於偵測該第一時脈訊號與該第二時脈訊號之一第一正緣相位差之步驟中，係偵測該第一正緣相位差產生一相位偵測訊號。
- 6 . 如申請專利範圍第5項所述之全數位責任週期校正方法，其中於依據該正緣相位差分別對齊該第一時脈訊號與該第二時脈訊號之正緣相位之步驟中，係依據該相位偵測訊號產生一相位控制碼至該相位調整單元，以補償該正緣相位差。
- 7 . 如申請專利範圍第4項所述之全數位責任週期校正方法，其中於比較該第一時脈訊號與該第二時脈訊號之脈波寬度差之步驟中，係依據該第一時脈訊號與該第二時脈訊號之一脈波寬度差產生一責任週期偵測訊號。
- 8 . 如申請專利範圍第7項所述之全數位責任週期校正方法，其中於調整該第一時脈訊號與第二時賣訊號之脈波寬度之步驟中，係依據該責任週期偵測訊號產生一責任週期控制碼至該責任週期校正單元，以調整該第一時脈訊號與該第

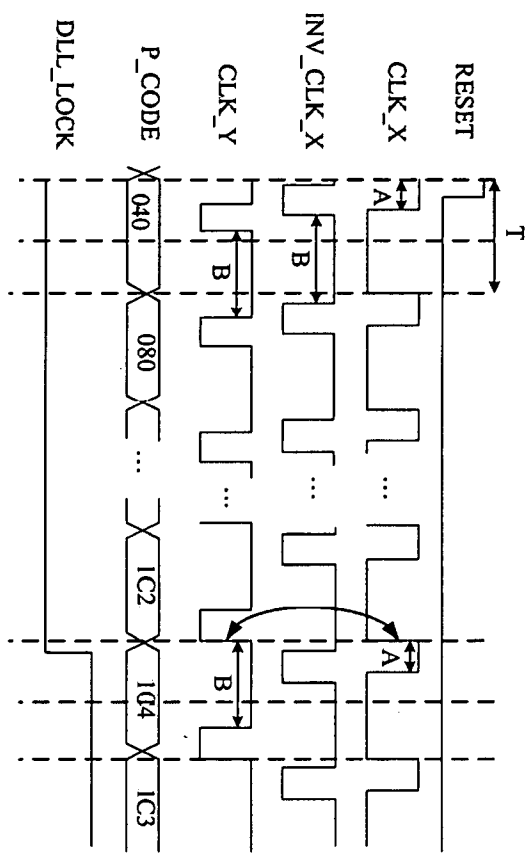


二時脈訊號之脈波寬度。

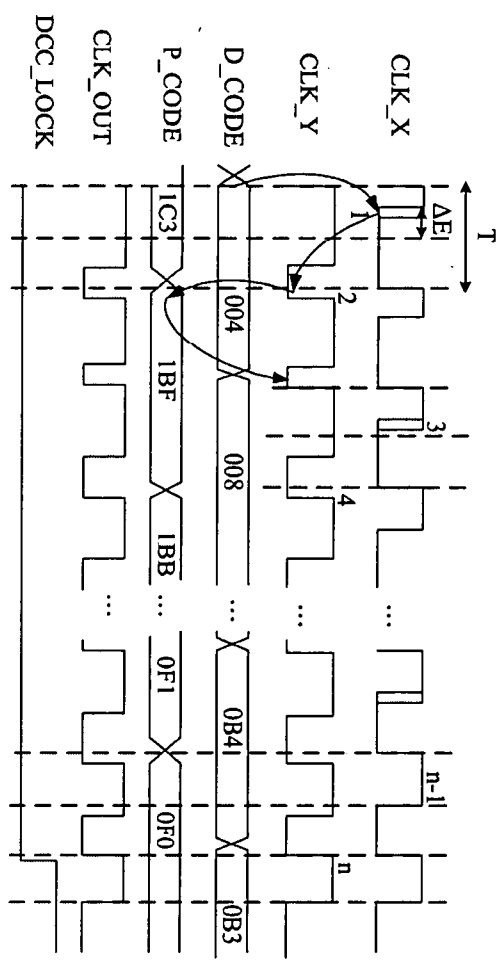
八、圖式：



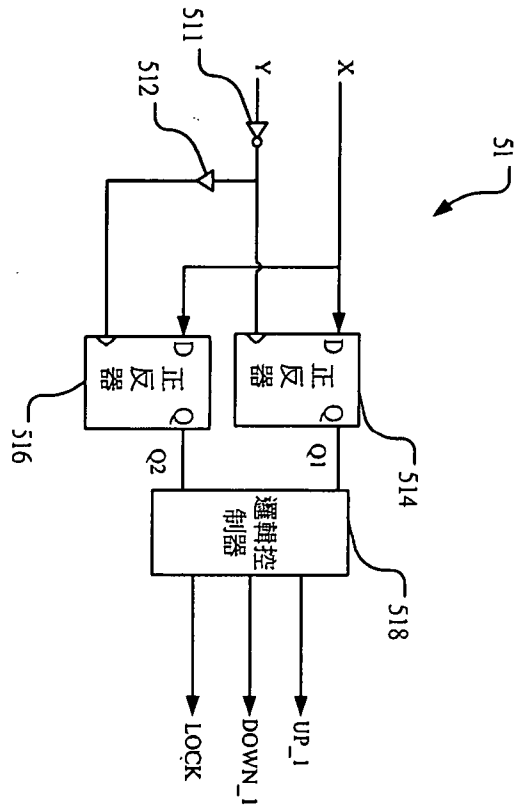
第一圖



第三 A 圖

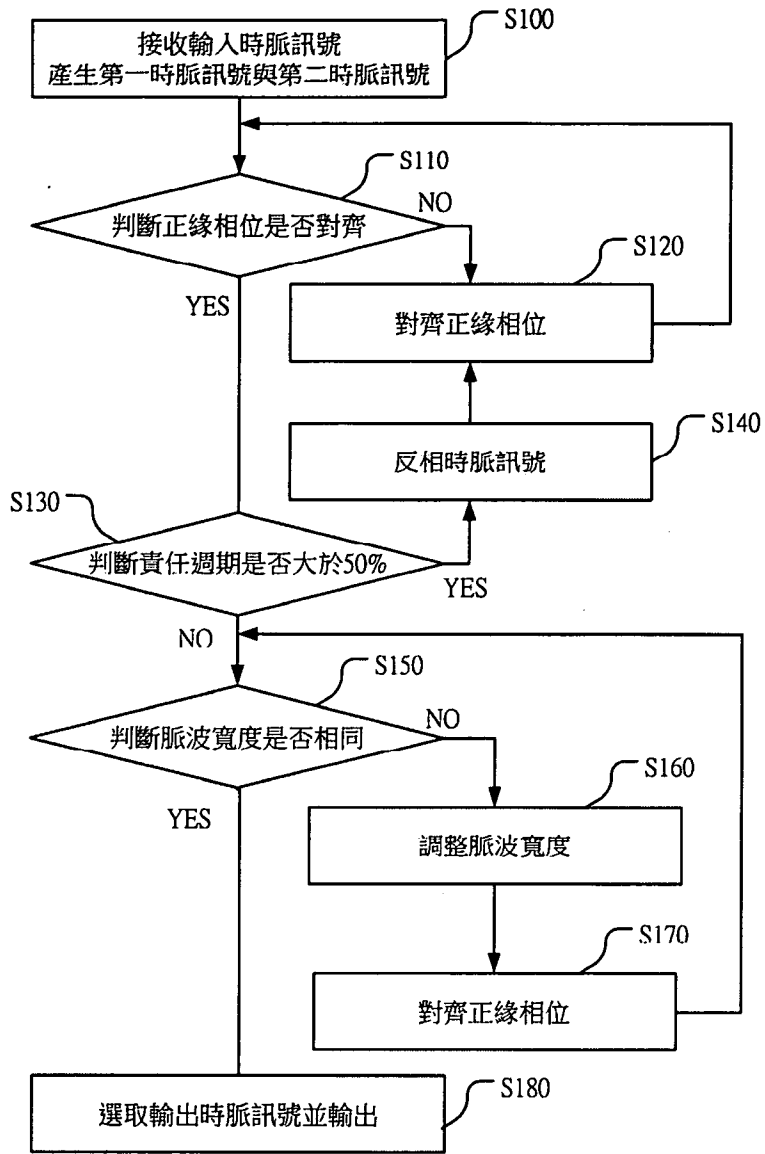


第二 B 圖



第三圖





第五圖