

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5966301号
(P5966301)

(45) 発行日 平成28年8月10日(2016.8.10)

(24) 登録日 平成28年7月15日(2016.7.15)

(51) Int.Cl.	F I	
HO 1 L 21/28 (2006.01)	HO 1 L 21/28	L
HO 1 L 21/338 (2006.01)	HO 1 L 29/80	F
HO 1 L 29/812 (2006.01)	HO 1 L 29/80	H
HO 1 L 29/778 (2006.01)	HO 1 L 21/283	B
HO 1 L 21/283 (2006.01)	HO 1 L 21/28	3 O 1 B
請求項の数 7 (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2011-215197 (P2011-215197)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成23年9月29日(2011.9.29)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2013-77620 (P2013-77620A)	(74) 代理人	100090273 弁理士 園分 孝悦
(43) 公開日	平成25年4月25日(2013.4.25)	(72) 発明者	岡本 直哉 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成26年6月3日(2014.6.3)	(72) 発明者	牧山 剛三 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	多木 俊裕 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		最終頁に続く	

(54) 【発明の名称】 化合物半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

化合物半導体層と、
前記化合物半導体層上に形成され、貫通口を有する絶縁膜と、
前記貫通口を覆い前記絶縁膜上に形成された電極と、
を含み、
前記電極は、第一層と、前記第一層上に形成された第二層とを有し、
前記第一層は、相異なる結晶配列の間に結晶粒界が形成されており、
前記結晶粒界と前記絶縁膜の接する部分の端部は、前記第一層と前記化合物半導体層が接する部分から離間した前記絶縁膜の平坦面上に位置しており、
前記絶縁膜は、前記絶縁膜の上面から前記絶縁膜の前記電極と接する側面にかけて前記電極側に凸状に曲がっていることを特徴とする化合物半導体装置。

【請求項2】

前記絶縁膜は、前記貫通口の端部の曲面の前記絶縁膜の上面から前記絶縁膜の前記電極と接する側面にかけての前記電極側に凸状に曲がっている部分の曲率半径が当該絶縁膜の厚みの1/4倍以上で当該厚み以下とされていることを特徴とする請求項1に記載の化合物半導体装置。

【請求項3】

前記第一層はNiからなることを特徴とする請求項1又は2に記載の化合物半導体装置。

【請求項 4】

前記第二層は A u からなることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の化合物半導体装置。

【請求項 5】

化合物半導体層上に絶縁膜を形成し、

前記絶縁膜にドライエッチングにより貫通口を形成し、

前記絶縁膜の上面から前記絶縁膜の前記貫通口と接する側面にかけて前記貫通口側に凸状に曲がるように前記絶縁膜をウェットエッチングし、

前記絶縁膜及び前記貫通口上に第一層及び第二層を有し、前記第一層の相異なる結晶配列の間の結晶粒界が前記第一層と前記化合物半導体層とが接する部分から離間した前記絶縁膜の平坦面上に位置する、電極を形成することを特徴とする化合物半導体装置の製造方法。

10

【請求項 6】

化合物半導体層上に絶縁膜を形成し、

前記絶縁膜上に、前記絶縁膜よりもウェットエッチングレートの速い材料からなる保護膜を形成し、

ウェットエッチングにより、前記絶縁膜に貫通口を形成して、前記絶縁膜の上面から前記絶縁膜の前記貫通口と接する側面にかけて前記貫通口側に凸状に曲がっている部分を形成し、

前記絶縁膜及び前記貫通口上に第一層及び第二層を有し、前記第一層の相異なる結晶配列の間の結晶粒界が前記第一層と前記化合物半導体層とが接する部分から離間した前記絶縁膜の平坦面上に位置する、電極を形成することを特徴とする化合物半導体装置の製造方法。

20

【請求項 7】

前記絶縁膜は、前記絶縁膜の上面から前記絶縁膜の前記電極と接する側面にかけての前記電極側に凸状に曲がっている部分の曲率半径が当該絶縁膜の厚みの 1 / 4 倍以上で当該厚み以下とされることを特徴とする請求項 5 又は 6 に記載の化合物半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、化合物半導体装置及びその製造方法に関する。

【背景技術】

【0002】

窒化物半導体は、高い飽和電子速度及びワイドバンドギャップ等の特徴を利用し、高耐圧及び高出力の半導体デバイスへの適用が検討されている。例えば、窒化物半導体である GaN のバンドギャップは 3 . 4 e V であり、Si のバンドギャップ (1 . 1 e V) 及び GaAs のバンドギャップ (1 . 4 e V) よりも大きく、高い破壊電界強度を有する。そのため GaN は、高電圧動作且つ高出力を得る電源用の半導体デバイスの材料として極めて有望である。

40

【0003】

窒化物半導体を用いた半導体デバイスとしては、電界効果トランジスタ、特に高電子移動度トランジスタ (High Electron Mobility Transistor : H E M T) についての報告が数多くなされている。例えば GaN 系の H E M T (GaN - H E M T) では、GaN を電子走行層として、AlGaIn を電子供給層として用いた AlGaIn / GaN ・ H E M T が注目されている。AlGaIn / GaN ・ H E M T では、GaN と AlGaIn との格子定数差に起因した歪みが AlGaIn に生じる。これにより発生したピエゾ分極及び AlGaIn の自発分極により、高濃度の 2 次元電子ガス (2 D E G) が得られる。そのため、高効率のスイッチ素子、電気自動車用等の高耐圧電力デバイスとして期待されている。

【先行技術文献】

50

【非特許文献】

【0004】

【非特許文献1】D. Song et.al., IEEE Electron Device Lett., vol.28, no.3, pp.189-191, 2007

【発明の概要】

【発明が解決しようとする課題】

【0005】

窒化物半導体を用いた半導体デバイスの電極、例えばGaN-HEMTのゲート電極には、ニッケル(Ni)/金(Au)の積層構造が用いられる。Niは比較的高融点な金属であり、GaNと良好なショットキーバリアが形成される。一方、Niは抵抗率が高いため、その上に抵抗率の低いAuを堆積することにより、ゲート電極の抵抗を下げ、高周波特性の低下を防止している。通常、ゲート電極は、その端部における電界集中を緩和するため、窒化物半導体の表面を保護する絶縁膜(パッシベーション膜)に形成された貫通口をゲート材料で埋め込みパッシベーション膜上を乗り越える、いわゆるオーバーハング構造とされている。このとき、窒化物半導体の単結晶上に成膜するNiは下地の結晶構造の影響を受け、面心立方構造fcc(111)に配向する。その一方で、パッシベーション膜上に成膜するNiは下地のアモルファス構造の影響を受け、ランダムに配向する。そのため、fcc(111)に配向したNiとランダムに配向したNiとの境界には非常に大きい結晶粒界が形成される。

10

【0006】

20

また、パッシベーション膜の貫通口の側壁とNiとの界面(側壁界面)は、熱ストレス等により開き易い。

上記の構造を有するGaN-HEMTを高温で通電すると、ゲート電極のAuが大きい結晶粒界及び側壁界面を通路として、窒化物半導体表面(ショットキー面)に到達して反応する。これにより、ゲート特性が劣化し、GaN-HEMTの信頼度を低下させるという問題がある。

【0007】

本発明は、上記の課題に鑑みてなされたものであり、電極と化合物半導体層との界面に電極材料が到達することを抑止し、ゲート特性の劣化を防止した信頼性の高い高耐圧の化合物半導体装置及びその製造方法を提供することを目的とする。

30

【課題を解決するための手段】

【0008】

化合物半導体装置の一態様は、化合物半導体層と、前記化合物半導体層上に形成され、貫通口を有する絶縁膜と、前記貫通口を覆い前記絶縁膜上に形成された電極と、を含み、前記電極は、第一層と、前記第一層上に形成された第二層とを有し、前記第一層は、相異なる結晶配列の間に結晶粒界が形成されており、前記結晶粒界と前記絶縁膜の接する部分の端部は、前記第一層と前記化合物半導体層が接する部分から離間した前記絶縁膜の平坦面上に位置しており、前記絶縁膜は、前記絶縁膜の上面から前記絶縁膜の前記電極と接する側面にかけて前記電極側に凸状に曲がっている。

40

【0009】

化合物半導体装置の製造方法の一態様は、化合物半導体層上に絶縁膜を形成し、前記絶縁膜にドライエッチングにより貫通口を形成し、前記絶縁膜の上面から前記絶縁膜の前記貫通口と接する側面にかけて前記貫通口側に凸状に曲がるように前記絶縁膜をウェットエッチングし、前記絶縁膜及び前記貫通口上に第一層及び第二層を有し、前記第一層の相異なる結晶配列の間の結晶粒界が前記第一層と前記化合物半導体層とが接する部分から離間した前記絶縁膜の平坦面上に位置する、電極を形成する。

【0010】

化合物半導体装置の製造方法の一態様は、化合物半導体層上に絶縁膜を形成し、前記絶縁膜上に、前記絶縁膜よりもウェットエッチングレートの高い材料からなる保護膜を形成し、ウェットエッチングにより、前記絶縁膜に貫通口を形成して、前記絶縁膜の上面から

50

前記絶縁膜の前記貫通口と接する側面にかけて前記貫通口側に凸状に曲がっている部分を形成し、前記絶縁膜及び前記貫通口上に第一層及び第二層を有し、前記第一層の相異なる結晶配列の間の結晶粒界が前記第一層と前記化合物半導体層とが接する部分から離間した前記絶縁膜の平坦面上に位置する、電極を形成する。

【発明の効果】

【0011】

上記の態様によれば、電極と化合物半導体層との界面に電極材料が到達することを抑止し、ゲート特性の劣化を防止した信頼性の高い高耐圧の化合物半導体装置が実現する。

【図面の簡単な説明】

【0012】

【図1】第1の実施形態によるAlGa_N/Ga_N・HEMTの製造方法を工程順に示す概略断面図である。

【図2】図1に引き続き、第1の実施形態によるAlGa_N/Ga_N・HEMTの製造方法を工程順に示す概略断面図である。

【図3】図2に引き続き、第1の実施形態によるAlGa_N/Ga_N・HEMTの製造方法を工程順に示す概略断面図である。

【図4】図3(c)の工程における概略平面図である。

【図5】第1の実施形態によるAlGa_N/Ga_N・HEMTの製造方法の他の例を示す概略断面図である。

【図6】第1の実施形態の比較例によるショットキー型のAlGa_N/Ga_N・HEMTにおいて、ゲート電極に結晶粒界が生じた様子を示す概略断面図である。

【図7】第1の実施形態によるショットキー型のAlGa_N/Ga_N・HEMTにおいて、ゲート電極に結晶粒界が生じた様子を示す概略断面図である。

【図8】第1の実施形態によるショットキー型のAlGa_N/Ga_N・HEMT、及び比較例について、発生するゲートリーク電流について調べた結果を示す特性図である。

【図9】第1の実施形態の変形例によるAlGa_N/Ga_N・HEMTの製造方法の主要工程を示す概略断面図である。

【図10】図9に引き続き、第1の実施形態の変形例によるAlGa_N/Ga_N・HEMTの製造方法の主要工程を示す概略断面図である。

【図11】図10(b)の工程における概略平面図である。

【図12】第1の実施形態の変形例によるAlGa_N/Ga_N・HEMTの製造方法の他の例を示す概略断面図である。

【図13】第2の実施形態によるGa_N-SBDの製造方法を工程順に示す概略断面図である。

【図14】図13に引き続き、第2の実施形態によるGa_N-SBDの製造方法を工程順に示す概略断面図である。

【図15】図14に引き続き、第2の実施形態によるGa_N-SBDの製造方法を工程順に示す概略断面図である。

【図16】第2の実施形態によるGa_N-SBDにおいて、アノード電極に結晶粒界が生じた様子を示す概略断面図である。

【図17】第2の実施形態の変形例によるGa_N-SBDの製造方法の主要工程を示す概略断面図である。

【図18】図17に引き続き、第2の実施形態の変形例によるGa_N-SBDの製造方法の主要工程を示す概略断面図である。

【図19】第3の実施形態によるPFC回路を示す結線図である。

【図20】第4の実施形態による電源装置の概略構成を示す結線図である。

【図21】第5の実施形態による高周波増幅器の概略構成を示す結線図である。

【発明を実施するための形態】

【0013】

以下、化合物半導体装置の製造方法の具体的な諸実施形態について、図面を用いて詳細

10

20

30

40

50

に説明する。なお、図面の所定図においては、理解の容易を考慮して、その構成部材の膜厚等が実際の値と異なるように描画している。

【0014】

(第1の実施形態)

本実施形態では、化合物半導体装置として、窒化物半導体のAlGaIn/GaN・HEMTを開示する。

図1～図3は、第1の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【0015】

先ず、図1(a)に示すように、成長用基板として例えば半絶縁性のSiC基板1上に、化合物半導体積層構造2を形成する。成長用基板としては、SiC基板の代わりに、Si基板、サファイア基板、GaAs基板、GaN基板等を用いても良い。また、基板の導電性としては、半絶縁性、導電性を問わない。

化合物半導体積層構造2は、バッファ層2a、電子走行層2b、中間層2c、電子供給層2d、及びキャップ層2eを有して構成される。

【0016】

完成したAlGaIn/GaN・HEMTでは、その動作時において、電子走行層2bの電子供給層2d(正確には中間層2c)との界面近傍に2次元電子ガス(2DEG)が発生する。この2DEGは、電子走行層2b及び電子供給層2dの自発分極と相俟って、電子走行層2bの化合物半導体(ここではGaN)と電子供給層2dの化合物半導体(ここではAlGaIn)との格子定数の相違に起因した歪みによるピエゾ分極に基づいて生成される。

【0017】

詳細には、SiC基板1上に、例えば有機金属気相成長(MOVPE: Metal Organic Vapor Phase Epitaxy)法により、以下の各化合物半導体を成長する。MOVPE法の代わりに、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法等を用いても良い。

SiC基板1上に、AlNを5nm程度の厚みに、i(インテンシオナリ・アンドープ)-GaNを1μm程度の厚みに、i-AlGaInを5nm程度の厚みに、n-AlGaInを30nm程度の厚みに、n-GaNを3nm程度の厚みに順次成長する。これにより、バッファ層2a、電子走行層2b、中間層2c、電子供給層2d、及びキャップ層2eが形成される。バッファ層2aとしては、AlNの代わりにAlGaInを用いたり、低温成長でGaNを成長するようにしても良い。

【0018】

AlN、GaN、及びAlGaInの成長条件としては、原料ガスとしてトリメチルアルミニウムガス、トリメチルガリウムガス、及びアンモニアガスの混合ガスを用いる。成長する化合物半導体層に応じて、Al源であるトリメチルアルミニウムガス、Ga源であるトリメチルガリウムガスの供給の有無及び流量を適宜設定する。共通原料であるアンモニアガスの流量は、100sccm～10slm程度とする。また、成長圧力は50Torr～300Torr程度、成長温度は1000～1200程度とする。

【0019】

GaN、AlGaInをn型として成長する際には、n型不純物として例えばSiを含む例えばSiH₄ガスを所定の流量で原料ガスに添加し、GaN及びAlGaInにSiをドーピングする。Siのドーピング濃度は、 $1 \times 10^{18} / \text{cm}^3$ 程度～ $1 \times 10^{20} / \text{cm}^3$ 程度、例えば $5 \times 10^{18} / \text{cm}^3$ 程度とする。

【0020】

続いて、図1(b)に示すように、素子分離構造3を形成する。図2(a)以降では、素子分離構造3の図示を省略する。

詳細には、化合物半導体積層構造2の素子分離領域に、例えばアルゴン(Ar)を注入する。これにより、化合物半導体積層構造2及びSiC基板1の表層部分に素子分離構造3が形成される。素子分離構造3により、化合物半導体積層構造2上で活性領域が画定さ

10

20

30

40

50

れる。

なお、素子分離は、上記の注入法の代わりに、例えばS T I (Shallow Trench Isolation) 法を用いて行っても良い。このとき、化合物半導体積層構造2のドライエッチングには、例えば塩素系のエッチングガスを用いる。

【0021】

続いて、図1(c)に示すように、ソース電極4及びドレイン電極5を形成する。

詳細には、先ず、化合物半導体積層構造2の表面におけるソース電極及びドレイン電極の形成予定位置(電極形成予定位置)に電極用リセス2A, 2Bを形成する。

化合物半導体積層構造2の表面にレジストを塗布する。レジストをリソグラフィーにより加工し、レジストに、電極形成予定位置に相当する化合物半導体積層構造2の表面を露出する開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

10

【0022】

このレジストマスクを用いて、電子供給層2dの表面が露出するまで、キャップ層2eの電極形成予定位置をドライエッチングして除去する。これにより、電子供給層2dの表面の電極形成予定位置を露出する電極用リセス2A, 2Bが形成される。エッチング条件としては、Ar等の不活性ガス及びCl₂等の塩素系ガスをエッチングガスとして使い、例えばCl₂を流量30sccm、圧力を2Pa、RF投入電力を20Wとする。なお、電極用リセス2A, 2Bは、キャップ層2eの途中までエッチングして形成しても、また電子供給層2d以降までエッチングして形成しても良い。

レジストマスクは、灰化処理等により除去される。

20

【0023】

ソース電極及びドレイン電極を形成するためのレジストマスクを形成する。ここでは、蒸着法及びリフトオフ法に適した例えば庇構造2層レジストを用いる。このレジストを化合物半導体積層構造2上に塗布し、電極用リセス2A, 2Bを露出させる開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電極材料として、例えばTi/Alを、例えば蒸着法により、電極用リセス2A, 2Bを露出させる開口内を含むレジストマスク上に堆積する。Tiの厚みは30nm程度、Alの厚みは300nm程度とする。リフトオフ法により、レジストマスク及びその上に堆積したTi/Alを除去する。その後、SiC基板1を、例えば窒素雰囲気中において400 ~ 1000 程度の温度、例えば600 程度で熱処理し、残存したTi/Alを電子供給層2dとオーミックコンタクトさせる。Ti/Alの電子供給層2dとのオーミックコンタクトが得られるのであれば、熱処理が不要な場合もある。以上により、電極用リセス2A, 2Bを電極材料の一部で埋め込むソース電極4及びドレイン電極5が形成される。

30

【0024】

続いて、図2(a)に示すように、化合物半導体積層構造2の表面を保護するパッシベーション膜6を形成する。

詳細には、化合物半導体積層構造2の表面を覆うように、絶縁膜、ここでは単層のシリコン窒化膜(SiN膜)をプラズマCVD法により例えば40nm程度の厚みに堆積する。これにより、パッシベーション膜6が形成される。パッシベーション膜6は、単層のSiN膜の代わりに、単層のシリコン酸化膜(SiO膜)、単層のシリコン酸窒化膜(SiON膜)、又は単層のアルミニウム酸化膜(AlN膜)を形成しても良い。SiN膜、SiO膜、SiON膜及びAlN膜から選ばれたいずれか2層以上の積層膜に形成しても好適である。

40

【0025】

続いて、図2(b)に示すように、パッシベーション膜6をドライエッチングして貫通口6aを形成する。

詳細には、先ず、化合物半導体積層構造2の表面にレジストを塗布する。レジストをリソグラフィーにより加工し、レジストに、パッシベーション膜6の表面でゲート電極の形成予定位置(電極形成予定位置)に相当する部分を露出する開口10aを形成する。以上

50

により、開口 10 a を有するレジストマスク 10 が形成される。

【0026】

このレジストマスク 10 を用いて、開口 10 a から露出するパッシベーション膜 6 の電極形成予定位置を化合物半導体積層構造 2 の表面が露出するまでドライエッチングし、パッシベーション膜 6 に貫通口 6 a を形成する。ドライエッチングには、例えば SF_6 等のフッ素系ガスを含有するエッチングガスを用いる。ここで、貫通口 6 a の側壁面は垂直であるか、或いは図示のように僅かに順テーパ状となる。

【0027】

続いて、図 2 (c) に示すように、レジストマスク 10 を除去する。

詳細には、レジストマスク 10 をアッシング処理又は所定の薬液を用いたウェット処理等により除去する。

10

【0028】

続いて、図 3 (a) に示すように、パッシベーション膜 6 をウェットエッチングする。

詳細には、パッシベーション膜 6 をウェットエッチングし、貫通口 6 a の尖った上部部であるエッジ部分を丸めて、即ちラウンドを形成して曲面状とする。この曲面状の上部部をエッジ部分 6 b とする。ウェットエッチングには、例えばバッファードフッ酸等のエッチング液を用い、15 秒間程度処理する。本実施形態では、ドライエッチングに用いたレジストマスク 10 を除去してパッシベーション膜 6 を露出した状態でウェットエッチングすることにより、上記のような曲面状のエッジ部分 6 b が形成される。

20

【0029】

曲面状のエッジ部分 6 b は、その曲率半径がパッシベーション膜 6 の厚みの $1/4$ 倍以上で当該厚み以下とされる。曲率半径がパッシベーション膜 6 の厚みの $1/4$ 倍よりも小さいと、エッジ部分へのラウンドの付与が不十分であり、後述する化合物半導体積層構造 2 の表面への電極材料の到達抑止効果が十分に得られない。曲率半径がパッシベーション膜 6 の厚みよりも大きいと、貫通口 6 a の上部の開口径が大きくなり過ぎて所期の微細なゲート電極を形成することができなくなる。エッジ部分 6 b の曲率半径をパッシベーション膜 6 の厚みの $1/4$ 倍以上で当該厚み以下とすることにより、貫通口 6 a の上部の開口径に影響を与えることなく化合物半導体積層構造 2 の表面への電極材料の到達抑止効果を得ることができる。本実施形態では、パッシベーション膜 6 を 40 nm 程度の厚みに形成していることから、例えば、エッジ部分 6 b の曲率半径をパッシベーション膜 6 の厚みの $1/4$ 倍である 10 nm 程度に形成する。

30

【0030】

続いて、図 3 (b) に示すように、ゲート電極 7 を形成する。

詳細には、まず、ゲート電極を形成するためのレジストマスクを形成する。ここでは、蒸着法及びリフトオフ法に適した例えば庇構造 2 層レジストを用いる。このレジストをパッシベーション膜 6 上に塗布し、パッシベーション膜 6 の貫通口 6 a の部分を露出させる各開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

【0031】

このレジストマスクを用いて、電極材料として、例えば Ni/Au を、例えば蒸着法により、パッシベーション膜 6 の貫通口 6 a の部分を露出させる開口内を含むレジストマスク上に堆積する。 Ni の厚みは 80 nm 程度、 Au の厚みは 300 nm 程度とする。リフトオフ法により、レジストマスク及びその上に堆積した Ni/Au を除去する。以上により、貫通口 6 a を Ni の一部で埋め込むように、パッシベーション膜 6 上にゲート電極 7 が形成される。ゲート電極 7 では、下層部分を Ni 層 7 a、上層部分を Au 層 7 b とする。

40

【0032】

続いて、図 3 (c) に示すように、パッシベーション膜 6 のソース電極 4 上の部分及びドレイン電極 5 上の部分を除去する。

詳細には、パッシベーション膜 6 をリソグラフィ及びドライエッチングにより加工する。ドライエッチングは、例えば SF_6/CHF_3 ガスをエッチングガスとして用い、上部

50

電極パワー 500 W / 下部電極パワー 50 Wで行う。これにより、ソース電極 4 の表面の一部を露出する開口 6 c と、ドレイン電極 5 の表面の一部を露出する開口 6 d とが形成される。このときの上方から見た様子を図 4 に示す。

以上により、本実施形態によるショットキー型の AlGaIn/GaN・HEMT が形成される。

【0033】

なお、図 5 に示すように、図 3 (b) でゲート電極 7 を形成した後、パッシベーション膜 6 上に層間絶縁膜 8 を形成し、層間絶縁膜 8 のソース電極 4 上の部分及びドレイン電極 5 上の部分を除去するようにしても良い。即ち、層間絶縁膜 8 及びパッシベーション膜 6 をリソグラフィ及びドライエッチングにより加工し、ソース電極 4 の表面の一部を露出する開口 11 と、ドレイン電極 5 の表面の一部を露出する開口 12 とを形成する。そして、開口 11, 12 を埋め込むように層間絶縁膜 8 上に配線材料を堆積し、これをリソグラフィ及びドライエッチングにより加工する。以上により、ソース電極 4 と電氣的に接続されたソース配線 13 と、ドレイン電極 5 と電氣的に接続されたドレイン配線 14 とが形成される。

【0034】

以下、本実施形態によるショットキー型の AlGaIn/GaN・HEMT の奏する効果について、比較例によるショットキー型の AlGaIn/GaN・HEMT との比較に基づいて説明する。

図 6 は、第 1 の実施形態の比較例によるショットキー型の AlGaIn/GaN・HEMT において、ゲート電極に結晶粒界が生じた様子を示す概略断面図であり、(a) が全体図、(b) が一部拡大図である。図 7 は、第 1 の実施形態によるショットキー型の AlGaIn/GaN・HEMT において、ゲート電極に結晶粒界が生じた様子を示す概略断面図であり、(a) が全体図、(b) が一部拡大図である。図 6 (b) 及び図 7 (b) では、パッシベーション膜のゲート電極の貫通口におけるソース電極側のエッジ部分を拡大して示す。

【0035】

図 6 の比較例は、本実施形態による諸工程のうち、図 3 (a) のウェットエッチング工程を行わない、従来の手法によるショットキー型の AlGaIn/GaN・HEMT である。

図 6 のように、ゲート電極 7 の Ni 層 7 a では、化合物半導体積層構造 2 上の Ni がキャップ層 2 e の単結晶 GaN とショットキーバリアを形成する面心立方構造 fcc (111) に配向する。その一方で、ゲート電極 7 の Ni 層 7 a は、パッシベーション膜 6 上の Ni がパッシベーション膜 6 のアモルファス構造の影響を受けてランダムに配向する。そのため、fcc (111) に配向した Ni とランダムに配向した Ni との境界には非常に大きい結晶粒界 101 が形成される。パッシベーション膜 6 の貫通口 6 a の上端部であるエッジ部分 102 は尖っている。そのため、結晶粒界 101 は、このエッジ部分 102 を起点として形成される。パッシベーション膜 6 の表面は、貫通口 6 a を形成するためのレジストマスク 10 と密着しているため、通常のドライエッチング、或いはウェットエッチングの手法を用いただけでは、エッジ部分 102 は鋭く (曲率半径は 5 nm 以下)、図示のようにエッジ部分 102 を起点とした窒化物半導体表面 (ショットキー面) 103 に近い箇所に結晶粒界 101 が形成される。この場合、パッシベーション膜 6 の貫通口 6 a の側壁と Ni との界面 (側壁界面) 104 が熱ストレス等により開くことにより、ゲート電極 7 の Au 層 7 a の Au が結晶粒界 101 及び側壁界面 104 を通路として、ショットキー面 103 に到達して反応する。これにより、ゲート特性が劣化し、GaN-HEMT の信頼度が低下する。

【0036】

これに対して本実施形態では、図 2 (c) 及び図 3 (a) のように、パッシベーション膜 6 上からレジストマスク 10 を除去した状態でウェットエッチングを行い、曲面状のエッジ部分 6 b を形成する。これにより、図 7 に示すように、Ni の結晶粒界 101 の端部

(起点) は、エッジ部分 6 b からソース電極 4 或いはドレイン電極 5 の方向へ離間した、パッシベーション膜 6 の表面の平坦面上 (化合物半導体積層構造 2 の表面と平行な平坦面上) に形成されることが見出された。このように、Ni の結晶粒界 101 をショットキー面 103 から空間的に離間し、結晶粒界 101 の起点をパッシベーション膜 6 の平坦面上に形成することにより、側壁界面 104 が開いたとしても、Au 層 7 b からショットキー面 103 への Au の到達が抑止される。

【 0037 】

図 8 は、第 1 の実施形態によるショットキー型の AlGaIn/GaN・HEMT、及び比較例について、発生するゲートリーク電流について調べた結果を示す特性図である。

高温 (325) でピンチオフ時のゲートリーク電流は、比較例の場合、Au がショットキー面に拡散することでリーキーとなり、最終的に破壊してしまう。これに対して本実施形態では、Au の拡散が抑制され、ゲートリーク電流が抑えられて AlGaIn/GaN・HEMT の信頼度が向上する。

【 0038 】

以上説明したように、本実施形態によれば、ゲート電極 7 と化合物半導体積層構造 2 との界面に電極材料である Au が到達することを抑止し、ゲート特性の劣化を防止した信頼性の高い高耐圧の AlGaIn/GaN・HEMT が実現する。

【 0039 】

(変形例)

ここで、第 1 の実施形態の変形例について説明する。本例では、第 1 の実施形態と同様に AlGaIn/GaN・HEMT を作製するが、パッシベーション膜にゲート電極形成用の貫通口を形成する際の工程が異なる点で第 1 の実施形態と相違する。

図 9 及び図 10 は、第 1 の実施形態の変形例による AlGaIn/GaN・HEMT の製造方法の主要工程を示す概略断面図である。

【 0040 】

まず、第 1 の実施形態と同様に、図 1 (a) ~ 図 2 (a) の諸工程を順次行う。

続いて、図 9 (a) に示すように、パッシベーション膜 6 よりもウェットエッチングレートの速い材料からなるパッシベーション膜 15 を形成する。

詳細には、パッシベーション膜 6 上に、パッシベーション膜 6 の材料、ここでは SiN よりもウェットエッチングレートの速い材料、例えば SiO₂ を、例えばプラズマ CVD 法により 20 nm 程度の厚みに堆積する。これにより、パッシベーション膜 6 上を覆うパッシベーション膜 15 が形成される。

【 0041 】

続いて、図 9 (b) に示すように、パッシベーション膜 15, 6 をウェットエッチングして、パッシベーション膜 6 に貫通口 6c を形成する。

詳細には、まず、化合物半導体積層構造 2 の表面にレジストを塗布する。レジストをリソグラフィにより加工し、レジストに、パッシベーション膜 15 の表面でゲート電極の形成予定位置 (電極形成予定位置) に相当する部分を露出する開口 10a を形成する。以上により、開口 10a を有するレジストマスク 10 が形成される。

【 0042 】

このレジストマスク 10 を用いて、開口 10a から露出するパッシベーション膜 15 の電極形成予定位置に対して、化合物半導体積層構造 2 の表面が露出するまでパッシベーション膜 15, 6 をウェットエッチングする。ウェットエッチングには、例えばバッファードフッ酸等のエッチング液を用いる。このとき、パッシベーション膜 15 は、パッシベーション膜 6 よりもウェットエッチングレートが速いため、パッシベーション膜 6 に先行してこれよりも大きくエッチングされて貫通口 15a が形成される。それと共に、パッシベーション膜 6 には、上端部のエッジ部分 6d が丸まった、即ちラウンドが形成されて曲面状とされた貫通口 6c が形成される。貫通口 6c は、貫通口 15a よりも小径であり、貫通口 15a に囲まれたかたちで形成される。本例では、パッシベーション膜 6 上のこれよりもウェットエッチングレートの速いパッシベーション膜 15 を介して、パッシベーシ

10

20

30

40

50

ン膜 6 をウェットエッチングする。これにより、レジストマスク 10 に阻止されることなく上記のような曲面状のエッジ部分 6 d を有する貫通口 6 c が形成される。

その後、レジストマスク 10 は、アッシング処理又は所定の薬液を用いたウェット処理等により除去される。

【 0 0 4 3 】

曲面状のエッジ部分 6 d は、その曲率半径がパッシベーション膜 6 の厚みの 1 / 4 倍以上で当該厚み以下とされる。曲率半径がパッシベーション膜 6 の厚みの 1 / 4 倍より小さいと、エッジ部分へのラウンドの付与が不十分であり、化合物半導体積層構造 2 の表面への電極材料の到達抑止効果が十分に得られない。曲率半径がパッシベーション膜 6 の厚みより大きいと、貫通口 6 c の上部の開口径が大きくなり過ぎて所期の微細なゲート電極を形成することができなくなる。エッジ部分 6 d の曲率半径をパッシベーション膜 6 の厚みの 1 / 4 倍以上で当該厚み以下とすることにより、貫通口 6 c の上部の開口径に影響を与えることなく化合物半導体積層構造 2 の表面への電極材料の到達抑止効果を得ることができる。本例では、パッシベーション膜 6 を 40 nm 程度の厚みに形成していることから、例えば、エッジ部分 6 d の曲率半径をパッシベーション膜 6 の厚みの 1 / 4 倍である 10 nm 程度に形成する。

10

【 0 0 4 4 】

続いて、図 10 (a) に示すように、ゲート電極 7 を形成する。

詳細には、まず、ゲート電極を形成するためのレジストマスクを形成する。ここでは、蒸着法及びリフトオフ法に適した例えば底構造 2 層レジストを用いる。このレジストをパッシベーション膜 15, 6 上に塗布し、パッシベーション膜 6 の貫通口 6 c の部分を露出させる開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

20

【 0 0 4 5 】

このレジストマスクを用いて、電極材料として、例えば Ni / Au を、例えば蒸着法により、パッシベーション膜 6 の貫通口 6 d の部分を露出させる開口内を含むレジストマスク上に堆積する。Ni の厚みは 80 nm 程度、Au の厚みは 300 nm 程度とする。リフトオフ法により、レジストマスク及びその上に堆積した Ni / Au を除去する。以上により、貫通口 6 d を Ni の一部で埋め込むように、パッシベーション膜 6 上にゲート電極 7 が形成される。ゲート電極 7 では、下層部分を Ni 層 7 a、上層部分を Au 層 7 b とする。

30

【 0 0 4 6 】

続いて、図 10 (b) に示すように、パッシベーション膜 15, 6 のソース電極 4 上の部分及びドレイン電極 5 上の部分を除去する。

詳細には、パッシベーション膜 15, 6 をリソグラフィー及びドライエッチングにより加工する。ドライエッチングは、例えば SF₆ / CHF₃ ガスをエッチングガスとして用い、上部電極パワー 500 W / 下部電極パワー 50 W で行う。これにより、ソース電極 4 の表面の一部を露出する開口 16 と、ドレイン電極 5 の表面の一部を露出する開口 17 とが形成される。このときの上方から見た様子を図 11 に示す。

以上により、本実施形態によるショットキー型の AlGaIn / GaN · HEMT が形成される。

40

【 0 0 4 7 】

なお、図 12 に示すように、図 10 (a) でゲート電極 7 を形成した後、パッシベーション膜 15 上に層間絶縁膜 8 を形成し、層間絶縁膜 8 のソース電極 4 上の部分及びドレイン電極 5 上の部分を除去するようにしても良い。即ち、層間絶縁膜 8 及びパッシベーション膜 15, 6 をリソグラフィー及びドライエッチングにより加工し、ソース電極 4 の表面の一部を露出する開口 16 と、ドレイン電極 5 の表面の一部を露出する開口 17 とを形成する。そして、開口 16, 17 を埋め込むように層間絶縁膜 8 上に配線材料を堆積し、これをリソグラフィー及びドライエッチングにより加工する。以上により、ソース電極 4 と電氣的に接続されたソース配線 13 と、ドレイン電極 5 と電氣的に接続されたドレイン配線 14 とが形成される。

50

【0048】

以上説明したように、本例によれば、ゲート電極7と化合物半導体積層構造2との界面に電極材料であるAuが到達することを抑止し、ゲート特性の劣化を防止した信頼性の高い高耐压のAlGa_{0.1}N/GaN・HEMTが実現する。

【0049】

(第2の実施形態)

本実施形態では、化合物半導体装置として、GaN系半導体のショットキーバリアダイオード(GaN-SBD)を開示する。

図13~図15は、第2の実施形態によるGaN-SBDの製造方法を工程順に示す概略断面図である。

10

【0050】

先ず、図13(a)に示すように、成長用基板として例えばn⁺-GaN基板21の表面上に化合物半導体層22を形成する。成長用基板としては、GaN基板の代わりに、Si基板、SiC基板、サファイア基板、GaAs基板等を用いても良い。また、基板の導電性としては、半絶縁性、導電性を問わない。

【0051】

化合物半導体層22は、MOVPE法により、n-GaNエピタキシャル層を成長して形成する。n-GaNエピタキシャル層は所定の厚みとされ、n型不純物、例えばSiがドーピングされてn型とされており、その厚み及びドーピング濃度はGaN-SBDに求められる特性に応じて任意である。例えば、1μm程度の厚みで1×10¹⁷/cm³程度のドーピング濃度とされる。

20

【0052】

続いて、図13(b)に示すように、n⁺-GaN基板21の裏面上にカソード電極23を形成する。

詳細には、n⁺-GaN基板21の裏面上に、例えば蒸着法により例えばTiを20nm程度の厚みに、例えばAlを200nm程度の厚みに順次形成する。そして、n⁺-GaN基板21を550℃程度で熱処理することにより、n⁺-GaN基板21と上記の積層膜とをオーミックコンタクトさせる。以上により、n⁺-GaN基板21の裏面上にカソード電極23が形成される。

【0053】

続いて、図13(c)に示すように、化合物半導体層22の表面を保護するパッシベーション膜24を形成する。

詳細には、化合物半導体層22の表面を覆うように、絶縁膜、ここでは単層のシリコン窒化膜(SiN膜)をプラズマCVD法により例えば40nm程度の厚みに堆積する。これにより、パッシベーション膜24が形成される。パッシベーション膜24は、単層のSiN膜の代わりに、単層のシリコン酸化膜(SiO膜)、単層のシリコン酸窒化膜(SiON膜)、又は単層のアルミニウム酸化膜(AlN膜)を形成しても良い。SiN膜、SiO膜、SiON膜及びAlN膜から選ばれたいずれか2層以上の積層膜に形成しても好適である。

30

【0054】

続いて、図14(a)に示すように、パッシベーション膜24をドライエッチングして貫通口24aを形成する。

詳細には、先ず、化合物半導体層22の表面にレジストを塗布する。レジストをリソグラフィにより加工し、レジストに、パッシベーション膜24の表面でアノード電極の形成予定位置(電極形成予定位置)に相当する部分を露出する開口20aを形成する。以上により、開口20aを有するレジストマスク20が形成される。

40

【0055】

このレジストマスク20を用いて、開口20aから露出するパッシベーション膜24の電極形成予定位置を化合物半導体層22の表面が露出するまでドライエッチングし、パッシベーション膜24に貫通口24aを形成する。ドライエッチングには、例えばSF₆等

50

のフッ素系ガスを含有するエッチングガスを用いる。ここで、貫通口 24 a の側壁面は垂直であるか、或いは図示のように僅かに順テーパ状となる。

【0056】

続いて、図 14 (b) に示すように、レジストマスク 20 を除去する。

詳細には、レジストマスク 20 をアッシング処理又は所定の薬液を用いたウェット処理等により除去する。

【0057】

続いて、図 15 (a) に示すように、パッシベーション膜 24 をウェットエッチングする。

詳細には、パッシベーション膜 24 をウェットエッチングし、貫通口 24 a の尖った上端部であるエッジ部分を丸めて、即ちラウンドを形成して曲面状とする。この曲面状の上端部をエッジ部分 24 b とする。ウェットエッチングには、例えばバッファードフッ酸等のエッチング液を用い、15 秒間程度処理する。本実施形態では、ドライエッチングに用いたレジストマスク 20 を除去してパッシベーション膜 24 を露出した状態でウェットエッチングすることにより、上記のような曲面状のエッジ部分 24 b が形成される。

10

【0058】

曲面状のエッジ部分 24 b は、その曲率半径がパッシベーション膜 24 の厚みの 1/4 倍以上で当該厚み以下とされる。曲率半径がパッシベーション膜 24 の厚みの 1/4 倍よりも小さいと、エッジ部分へのラウンドの付与が不十分であり、後述する化合物半導体層 22 の表面への電極材料の到達抑止効果が十分に得られない。曲率半径がパッシベーション膜 24 の厚みよりも大きいと、貫通口 24 a の上部の開口径が大きくなり過ぎて所期の微細なアノード電極を形成することができなくなる。エッジ部分 24 b の曲率半径をパッシベーション膜 24 の厚みの 1/4 倍以上で当該厚み以下とすることにより、貫通口 24 a の上部の開口径に影響を与えることなく化合物半導体層 22 の表面への電極材料の到達抑止効果を得ることができる。本実施形態では、パッシベーション膜 24 を 40 nm 程度の厚みに形成していることから、例えば、エッジ部分 24 b の曲率半径をパッシベーション膜 24 の厚みの 1/4 倍である 10 nm 程度に形成する。

20

【0059】

続いて、図 15 (b) に示すように、アノード電極 25 を形成する。

詳細には、先ず、アノード電極を形成するためのレジストマスクを形成する。ここでは、蒸着法及びリフトオフ法に適した例えば底構造 2 層レジストを用いる。このレジストをパッシベーション膜 24 上に塗布し、パッシベーション膜 24 の貫通口 24 a の部分を露出させる各開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

30

【0060】

このレジストマスクを用いて、電極材料として、例えば Ni/Au を、例えば蒸着法により、パッシベーション膜 24 の貫通口 24 a の部分を露出させる開口内を含むレジストマスク上に堆積する。Ni の厚みは 80 nm 程度、Au の厚みは 300 nm 程度とする。リフトオフ法により、レジストマスク及びその上に堆積した Ni/Au を除去する。以上により、貫通口 24 a を Ni の一部で埋め込むように、パッシベーション膜 24 上にアノード電極 25 が形成される。アノード電極 25 では、下層部分を Ni 層 25 a、上層部分を Au 層 25 b とする。

40

【0061】

しかる後、カソード電極 23 及びアノード電極 25 の電氣的接続等の諸工程を経て、本実施形態による GaN-SBD が形成される。

【0062】

以下、本実施形態による GaN-SBD の奏する効果について説明する。図 16 は、第 2 の実施形態による GaN-SBD において、アノード電極に結晶粒界が生じた様子を示す概略断面図であり、(a) が全体図、(b) が一部拡大図である。図 16 (b) では、パッシベーション膜のアノード電極の貫通口におけるソース電極側のエッジ部分を拡大し

50

て示す。

【0063】

本実施形態では、図14(b)及び図15(a)のように、パッシベーション膜24上からレジストマスク20を除去した状態でウェットエッチングを行い、曲面状のエッジ部分24bを形成する。これにより、図16に示すように、Niの結晶粒界201の起点は、エッジ部分24bから外側の方向へ離間した、パッシベーション膜24の表面の平坦面上(化合物半導体層22の表面と平行な平坦面上)に形成されることが見出された。このように、Niの結晶粒界201をショットキー面202から空間的に離間し、結晶粒界201の起点をパッシベーション膜24の平坦面上に形成することにより、側壁界面203が開いたとしても、Au層25bからショットキー面202へのAuの到達が抑止される。

10

【0064】

以上説明したように、本実施形態によれば、アノード電極25と化合物半導体層22との界面に電極材料であるAuが到達することを抑止し、アノード特性の劣化を防止した信頼性の高い高耐圧のGaN-SBDが実現する。

【0065】

(変形例)

ここで、第2の実施形態の変形例について説明する。本例では、第2の実施形態と同様にGaN-SBDを作製するが、パッシベーション膜にアノード電極形成用の貫通口を形成する際の工程が異なる点で第2の実施形態と相違する。

20

図17及び図18は、第2の実施形態の変形例によるGaN-SBDの製造方法の主要工程を示す概略断面図である。

【0066】

まず、第1の実施形態と同様に、図13(a)~(c)の諸工程を順次行う。

続いて、図17(a)に示すように、パッシベーション膜24よりもウェットエッチングレートの速い材料からなるパッシベーション膜26を形成する。

詳細には、パッシベーション膜6上に、パッシベーション膜24の材料、ここではSiNよりもウェットエッチングレートの速い材料、例えばSiO₂を、例えばプラズマCVD法により20nm程度の厚みに堆積する。これにより、パッシベーション膜24上を覆うパッシベーション膜26が形成される。

30

【0067】

続いて、図17(b)に示すように、パッシベーション膜26、24をウェットエッチングして、パッシベーション膜24に貫通口24cを形成する。

詳細には、まず、化合物半導体積層構造2の表面にレジストを塗布する。レジストをリソグラフィにより加工し、レジストに、パッシベーション膜15の表面でアノード電極の形成予定位置(電極形成予定位置)に相当する部分を露出する開口20aを形成する。以上により、開口20aを有するレジストマスク20が形成される。

【0068】

このレジストマスク20を用いて、開口20aから露出するパッシベーション膜26の電極形成予定位置に対して、化合物半導体層22の表面が露出するまでパッシベーション膜26、24をウェットエッチングする。ウェットエッチングには、例えばバッファードフッ酸等のエッチング液を用いる。このとき、パッシベーション膜26は、パッシベーション膜24よりもウェットエッチングレートが速いため、パッシベーション膜24に先行してこれよりも大きくエッチングされて貫通口26aが形成される。それと共に、パッシベーション膜24には、上端部のエッジ部分24dが丸まった、即ちラウンドが形成されて曲面状とされた貫通口24cが形成される。貫通口24cは、貫通口26aよりも小径であり、貫通口26aに囲まれたかたちで形成される。本例では、パッシベーション膜24上のこれよりもウェットエッチングレートの速いパッシベーション膜26を介して、パッシベーション膜24をウェットエッチングする。これにより、レジストマスク20に阻止されることなく上記のような曲面状のエッジ部分24dを有する貫通口24cが形成さ

40

50

れる。

その後、レジストマスク 20 は、アッシング処理又は所定の薬液を用いたウェット処理等により除去される。

【0069】

曲面状のエッジ部分 24 d は、その曲率半径がパッシベーション膜 24 の厚みの 1/4 倍以上で当該厚み以下とされる。曲率半径がパッシベーション膜 24 の厚みの 1/4 倍よりも小さいと、エッジ部分へのラウンドの付与が不十分であり、化合物半導体層 22 の表面への電極材料の到達抑止効果が十分に得られない。曲率半径がパッシベーション膜 24 の厚みよりも大きいと、貫通口 24 c の上部の開口径が大きくなり過ぎて所期の微細なアノード電極を形成することができなくなる。エッジ部分 24 d の曲率半径をパッシベーション膜 24 の厚みの 1/4 倍以上で当該厚み以下とすることにより、貫通口 24 c の上部の開口径に影響を与えることなく化合物半導体層 22 の表面への電極材料の到達抑止効果を得ることができる。本例では、パッシベーション膜 24 を 40 nm 程度の厚みに形成していることから、例えば、エッジ部分 24 d の曲率半径をパッシベーション膜 24 の厚みの 1/4 倍である 10 nm 程度に形成する。

10

【0070】

続いて、図 18 に示すように、アノード電極 25 を形成する。

詳細には、先ず、アノード電極を形成するためのレジストマスクを形成する。ここでは、蒸着法及びリフトオフ法に適した例えば庇構造 2 層レジストを用いる。このレジストをパッシベーション膜 26, 24 上に塗布し、パッシベーション膜 24 の貫通口 24 c の部分を露出させる各開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

20

【0071】

このレジストマスクを用いて、電極材料として、例えば Ni/Au を、例えば蒸着法により、パッシベーション膜 24 の貫通口 24 c の部分を露出させる開口内を含むレジストマスク上に堆積する。Ni の厚みは 80 nm 程度、Au の厚みは 300 nm 程度とする。リフトオフ法により、レジストマスク及びその上に堆積した Ni/Au を除去する。以上により、貫通口 24 c を Ni の一部で埋め込むように、パッシベーション膜 24 上にアノード電極 25 が形成される。アノード電極 25 では、下層部分を Ni 層 25 a、上層部分を Au 層 25 b とする。

30

【0072】

しかる後、カソード電極 23 及びアノード電極 25 の電氣的接続等の諸工程を経て、本例による GaN-SBD が形成される。

【0073】

以上説明したように、本例によれば、アノード電極 25 と化合物半導体層 22 との界面に電極材料である Au が到達することを抑止し、アノード特性の劣化を防止した信頼性の高い高耐圧の GaN-SBD が実現する。

【0074】

(第 3 の実施形態)

本実施形態では、第 1 の実施形態又はその変形例により作製された AlGaIn/GaN・HEMT と、第 2 の実施形態又はその変形例により作製された GaN-SBD いずれか一方、或いは双方を備えた PFC (Power Factor Correction) 回路を開示する。

40

図 19 は、第 3 の実施形態による PFC 回路を示す結線図である。

【0075】

PFC 回路 30 は、スイッチ素子 (トランジスタ) 31 と、ダイオード 32 と、チョークコイル 33 と、コンデンサ 34, 35 と、ダイオードブリッジ 36 と、交流電源 (AC) 37 とを備えて構成される。スイッチ素子 31 に、第 1 の実施形態又はその変形例により作製された AlGaIn/GaN・HEMT が適用される。又は、ダイオード 32 に、第 2 の実施形態又はその変形例により作製された GaN-SBD が適用される。或いは、スイッチ素子 31 には第 1 の実施形態又はその変形例により作製された AlGaIn/GaN

50

・HEMTが、ダイオード32には第2の実施形態又はその変形例により作製されたGaN-SBDがそれぞれ適用される。

【0076】

PFC回路30では、スイッチ素子31のドレイン電極と、ダイオード32のアノード端子及びチョークコイル33の一端とが接続される。スイッチ素子31のソース電極と、コンデンサ34の一端及びコンデンサ35の一端とが接続される。コンデンサ34の他端子とチョークコイル33の他端子とが接続される。コンデンサ35の他端子とダイオード32のカソード端子とが接続される。コンデンサ34の両端子間には、ダイオードブリッジ36を介してAC37が接続される。コンデンサ35の両端子間には、直流電源(DC)が接続される。

10

【0077】

本実施形態では、ゲート電極7と化合物半導体積層構造2との界面に電極材料であるAuが到達することを抑止し、ゲート特性の劣化を防止した信頼性の高い高耐圧のAlGaN/GaN・HEMTをPFC回路30に適用する。また、アノード電極25と化合物半導体層22との界面に電極材料であるAuが到達することを抑止し、アノード特性の劣化を防止した信頼性の高い高耐圧のGaN-SBDをPFC回路30に適用する。これにより、信頼性の高いPFC回路30が実現する。

【0078】

(第4の実施形態)

本実施形態では、第1の実施形態又はその変形例により作製されたAlGaN/GaN・HEMTと、第2の実施形態又はその変形例により作製されたGaN-SBDいずれか一方、或いは双方を備えた電源装置を開示する。

20

図20は、第4の実施形態による電源装置の概略構成を示す結線図である。

【0079】

本実施形態による電源装置は、高圧の一次側回路41及び低圧の二次側回路42と、一次側回路41と二次側回路42との間に配設されるトランス43とを備えて構成される。

一次側回路41は、第3の実施形態によるPFC回路30と、PFC回路30のコンデンサ35の両端子間に接続されたインバータ回路、例えばフルブリッジインバータ回路40とを有している。フルブリッジインバータ回路40は、複数(ここでは4つ)のスイッチ素子44a, 44b, 44c, 44dを備えて構成される。

30

二次側回路42は、複数(ここでは3つ)のスイッチ素子45a, 45b, 45cを備えて構成される。

【0080】

本実施形態では、一次側回路41を構成するPFC回路30のスイッチ素子31と、フルブリッジインバータ回路40のスイッチ素子44a, 44b, 44c, 44dとが、第1の実施形態又はその変形例によるAlGaN/GaN・HEMTとされている。又は、PFC回路30のダイオード32が第2の実施形態又はその変形例によるGaN-SBDとされ、フルブリッジインバータ回路40のスイッチ素子44a, 44b, 44c, 44dが第1の実施形態又はその変形例によるAlGaN/GaN・HEMTとされている。或いは、PFC回路30のスイッチ素子31と、フルブリッジインバータ回路40のスイ

40

ッチ素子44a, 44b, 44c, 44dとが、第1の実施形態又はその変形例によるAlGaN/GaN・HEMTとされ、PFC回路30のダイオード32が第2の実施形態又はその変形例によるGaN-SBDとされている。

一方、二次側回路42のスイッチ素子45a, 45b, 45cは、シリコンを用いた通常のMIS-FETとされている。

【0081】

本実施形態では、第3の実施形態によるPFC回路30を電源装置に適用する。これにより、信頼性の高い大電力の電源装置が実現する。

【0082】

(第5の実施形態)

50

本実施形態では、第1の実施形態により作製されたAlGa_N/Ga_N・HEMTを備えた高周波増幅器を開示する。

図21は、第5の実施形態による高周波増幅器の概略構成を示す結線図である。

【0083】

本実施形態による高周波増幅器は、デジタル・プレディストーション回路51と、ミキサー52a、52bと、パワーアンプ53とを備えて構成される。

デジタル・プレディストーション回路51は、入力信号の非線形歪みを補償するものである。ミキサー52aは、非線形歪みが補償された入力信号と交流信号をミキシングするものである。パワーアンプ53は、交流信号とミキシングされた入力信号を増幅するものであり、第1の実施形態又はその変形例によるAlGa_N/Ga_N・HEMTを有している。なお図21では、例えばスイッチの切り替えにより、出力側の信号をミキサー52bで交流信号とミキシングしてデジタル・プレディストーション回路51に送出できる構成とされている。

10

【0084】

本実施形態では、ゲート電極7と化合物半導体積層構造2との界面に電極材料であるAuが到達することを抑止し、ゲート特性の劣化を防止した信頼性の高い高耐圧のAlGa_N/Ga_N・HEMTを高周波増幅器に適用する。これにより、信頼性の高い高耐圧の高周波増幅器が実現する。

【0085】

本実施形態による高周波増幅器は、送信・受信モジュールに適用することにより、より信頼性の高い通信、レーダー、センサー、電波妨害器等のシステム機器を提供することが可能となる。

20

【0086】

(他の実施形態)

第1の実施形態及びその変形例、第3～第5の実施形態では、化合物半導体装置としてAlGa_N/Ga_N・HEMTを例示した。化合物半導体装置としては、AlGa_N/Ga_N・HEMT以外にも、以下のようなHEMTに適用できる。

【0087】

・その他のHEMT例1

本例では、化合物半導体装置として、InAlN/GaN・HEMTを開示する。

30

InAlNとGaNは、組成によって格子定数を近くすることが可能な化合物半導体である。この場合、上記した第1、第3～第5の実施形態では、電子走行層がi-GaN、中間層がAlN、電子供給層がn-InAlN、キャップ層がn-GaNで形成される。また、この場合のpiezo分極がほとんど発生しないため、2次元電子ガスは主にInAlNの自発分極により発生する。

【0088】

本例によれば、上述したAlGa_N/Ga_N・HEMTと同様に、ゲート電極と化合物半導体積層構造との界面に電極材料であるAuが到達することを抑止し、ゲート特性の劣化を防止した信頼性の高い高耐圧のInAlN/GaN・HEMTが実現する。

【0089】

40

・その他のHEMT例2

本例では、化合物半導体装置として、InAlGa_N/Ga_N・HEMTを開示する。

GaNとInAlGa_Nは、後者の方が前者よりも組成によって格子定数を小さくすることができる化合物半導体である。この場合、第1、第3～第5の実施形態では、電子走行層がi-GaN、中間層がi-InAlGa_N、電子供給層がn-InAlGa_N、キャップ層がn-GaNで形成される。

【0090】

本例によれば、上述したAlGa_N/Ga_N・HEMTと同様に、ゲート電極と化合物半導体積層構造との界面に電極材料であるAuが到達することを抑止し、ゲート特性の劣化を防止した信頼性の高い高耐圧のInAlGa_N/Ga_N・HEMTが実現する。

50

【 0 0 9 1 】

以下、化合物半導体装置及びその製造方法、並びに電源装置及び高周波増幅器の諸態様を付記としてまとめて記載する。

【 0 0 9 2 】

(付記 1) 化合物半導体層と、

前記化合物半導体層上に形成され、貫通口を有する絶縁膜と、

前記貫通口を埋め込むように前記絶縁膜上に形成された電極と

を含み、

前記電極は、相異なる結晶配列の結晶粒界が形成されており、前記結晶粒界の端部が前記貫通口から離間した前記絶縁膜の平坦面上に位置することを特徴とする化合物半導体装置。

10

【 0 0 9 3 】

(付記 2) 前記絶縁膜は、前記貫通口の端部が曲面状とされていることを特徴とする付記 1 に記載の化合物半導体装置。

【 0 0 9 4 】

(付記 3) 前記絶縁膜は、前記貫通口の端部の曲面の曲率半径が当該絶縁膜の厚みの 1 / 4 倍以上で当該厚み以下とされていることを特徴とする付記 2 に記載の化合物半導体装置。

【 0 0 9 5 】

(付記 4) 前記絶縁膜上で前記貫通口を囲むように、前記絶縁膜よりもウェットエッチングレートの速い材料からなる保護膜が形成されていることを特徴とする付記 1 ~ 3 のいずれか 1 項に記載の化合物半導体装置。

20

【 0 0 9 6 】

(付記 5) 前記結晶粒界は、面心立方 (1 1 1) に配向した部分と、前記絶縁膜の平坦面上に位置してランダムに配列した部分との界面であることを特徴とする付記 1 ~ 4 のいずれか 1 項に記載の化合物半導体装置。

【 0 0 9 7 】

(付記 6) 前記絶縁膜は、シリコン窒化物、シリコン酸化物、シリコン酸窒化物及びアルミニウム酸化物から選ばれた 1 種の単層膜、或いはいずれか 2 層以上の積層膜であることを特徴とする付記 1 ~ 5 のいずれか 1 項に記載の化合物半導体装置。

30

【 0 0 9 8 】

(付記 7) 前記電極は、ゲート電極であることを特徴とする付記 1 ~ 6 のいずれか 1 項に記載の化合物半導体装置。

【 0 0 9 9 】

(付記 8) 前記電極は、アノード電極であることを特徴とする付記 1 ~ 6 のいずれか 1 項に記載の化合物半導体装置。

【 0 1 0 0 】

(付記 9) 化合物半導体層上に絶縁膜を形成する工程と、

前記絶縁膜の所定部位に、所定のマスクを用いたドライエッチングにより貫通口を形成する工程と、

前記マスクを除去する工程と、

前記絶縁膜をウェットエッチングする工程と

を含むことを特徴とする化合物半導体装置の製造方法。

40

【 0 1 0 1 】

(付記 10) 前記絶縁膜は、前記貫通口の端部が前記ウェットエッチングにより曲面状とされることを特徴とする付記 9 に記載の化合物半導体装置の製造方法。

【 0 1 0 2 】

(付記 11) 化合物半導体層上に絶縁膜を形成する工程と、

前記絶縁膜上に、前記絶縁膜よりもウェットエッチングレートの速い材料からなる保護膜を形成する工程と、

50

ウェットエッチングにより、前記絶縁膜の所定部位に貫通口を形成する工程とを含むことを特徴とする化合物半導体装置の製造方法。

【0103】

(付記12)前記絶縁膜は、前記貫通口の端部が前記ウェットエッチングにより曲面状とされることを特徴とする付記11に記載の化合物半導体装置の製造方法。

【0104】

(付記13)前記絶縁膜は、その曲率半径が当該絶縁膜の厚みの1/4倍以上で当該厚み以下とされることを特徴とする付記10又は12に記載の化合物半導体装置の製造方法。

【0105】

(付記14)前記絶縁膜は、シリコン窒化物、シリコン酸化物、シリコン酸窒化物及びアルミニウム酸化物から選ばれた1種の単層膜、或いはいずれか2層以上の積層膜であることを特徴とする付記9～13のいずれか1項に記載の化合物半導体装置の製造方法。

【0106】

(付記15)前記絶縁膜の前記貫通口を埋め込むように前記絶縁膜上に電極を形成する工程を更に含むことを特徴とする付記9～14のいずれか1項に記載の化合物半導体装置の製造方法。

【0107】

(付記16)変圧器と、前記変圧器を挟んで高圧回路及び低圧回路とを備えた電源回路であって、

前記高圧回路はトランジスタ及びダイオードを有しており、

前記トランジスタ又は前記ダイオードの少なくとも一方は、

化合物半導体層と、

前記化合物半導体層上に形成され、貫通口を有する絶縁膜と、

前記貫通口を埋め込むように前記絶縁膜上に形成された電極と

を含み、

前記電極は、相異なる結晶配列の結晶粒界が形成されており、前記結晶粒界の端部が前記貫通口から離間した前記絶縁膜の平坦面上に位置することを特徴とする電源回路。

【0108】

(付記17)入力した高周波電圧を増幅して出力する高周波増幅器であって、

トランジスタを有しており、

前記トランジスタは、

化合物半導体層と、

前記化合物半導体層上に形成され、貫通口を有する絶縁膜と、

前記貫通口を埋め込むように前記絶縁膜上に形成された電極と

を含み、

前記電極は、相異なる結晶配列の結晶粒界が形成されており、前記結晶粒界の端部が前記貫通口から離間した前記絶縁膜の平坦面上に位置することを特徴とする高周波増幅器。

【符号の説明】

【0109】

- 1 SiC基板
- 2 化合物半導体積層構造
 - 2a バッファ層
 - 2b 電子走行層
 - 2c 中間層
 - 2d 電子供給層
 - 2e キャップ層
- 2A, 2B 電極用リセス
- 3 素子分離構造
- 4 ソース電極

10

20

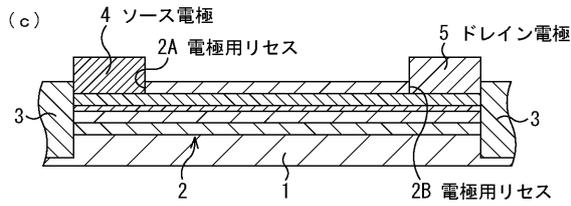
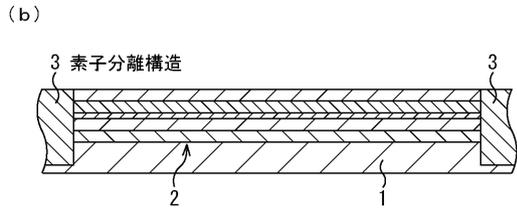
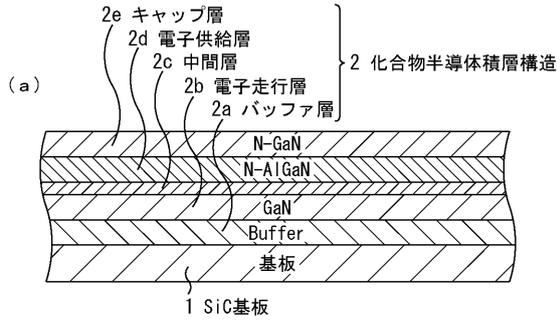
30

40

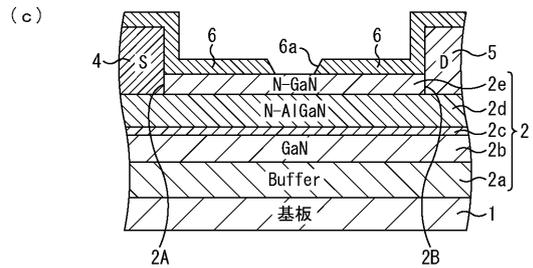
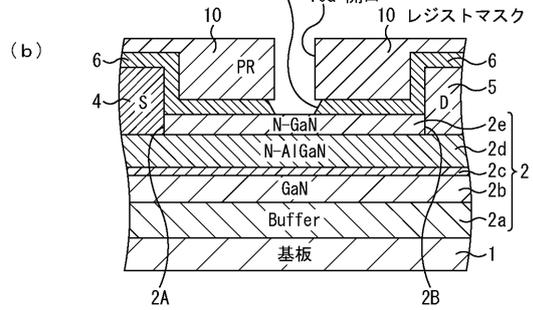
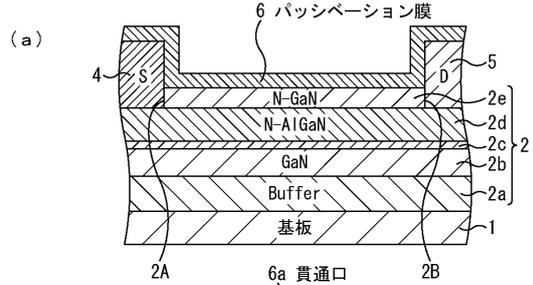
50

5	ドレイン電極		
6	, 15, 24, 26	パッシベーション膜	
6 a	, 6 c, 15 a, 24 a, 24 c, 26 a	貫通口	
6 b	, 6 d, 24 b, 24 d, 102	エッジ部分	
6 c	, 6 d, 11, 12, 16, 17	開口	
7	ゲート電極		
7 a	Ni層		
7 b	Au層		
8	層間絶縁膜		
10	, 20	レジストマスク	10
10 a	, 20 a	開口	
13	ソース配線		
14	ドレイン配線		
21	n ⁺ -Ga _{0.5} In _{0.5} 基板		
22	化合物半導体層		
23	カソード電極		
25	アノード電極		
25 a	Ni層		
25 b	Au層		
30	PFC回路		20
31	, 44 a, 44 b, 44 c, 44 d, 45 a, 45 b, 45 c	スイッチ素子	
32	ダイオード		
33	チョークコイル		
34	, 35	コンデンサ	
36	ダイオードブリッジ		
37	AC		
40	フルブリッジインバータ回路		
41	一次側回路		
42	二次側回路		
43	トランス		30
51	デジタル・プレディストーション回路		
52 a	, 52 b	ミキサー	
53	パワーアンプ		
101	, 201	結晶粒界	
103	, 202	ショットキー面	
104	, 203	側壁界面	

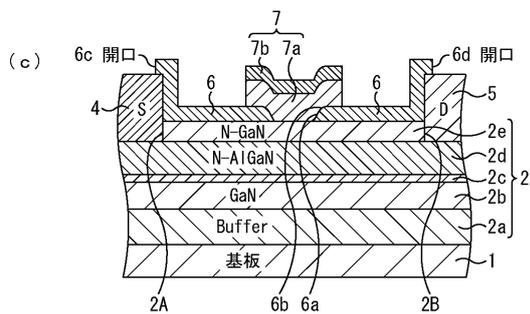
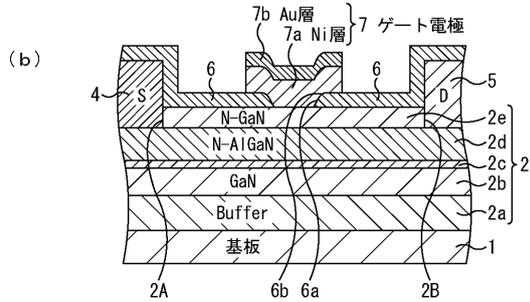
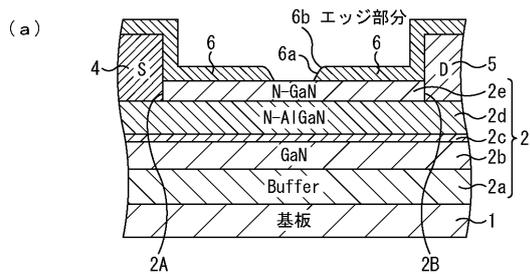
【図1】



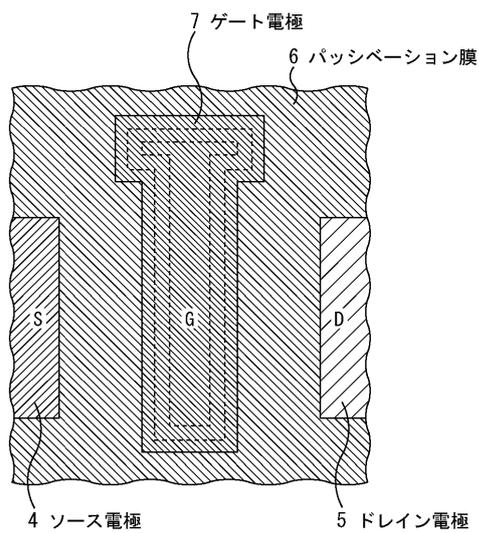
【図2】



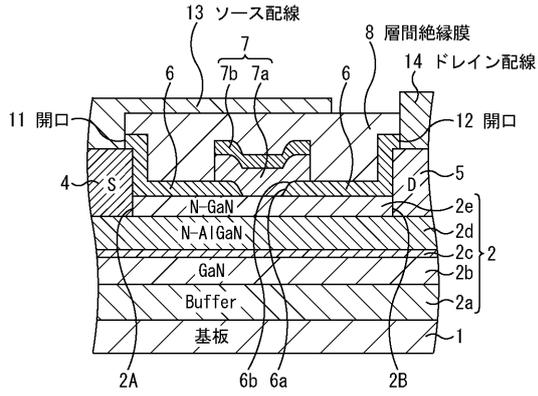
【図3】



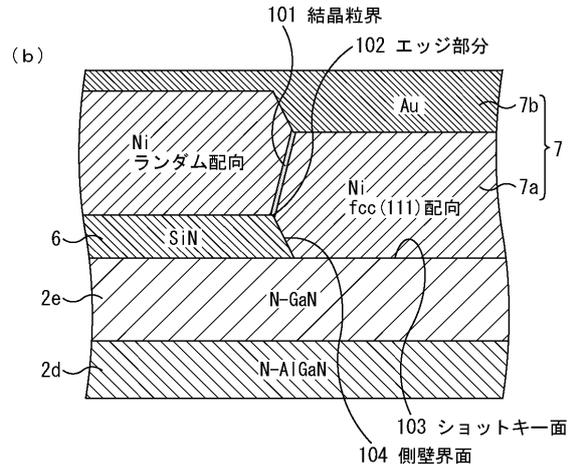
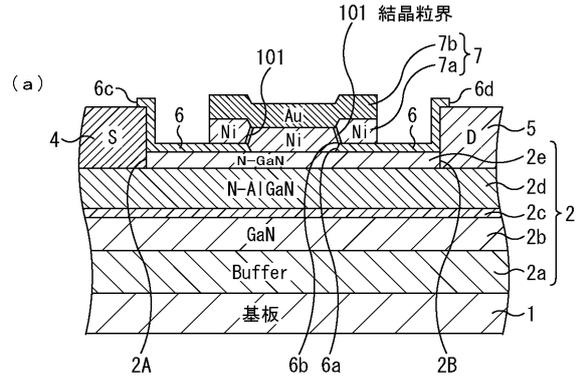
【図4】



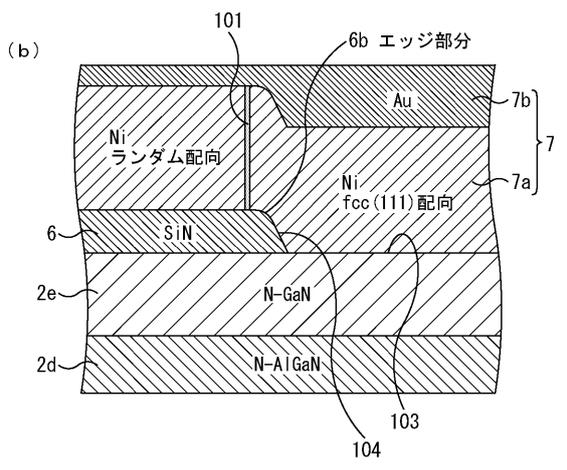
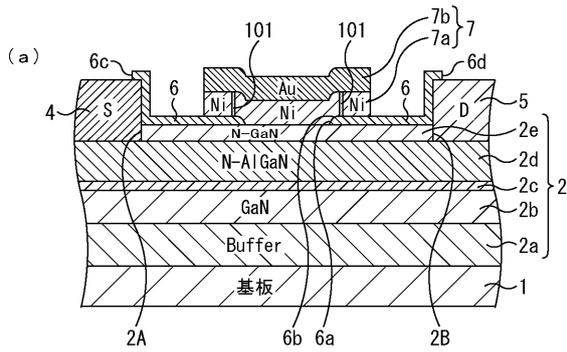
【図5】



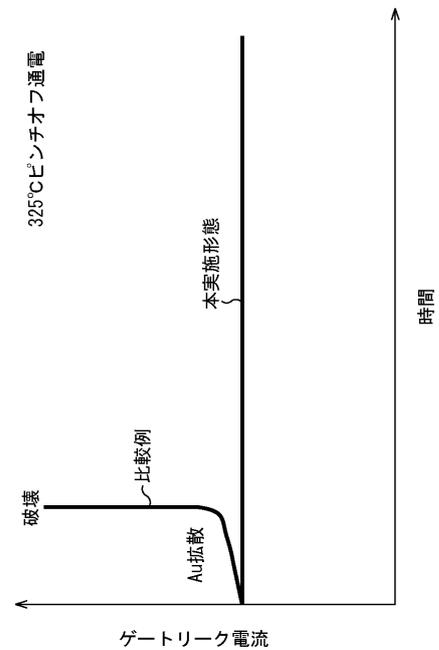
【図6】



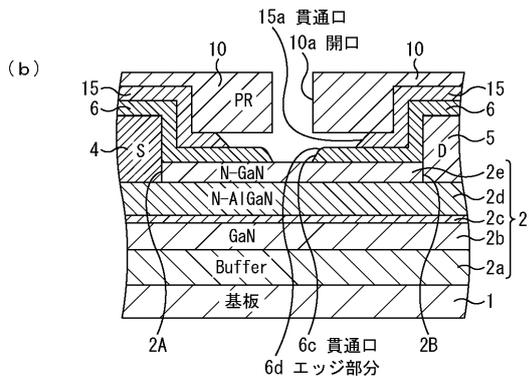
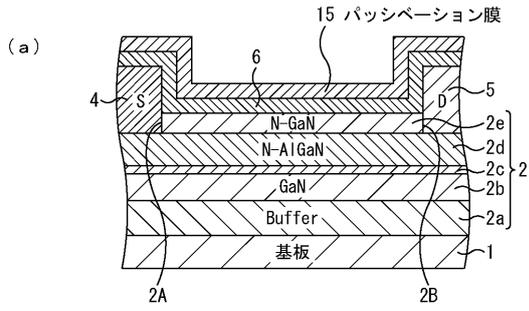
【図7】



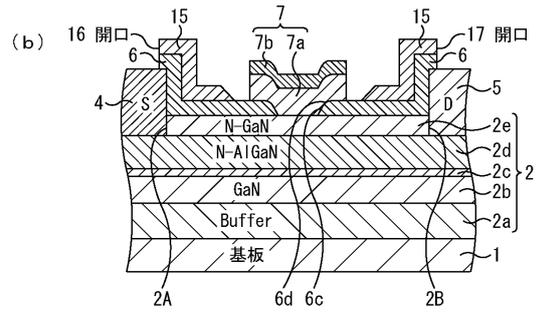
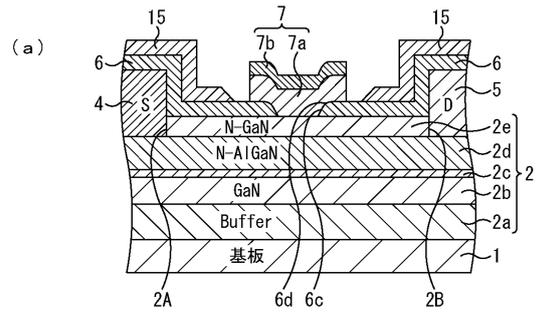
【図8】



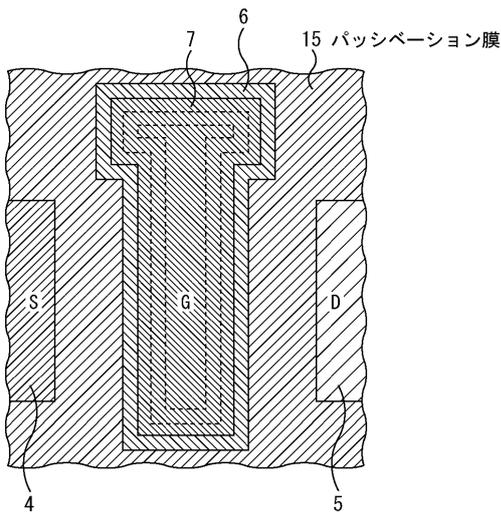
【図9】



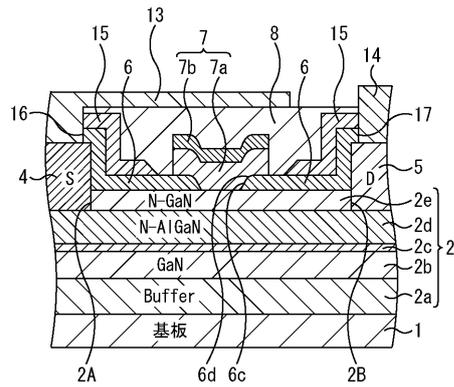
【図10】



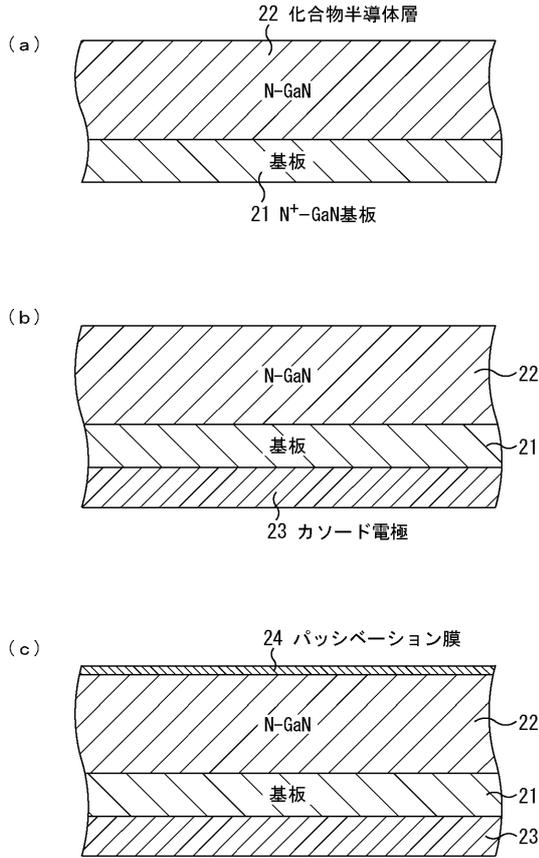
【図11】



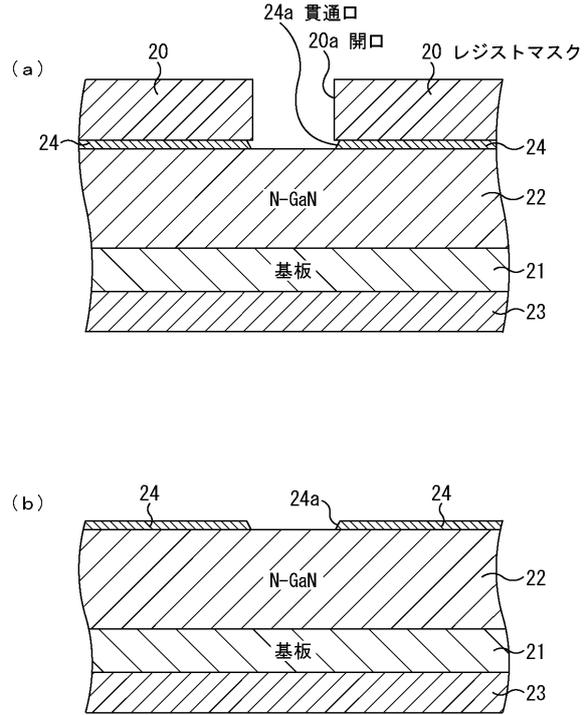
【図12】



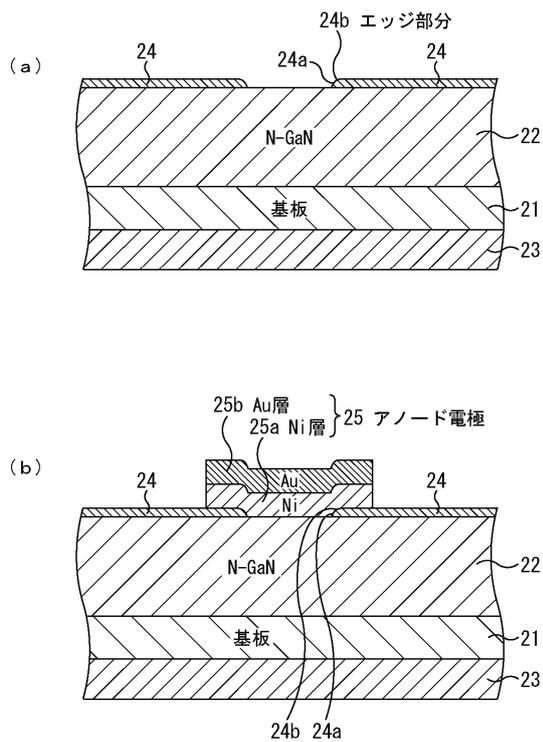
【図13】



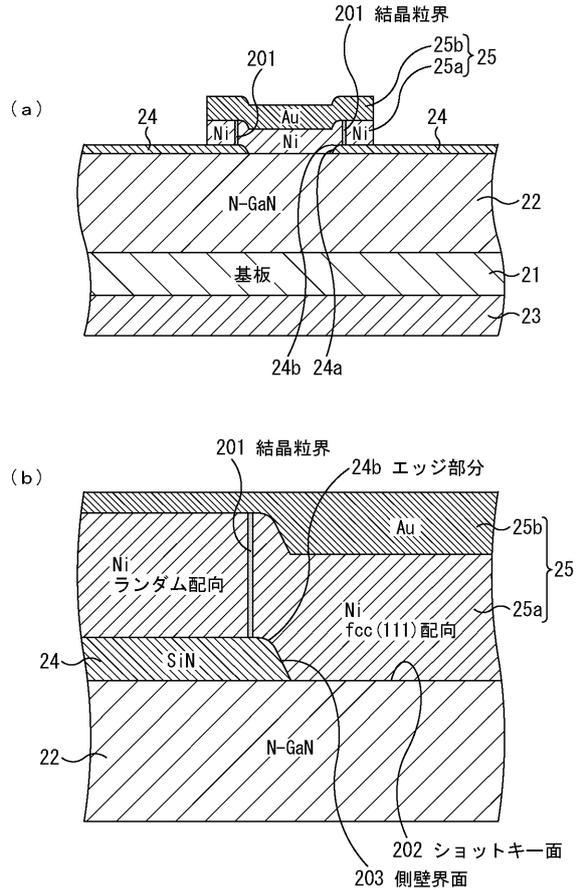
【図14】



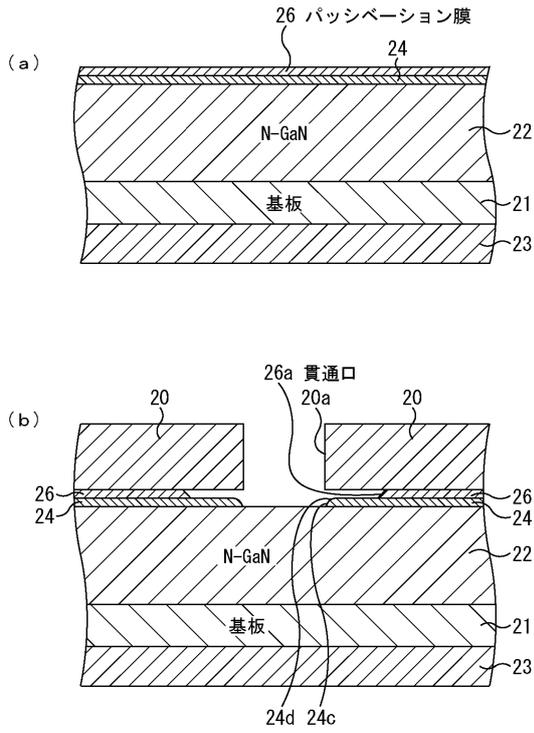
【図15】



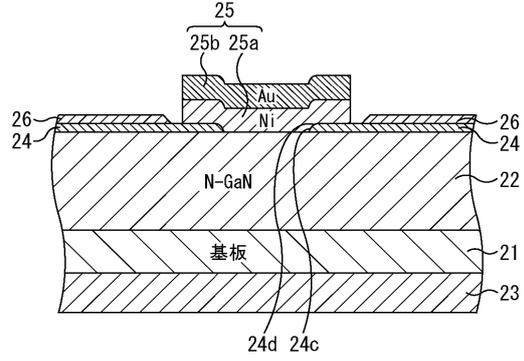
【図16】



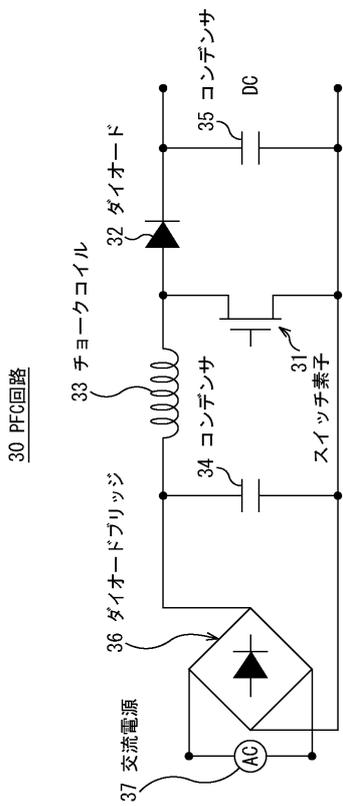
【図17】



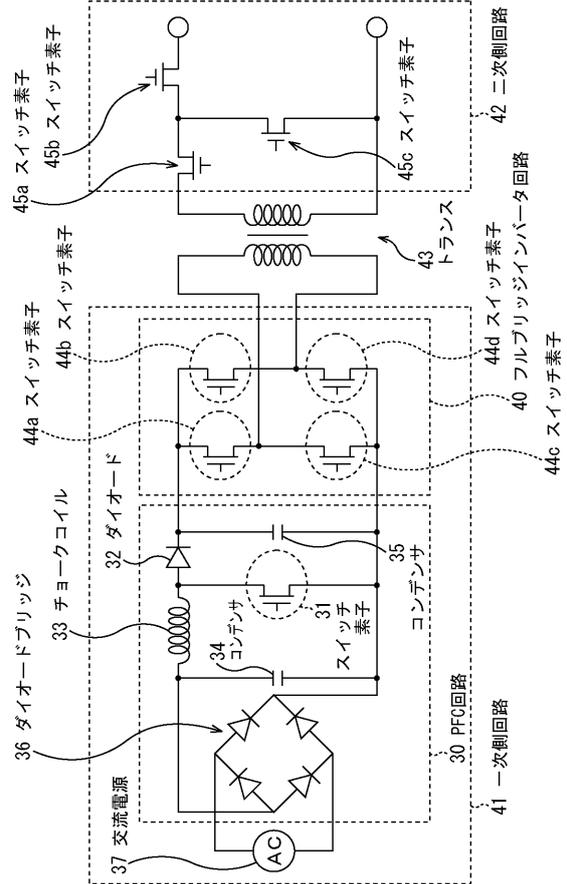
【図18】



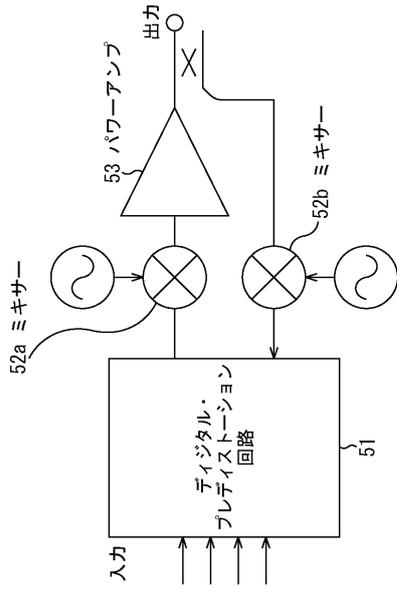
【図19】



【図20】



【図 21】



フロントページの続き

(51)Int.Cl. F I
H 0 3 F 3/21 (2006.01) H 0 3 F 3/21

- (72)発明者 美濃浦 優一
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 尾崎 史朗
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 宮島 豊生
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 河合 俊英

- (56)参考文献 特開平09-213798(JP,A)
特開2008-270687(JP,A)
特開2008-166469(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-------------|
| H 0 1 L | 2 1 / 2 8 |
| H 0 1 L | 2 1 / 2 8 3 |
| H 0 1 L | 2 1 / 3 3 8 |
| H 0 1 L | 2 9 / 7 7 8 |
| H 0 1 L | 2 9 / 8 1 2 |
| H 0 3 F | 3 / 2 1 |