

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/20	(11) 공개번호 (43) 공개일자	특2000-0006046 2000년01월25일
(21) 출원번호	10-1999-0021417	
(22) 출원일자	1999년06월09일	
(30) 우선권주장	98-163524 1998년06월11일 일본(JP)	
(71) 출원인	신에프 한도타이 가부시키가이샤 와다 다다시	
(72) 발명자	일본 도쿄도 치요다구 마루노우치 1-초메 4-2 다케노히로시	
(74) 대리인	일본군마켄안나카시이소베2초메 13-1신에프한도타이가부시키가이샤이소베겐 큐쇼내 하야미즈요시노리 일본군마켄안나카시이소베2초메 13-1신에프한도타이가부시키가이샤이소베겐 큐쇼내 장용식	

심사청구 : 없음

(54) 실리콘에피택셀웨이퍼의제조방법

요약

(실리콘 에피택셀 웨이퍼의 제조 방법)

CZ 실리콘 경면 다듬질 웨이퍼와 동일한 정도에 IG 능력을 가진 실리콘 에피택셀 웨이퍼의 제조 방법을 제공한다. 실리콘 단결정이 실리콘 웨이퍼 위에 에피택셀하게 성장되는 실리콘 에피택셀 웨이퍼의 제조 방법에 있어서;

에피택셀 성장 공정 전에, 실리콘 웨이퍼내 격자간 산소로부터의 석출핵이 에피택셀 성장 공정을 거쳐 남아있는 크기로 성장될 수 있는 시간과 같거나 그 이상인 시간 동안, 에피택셀 성장 공정 후의 디바이스 제조 공정에서 제일 먼저 수행되는 열처리 공정인 제 1 단계 열처리를 위한 유지 온도의 ±50℃내 온도에서 실리콘 웨이퍼의 열처리가 수행되며, 그 다음, 에피택셀 성장이 수행된다; 또는

에피택셀 성장공정 개시후 온도를 올리는 도중에, 실리콘 웨이퍼내 격자간 산소로부터의 석출핵이 에피택셀 성장 공정을 거쳐 남아있는 크기로 성장될 수 있는 시간과 같거나 그 이상인 시간 동안, 에피택셀 성장 공정 후의 디바이스 제조 공정에서 제일 먼저 수행되는 열처리 공정인 제 1 단계 열처리를 위한 유지 온도의 ±50℃내 온도가 유지된 상태로 실리콘 웨이퍼의 열처리가 수행되며, 그 다음, 에피택셀 성장을 수행하기 위해 에피택셀 성장온도까지 온도를 올린다.

대표도

도1

색인어

CZ 실리콘 경면 다듬질 웨이퍼, 에피택셀, 내부 게터링, 외부 게터링, 실리콘 단결정, 열처리

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예에서 제조 단계를 도시하는 공정도,
- 도 2는 열처리공정의 실시예를 도시하는 그래프,
- 도 3은 본 발명의 제 2 실시예에서 제조 단계를 도시하는 공정도,
- 도 4는 열처리 온도와 벌크 결함 밀도와의 관계를 도시하는 그래프.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

(본 발명의 배경)

본 발명은 실리콘 에피택셜 웨이퍼의 제조 방법, 특히 초크랄스키(이후 CZ라함) 실리콘을 경면과 같이 다듬질해 처리한 웨이퍼(CZ silicon mirror-finished wafer ; 이후 CZ 실리콘 경면 다듬질 웨이퍼라 함)의 제조 방법과 동일한 정도에 내부 게터링 능력을 가진 실리콘 에피택셜 웨이퍼 제조에 관한 것이다.

지금까지, IC, LSI, 또는 그 밖에 유사한 반도체 디바이스로 제조되는 반도체 웨이퍼로서 CZ 실리콘 경면 다듬질 웨이퍼가 일반적으로 사용되었다. CZ 실리콘 경면 다듬질 웨이퍼는 CZ법으로 녹인 실리콘을 인상하여 성장시킨 실리콘 단결정을자른 다음, 잘라진 실리콘의 앞면을 경면 폴리싱하는 과정으로 얻어진다. 결정인상공정 결과로 응고된 후에 실리콘 단결정이 실온으로 냉각될 때, CZ법으로 성장된 실리콘 단결정은 격자간 산소로 과포화되고, 격자간 산소는 산화 실리콘 형태로 석출되며, 석출로 인하여 많은 산화물 석출핵이 형성된다. 많은 산화물 석출핵이 형성된 실리콘 단결정으로 얻은 CZ 실리콘 경면 다듬질 웨이퍼를 사용하여 IC 또는 그 밖에 유사한 것이 제조될 때, 산소 석출이 진행되어 산화물 석출핵이 되고 그 결과 산화물 석출핵에 의한 많은 미세결함이 디바이스 제조공정의 열처리에서 웨이퍼의 벌크안에 생성된다.

미세결함이 내부 영역(벌크 영역)안에 존재할 때 소위 내부 게터링(이후 IG라 함)효과때문에, 산화물 석출핵으로 인한 미세결함이 무거운 금속 불순물과 같은 것을 잡는 게터링 위치로 바람직하게 작용한다. 그러나 반도체 디바이스가 만들어지는 웨이퍼 표면 부근의 활성 영역에 미세결함이 존재하면, 디바이스 작동에 손실 요인이 되어, 역으로 디바이스 특성 저하를 초래하고 디바이스 생산에 불리한 영향을 직접 주는 것으로 알려져 있다.

최근, CZ 실리콘 경면 다듬질 웨이퍼의 대응으로, 반도체 디바이스가 결함없이 제조될 수 있는 웨이퍼 표면 부근 활성 영역을 만들기 위해, CZ 실리콘 경면 다듬질 웨이퍼 위에 기상 성장으로 실리콘 단결정을 성장함으로써(에피택셜 성장) 만들어지는 실리콘 에피택셜 웨이퍼에 대한 요구가 증가하고 있다.

그러나, 실리콘 에피택셜 웨이퍼는 CZ 실리콘 경면 다듬질 웨이퍼와 비교할때 낮은 IG 능력을 가진다는 문제가 있다. 다시 말해, CZ 실리콘 경면 다듬질 웨이퍼의 경우, 결정 인상공정에서 응고된 후 결정이 실온으로 냉각되는 동안, 많은 산화물 석출핵이 CZ 실리콘 단결정 안에 형성되므로, 반도체 디바이스 제조공정시에 석출핵 성장에 의하여 산소 석출이 더 진행된다. 반면, 실리콘 에피택셜 웨이퍼의 경우, 에피택셜 성장 공정은 1100°C부터 1150°C의 범위로 높은 온도에서 수행되기 때문에, 실리콘 단결정 인상공정에서 형성된 산화물 석출핵이 에피택셜 성장 공정 동안 용해된 상태로 전이된다. 이것은 CZ 실리콘 경면 다듬질 웨이퍼와 비교할 때 반도체 제조 공정에서 산소 석출을 막는다. 따라서, 실리콘 에피택셜 웨이퍼는 CZ 실리콘 경면 다듬질 웨이퍼와 비교할 때 낮은 수준에 IG 능력을 가진다.

지금까지 상기 문제의 해결을 위해, 게터링 위치가 실리콘 에피택셜 웨이퍼 뒷면에 형성되는 외부 게터링(이후 EG라 함)방법을 채택했다. 예를 들면, EG 방법으로, 의도적으로 웨이퍼 뒷면 외부로 결함을 형성한 샌드 블라스트(이후 SB라고 함)방법, 폴리실리콘 박막이 웨이퍼 뒷면에 증착된 PBS방법 및 그 밖에 같은 것이 있다.

상기 종래의 방법에서, (앞면에) 반도체 디바이스가 제조되는 활성 영역과 (뒷면에) 게터링 위치간 거리가 멀기 때문에 불순물을 잡는 시간이 오래 걸리는 문제가 원인이 된다. 낮은 온도에서 반도체 디바이스 제조 공정이 수행될 때, 불순물이 웨이퍼 뒷면까지 확산되는데 요구되는데 오래 걸리므로 이러한 상황이 더 확연히 나타난다. 따라서, IG 방법은 반도체 디바이스가 제조되는 (앞면에) 활성 영역과 게터링 위치(벌크안)간에 거리가 짧을 경우의 사용에 있어 바람직하게 선택된다.

발명이 이루고자하는 기술적 과제

(발명의 개요)

본 발명은 상기 문제를 고려하여 만들었으며, 본 발명의 목적은 CZ 실리콘 경면 다듬질 웨이퍼와 동일한 수준에 IG 능력을 갖는 실리콘 에피택셜 웨이퍼의 제조 방법을 제공하는 것이다. 본 발명의 태양은 실리콘 웨이퍼 위에 실리콘 단결정을 에피택셜하게 성장시켜 얻어지고, 그 후 복수의 열처리를 포함한 디바이스 제조 공정으로 들어가는 실리콘 에피택셜 웨이퍼의 제조 방법 제공에 있다. 여기에서, 에피택셜 성장 공정 전에, 실리콘 웨이퍼내 격자간 산소로부터의 석출핵이 에피택셜 성장 공정을 거쳐 남아있는 크기로 성장될 수 있는 시간과 같거나 그 이상인 시간 동안, 에피택셜 성장 공정 후의 디바이스 제조 공정에서 제일 먼저 수행되는 열처리 공정인 제 1 단계 열처리를 위한 유지 온도의 $\pm 50^{\circ}\text{C}$ 내 온도에서 실리콘 웨이퍼의 열처리가 수행되며, 그 다음, 에피택셜 성장이 수행된다. 바람직하게 제 1 단계 열처리는 산화막 형성을 위한 열처리이다. 에피택셜 성장 공정 전에 열처리 시간은 한 시간 또는 그 이상이다. 에피택셜 성장 공정 전의 열처리는 700°C 내지 1000°C 범위의 온도에서 수행된다.

본 발명의 제 2 태양은 실리콘 웨이퍼 위에 에피택셜하게 성장한 실리콘 단결정으로 형성되고, 그 후에 복수의 열처리공정을 포함한 디바이스 제조 공정으로 들어가는 실리콘 에피택셜 웨이퍼의 제조 방법을 제공에 있다. 여기에서, 에피택셜 성장공정 개시후 온도를 올리는 도중에, 실리콘 웨이퍼내 격자간 산소로부터의 석출핵이 에피택셜 성장 공정을 거쳐 남아있는 크기로 성장될 수 있는 시간과 같거나 그 이상인 시간 동안, 에피택셜 성장 공정 후의 디바이스 제조 공정에서 제일 먼저 수행되는 열처리 공정인 제 1 단계 열처리를 위한 유지 온도의 $\pm 50^{\circ}\text{C}$ 내 온도가 유지된 상태로 실리콘 웨이퍼의 열처리가 수행되며, 그 다음, 에피택셜 성장을 수행하기 위해 에피택셜 성장온도까지 온도를 올린다. 바람직하게, 제 1 단계 열처리는 산화막 형성을 위한 열처리이다. 에피택셜 성장 공정 개시 후 온도를 올리는 중에, 유지온도에서의 열처리 시간은 한 시간 또는 그 이상이다. 에피택셜 성장 공정 개시후 온도를 올리는 중에, 열처리는 700°C 내지 1000°C 범위의 유지 온도에서 수행된다.

본 발명의 제 1 태양에서, 에피택셀 성장 공정 전에, 실리콘 웨이퍼내 격자간 산소로부터의 석출핵이 에피택셀 성장 공정을 거쳐 남아있는 크기로 성장될 수 있는 시간과 같거나 그 이상인 시간 동안, 에피택셀 성장 공정 후의 디바이스 제조 공정에서 제일 먼저 수행되는 열처리 공정인 제 1 단계 열처리를 위한 유지 온도의 $\pm 50^{\circ}\text{C}$ 내 온도에서 실리콘 웨이퍼가 열처리를 받는다. 이것은 디바이스 제조공정에서의 산소 석출을 진행시키기 위한 단결정 잉곳 성장의 인상에서 열과정에 의해 형성된 웨이퍼안에 산화물 석출핵이 디바이스 제조공정의 제 1 단계 열처리 온도에 얼마나 의존하는가를 이용해 산소 석출을 조절하기 위한 것이다. 즉, 에피택셀 성장공정 다음에 반도체 디바이스 제조 공정에 제일 먼저 수행되는 열처리인 제 1 단계 열처리에서 산소 석출에서의 작용이 미리 추측되고, 제 1 단계 열처리와 대등한 열처리가 에피택셀 성장 공정에 앞서 미리 수행된다. 이런 방법으로 에피택셀 성장 공정에 앞서 실리콘 웨이퍼에 열처리를 함으로써, 에피택셀 성장 공정 동안에 심지어 열처리 후에 에피택셀 성장이 되어도 산화물 석출핵이 용해된 상태가 없이 남아있다. 그 결과 반도체 디바이스 제조 공정에 산소 석출이 억제되지 않는다. 따라서, 본 발명에 의해 제조된 실리콘 에피택셀 웨이퍼는 CZ 실리콘 경면 다듬질 웨이퍼와 동일한 수준에 IG 능력을 갖는다.

본 발명의 제 2 태양에서, 에피택셀 성장공정 개시후 온도를 올리는 도중에, 실리콘 웨이퍼내 격자간 산소로부터의 석출핵이 에피택셀 성장 공정을 거쳐 남아있는 크기로 성장될 수 있는 시간과 같거나 그 이상인 시간 동안, 에피택셀 성장 공정 후의 디바이스 제조 공정에서 제일 먼저 수행되는 열처리 공정인 제 1 단계 열처리를 위한 유지 온도의 $\pm 50^{\circ}\text{C}$ 내 온도가 유지된 상태로 실리콘 웨이퍼의 열처리가 수행된다. 그 때문에 에피택셀 성장 공정 동안에, 더욱이 위에서 설명된 바와 같이 열처리 후 에피택셀 성장 온도까지 온도를 올리는 동안에 에피택셀 성장이 수행될 때에도, 산화물 석출핵이 용해된 상태를 띠지 않고 남아있게 된다. 그 결과 반도체 디바이스 제조 공정에 산소 석출이 억제되지 않는다. 따라서, 본 발명에 의해 제조된 실리콘 에피택셀 웨이퍼는 CZ 실리콘 경면 다듬질 웨이퍼와 동일한 수준에 IG 능력을 갖는다.

반도체 디바이스 제조 공정에 열처리로 제일 먼저 수행되는 제 1 단계 열처리때문에, 일반적으로 열처리로 형성된 산화막이라 부른다. 실리콘 웨이퍼안에 격자간 산소로부터 석출핵이 에피택셀 성장 공정을 거쳐 남아있는 핵의 크기로 성장할 수 있는 시간은 한 시간 또는 그 이상이 바람직하다. 또한, 에피택셀 성장에 앞서 또는 에피택셀 성장공정 개시후 온도를 올리는 중에 열처리에서 유지 온도는 700°C 내지 1000°C 범위가 바람직하다.

본 발명에 의해, CZ 실리콘 경면 다듬질 웨이퍼와 동일한 수준에 IG 능력을 갖는 실리콘 에피택셀 웨이퍼가 제조될 수 있다. 따라서, 더욱이 디바이스 제조공정에 사용되는 CZ 실리콘 경면 다듬질 웨이퍼를 실리콘 에피택셀 웨이퍼로 바꾸어도, IG 능력 감소에 대한 걱정은 없으며, 실리콘 웨이퍼를 쉽게 사용할 수 있게 한다.

발명의 구성 및 작용

(본 발명의 실시예)

본 발명의 실시예는 첨부한 도면에 의해 설명될 것이다. 도 1은 본 발명의 실시예를 도시한다. CZ 실리콘 경면 다듬질 웨이퍼가 디바이스 제조 공정에 제 1 단계 열처리 유지 온도의 $\pm 50^{\circ}\text{C}$ 내의 온도에서 예를 들면 3시간 동안 열처리를 받는다. 그 후, 실리콘 에피택셀 웨이퍼를 만들기위해 실리콘 단결정이 예를 들면 1150°C 에서 에피택셀 성장으로 성막된다. 그 후, 실리콘 에피택셀 웨이퍼는 반도체 디바이스 제조 공정으로 들어가고, 그 결과 반도체 디바이스가 웨이퍼 표면 부근에 형성된다. 반도체 디바이스 제조 공정에서 예를 들면, 도 2에 도시된 열처리 공정이 적용된다.

도 3은 본 발명의 제 2 실시예를 도시한다. CZ 실리콘 경면 다듬질 웨이퍼 위에 실리콘 단결정을 에피택셀하게 성장시키기 위해, 웨이퍼의 온도를 올리기 시작하여, 디바이스 제조 공정에서 제 1 단계 열처리 유지온도의 $\pm 50^{\circ}\text{C}$ 내 온도로 올려진다. 웨이퍼는 올려진 온도 상태에서 예를 들면 3시간 동안 계속 놓여지고, 그후 에피택셀 성장 온도, 예를 들면 1150°C 까지 온도가 더 올려지며, 실리콘 에피택셀 웨이퍼를 만들기위해 웨이퍼 위에 실리콘 단결정이 에피택셀 성장으로 성막된다. 그 다음, 실리콘 에피택셀 웨이퍼가 반도체 디바이스 제조 공정에 놓임으로서, 웨이퍼 표면 부근에 반도체 디바이스가 만들어진다.

(실시예 1)

처음 격자간 산소 농도 16ppma의 CZ 실리콘 경면 다듬질 웨이퍼는 3시간 동안 850°C 에서 열처리를 받는다. 그 다음, 실리콘 에피택셀 웨이퍼를 만들기 위해 1150°C 에서 약 $5\mu\text{m}$ 의 두께로 에피택셀 성장에 의해 실리콘 단결정이 성막된다. 그 다음, 도 2에 도시된 바와 같이, 실리콘 에피택셀 웨이퍼는 디바이스 제조 공정을 시뮬레이션하는 열처리를 받는다. 그 다음, 벌크 결함 밀도는 적외선 레이저 산란 단층 촬영법에 의해 실리콘 에피택셀 웨이퍼 위에서 측정된다. 적외선 레이저 산란 단층 촬영법은 적외선 레이저 빔을 결정에 투사하고 결정내 결함으로 인한 산란 광을 감지함으로써 결함을 감지하는 방법이다. 그 결과, 벌크 결함 밀도가 $1.5 \times 10^9 / \text{cm}^3$ 으로 측정되었다.

(실시예 2)

실시예 1과 같은 CZ 실리콘 경면 다듬질 웨이퍼가 사용되었고 이 웨이퍼를 에피택셀 성장을 위해 850°C 로 가열하였고, 이 온도로 3 시간 동안 유지시켰다. 그 다음, 웨이퍼의 온도를 1150°C 로 더 올렸고, 실리콘 에피택셀 웨이퍼를 만들기위해 $5\mu\text{m}$ 의 두께로 에피택셀 성장에 의해 실리콘 단결정이 성막된다. 그 다음, 도 2에 도시된 바와 같이, 실리콘 에피택셀 웨이퍼는 열처리를 받고, 벌크 결함 밀도는 적외선 레이저 산란 단층 촬영법에 의해 측정된다. 그 결과, 벌크 결함 밀도가 $3 \times 10^9 / \text{cm}^3$ 으로 측정되었다.

(비교 실시예 1)

실시예 1과 같은 CZ 실리콘 경면 다듬질 웨이퍼가 사용되었고, 도 2에 도시된 바와 같이, 이 웨이퍼는

열처리를 받는다. 그 다음, 벌크 결함 밀도는 적외선 레이저 산란 단층 촬영법에 의해 측정된다. 그 결과, 벌크 결함 밀도가 $1.8 \times 10^9 / \text{cm}^3$ 으로 측정되었다.

(비교 실시예 2)

실시예 1과 같은 CZ 실리콘 경면 다듬질 웨이퍼가 사용되었고, 웨이퍼에 예열처리의 적용없이, 실리콘 에피택셜 웨이퍼를 만들기 위해 에피택셜 성장으로 1150°C에서 실리콘 단결정이 성장된다. 그 다음, 도 2에 도시된 바와 같이, 웨이퍼는 열처리를 받고, 그 다음, 벌크 결함 밀도는 적외선 레이저 산란 단층 촬영법에 의해 측정된다. 그 결과, 벌크 결함 밀도가 $4 \times 10^6 / \text{cm}^3$ (검출 한계보다 낮은) 또는 이 보다 더 적게 측정되었다.

(그 외의 실시예 및 비교 실시예)

열처리 공정의 제 1 단계 열처리에 대응하는 열 처리가 각기 다른 온도별로 CZ 실리콘 경면 다듬질 웨이퍼에 적용되었다. 그 다음, 실리콘 에피택셜 웨이퍼를 만들기 위해 에피택셜 성장을 받는다. 더 상세하게, 복수의 CZ 실리콘 경면 다듬질 웨이퍼를 7 그룹으로 나누고, 도 2에 도시된 바와 같이, 에피택셜 성장을 위한 예열처리로서, 제 1 단계 열처리에 대응하는 각각 다른 열처리 온도로 그룹에 각각 열처리가 적용되었다: 700°C, 750°C, 800°C, 850°C, 900°C, 950°C, 및 1000°C가 그룹에 배정되었다. 그룹의 열처리 시간은 1시간 내지 8시간의 범위이다. 그 다음, 위에서 설명된 바와 같이 각각의 예열 처리를 받은 CZ 실리콘 경면 다듬질 웨이퍼가 실리콘 에피택셜 웨이퍼를 만들기 위해 1150°C에서 약 5 μm의 두께로 에피택셜 성장을 받는다. 7 그룹의 실리콘 에피택셜 웨이퍼는 예열처리의 온도로 배정받은 각각의 제 1 단계 열처리를 제외하고, 도 2에 도시된 열처리 공정과 같은 동일한 열처리를 받는다. 따라서 이와같이 얻은 웨이퍼는 본 발명의 실시예에 웨이퍼로서 다루어졌다. 반면, 위의 실시예에서 설명된 바와 같이 예열처리와 에피택셜 성장을 받지 않은 CZ 실리콘 경면 다듬질 웨이퍼는 7 그룹으로 나누어져 실시예처럼 도 2에 도시된 열처리공정과 동일한 열처리를 받는다. 여기서 제 1 단계 열처리는 실시예와 일치되게 온도를 배정했다. 이와 같이 얻은 웨이퍼는 비교실시예의 웨이퍼로 다루어졌다. 벌크 결함 밀도는 적외선 레이저 산란 단층 촬영법에 의해 실시예와 비교실시예의 모든 웨이퍼에서 측정된다. 도 4에 결과가 도시되어 있다. 실시예의 웨이퍼는 개별적인 열처리조건에서의 비교 실시예와 거의 동일한 차수의 벌크 결함 밀도를 보여준다. 다시말해, 에피택셜 성장 전에 수행되는 예열처리의 온도가 700°C 내지 1000°C 범위로 설정되어 있는 한, 에피택셜 성장후에도 CZ 실리콘 경면 다듬질 웨이퍼의 IG능력이 감소되지 않음이 확인된다.

발명의 효과

본 발명에 의해, CZ 실리콘 경면 다듬질 웨이퍼와 동일한 수준에 IG 능력을 갖는 실리콘 에피택셜 웨이퍼가 제조될 수 있다. 따라서, 더욱이 디바이스 제조공정에 사용되는 CZ 실리콘 경면 다듬질 웨이퍼를 실리콘 에피택셜 웨이퍼로 바꾸어도, IG 능력 감소에 대한 걱정은 없으며, 실리콘 웨이퍼를 쉽게 사용할 수 있게 한다.

(57) 청구의 범위

청구항 1

실리콘 웨이퍼 위에 실리콘 단결정을 에피택셜하게 성장시켜 얻은 후, 복수의 열처리를 포함한 디바이스 제조 공정으로 들어가는 실리콘 에피택셜 웨이퍼의 제조 방법에 있어서, 에피택셜 성장 공정 전에, 실리콘 웨이퍼내 격자간 산소로부터의 석출핵이 에피택셜 성장 공정을 거쳐 남아있는 크기로 성장될 수 있는 시간과 같거나 그 이상인 시간 동안, 에피택셜 성장 공정 후의 디바이스 제조 공정에서 제일 먼저 수행되는 열처리 공정인 제 1 단계 열처리를 위한 유지 온도의 $\pm 50^\circ\text{C}$ 내 온도에서 실리콘 웨이퍼의 열처리가 수행되며, 그 다음, 에피택셜 성장이 수행되는 것을 특징으로 하는 실리콘 에피택셜 웨이퍼의 제조 방법.

청구항 2

제 1 항에 있어서, 제 1 단계 열처리가 산화막을 형성하기 위한 열처리인 것을 특징으로 하는 실리콘 에피택셜 웨이퍼의 제조 방법.

청구항 3

제 1 항 또는 2 항에 있어서, 에피택셜 성장 공정전의 열처리 시간이 1 시간 또는 그 이상인 것을 특징으로 하는 실리콘 에피택셜 웨이퍼의 제조 방법.

청구항 4

제 1 항 내지 제 3 항중 어느 한 항에 있어서, 에피택셜 성장 공정 전의 열처리가 700°C 내지 1000°C 범위에 온도에서 수행되는 것을 특징으로 하는 에피택셜 웨이퍼의 제조 방법.

청구항 5

실리콘 웨이퍼위에 실리콘 단결정을 에피택셜하게 성장시켜 얻어진 후, 복수의 열처리를 포함한 디바이스 제조 공정으로 들어가는 실리콘 에피택셜 웨이퍼의 제조 방법에 있어서, 에피택셜 성장공정 개시후 온도를 올리는 도중에, 실리콘 웨이퍼내 격자간 산소로부터의 석출핵이 에피택셜 성장 공정을 거쳐 남아있는 크기로 성장될 수 있는 시간과 같거나 그 이상인 시간동안, 에피택셜 성장 공정 후의 디바이스 제조 공정에서 제일 먼저 수행되는 열처리 공정인 제 1 단계 열처리를 위한 유지 온도의 $\pm 50^\circ\text{C}$ 내 온도가 유지된 상태로 실리콘 웨이퍼의 열처리가 수행되며, 그 다음, 에피택셜 성장을 수행하기 위해 에피택셜

성장온도까지 온도를 올리는 것을 특징으로 하는 실리콘 에피택셜 웨이퍼의 제조 방법.

청구항 6

제 5 항에 있어서, 제 1 단계 열처리가 산화막을 형성하기 위한 열처리인 것을 특징으로 하는 실리콘 에피택셜 웨이퍼의 제조 방법.

청구항 7

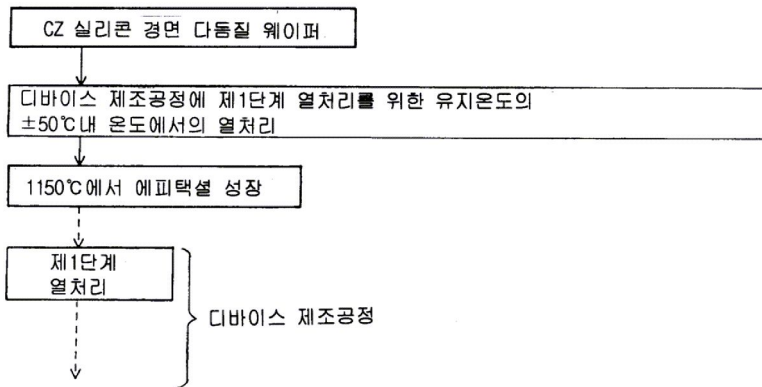
제 5 항 또는 제 6 항에 있어서, 에피택셜 성장 공정을 시작한 후 온도를 올리는 사이에 유지온도에서 열처리 시간은 1시간 또는 그 이상인 것을 특징으로 하는 실리콘 에피택셜 웨이퍼의 제조 방법.

청구항 8

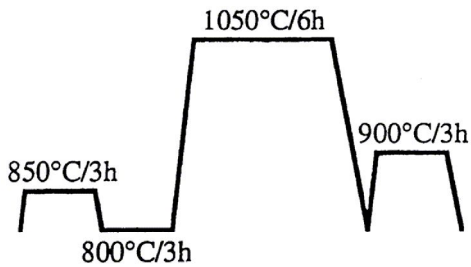
제 5 항 내지 7 항중 어느 한 항에 있어서, 에피택셜 성장 공정을 시작한 후 온도를 올리는 사이에 열처리가 700°C 내지 1000°C 범위에 유지온도에서 수행되는 것을 특징으로 하는 에피택셜 웨이퍼의 제조 방법.

도면

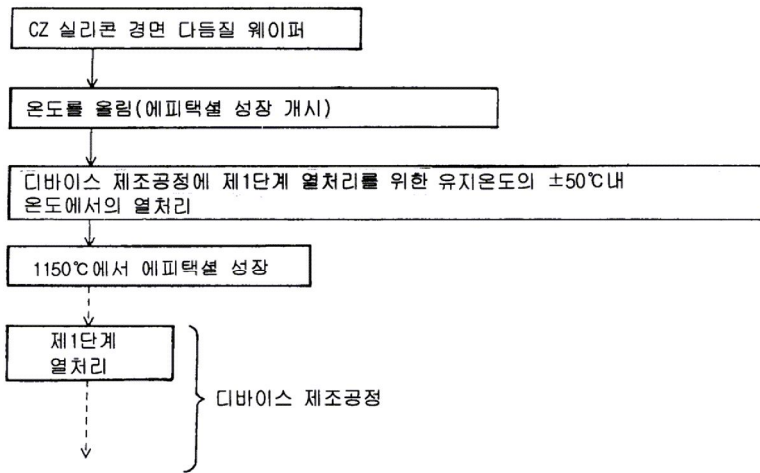
도면1



도면2



도면3



도면4

