

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G03F 7/00	(45) 공고일자 1999년06월 15일	(11) 등록번호 10-0200296
(21) 출원번호 10-1994-0014248	(24) 등록일자 1999년03월 10일	(65) 공개번호 특1996-0001883
(22) 출원일자 1994년06월22일	(43) 공개일자 1996년01월26일	

(73) 특허권자	현대전자산업주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 문승찬
(74) 대리인	경기도이천군창전11리49-1현대아파트202-905 이정훈, 이권희

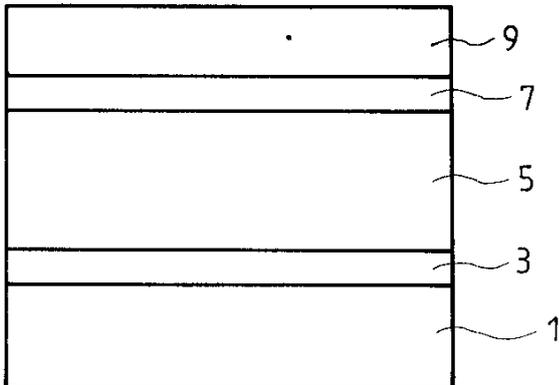
심사관 : 이치영

(54) 반도체소자의 미세패턴 형성방법

요약

본 발명은 반도체소자의 미세패턴 형성방법에 관한 것으로, 반도체소자가 고집적화됨에 따라 종래의 노광 및 현상공정으로 미세패턴을 형성하기가 어렵게 되었다. 따라서, 본 발명은 상기의 문제점을 해결하기 위하여, 미세패턴을 형성하기 위한 물질층 상부에 상층감광막을 형성하고 노광 및 현상공정을 실시하여 상층감광막패턴을 형성한 다음, 실리레이션공정을 실시하여 종래보다 미세한 상층감광막패턴을 형성하고 이를 마스크로한 식각공정으로 반도체소자의 미세패턴을 형성함으로써 반도체소자의 고집적화를 가능하게 하는 기술이다.

대표도



명세서

[발명의 명칭]

반도체소자의 미세패턴 형성방법

[도면의 간단한 설명]

제1도 내지 제4도는 본 발명의 실시예로서 반도체소자의 미세패턴 형성공정을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|---------------------|--------------|
| 1 : 반도체기판 | 3 : 하부물질층 |
| 5 : 하층감광막 | 7 : 중간층 |
| 9 : 상층감광막 | 19 : 상층감광막패턴 |
| 29 : 실리레이트된 상층감광막패턴 | |

[발명의 상세한 설명]

본 발명은 반도체소자의 미세패턴 형성방법에 관한 것으로, 특히 광리소그래피 기술에 의하여 정상적인 패턴을 형성하고 실리레이션 공정으로 감광막 부피팽창에 의한 스웰링(swelling) 현상을 이용하여 미세패

턴을 형성하는 기술에 관한 것이다.

반도체소자의 집적도가 증가함에 따라 웨이퍼상에서 구현되어야 하는 패턴크기가 점점 감소함에 따라 공간섭현상에 의한 광콘트라스트 저하로 공정능력의 개선에 어려움이 따른다. 따라서, 잠재 이미지 형성 구현에 사용되는 감광막의 두께를 낮추거나 감광막 표면부위에 근접 노광을 실시하고 실리레이션 공정으로 실리콘 기(group)를 주입시킨 다음, 산소 플라즈마 공정을 이용하여 최종적으로 패턴을 구현하는 디자인어(desire) 공정이 긍정적으로 검토 개발되고 있다.

그러나, 디자인어공정의 경우 잠재 이미지 형성, 즉 잠상이 일정한 기울기를 갖는 버즈빅(bird's beak) 모양을 갖고 있기 때문에 산소 플라즈마 식각시 식각선택비 변화에 따른 선폭 크기변화 및 패턴 프로파일 변화로 재현하기 힘든 문제점이 발생된다.

또한, 디자인어 공정시 해상능력 및 초점 심도 여유도 등은 마스크 및 렌즈를 투과한 잠상 콘트라스트에 의하여 주로 영향을 받기 때문에 공정능력의 개선에 한계가 따르게 된다.

따라서, 본 발명은 종래기술의 문제점을 해결하기 위하여, 잠상 이미지를 형성하는 실리레이션용 감광막의 두께를 가능한한 얇게 하여 통상적인 노광 및 습식방법으로 감광막패턴을 형성하고 상기 감광막패턴에 실리콘을 주입시키는 실리레이션공정을 실시함으로써 실리콘주입에 따른 감광막패턴의 측면 부피팽창에 의하여 더욱 미세한 미세패턴을 형성할 수 있는 반도체소자의 미세패턴 형성방법을 제공하는 데 그 목적이 있다.

이상의 목적을 달성하기 위한 본 발명의 특징은,

반도체소자의 미세패턴 형성방법에 있어서,

반도체기판 상부에 하부물질층을 형성하고, 그 상부에 하층감광막, 중간층 및 상층감광막을 순차적으로 도포하는 공정과,

상기 상층감광막을 노광 및 현상하여 상층감광막패턴을 형성하는 공정과,

상기 상층감광막패턴에 실리콘 소오스를 주입시키는 실리레이션공정을 실시하되, 온도를 80℃ - 120℃로 하고, 압력을 0.5 Torr - 1.5 Torr로 하여 일본 내지 삼분동안 실시하여 스웰링시키는 공정과,

상기 스웰링된 상층감광막패턴을 마스크로하여 상기 중간층을 식각하고 상기 상층감광막패턴을 제거하는 공정과,

상기 식각된 중간층을 마스크로하여 상기 하층감광막을 식각함으로써 미세패턴을 형성하는 공정을 포함하는 것이다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

제1도 내지 제4도는 본 발명의 실시예로서 반도체소자의 미세패턴 형성공정을 도시한 단면도이다.

제1도는 반도체기판(1) 상부에 하부물질층(3)을 형성하고 그 상부에 하층감광막(5), 중간층(7) 및 상층감광막(9)을 순차적으로 도포한 것을 도시한 단면도로서, 상기 하층감광막(5)은 1.0 μ m - 2.0 μ m의 두께로 도포하고 150℃ - 300℃의 온도에서 일본 내지 삼분간 열공정을 실시하여 경화시킨 것이며, 상기 중간층(7)은 에스.오.지(SOG : Spin on Glass, 이하에서 SOG라 함) 또는 플라즈마화학기상증착(PECVD : Plasma Enhanced CVD, 이하에서 PECVD라 함) 기술로 형성한 PECVD 산화막을 0.05 μ m - 0.15 μ m의 두께로 도포한 것이며, 상기 상층감광막(9)은 실리레이션용 감광막을 0.2 μ m - 0.4 μ m 두께로 도포한 것을 도시한 것이다.

제2도는 노광 및 현상공정으로 미세한 상층감광막패턴(19)을 형성한 것을 도시한 단면도이다.

제3도는 일정한 공정조건하에서 상기 상층감광막패턴(19)에 실리콘 소오스를 주입하는 실리레이션공정을 실시하여 부피가 팽창되어 스웰링현상이 발생한 실리레이트된 상층감광막패턴(29)을 형성한 것을 도시한 단면도로서, 상기 실리레이션공정은 온도를 80℃ - 120℃, 압력을 0.5 Torr - 1.5 Torr 로 하고 일본 내지 삼분동안에 실시한 것이고, 상기 실리콘 소오스는 헥사메틸다이사이레인(HMDS : HexaMehtyl DiSilane, 이하에서 HMDS라 함), 테트라메틸다이사이레인(TMDS : TetraMehtyl DiSilane, 이하에서 TMDS라 함) 등과 같이 실리콘기와 메틸기(OH₃)가 포함된 물질을 사용한 것이다.

여기서, 상기 실리레이션 공정시 실리콘소오스에 내포된 실리콘기와 메틸기가 상기 상층감광막패턴(19)에 주입되어 상기 상층감광막패턴(19)의 부피가 팽창함으로써 상기 실리레이트된 상층감광막패턴(29)의 패턴 간격이 상기 상층감광막패턴(19)보다 적어져 더욱 미세한 패턴을 형성하는데 이는 상기 제2도의 공정에서 얻어진 상층감광막패턴(19)을 기준으로하고 실리레이션공정시 온도와 시간을 제어함으로써 조절할 수 있다. 그리고, 일반적으로 실리레이트된 물질을 사용하여 패턴을 형성하는 것은 감광막으로 패턴을 형성하는 것보다 30 - 50% 정도 더 미세한 패턴을 얻을 수 있다.

제4도는 상기 제3도의 공정후에 상기 실리레이트된 상층감광막패턴(29)을 마스크로하여 상기 중간층(7)을 식각하고 상기 실리레이트된 상층감광막패턴(29)을 제거한 다음, 상기 식각된 중간층(7)을 마스크로하여 상기 하층감광막(5)을 식각하여 미세패턴을 형성한 것을 도시한 단면도로서, 상기 중간층(7)의 식각공정은 불소계열의 플라즈마를 이용하여 실시하고 상기 하층감광막(5) 식각공정은 산소플라즈마를 이용하여 실시한 것이다.

상기한 본 발명에 의하면, 마스크상의 패턴 크기가 감소시킴으로써 엄격하게 제어되어야 할 마스크 결함 효과를 감소시키게 된다. 특히, 종래보다 미세한 폭의 스페이스 및 콘택홀을 형성할 수 있어 반도체소자의 고집적화를 가능하게 한다.

(57) 청구의 범위

청구항 1

반도체소자의 미세패턴 형성방법에 있어서, 반도체기판 상부에 패턴이 되는 하부물질층을 형성하는 공정과, 상기 하부물질층상에 하층감광막을 형성하는 공정과, 상기 하부감광막상에 SOG나 PECVD 산화막으로된 중간층을 형성하는 공정과, 상기 중간층상에 실리레이션용 감광막으로 상층감광막을 형성하는 공정과, 상기 상층감광막을 노광 및 현상하여 상층감광막패턴을 형성하는 공정과, 상기 상층감광막패턴에 실리콘 소오스를 주입시키는 실리레이션공정을 실시하여 스웰링시키는 공정과, 상기 스웰링된 상층감광막 패턴을 마스크로하여 상기 중간층을 식각하고 상기 상층감광막패턴을 제거하는 공정과, 상기 식각된 중간층을 마스크로하여 상기 하층감광막을 식각함으로써 미세패턴을 형성하는 공정을 포함하는 반도체소자의 미세패턴 형성방법.

청구항 2

제1항에 있어서, 상기 하층감광막은 $1.0\mu\text{m} - 2.0\mu\text{m}$ 의 두께로 도포하고 $150^\circ\text{C} - 300^\circ\text{C}$ 에서 일분 내지 삼분간 열공정을 실시하여 경화시킨 것을 특징으로 하는 반도체소자의 미세패턴 형성방법.

청구항 3

제1항에 있어서, 상기 중간층의 두께는 $0.05\mu\text{m} - 0.15\mu\text{m}$ 로 하는 것을 특징으로 하는 반도체소자의 미세패턴 형성방법.

청구항 4

제1항에 있어서, 상기 상층감광막은 $0.2\mu\text{m} - 0.4\mu\text{m}$ 의 두께로 형성하는 것을 특징으로 하는 반도체소자의 미세패턴 형성방법.

청구항 5

제1항에 있어서, 상기 실리콘 소오스는 실리콘기와 메틸기가 함유된 물질을 사용하는 것을 특징으로 하는 반도체소자의 미세패턴 형성방법.

청구항 6

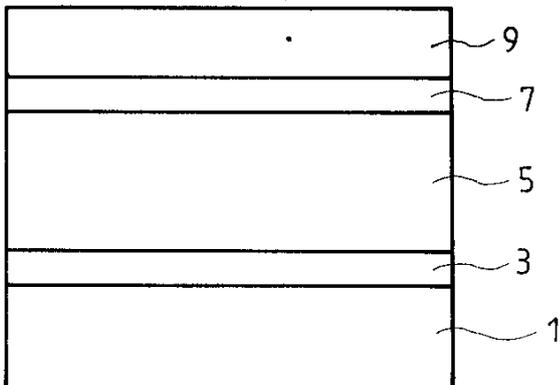
제1항에 있어서, 상기 중간층 식각공정은 불소계열 플라즈마를 이용하는 것을 특징으로 하는 반도체소자의 미세패턴 형성방법.

청구항 7

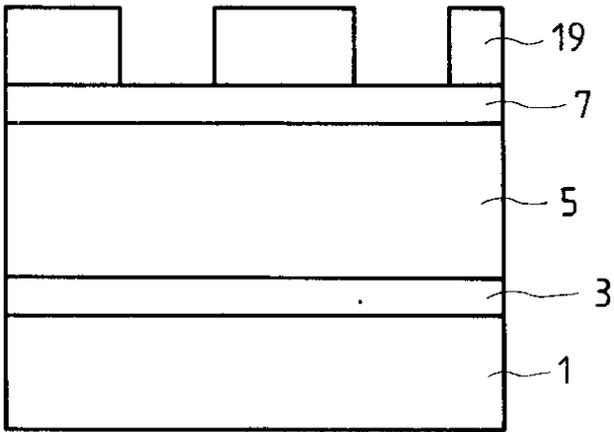
제1항에 있어서, 상기 하층감광막 식각공정은 산소플라즈마를 이용하는 것을 특징으로 하는 반도체소자의 미세패턴 형성방법.

도면

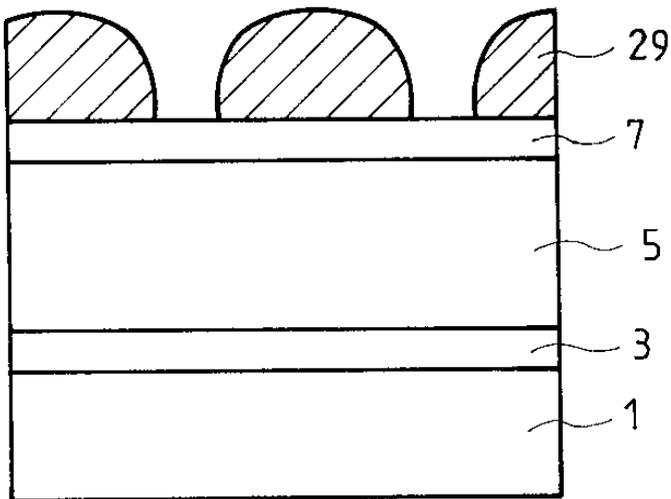
도면1



도면2



도면3



도면4

