



(21) 申請案號：112100692

(22) 申請日：中華民國 112 (2023) 年 01 月 07 日

(51) Int. Cl. : *H01L23/488 (2006.01)**H01L23/498 (2006.01)*

(30) 優先權：2022/05/23 美國

17/751,234

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市力行六路八號

(72) 發明人：郭建利 KUO, CHIEN-LI (TW)；李建成 LI, CHIEN-CHEN (TW)；劉國洲 LIU, KUO-
CHIO (TW)；李光君 LEE, KUANG-CHUN (TW)；林文益 LIN, WEN-YI (TW)

(74) 代理人：洪澄文

申請實體審查：無 申請專利範圍項數：1 項 圖式數：19 共 51 頁

(54) 名稱

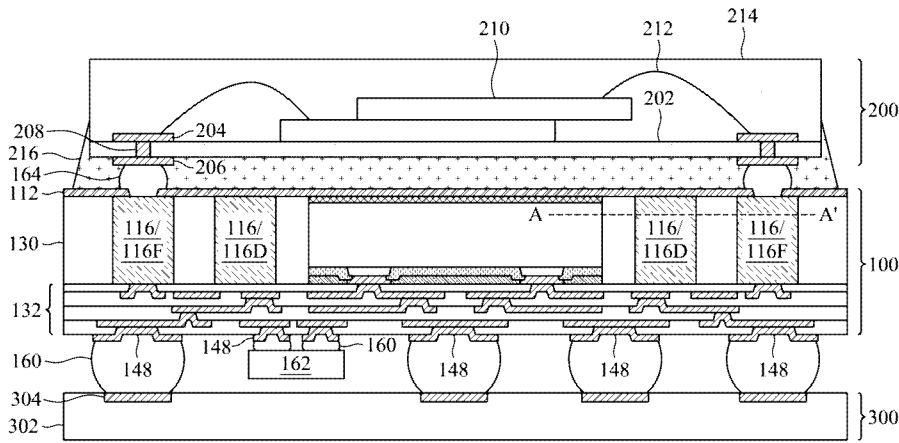
積體電路裝置

(57) 摘要

在一實施例中，一種積體電路裝置包括：一積體電路晶粒，包括晶粒連接器；一第一通孔電極，鄰近於積體電路晶粒；一封膠體，封裝第一通孔電極及積體電路晶粒；以及一重佈結構，位於封膠體上，重佈結構包括一重佈線，重佈線物理性及電性耦接積體電路晶粒的晶粒連接器，重佈線與第一通孔電極電性隔離，重佈線跨越第一通孔電極。

In an embodiment, an integrated circuit device includes: an integrated circuit die including a die connector; a first through via adjacent the integrated circuit die; an encapsulant encapsulating the first through via and the integrated circuit die; and a redistribution structure on the encapsulant, the redistribution structure including a redistribution line, the redistribution line physically and electrically coupled to the die connector of the integrated circuit die, the redistribution line electrically isolated from the first through via, the redistribution line crossing over the first through via.

指定代表圖：



第 14 圖

符號簡單說明：

100:第一積體電路封裝體

112:介電層

116:通孔電極/導電介層連接

116D:虛置通孔電極

116F:功能性通孔電極

130:封膠體

132:前側重佈結構

148:金屬化層(UBMs)

160:導電連接器

162:被動裝置

164:導電連接器

200:第二積體電路封裝體

202:基底

204,206,304:接合墊

208:導電介層連接

210:堆疊晶粒

212:打線

214:成型材料

216:底膠

300:封裝基底

302:基底核心體

【發明摘要】

【中文發明名稱】積體電路裝置

【英文發明名稱】INTEGRATED CIRCUIT DEVICE

【中文】

在一實施例中，一種積體電路裝置包括：一積體電路晶粒，包括晶粒連接器；一第一通孔電極，鄰近於積體電路晶粒；一封膠體，封裝第一通孔電極及積體電路晶粒；以及一重佈結構，位於封膠體上，重佈結構包括一重佈線，重佈線物理性及電性耦接積體電路晶粒的晶粒連接器，重佈線與第一通孔電極電性隔離，重佈線跨越第一通孔電極。

【英文】

In an embodiment, an integrated circuit device includes: an integrated circuit die including a die connector; a first through via adjacent the integrated circuit die; an encapsulant encapsulating the first through via and the integrated circuit die; and a redistribution structure on the encapsulant, the redistribution structure including a redistribution line, the redistribution line physically and electrically coupled to the die connector of the integrated circuit die, the redistribution line electrically isolated from the first through via, the redistribution line crossing over the first through via.

【指定代表圖】 第14圖

【代表圖之符號簡單說明】

100: 第一積體電路封裝體

112: 介電層

116:通孔電極/導電介層連接

116D: 虛置通孔電極

116F: 功能性通孔電極

130: 封膠體

132: 前側重佈結構

148: 金屬化層(UBMs)

160: 導電連接器

162: 被動裝置

164: 導電連接器

200: 第二積體電路封裝體

202: 基底

204, 206, 304: 接合墊

208: 導電介層連接

210: 堆疊晶粒

212: 打線

214: 成型材料

216: 底膠

300: 封裝基底

302: 基底核心體

【特徵化學式】

無

【發明說明書】

【中文發明名稱】積體電路裝置

【英文發明名稱】INTEGRATED CIRCUIT DEVICE

【技術領域】

【0001】本發明實施例係關於一種半導體技術，且特別是關於積體電路裝置及其形成方法。

【先前技術】

【0002】由於各種電子部件(例如，電晶體、二極體、電阻器、電容器等)的集積密度不斷提高，半導體產業經歷了快速增長。在大多數情況下，集積密度的提高來自於最小特徵尺寸的反復縮小，使得更多的部件可以集積至一給定的區域。隨著對縮小電子裝置的需求增長，出現了對更小及更有創造性的半導體晶粒封裝技術的需求。疊層式封裝(Package-on-Package, PoP)技術就是上述封裝系統的一示例。在疊層式封裝(PoP)裝置中，頂部的半導體封裝體堆疊於底部的半導體封裝體之上，以提供高階的整合及元件密度。疊層式封裝(PoP)技術通常可以在印刷電路板(printed circuit board, PCB)上生產出功能更強、尺寸更小的半導體裝置。

【發明內容】

【0003】在一些實施例中，提供一種積體電路裝置，包括：一積體電路晶粒，包括一晶粒連接器；一第一通孔電極，鄰近積體電路晶粒；一封膠體，封裝一第一通孔電極及積體電路晶粒；以及一重佈結構，位於封膠體上，重佈結構包括一重佈線，重佈線物理性及電性耦接於積體電路晶粒的晶粒連接器，重

佈線與第一通孔電極電性隔離，重佈線橫跨第一通孔電極。

【0004】 在一些實施例中，提供一種積體電路裝置，包括：一積體電路晶粒，包括一晶粒連接器；一封膠體，封裝積體電路晶粒；一功能性通孔電極，延伸穿過封膠體；一虛置通孔電極，延伸穿過封膠體，在由上而下的視角中，虛置通孔電極設置於功能性通孔電極與積體電路晶粒之間，虛置通孔電極的所有側皆由一絕緣材料所包圍；以及一重佈結構，橫跨虛置通孔電極、功能性通孔電極及封膠體，重佈結構包括一重佈線，重佈線物理性及電性耦接於功能性通孔電極與積體電路晶粒的晶粒連接器。

【0005】 在一些實施例中，提供一種積體電路裝置之形成方法，包括：放置一積體電路晶粒鄰近於一第一導電介層連接及一第二導電介層連接；以模塑化合物來封裝積體電路晶粒、第一導電介層連接及第二導電介層連接；沉積一介電層於模塑化合物、第一導電介層連接及第二導電介層連接上；以及形成一金屬化圖案，其具有一線部及一介層連接部，線部沿著介電層的一表面延伸，介層連接部延伸穿過介電層，以物理性及電性耦接於第一導電介層連接及積體電路晶粒的晶粒連接器，第二導電介層連接保持由介電層所覆蓋。

【圖式簡單說明】

【0006】

第1圖繪示出根據一些實施例之積體電路晶粒的剖面示意圖。

第2-14圖繪示出根據一些實施例之積體電路裝置的中間製造階段的剖面示意圖。

第15-16圖繪示出根據一些實施例之積體電路裝置的平面示意圖。

第17圖繪示出根據一些其他實施例之積體電路裝置的平面示意圖。

第18圖繪示出根據其他一些實施例之積體電路裝置的平面示意圖。

第19圖繪示出根據其他一些實施例之積體電路裝置的剖面示意圖。

【實施方式】

【0007】 以下的揭露內容提供許多不同的實施例或範例，以實施本發明的不同特徵部件。而以下的揭露內容為敘述各個部件及其排列方式的特定範例，以求簡化本揭露內容。當然，這些僅為範例說明並非用以定義本發明。舉例來說，若為以下的揭露內容敘述了將一第一特徵部件形成於一第二特徵部件之上或上方，即表示其包含了所形成的上述第一特徵部件與上述第二特徵部件為直接接觸的實施例，亦包含了尚可將附加的特徵部件形成於上述第一特徵部件與上述第二特徵部件之間，而使上述第一特徵部件與上述第二特徵部件可能未直接接觸的實施例。另外，本揭露於各個不同範例中會重複標號及/或文字。重複是為了達到簡化及明確目的，而非自列指定所探討的各個不同實施例及/或配置之間的關係。

【0008】 再者，於空間上的相關用語，例如“下方”、“之下”、“下”、“之上”、“上方”等等於此處係用以容易表達出本說明書中所繪示的圖式中元件或特徵部件與另外的元件或特徵部件的關係。這些空間上的相關用語除了涵蓋圖式所繪示的方位外，也涵蓋裝置於使用或操作中的不同方位。此裝置可具有不同方位(旋轉90度或其它方位)且此處所使用的空間上的相關符號同樣有相應的解釋。

【0009】 根據不同的實施例，形成的虛置通孔電極(dummy through via)穿過封膠體中熱膨脹係數不匹配的區域，例如靠近被封裝的積體電路晶粒的邊界(例如，邊緣及/或角落)。在上述區域形成虛置通孔電極可以在操作或測試期間幫助抑制封膠體的熱膨脹。因此，位於上方重佈線可以減少破裂的風險，特別是當重佈線具有小尺寸(例如，寬度及/或厚度)及/或小間距時。因此，所得裝置的可靠度仍可獲得改善。

【0010】 第1圖繪示出根據一些實施例之積體電路晶粒50的剖面示意圖。積體電路晶粒50將在後續的製程中進行封裝，以形成積體電路裝置。積體電路晶

粒50可為邏輯晶粒(例如，中央處理單元(central processing unit, CPU)、圖形處理造單元(graphics processing unit, GPU)、系統晶片(system-on-a-chip, SoC)、應用處理器(application processor, AP)、微控制器等)、記憶體晶粒(例如，動態隨機存取記憶體(dynamic random access memory, DRAM)晶粒、靜態隨機存取記憶體(static random access memory, SRAM)晶粒等)、電源管理晶粒(例如，電源管理積體電路(power management integrated circuit, PMIC)晶粒)、射頻(radio frequency, RF)晶粒、感測器晶粒、微機電系統(micro-electro-mechanical-system, MEMS)晶粒、信號處理晶粒(例如，數位信號處理(digital signal processing, DSP)晶粒)、前段晶粒(如類比前段(analog front-end, AFE)晶粒)，類似晶粒或其組合。

【0011】 積體電路晶粒50可形成於晶圓(其可包括在後續的步驟中單體化形成多個積體電路晶粒的不同裝置區域)內。積體電路晶粒50可根據適用的製造製程進行製造，以形成積體電路。舉例來說，積體電路晶粒50包括一半導體基底52，例如摻雜或未摻雜的矽，或絕緣體上方半導體(semiconductor-on-insulator, SOI)的基底的主動層。半導體基底52可以包括其他半導體材料，例如：鍺；化合物半導體(包括碳化矽、砷化鎵、磷化鎵、磷化銻、砷化銻及/或銻化銻)；合金半導體(包括SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP及/或GaInAsP)；或其組合。也可以使用其他基底，例如多層或漸變式基底。半導體基底52具有主動表面(例如，第1圖中朝上的表面)，有時稱為前側，以及非主動表面(例如，第1圖中朝下的表面)，有時稱為背側。

【0012】 在半導體基底52的前表面可以形成裝置(未另行繪示出)。裝置可為主動裝置(例如，電晶體、二極體等)及/或被動裝置(例如，電容、電阻等)。一內連線結構54位於半導體基底52的主動表面上。內連線結構54內連接裝置，以形成一積體電路。內連線結構可以由介電層內的金屬化圖案形成，也可以由鑲嵌製程形成，例如單鑲嵌製程、雙鑲嵌製程或類似製程。金屬化圖案包括形成於

一或多個介電層內的金屬線及介層連接(via)。內連線結構54的金屬化圖案與裝置電性耦接。

【0013】積體電路晶粒50更包括接墊56，例如鋁接墊，用以進行外部連接。接墊56位於積體電路晶粒50的前側，例如位於內連線結構54內及/或上方。一或多個鈍化護層58位於積體電路晶粒50上，例如位於局部的內連線結構54及接墊56上。開口延伸穿過鈍化護層58至接墊56上。晶粒連接器60，例如導電柱體(例如，由金屬(例如，銅)形成)，穿過鈍化護層58的開口，並物理性及電性耦接至對應的接墊56。晶粒連接器60可以透過例如電鍍或類似方式形成。晶粒連接器60與積體電路晶粒50的對應積體電路電性耦接。

【0014】可選擇地，焊料區域(例如，焊球或焊料凸塊)可以設置於接墊56上。焊球可用於在積體電路晶粒50上進行晶片探針(chip probe, CP)測試。可對積體電路晶粒50進行晶片探針(CP)測試，以確定積體電路晶粒50是否是為已知的良好晶粒(known good die, KGD)。因此，只有屬於已知的良好晶粒(KGD)的積體電路晶粒50才會進行後續的製程並進行封裝，而其他未能透過晶片探針(CP)測試的晶粒則不會進行封裝。測試結束後，可在後續的製程步驟中去除焊料區域。

【0015】介電層62可以(也可以不)位於積體電路晶粒50的前側，如鈍化護層58及晶粒連接器60上。介電層62橫向包住晶粒連接器60，介電層62與積體電路晶粒50橫向相接。最初，介電層62可以埋藏晶粒連接器60，這樣，介電層62的上表面就在晶粒連接器60的上表面之上。在一些實施例中，焊料區域被佈置在晶粒連接器60上，介電層62也可以將焊料區域埋入。或者，在形成介電層62之前，可將焊料區域去除。

【0016】介電層62可由高分子(例如，聚苯並噁唑(polybenzoxazole, PBO)、聚醯亞胺(polyimide)、基於苯並環丁烯(benzocyclobutene, BCB)的高分子或類似物)；氮化物(例如，氮化矽或類似物)；氧化物(例如，氧化矽、磷矽酸鹽玻璃

(phosphosilicate glass, PSG)、硼矽酸鹽玻璃(borosilicate glass, BSG)、硼摻雜磷矽酸鹽玻璃(boron-doped phosphosilicate glass, BPSG) 或類似物)；類似物或其組合。介電層62可以透過旋塗、層壓(lamination)、化學氣相沉積(chemical vapor deposition, CVD)或類似方法形成。在一些實施例中，晶粒連接器60維持埋入狀態，而且在用於封裝積體電路晶粒50的後續製程期間露出。露出晶粒連接器60可以去除晶粒連接器60上可能存在的任何焊料區域。

【0017】 在一些實施例中，積體電路晶粒50是包括多個半導體基底52的堆疊裝置。舉例來說，積體電路晶粒50可為記憶體裝置，例如混合記憶體立方體(hybrid memory cube, HMC)模組、高頻寬記憶體(high bandwidth memory, HBM)模組，或包括多個記憶體晶粒的類似裝置。在上述實施例中，積體電路晶粒50包括多個半導體基底52，經由基底通孔電極(through-substrate via, TSV)內連接。每個半導體基底52可具有(或可不具有)內連線結構54。

【0018】 第2-14圖繪示出根據一些實施例之積體電路裝置的中間製造階段的剖面示意圖。具體來說，積體電路裝置是透過將一或多個積體電路晶粒50封裝於一封裝區102A而形成。封裝區102A在後續的製程中單體化而形成一第一積體電路封裝體100(請參照第13圖)。圖中繪示出一封裝區102A的製程，但可理解的是，可以同時製作任何數量的封裝區102A，以形成任何數量的第一積體電路封裝體100。第一積體電路封裝體100可為一個整合扇外型(integrated fan-out, InFO)封裝體。第二積體電路封裝體200(請參照第13圖)將與第一積體電路封裝體100耦接，形成一裝置堆疊。裝置堆疊具有疊層式封裝(PoP)的結構。然後，裝置堆疊將組裝至一封裝基底300(請參照第14圖)上，以形成最終的封裝體電路裝置。

【0019】 在第2圖中，提供了一承載基底102，並在承載基底102上形成了一離型層104。承載基底102可為玻璃承載基底、陶瓷承載基底或類似基底。承載基底102可為晶圓，使得多個封裝體可同時形成於承載基底102上。

【0020】離型層104可由高分子類的材料形成，其可與承載基底102一起從將於後續步驟中形成的上方結構去除。在一些實施例中，離型層104是環氧樹脂類的熱離型材料，此材料在加熱時失去其黏著性，例如光-熱轉換(light-to-heat-conversion, LTHC)離型塗層。在其他實施例中，離型層104可為一種紫外線(ultra-violet, UV)膠，當與紫外線接觸時，會失去其黏著性。離型層104可為液體進行點膠並固化，可為層壓於承載基底102上的複合膜層或為類似物。離型層104的上表面可為平整的，且具有高度的平面性。

【0021】在第3圖中，一介電層112形成於離型層104上。介電層112的下表面可以與離型層104的上表面接觸。在一些實施例中，介電層112由高分子形成，如聚苯並噁唑(PBO)、聚醯亞胺、苯並環丁烯(BCB)類的高分子或類似物。在其他實施例中，介電層112由氮化物形成(例如，氮化矽)；氧化物(例如，氧化矽、磷矽酸鹽玻璃(PSG)、硼矽酸鹽玻璃(BSG)、摻硼磷矽酸鹽玻璃(BPSG)或類似物)或類似物。介電層112可以透過任何可接受的沉積製程形成，如旋塗、化學氣相沉積(CVD)、層壓、類似方法或其組合。

【0022】第4-6圖繪示出形成通孔電極116(請參照第6圖)的製程，其也可以稱為導電介層連接(conductive via)。通孔電極116形成於介電層112上，並從介電層112延伸離開，並將延伸穿過後續形成的封膠體。如後續將詳細說明一般，通孔電極116的第一子集為功能性通孔電極116F，而通孔電極116的第二子集為虛置通孔電極116D。功能性通孔電極116F將與後續形成的上方重佈線電性耦接，並於所得到的積體電路裝置中用作信號佈線。虛置通孔電極116D不會與後續形成的上方重佈線電性耦接，也不具有電性功能。虛置通孔電極116D設置於後續形成的上方重佈線下方，並抑制後續形成的封膠體的熱膨脹，進而降低重佈線破裂的風險。

【0023】在第4圖中，一種子層118形成於介電層112上。在一些實施例中，

種子層118為金屬層，可為單層或複合層(其包括由不同材料形成的多個子層)。在一特定的實施例中，種子層118包括一鈦層及位於鈦層上的一銅層。種子層118可以使用物理氣相沉積(PVD)或類似方法形成。

【0024】 在種子層118上形成及圖案化一罩幕120。罩幕120可為透過旋塗或類似方法形成的光阻，並且可以與光接觸來進行圖案化。罩幕120的圖案對應於通孔電極116(請參照第6圖)。圖案化形成了開口122穿過罩幕120，以露出種子層118。開口122F的第一子集對應於功能性通孔電極116F(請參照第6圖)，開口122D的第二子集對應於虛置通孔電極116D(請參照第6圖)。正如後續將更詳細說明一般，上視圖中虛置通孔電極116D可以具有不同於功能性通孔電極116F的形狀及/或尺寸(請參照第15圖)。在形成具有不同形狀及/或尺寸的通孔電極116的一示例中，開口122F可圖案化為上視圖中具有不同於開口122D的形狀及/或尺寸(未另行繪示出)。

【0025】 在第5圖中，一導電材料124形成於罩幕120的開口122內且位於種子層118的露出部分上。導電材料124可以透過電鍍(例如電鍍或無電電鍍)或類似方法形成。導電材料124可以包括金屬，例如銅、鈦、鎢、鋁或類似物。

【0026】 在第6圖中，去除罩幕120及上方未形成有導電材料124的種子層118部分。在罩幕120為光阻的實施例中，其可以透過可接受的灰化或剝離製程來去除，例如使用氧電漿或類似方法。一旦去除罩幕120，去除種子層118的露出部分，例如透過使用可接受的蝕刻製程，如濕式或乾式蝕刻。種子層118及導電材料124的餘留部分形成了通孔電極116(包括功能性通孔電極116F及虛置通孔電極116D)。

【0027】 功能性通孔電極116F包括與虛置通孔電極116D相同結構的導電層。具體來說，功能性通孔電極116F及虛置通孔電極116D各自包括一黏著層(對應於一部分的種子層118)及一主層(對應於一部分的導電材料124)。功能性通孔

電極116F的黏著層是由相同於虛置通孔電極116D的黏著層的導電材料形成，而功能性通孔電極116F的主層是由相同於虛置通孔電極116D的主層的導電材料形成。在一些實施例中，黏著層由鈦形成，主層由銅形成。再者，功能性通孔電極116F的黏著層與虛置通孔電極116D的黏著層具有相同的厚度，而功能性通孔電極116F的主層與虛置通孔電極116D的主層具有相同的厚度。

【0028】在第7圖中，一積體電路晶粒50透過黏著層128貼附於介電層112上。積體電路晶粒50可為邏輯裝置，例如中央處理單位(CPU)、圖形處理單位(GPU)、系統晶片(SoC)、微控制器或類似裝置。積體電路晶粒50可為記憶體裝置，例如動態隨機存取記憶體(DRAM)晶粒、靜態隨機存取記憶體(SRAM)晶粒、混合記憶體立方體(HMC)模組、高頻寬記憶體(HBM)模組或類似裝置。任何所需類型及數量的積體電路晶粒50可以貼附於封裝區102A中。

【0029】黏著層128位於積體電路晶粒50的背側，並將積體電路晶粒50貼附至介電層112上。黏著層128可為任何合適的黏著劑、環氧樹脂、晶粒貼附膜(die attach film, DAF)或類似物。黏著層128可以塗覆於積體電路晶粒50的背側，也可以塗覆於介電層112的上表面。舉例來說，黏著層128可以在單體化積體電路晶粒50之前塗覆於積體電路晶粒50的背側。

【0030】在第8圖中，一封膠體130形成於各種部件上及周圍。形成之後，封膠體130封裝了通孔電極116及積體電路晶粒50。封膠體130可為模塑化合物、環氧樹脂或類似物。封膠體130可以透過壓縮成型、轉移成型或類似方法來形成，並形成於承載基底102上，以埋藏或覆蓋通孔電極116及/或積體電路晶粒50。當多個積體電路晶粒50位於封裝區102A時，封膠體130進一步形成於積體電路晶粒50之間間隙區域。封膠體130可以以液體或半液體的形式形成，然後接著進行固化。

【0031】可選地，對封膠體130進行去除製程，以露出通孔電極116及晶粒

連接器60。去除製程也可以去除通孔電極116、介電層62及/或晶粒連接器60的材料，直至露出晶粒連接器60及通孔電極116。舉例來說，去除製程可為平坦化製程，例如化學機械研磨(chemical-mechanical polish, CMP)、磨削製程或類似製程。在進行平坦化製程後，封膠體130、通孔電極116(包括功能性通孔電極116F及虛置通孔電極116D)以及積體電路晶粒50(包括介電層62及晶粒連接器60)的上表面為實質上共平面的(在製程變異範圍內)。在一些實施例中，可以省略去除製程，例如，若已經露出通孔電極116及/或晶粒連接器60。

【0032】 通孔電極116延伸穿過封膠體130。再者，通孔電極116(包括功能性通孔電極116F及虛置通孔電極116D)各自具有與封膠體130相同的厚度。在一些實施例中，封膠體130及通孔電極116的厚度在200 μm 到350 μm 之間的範圍。通孔電極116可以稱為模塑通孔電極(through-mold vias, TMVs)。在此實施例中，模塑通孔電極(TMVs)具有筆直的側壁。在另一實施例(後續第19圖的說明)中，模塑通孔電極(TMVs)具有彎曲的側壁。

【0033】 在第9圖中，一前側重佈結構132形成於在封膠體130、通孔電極116及積體電路晶粒50上。前側重佈結構132包括介電層134、138、142、146；金屬化圖案136、140、144；及凸塊下方金屬化層(under-bump metallurgies, UBMs)148。金屬化圖案136、140、144也可稱為重佈層或重佈線。前側重佈結構132繪示為具有三層的金屬化圖案136、140、144的一示例。更多或更少的介電層及金屬化圖案可形成於前側重佈結構132內。若要形成較少的介電層及金屬化圖案，可以省略後續所述的步驟及製程。若要形成更多的介電層及金屬化圖案，可以重複後續所述的步驟及製程。

【0034】 在形成前側重佈結構132的一示例中，介電層134沉積於封膠體130、通孔電極116及晶粒連接器60上。在一些實施例中，介電層134由光敏材料形成，例如聚苯並惡唑(PBO)、聚醯亞胺、苯並環丁烯(BCB)類的高分子或類似

材料，介電層134可使用微影罩幕進行圖案化。介電層134可以透過旋塗、層壓、化學氣相沉積(CVD)、類似方法或其組合形成。然後對介電層134進行圖案化。上述圖案化形成了開口，其露出部分的功能性通孔電極116F及部分的晶粒連接器60的。介電層134的開口不會露出虛置孔電極116D部分。圖案化可以透過可接受的製程來進行，例如，當介電層134為光敏材料時，透過對介電層134進行曝光及顯影，或者透過使用異向性蝕刻的方式進行蝕刻。

【0035】 然後形成金屬化圖案136。金屬化圖案136包括沿介電層134的主要表面延伸的線部。金屬化圖案136更包括延伸穿過介電層134的介層連接部，以物理性及電性耦接至功能性通孔電極116F及積體電路晶粒50的晶粒連接器。金屬化圖案136不與虛置通孔電極116D物理性或電性耦接。因此，虛置通孔電極116D與金屬化圖案136為電性隔離的。在形成金屬化圖案136的一示例中，一種子層形成於介電層134上且位於延伸穿過過介電層134的開口內。在一些實施例中，種子層為金屬層，其可為一單層，也可為複合層(包括由不同材料形成的多個子層)。在一些實施例中，種子層包括一鈦層及位於鈦層上的銅層。種子層可以使用物理氣相沉積(PVD)或類似方法形成。然後在種子層上形成光阻，並進行圖案化。光阻可以透過旋塗或類似方法形成，並可以與光線接觸以進行圖案化。光阻的圖案對應於金屬化圖案136。圖案化形成了開口穿過光阻，以露出種子層。然後在光阻的開口內及種子層的露出部分形成導電材料。導電材料可以透過電鍍形成，如電鍍或無電電鍍或類似方式。導電材料可以包括金屬，例如銅、鈦、鎢、鋁或類似物。導電材料及位於下方的種子層部分的組合形成了金屬化圖案136。去除光阻及上方未形成導電材料的種子層部分。光阻可以透過可接受的灰化或剝離製程去除，例如使用氧電漿或類似的方法。一旦去除光阻，透過使用可接受的蝕刻製程(例如，濕式或乾式)蝕刻去除種子層的露出部分。

【0036】 然後介電層138沉積於金屬化圖案136及介電層134上。介電層138

可以以類似於介電層134的方式形成，並且可以由類似於介電層134的材料形成。

【0037】然後形成金屬化圖案140。金屬化圖案140包括位於介電層138的主要表面上及沿主要表面延伸的線部。金屬化圖案140更包括延伸穿過介電層138的介層連接部，以物理性及電性上耦接金屬化圖案136。金屬化圖案140可以以類似金屬化圖案136的方式及類似的材料形成。在一些實施例中，金屬化圖案140具有不同於金屬化圖案136的尺寸。舉例來說，金屬化圖案140的導線及/或介層連接比金屬化圖案136的導線及/或介層連接更寬或更厚。再者，金屬化圖案140可以形成比金屬化圖案136更大的間距。

【0038】然後，介電層142沉積於金屬化圖案140及介電層138上。介電層142可以以類似於介電層134的方式形成，並且可以由類似於介電層134的材料形成。

【0039】然後形成金屬化圖案144。金屬化圖案144包括在介電層142的主要表面上及沿其延伸的線部。金屬化圖案144更包括延伸穿過介電層142的介層連接部，以物理性及電性耦接至金屬化圖案140。金屬化圖案144可以以類似金屬化圖案136的方式及類似的材料形成。金屬化圖案144為前側重佈結構132的最上層金屬化圖案。因此，前側重佈結構132的所有中間的金屬化圖案(例如，金屬化圖案136、140)設置於金屬化圖案144與積體電路晶粒50之間。在一些實施例中，金屬化圖案144的尺寸不同於金屬化圖案136、140。舉例來說，金屬化圖案144的導線及/或介層連接比金屬化圖案136、140的導線及/或介層連接更寬或更厚。再者，金屬化圖案144可以形成比金屬化圖案140更大的間距。

【0040】然後，介電層146沉積於金屬化圖案144及介電層142上。介電層146可以以類似於介電層134的方式形成，並且可以由相同於介電層134的材料形成。介電層146是前側重佈結構132的最上層的介電層。因此，前側重佈結構132的所有金屬化圖案(例如，金屬化圖案136、140、144)設置於介電層146與積體電路晶粒50之間。再者，前側重佈結構132的所有中間介電層(例如，介電層134、

138、142)設置於介電層146與積體電路晶粒50之間。

【0041】然後形成凸塊下方金屬化層(UBMs)148，用於前側的重佈局結構132的外部連接。凸塊下方金屬化層(UBMs)148包括在介電層146的主要表面上並沿介電層146延伸的凸塊部。凸塊下方金屬化層(UBMs)148更包括延伸穿過介電層146的介層連接部，以物理性及電性耦接金屬化圖案144。如此一來，凸塊下方金屬化層(UBMs)148電性耦接至功能性通孔電極116F及積體電路晶粒50的晶粒連接器60。虛置通孔電極116D與凸塊下方金屬化層(UBMs)148電性隔離。凸塊下方金屬化層(UBMs)148可以由相同於金屬化圖案136的材料形成，也可以包括不同於金屬化圖案136的材料。在一些實施例中，凸塊下方金屬化層(UBMs)148包括多層導電材料，例如一層鈦、一層銅及一層鎳。其他材料及膜層的排列，例如鉻/鉻-銅合金/銅/金的排列、鈦/鈦鎢/銅的排列或銅/鎳/金的排列，可用於形成凸塊下方金屬化層(UBMs)148。任何合適的材料或材料層都可用於凸塊下方金屬化層(UBMs)148。在一些實施例中，凸塊下方金屬化層(UBMs)148具有不同於(例如，更大於)金屬化圖案136、140、144的尺寸。

【0042】對於具有高頻寬需求的高效能裝置，例如應用微處理器，金屬化圖案136的重佈線具有小尺寸(例如，寬度及/或厚度)及/或小間距。舉例來說，金屬化圖案136的重佈線可以具有寬度在 $2\mu\text{m}$ 至 $5\mu\text{m}$ 的範圍，具有厚度在 $5\mu\text{m}$ 到 $7\mu\text{m}$ 的範圍，以及具有間距在 $5\mu\text{m}$ 至 $10\mu\text{m}$ 的範圍。若在操作或測試期間封膠體130發生熱膨脹，那麼尺寸及/或間距較小的金屬化圖案136的重佈線就有很大的破裂風險。如後續將在第15-16圖中更詳細說明一般，虛置孔電極116D設置於金屬化圖案136的部分或全部的重分佈線(位於熱膨脹係數不匹配的區域，例如靠近積體電路晶粒50的邊界(例如，邊緣及/或角落))下方。虛置通孔電極116D可以幫助抑制封膠體130的熱膨脹，進而減少在操作或測試期間重佈線破裂的風險。因此，所得到的裝置的可靠度可以獲得改善。

【0043】 在第10圖中，導電連接器160形成於凸塊下方金屬化層(UBMs)148上。導電連接器160可為球柵陣列(ball grid array, BGA)連接器、焊球、金屬柱體、受控塌陷晶片連接(controlled collapse chip connection, C4)凸塊、微凸塊、無電電鍍鎳-無電鍍鈀-浸金 (electroless nickel-electroless palladium-immersion gold, ENEPIG) 技術形成的凸塊或類似物。導電連接器160可以包括導電材料，例如焊料、銅、鋁、金、鎳、銀、鈀、錫、類似物或其組合。在一些實施例中，導電連接器160的製造是透過蒸鍍、電鍍、印刷、焊料轉移、球置放或類似方式初步形成一層焊料。一旦在結構上形成了一層焊料，就可以進行回流，以便將材料塑造成所需的凸塊形狀。在另一實施例中，導電連接器160包括金屬柱體(例如，銅柱體)，透過濺射、印刷、電鍍、無電電鍍、化學氣相沉積(CVD)或類似方式形成。上述金屬柱體可為無焊料，並具有實質上垂直的側壁。在一些實施例中，在金屬柱體的頂部形成了一金屬蓋層。金屬蓋層可包括鎳、錫、錫鉛、金、銀、鈀、銻、鎳鈀金、鎳金、類似物或其組合，並可透過電鍍製程形成。

【0044】 可選地，一被動裝置162連接至導電連接器160的子集連接到凸塊下方金屬化層(UBMs)148的子集。被動設備162可為整合被動裝置(integrated passive device, IPD)，例如表面黏著裝置(surface mount device, SMD)、2端子整合被動裝置(IPD)、多端子整合被動裝置(IPD)或其他類型的被動裝置。被動裝置162可以包括一主結構及位於主結構內的一或多個被動裝置。舉例來說，主結構可為半導體基底、封膠體或類似結構。被動裝置可以包括電容器、電阻器、電感器、類似裝置或其組合，且可以形成於主結構內及/或其上。被動裝置162可以透過回流導電連接器160而連接至凸塊下方金屬化層(UBMs)148。在一些實施例中，一底膠(未另行繪示出)可以形成於前側重佈結構132的最上層介電層(例如，介電層146)與被動裝置162之間。可以在封裝區102A中連接任何所需類型及數量的被動裝置162。

【0045】在第11圖中，進行承載基底剝離(de-bonding)，以將承載基底102從介電層112上分離(或“剝離”)。根據一些實施例，剝離包括在離型層104上照射一束光，例如雷射光或紫外光，使離型層104在光的熱量下分解，而去除承載基底102。然後，上述結構可以翻轉過來，並放置於一膠帶上(未另行繪示出)。

【0046】在第12圖中，形成的導電連接器164延伸穿過介電層112，以接觸功能性通孔電極116F。形成的開口穿過介電層112，以露出部分的功能性通孔電極116F。可使用雷射鑽孔、蝕刻或類似方式形成開口。導電連接器164可形成於開口內。在一些實施例中，導電連接器164包括助焊劑，並在助焊劑浸漬製程中形成。在一些實施例中，導電連接器164包括導電膏，如焊膏、銀膏或類似物，並在印刷製程中進行噴塗。在一些實施例中，導電連接器164以類似於導電連接器160的方式形成，並且可由類似於導電連接器160的材料形成。

【0047】導電連接器164未接觸虛置通孔電極116D。因此，虛置通孔電極116D與導電連接器164電性隔離。再者，虛置通孔電極116D與前側重布結構132的導電特徵部件(例如，金屬化圖案136、140、144及凸塊下方金屬化層(UBMs)148)電性隔離。虛置通孔電極116D的側壁由封膠體130所覆蓋，而虛置通孔電極116D的端面則由介電層112、134所覆蓋。因此，虛置通孔電極116D的四面皆由絕緣材料所包圍，且為電性浮置的。

【0048】在第13圖中，透過沿切割道區域(例如，在封裝區102A周圍)進行鋸切來進行一單體化製程。鋸切將封裝區102A與相鄰的封裝區(未另行繪示出)單體化。得到的單體化的第一積體電路封裝體100來自於封裝區102A。在單體化後，介電層112、封膠體130及前側重布結構132在橫向上具有共同的邊界。

【0049】一第二積體電路封裝體200可以貼附於第一積體電路封裝體100上，以形成疊層式封裝結構。第二積體電路封裝體200可為一記憶體裝置封裝體。第二積體電路封裝體200可以在第一積體電路封裝體100單體化之前或之後

貼附於第一積體電路封裝體100上。

【0050】第二積體電路封裝體200可包括一基底202及耦接至基底202的一或多個堆疊晶粒210。雖然繪示出一組堆疊晶粒210，但在其他實施例中，多個堆疊晶粒210(各個具有一或多個堆疊晶粒)可以並排設置，耦接至基底202的同一表面。基底202可以由半導體材料形成，例如矽、鍺、鑽石或類似材料。在一些實施例中，也可以使用化合物材料，諸如矽鍺、碳化矽、砷化鎵、砷化銮、磷化銮、碳化矽鍺、磷化鎵砷、磷化鎵銮、這些材料的組合或相似物。另外，基底202可為絕緣體上覆矽(silicon-on-insulator, SOI)基底。一般來說，絕緣體上覆矽(SOI)基底包括一層半導體材料，例如磊晶矽、鍺、矽鍺、絕緣體上覆矽(SOI)、絕緣體上覆矽鍺(silicon germanium on insulator, SGOI)或其組合。基底202在一其他實施例中，為絕緣核心體，如玻璃纖維增強的樹脂核心體。一核心體材料示例為玻璃纖維樹脂，如FR4。或者，核心體材料包括雙馬來醯亞胺-三嗪(bismaleimide-triazine, BT)樹脂，或者其他印刷電路板(PCB)材料或薄膜。基底202可以使用積層膜，例如味之素積層膜(Ajinomoto build-up film, ABF)或其他層壓板。

【0051】基底202可以包括主動及被動裝置(未另行繪示出)。各式各樣的裝置，如電晶體、電容器、電阻器、這些的組合及類似裝置，可用於產生第二積體電路封裝體200設計上的結構及功能要求。上述裝置可以使用任何合適的方法形成。

【0052】基底202也可包括金屬化層(未另行繪示出)及導電介層連接208。金屬化層可形成於主動及被動裝置上，並設計為連接各種裝置以形成功能電路。金屬化層可由介電材料(例如，低k值介電材料)及導電材料(例如，銅)的交替層形成，導電材料層之間具有用以內連接的介層連接，並可透過任何合適的製程(例如，沉積、鑲嵌、雙鑲嵌或類似製程)形成。在一些實施例中，基底202實質上無

主動及被動的裝置。

【0053】基底202具有接合墊204，位於基底202的第一側以耦接至堆疊晶粒210；及接合墊206，位於基底202的第二側，第二側與基底202的第一側相對，以耦接至導電連接器164。在一些實施例中，接合墊204、206的製造是透過在基底202的第一及第二側行程凹槽(未另行繪示出)於介電層(未另行繪示出)內。形成凹槽可以使接合墊204、206埋入介電層內。在其他實施例中，省略了凹槽，因為接合墊204、206可以形成於介電層上。在一些實施例中，接合墊204、206包括由銅、鈦、鎳、金、鈮、類似物或其組合所形成的薄種子層(未另行繪示出)。接合墊204、206的導電材料可以沉積在薄種子層上。導電材料可以透過電化學鍍製程、無電鍍製程、化學氣相沉積(CVD)、原子層沉積(ALD)、物理氣相沉積(PVD)、類似製程或其組合形成。在一實施例中，接合墊204、206的導電材料為銅、鎢、鋁、銀、金、類似物或其組合。

【0054】在一些實施例中，接合墊204、206是包括多層導電材料的凸塊下方金屬化層(UBM)，例如一層鈦、一層銅及一層鎳。其他材料及膜層的排列，例如鉻/鉻-銅合金/銅/金的排列、鈦/鈦鎢/銅的排列或銅/鎳/金的排列，可用於形成接合墊204、206。任何合適的材料或材料層都可用於接合墊204、206。在一些實施例中，導電介層連接208延伸穿過基底202，並耦接至少一接合墊204與至少一接合墊206。

【0055】在繪示的實施例中，堆疊晶粒210透過打線212耦接至基底202，然而可以使用其他連接，例如導電凸塊。在一實施例中，堆疊晶粒210為堆疊的記憶晶粒。舉例來說，堆疊晶粒210可為記憶體晶粒，例如低功率(low-power, LP)雙倍資料速率(double data rate, DDR)記憶體模組，例如LPDDR1、LPDDR2、LPDDR3、LPDDR4或類似記憶體模組。

【0056】堆疊晶粒210及打線212可以由成型材料214進行封裝。成型材料

214可以模塑於堆疊晶粒210及打線212上，例如，使用壓縮成型。在一些實施例中，成型材料214是一種模塑化合物、高分子、環氧樹脂、氧化矽填充材料、類似物或其組合。可以進行固化製程以固化成型材料214；固化製程可為熱固化、紫外線固化、類似方法或其組合。

【0057】在一些實施例中，堆疊晶粒210及打線212埋入於成型材料214內，並且在成型材料214的固化後，進行去除製程，例如平坦化製程或磨削製程，以去除成型材料214的多餘部分，並為第二積體電路封裝體200提供實質上平坦的表面。

【0058】在形成第二積體電路封裝體200後，第二積體電路封裝體200透過導電連接器164機械性及電性接合至第一積體電路封裝體100。在一些實施例中，堆疊晶粒210可以透過打線212、接合墊204、206、導電介層連接208、導電連接器164、通孔電極116及前側重布結構132耦接至積體電路晶粒50。虛置通孔電極116D與堆疊晶粒210及積體電路晶粒50電性隔離。

【0059】在一些實施例中，在基底202與堆疊晶粒210背對的一側形成阻焊劑(未另行繪示出)。導電連接器164可以設置在阻焊劑的開口內，以電性及機械性耦接基底202內的導電特徵部件(例如，接合墊206)。阻焊劑可用於保護基底202的區域免受外部損害。

【0060】在一些實施例中，一底膠216形成於第一積體電路封裝體100與第二積體電路封裝體200之間，且環繞導電連接器164。底膠216可以減少應力並保護回流導電連接器164而產生的焊點。底膠216可在貼附第二積體電路封裝體200後由毛細管流(capillary flow)製程形成，或可在貼附第二積體電路封裝體200前由適當的沉積方法形成。

【0061】在一些實施例中。導電連接器164在回流前已在其上形成一環氧助焊劑(未另行繪示出)，而在第二積體電路封裝體20貼附至第一積體電路封裝體

100後，至少有一些的環氧助焊劑的環氧部分仍然存在。在形成環氧助焊劑的實施例中，其可以作為底膠216。底膠216可以形成為補充或替代環氧樹脂焊劑。

【0062】 在第14圖中，疊層式封裝結構利用導電連接器160組裝至一封裝基底300上。封裝基底300包括一基底核心體302及位於基底核心體302上的接合墊304。基底核心體302可以由半導體材料形成，如矽、鍺、鑽石或類似的材料。或者，也可以使用化合物材料，諸如矽鍺、碳化矽、砷化鎵、砷化銮、磷化銮、碳化矽鍺、磷化鎵砷、磷化鎵銮、這些材料的組合或相似物。另外，基底核心體302可為絕緣體上覆矽(SOI)基底。一般來說，絕緣體上覆矽(SOI)基底包括一層半導體材料，如磊晶矽、鍺、矽鍺、絕緣體上覆矽(SOI)、絕緣體上覆矽鍺(SGOI)或其組合。基底核心體302在一其他實施例中，為絕緣核心體，如玻璃纖維增強的樹脂核心體。一核心體材料示例為玻璃纖維樹脂，如FR4。或者，核心體材料包括雙馬來醯亞胺-三嗪(BT)樹脂，或者其他印刷電路板(PCB)材料或薄膜。基底核心體302可以使用積層膜，例如味之素積層膜(ABF)或其他層壓板。

【0063】 基底核心體302可以包括主動及被動裝置(未另行繪示出)。各式各樣的裝置，如電晶體、電容器、電阻器、這些的組合及類似裝置，可用於產生裝置堆疊設計上的結構及功能要求。上述裝置可以使用任何合適的方法形成。

【0064】 基底核心體302也可以包括金屬化層及介層連接，而接合墊304物理性及/或電性耦接於金屬化層及介層連接。金屬化層可形成於主動及被動裝置上，並設計為連接各種裝置以形成功能電路。金屬化層可由介電材料(例如，低k值介電材料)及導電材料(例如，銅)的交替層形成，導電材料層之間具有用以內連接的介層連接，並可透過任何合適的製程(例如，沉積、鑲嵌、雙鑲嵌或類似製程)形成。在一些實施例中，基底核心體302實質上無主動及被動的裝置。

【0065】 在一些實施例中，回流導電連接器160，以將第一積體電路封裝體100貼附於接合墊304。導電連接器160將封裝基底300(包括基底核心體302內的金

屬化層) 電性及/或物理性耦接於第一積體電路封裝體100。在一些實施例中，一阻焊劑(未另行繪示出)形成於基底核心體302上。導電連接器160可以設置在阻焊劑的開口內，以電性及機械性耦接於接合墊304。阻焊劑可用於保護基底核心體302的區域免受外部損害。

【0066】 導電連接器160在回流前已在其上形成一環氧助焊劑(未另行繪示出)，而在第一積體電路封裝體100貼附至封裝基底300後，至少有一些的環氧助焊劑的環氧部分仍然存在。此存在的環氧樹脂部分可以作為底膠，以減少應力並保護回流導電連接器160而產生的焊點。在一些實施例中，在第一積體電路封裝體100及封裝基底300之間以及導電連接器160的周圍形成了一底膠(未另行繪示出)。底膠可在貼附第一積體電路封裝體100後由毛細管流製程形成，或可在貼附第一積體電路封裝體100前由適當的沉積方法形成。

【0067】 在一些實施例中，被動裝置(例如，表面黏著裝置(SMD)，未另行繪示出)也可貼附至封裝基底300(例如，貼附至接合墊304)。舉例來說，被動裝置可以如同導電連接器160一般，接合至封裝基底300的同一表面。被動裝置可以在將第一積體電路封裝體100組裝於封裝基底300上之前或之後，連接至封裝基底300上。

【0068】 第一積體電路封裝體100可實施於其他積體電路裝置中實施。舉例來說，所繪示的是疊層式封裝(PoP)結構，但第一積體電路封裝體100也可以實施於覆晶球柵陣列(Flip Chip Ball Grid Array, FCBGA)封裝體中。在上述的實施例中，第一積體電路封裝體100組裝於一基底上，例如封裝基底300，但省略了第二積體電路封裝體200。取而代之的是，一蓋體或散熱片可貼附至第一積體電路封裝體100上。當省略第二積體電路封裝體200時，也會省略功能性通孔電極116F。無論何種情況，形成的虛置通孔電極116D是為了抑制封膠體130的熱膨脹。

【0069】 也可以包括其他特徵部件及製程。舉例來說，可以包括測試結構，

以輔助3D封裝體或3DIC裝置的驗證測試。測試結構可以包括，例如，測試接墊形成於重佈層內或基底上，容許測試3D封裝體或3DIC，使用探針及/或探針卡或類似物。驗證測試可以在中間結構以及最終結構上進行。另外，本文所述的結構及方法可與結合已知良好晶片的中間驗證的測試方法一同使用，以提高良率並降低成本。

【0070】第15-16圖繪示出根據一些實施例之積體電路裝置的平面示意圖。第15圖繪示出沿著與第14圖中截面A-A相似的截面，除了位於積體電路晶粒50的一個角落。另外，繪示出多個虛置通孔電極116D及功能性通孔電極116F，且一部分的金屬化圖案136繪示為重疊圖像。第16圖為第15圖中的區域16的詳細示意圖。

【0071】金屬化圖案136的一些重佈線延伸於某些區域上，例如靠近積體電路晶粒50的邊界(例如，邊緣及/或角落)的區域，其破裂的風險增加。特別是，金屬化圖案136在靠近積體電路晶粒50的邊界處可以有較小的尺寸及/或較小的間距，因為金屬化圖案136在這些區域的重佈線未過度扇出。若封膠體130在操作或測試期間發生熱膨脹，具有小尺寸及/或小間距的金屬化圖案136的重佈線會有很大的破裂風險。封膠體130的熱膨脹可能在操作或測試期間發生，這是由於封膠體130及積體電路晶粒50之間的熱膨脹係數不匹配所致。在熱膨脹係數不匹配的區域，虛置通孔電極116D設置於金屬化圖案136的重佈線正下方，例如位於積體電路晶粒50的邊緣，並提供機械支撐於那些金屬化圖案136的重佈線。因此，在平面示意圖中，金屬化圖案136的重佈線與虛置通孔電極116D相重疊。有利的是，由於虛置通孔電極116D是由導電材料形成的，其具有大的楊氏模數及低的熱膨脹係數。虛置通孔電極116D的楊氏模數可大於封膠體130的楊氏模數。在一些實施例中，虛置通孔電極116D的楊氏模數在90GPa至150GPa之間的範圍。具有較大楊氏模數的虛置通孔電極116D提供位於上方的特徵部件良好的機

械支撐，因為它們比封膠體130更不可能在壓縮或拉伸應變下變形，因而降低重佈線破裂的風險。虛置通孔電極116D具有小於封膠體130的熱膨脹係數。在一些實施例中，虛置通孔電極116D的熱膨脹係數在12ppm/°C至20ppm/°C之間的範圍。具有小的熱膨脹係數的虛置通孔電極116D可以在操作或測試期間幫助抑制封膠體130的熱膨脹，因而降低重佈線破裂的風險。降低重佈線破裂的風險可以提高裝置的可靠度。

【0072】 虛置通孔電極116D_E的第一子集設置於積體電路晶粒50的邊緣。各個虛置通孔電極116D_E為I型的，並且沿平行於積體電路晶粒50的兩相鄰邊緣的方向延伸。具體來說，虛置通孔電極116D_E具有一長度，沿平行於積體電路晶粒50的兩相鄰邊緣的方向測量，以及一寬度，沿垂直於積體電路晶粒50的兩相鄰邊緣的方向測量，長度大於寬度。在一些實施例中，虛置通孔電極116D_E的長度在110μm至220μm的範圍或220μm至600μm的範圍，寬度在90μm至180μm的範圍。再者，虛置通孔電極116D_E具有一第一側壁152D朝向積體電路晶粒50的兩相鄰邊緣，並具有一第二側壁152W遠離積體電路晶粒50的兩相鄰邊緣。金屬化圖案136的一或多個重佈線橫跨虛置孔電極116D_E，使各個重佈線在由上而下的視角中與第一側壁152D及第二側壁152W相交。

【0073】 虛置通孔電極116D_C的第二子集設置於積體電路晶粒50的角落處。各個虛置通孔電極116D_C為L型，並沿平行於定義相鄰角落的積體電路晶粒50的邊緣的兩個方向延伸。具體來說，虛置通孔電極116D_C有兩段，其中各段沿平行於積體電路晶粒50的相鄰邊緣的方向延伸。而各段具有一長度，自平行於積體電路晶粒50的相鄰邊緣的方向上測量，以及一寬度，自垂直於積體電路晶粒50的相鄰邊緣的方向上測量，長度大於寬度。在一些實施例中，虛置通孔電極116D_C的各段長度在110μm至220μm的範圍，或在220μm至600μm的範圍，並且具有90μm至180μm的寬度。再者，虛置通孔電極116D_C具有多個第一側壁154D，

其各自面向積體電路晶粒50的對應的相鄰邊緣，並具有多個第二側壁154W，其各自遠離積體電路晶粒50的對應的相鄰邊緣。金屬化圖案136的一或多個重佈線橫跨虛置孔電極116D_c，使得各個重佈線在由上而下的視角中與第一側壁154D及第二側壁154W相交。

【0074】虛置通孔電極116D接近積體電路晶粒50的邊界，而功能性通孔電極116F則位於積體電路晶粒50的遠端，使得虛置通孔電極116D比功能性通孔電極116F更接近積體電路晶粒50。在由上而下的視角中，虛置通孔電極116D設置於積體電路晶粒50及功能性通孔電極116F之間。具體來說，虛置通孔電極116D設置為圍繞積體電路晶粒50，而功能性通孔電極116F則設置為圍繞虛置通孔電極116D。金屬化圖案136的一些重佈線物理性及電性耦接於積體電路晶粒50的一晶粒連接器60及一功能性通孔電極116F。金屬化圖案136的這些重佈線中的一些或全部橫跨虛置通孔電極116D。

【0075】另外，如前所述，虛置通孔電極116D在由上而下的視角中，可以具有不同於功能性通孔電極116F的形狀及/或尺寸。在此實施例中，在由上而下的視角中，虛置通孔電極116D大於功能性通孔電極116F。舉例來說，虛置通孔電極116D可具有比功能性通孔電極116F更大的寬度。在此實施例中，在由上而下的視角中，虛置通孔電極116D具有不同於功能性通孔電極116F的形狀。舉例來說，虛置通孔電極116D可為I形或L形，而功能性通孔電極116F為O形。

【0076】如上所述，金屬化圖案136的一或多個重佈線橫跨虛置通孔電極116D。第15為簡化示意圖，僅繪示出金屬化圖案136的一個重佈線，延伸於各個虛置通孔電極116D上。應可理解的是，如第16圖所示，金屬化圖案136的多個重佈線可以橫跨一虛置通孔電極116D。在一些實施例中，12到30個重佈線可以橫跨各個虛置通孔電極116D。

【0077】上述實施例可以達成諸多優勢。虛置通孔電極116D形成於熱膨脹

係數不匹配的區域，例如靠近積體電路晶粒50的邊界(例如，邊緣及/或角落)。將虛置通孔電極116D放置於這些區域可以在操作或測試期間幫助抑制封膠體130的熱膨脹。因此，金屬化圖案136的重佈線可以減少破裂的風險，特別是當重佈線具有小尺寸(例如，寬度及/或厚度)及/或小間距時。在一個實驗中，第一積體電路封裝體100中具有虛置通孔電極116D降低了約13%的破裂風險。因此，所得的裝置的可靠度因而依舊可得到改善。

【0078】第17圖繪示出根據其他一些實施例之積體電路裝置的平面示意圖。此實施例與第15圖的實施例相似，除了金屬化圖案136的重佈線分組成子集，子集橫跨虛置通孔電極116D_c的不同段。舉例來說，金屬化圖案136的重佈線的第一子集可以橫跨虛置通孔電極116D_c的第一段的側壁152D、152W。虛化圖案136的重佈線的第二子集可以跨越虛置通孔電極116D_c的第二段的側壁152D、152W。

【0079】第18圖繪示出根據其他一些實施例之一積體電路裝置的平面示意圖。此實施例與第15的實施例相似，除了功能性通孔電極116F及虛置通孔電極116D(包括在積體電路晶粒50的邊緣及/或角落的虛置通孔電極116D_o)均為O型。因此，在由上而下的視角中，虛置通孔電極116D的形狀與功能性通孔電極116F相同，但在由上而下的視角中，虛置通孔電極116D仍與功能性通孔電極116F的尺寸不同。因此，虛置通孔電極116D在操作或測試期間仍然可以幫助抑制封膠體130的熱膨脹。

【0080】第19圖繪示出，根據一些其他的實施例之一積體電路裝置的剖面示意圖。此實施例與第14圖所述的實施例相似，除了通孔電極116(包括功能性通孔電極116F及虛置通孔電極116D)具有彎曲的側壁。因此，各個通孔電極116與封膠體130之間的界面為彎曲的。通孔電極116的彎曲側壁可為凹入側壁。

【0081】在一實施例中，一種積體電路裝置包括：一積體電路晶粒，包括

一晶粒連接器；一第一通孔電極，鄰近積體電路晶粒；一封膠體，封裝一第一通孔電極及積體電路晶粒；以及一重佈結構，位於封膠體上，重佈結構包括一重佈線，重佈線物理性及電性耦接於積體電路晶粒的晶粒連接器，重佈線與第一通孔電極電性隔離，重佈線橫跨第一通孔電極。在積體電路裝置的一些實施例中，在由上而下的視角中，第一通孔電極為I型，且設置於積體電路晶粒的一邊緣。在積體電路裝置的一些實施例中，在由上而下的視角中，第一通孔電極為L型，且設置於積體電路晶粒的一角落。在積體電路裝置的一些實施例中，在由上而下的視角中，第一通孔電極為O型。在一些實施例中，積體電路裝置更包括：一第二通孔電極，封膠體封裝第二通孔電極，重佈線物理性及電性耦接於第二通孔電極。在積體電路裝置的一些實施例中，第一通孔電極、第二通孔電極及封膠體具有相同的厚度。在積體電路裝置的一些實施例中，第一通孔電極包括與第二通孔電極相同的導電層結構。在積體電路裝置的一些實施例中，第一通孔電極比第二通孔電極更靠近積體電路晶粒的一邊界。

【0082】 在一實施例中，一種積體電路裝置包括：一積體電路晶粒，包括一晶粒連接器；一封膠體，封裝積體電路晶粒；一功能性通孔電極，延伸穿過封膠體；一虛置通孔電極，延伸穿過封膠體，在由上而下的視角中，虛置通孔電極設置於功能性通孔電極與積體電路晶粒之間，虛置通孔電極的所有側皆由一絕緣材料所包圍；以及一重佈結構，橫跨虛置通孔電極、功能性通孔電極及封膠體，重佈結構包括一重佈線，重佈線物理性及電性耦接於功能性通孔電極與積體電路晶粒的晶粒連接器。在積體電路裝置的一些實施例中，功能性通孔電極包括一第一黏著層及一第一主層，虛置通孔電極包括一第二黏著層及一第二主層。第一黏著層及第二黏著層包括一第一導電材料，第一主層及第二主層包括一第二導電材料，且第一導電材料不同於第二導電材料。在積體電路裝置的一些實施例中，第一黏著層及第二黏著層具有相同的第一厚度，第一主層及

第二主層具有相同的第二厚度。在積體電路裝置的一些實施例中，封膠體的一上表面與功能性通孔電極的一上表面、虛置通孔電極的一上表面及積體電路晶粒的一上表面實質上共平面。在積體電路裝置的一些實施例中，重佈線延伸於虛置通孔電極上。在積體電路裝置的一些實施例中，虛置通孔電極在由上而下的視角中，具有不同於功能性通孔電極的形狀。在積體電路裝置的一些實施例中，虛置通孔電極在由上而下的視角中，具有不同於功能性通孔電極的尺寸。在積體電路裝置的一些實施例中，虛置通孔電極具有一第一側壁及一第二側壁，在由上而下的視角中，第一側壁面向積體電路晶粒，第二側壁遠離積體電路晶粒，重佈線與第一側壁及第二側壁相交。

【0083】 在一個實施例中，一種積體電路裝置之形成方法包括：放置一積體電路晶粒鄰近於一第一導電介層連接及一第二導電介層連接；以模塑化合物來封裝積體電路晶粒、第一導電介層連接及第二導電介層連接；沉積一介電層於模塑化合物、第一導電介層連接及第二導電介層連接上；以及形成一金屬化圖案，其具有一線部及一介層連接部，線部沿著介電層的一表面延伸，介層連接部延伸穿過介電層，以物理性及電性耦接於第一導電介層連接及積體電路晶粒的晶粒連接器，第二導電介層連接保持由介電層所覆蓋。在一些實施例中，上述方法更包括：圖案化位於一種子層上的一罩幕，罩幕包括一第一開口及一第二開口；電鍍一導電材料於罩幕的第一開口及第二開口內；以及去除罩幕及種子層的露出部分，以形成第一導電介層連接及第二導電介層連接，第一導電介層連接包括位於第一開口內的導電材料的一第一部，第二導電介層連接包括位於第二開口內的導電材料的一第二部。在一些實施例中，上述方法更包括：連接一記憶體裝置至第一導電介層連接，第二導電介層連接與記憶體裝置及金屬化圖案電性隔離。在上述方法的一些實施例中，金屬化圖案的線部延伸於第二導電介層連接上。

【0084】以上概略說明瞭本發明數個實施例的特徵部件，使所屬技術領域中具有通常知識者對於本揭露的型態可更為容易理解。任何所屬技術領域中具有通常知識者應瞭解到可輕易利用本揭露作為其它製程或結構的變更或設計基礎，以進行相同於此處所述實施例的目的及/或獲得相同的優點。任何所屬技術領域中具有通常知識者也可理解與上述等同的結構並未脫離本揭露之精神及保護範圍，且可於不脫離本揭露之精神及範圍，當可作更動、替代與潤飾。

【符號說明】

【0085】

- 16: 區域
- 50: 積體電路晶粒
- 52: 半導體基底
- 54: 內連線結構
- 56: 接墊
- 58: 鈍化護層
- 60: 晶粒連接器
- 62, 112, 134, 138, 142, 146: 介電層
- 100: 第一積體電路封裝體
- 102: 承載基底
- 102A: 封裝區
- 104: 離型層
- 116: 通孔電極/導電介層連接
- 116D, 116D_C, 116D_E, 116D_O: 虛置通孔電極
- 116F: 功能性通孔電極

118: 種子層
120: 罩幕
122, 122D, 122F: 開口
124: 導電材料
128: 黏著層
130: 封膠體
132: 前側重佈結構
136, 140, 144: 金屬化圖案
148: 金屬化層(UBMs)
152D: (第一)側壁
152W: (第二)側壁
154D: 第一側壁
154W: 第二側壁
160: 導電連接器
162: 被動裝置
164: 導電連接器
200: 第二積體電路封裝體
202: 基底
204, 206, 304: 接合墊
208: 導電介層連接
210: 堆疊晶粒
212: 打線
214: 成型材料
216: 底膠

300: 封裝基底

302: 基底核心體

【生物材料寄存】

【0086】無

【發明申請專利範圍】

【請求項1】 一種積體電路裝置，包括：

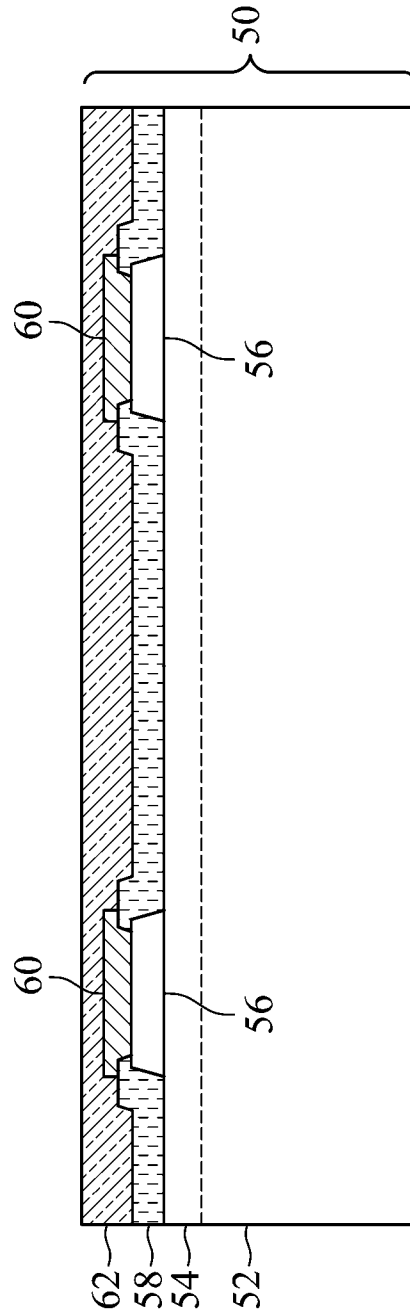
一積體電路晶粒，包括一晶粒連接器；

一第一通孔電極，鄰近該積體電路晶粒；

一封膠體，封裝一第一通孔電極及該積體電路晶粒；以及

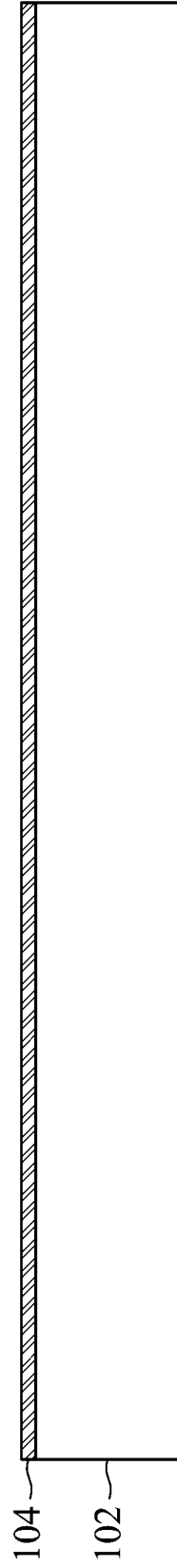
一重佈結構，位於該封膠體上，該重佈結構包括一重佈線，該重佈線物理性及電性耦接於該積體電路晶粒的該晶粒連接器，該重佈線與該第一通孔電極電性隔離，該重佈線橫跨該第一通孔電極。

【發明圖式】



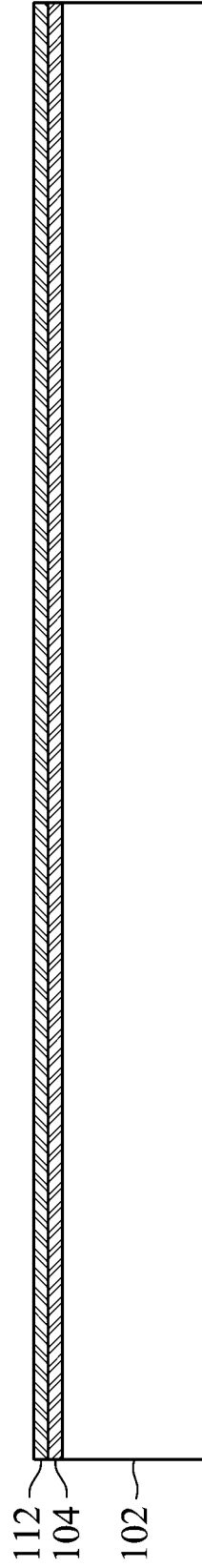
第 1 圖

102A/100



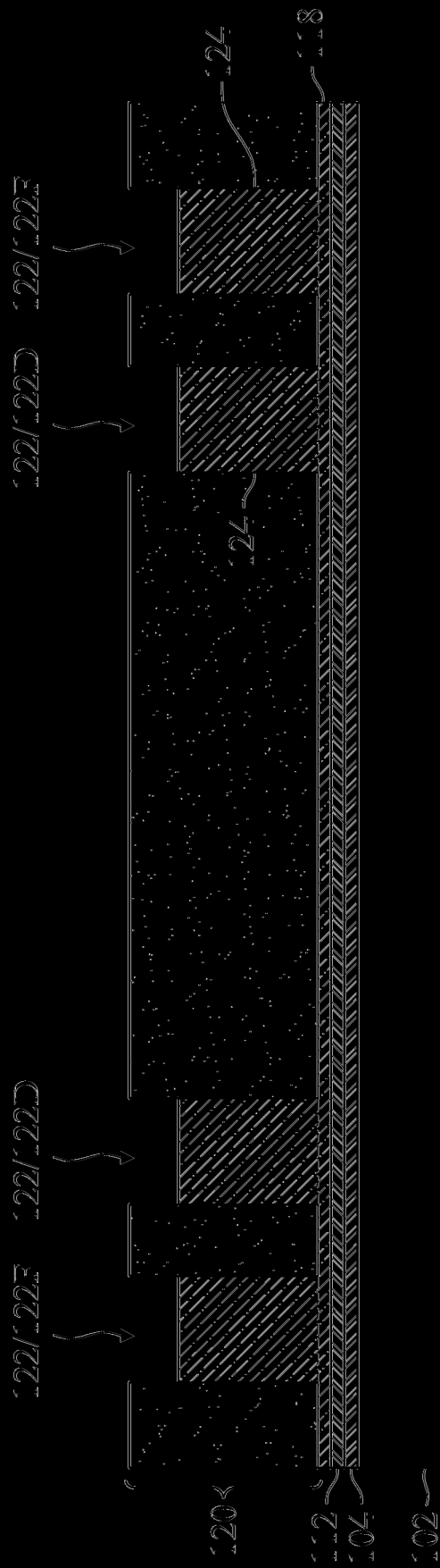
第 2 圖

102A/100



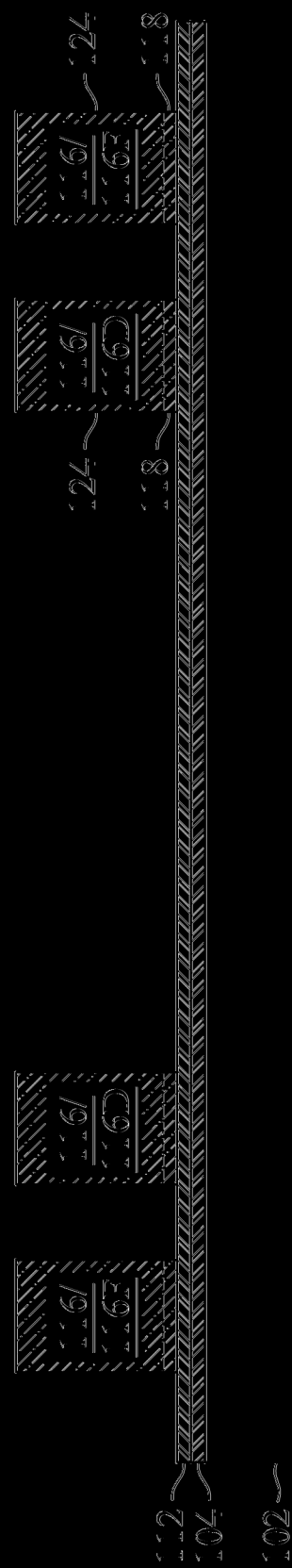
第 3 圖

102A/100



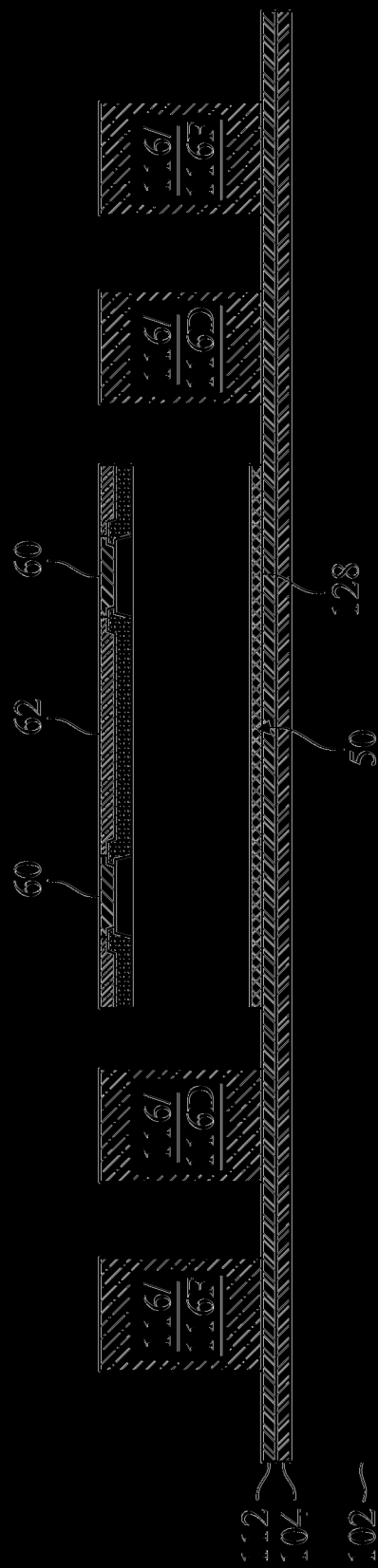
第 5 頁

102A/100



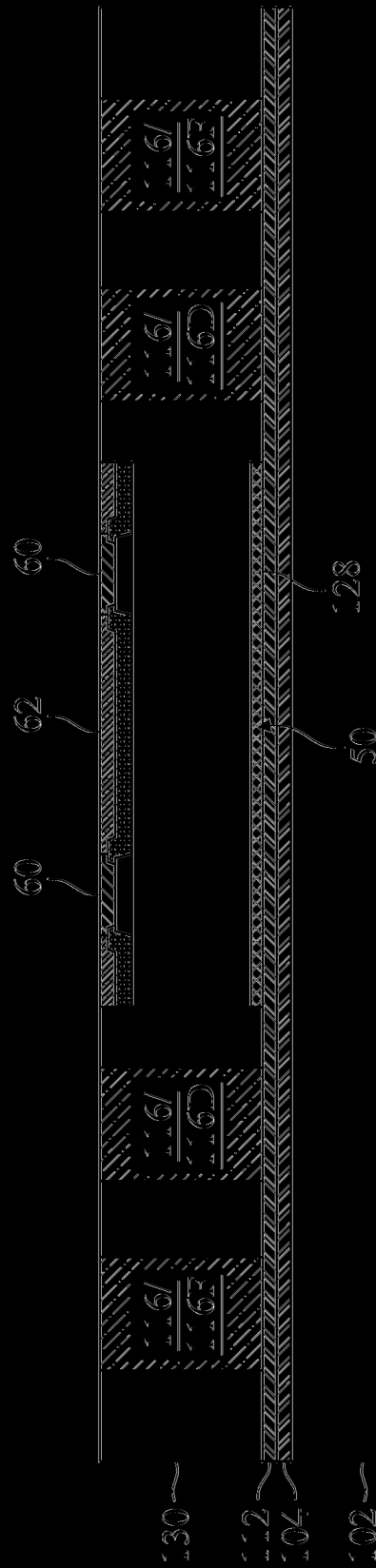
第 6 頁

102A/100



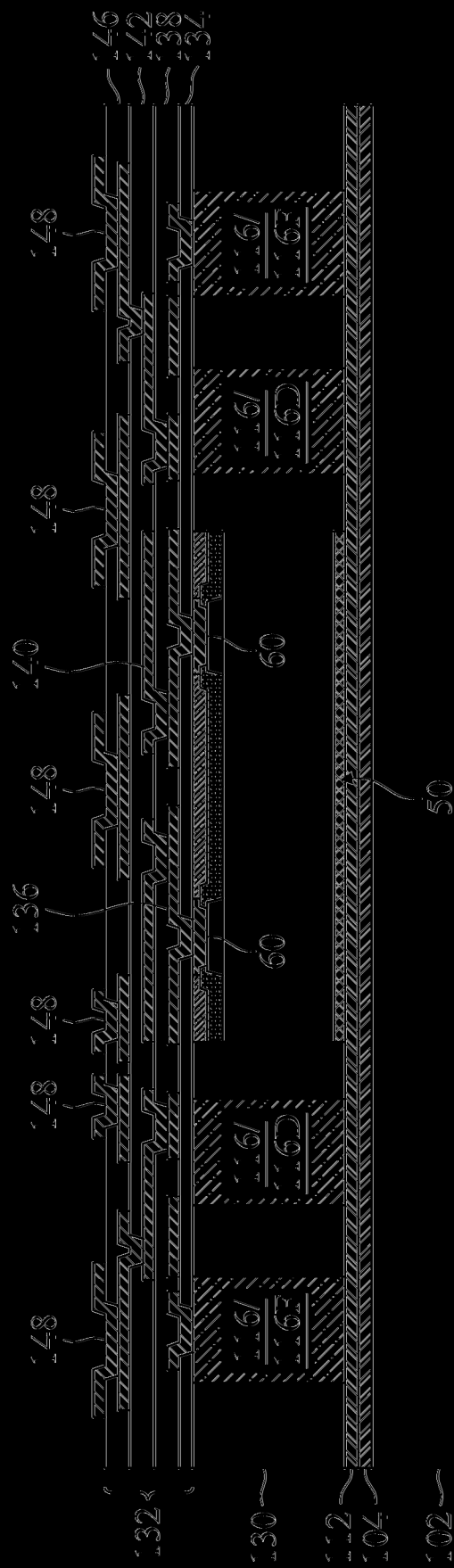
第 7 頁

102A/100



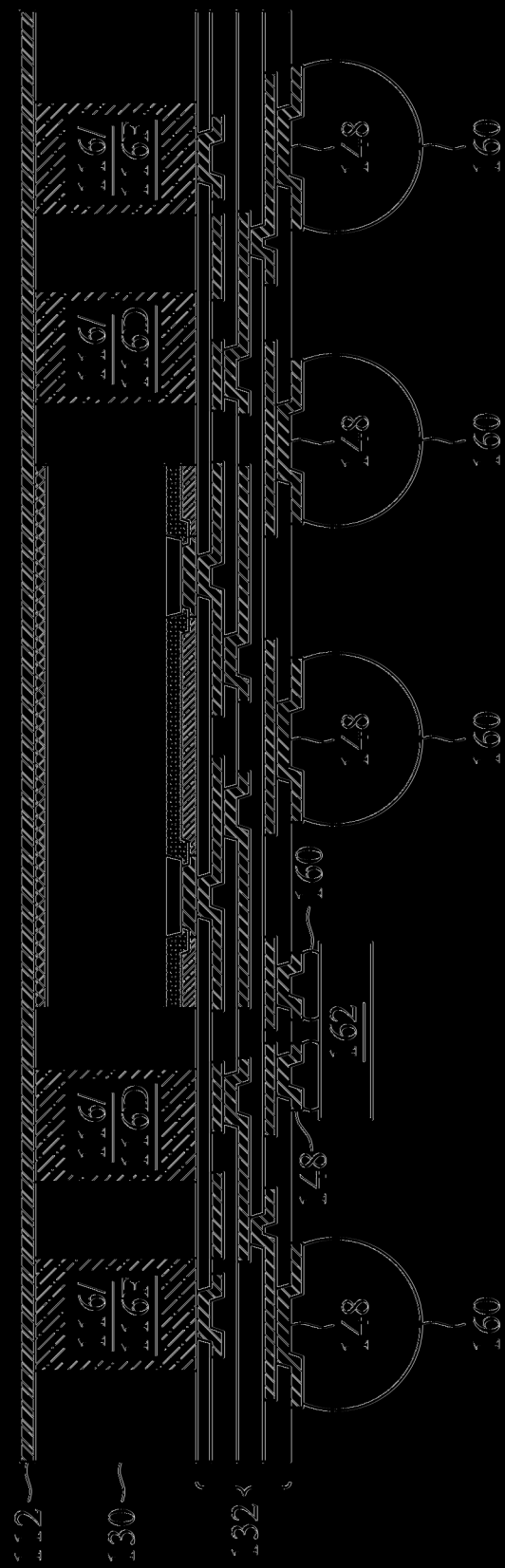
第 8 頁

102A/100



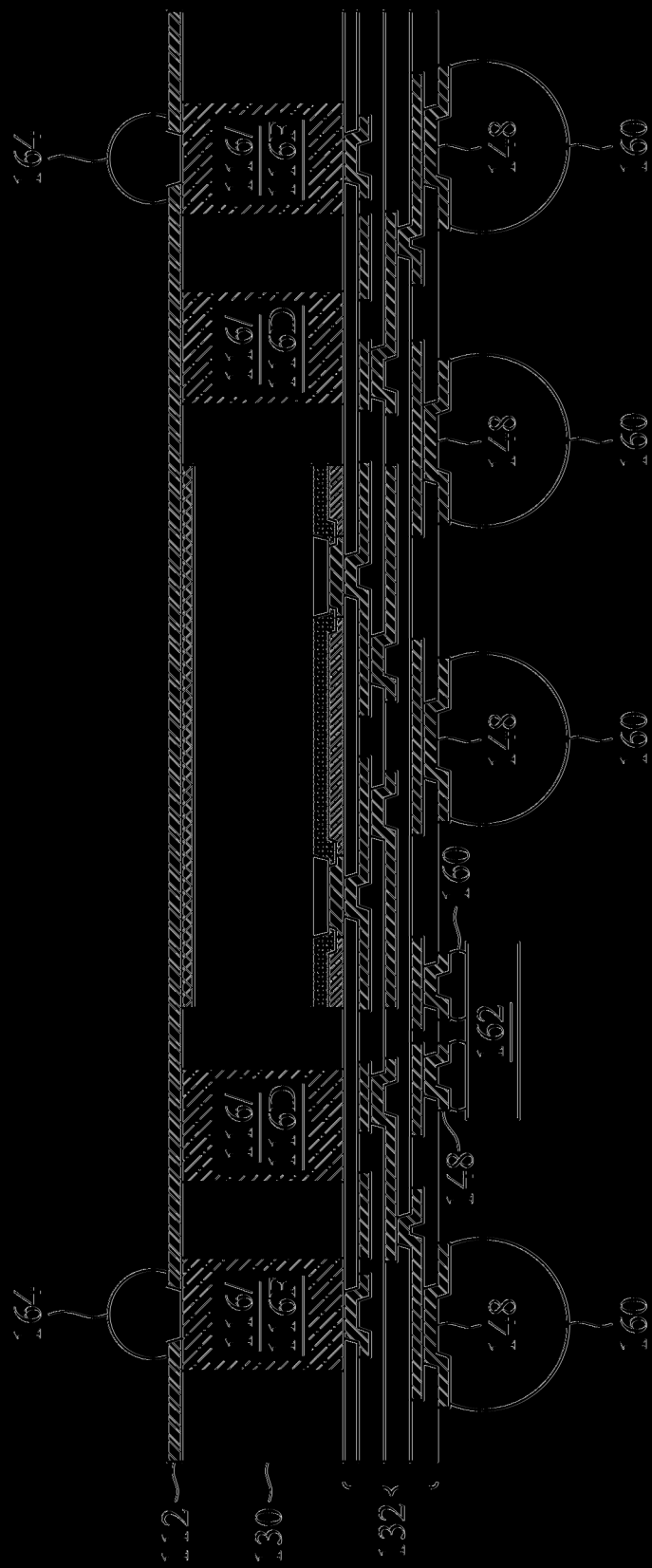
第 9 頁

102A/100

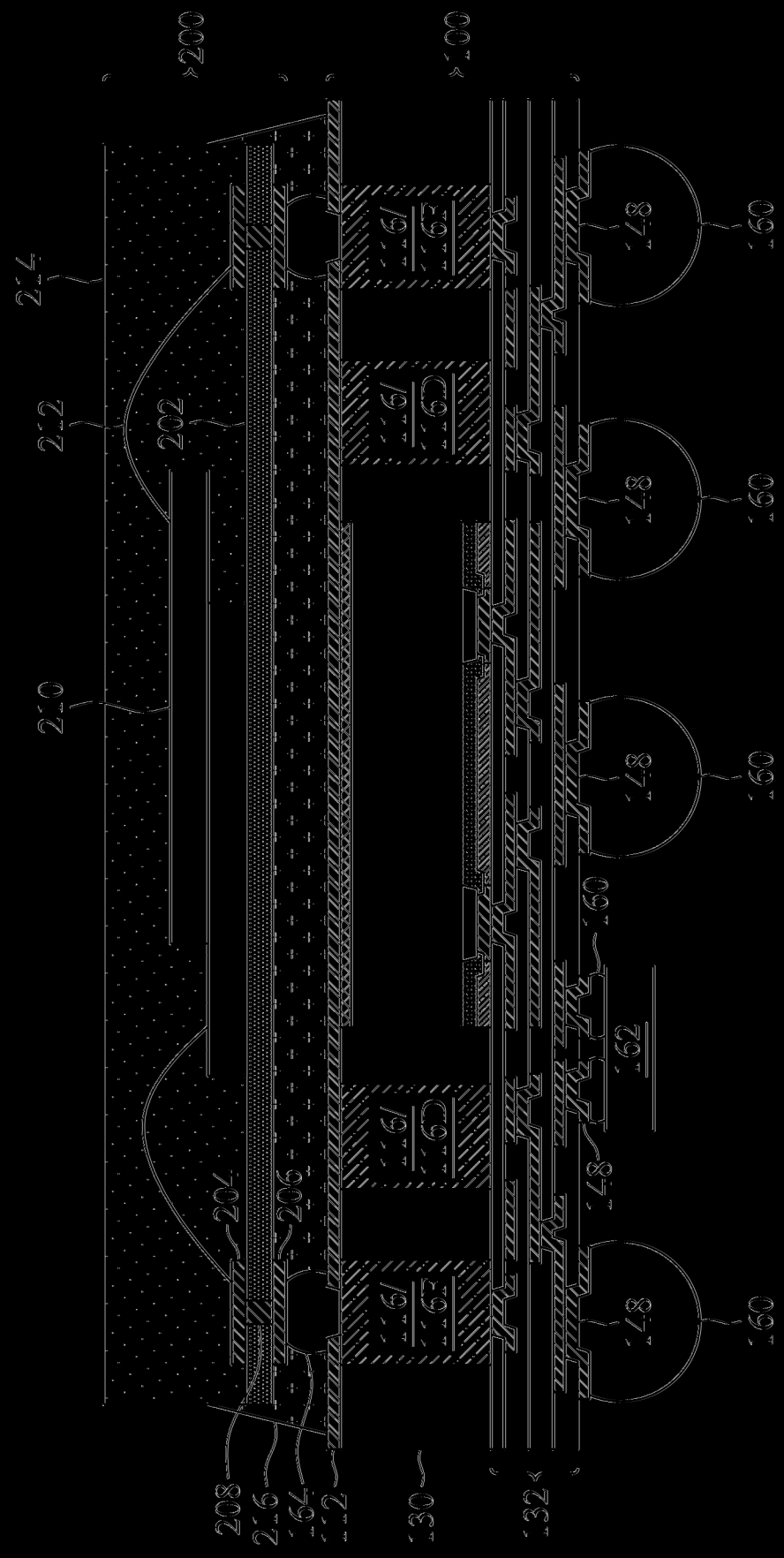


第 11 頁

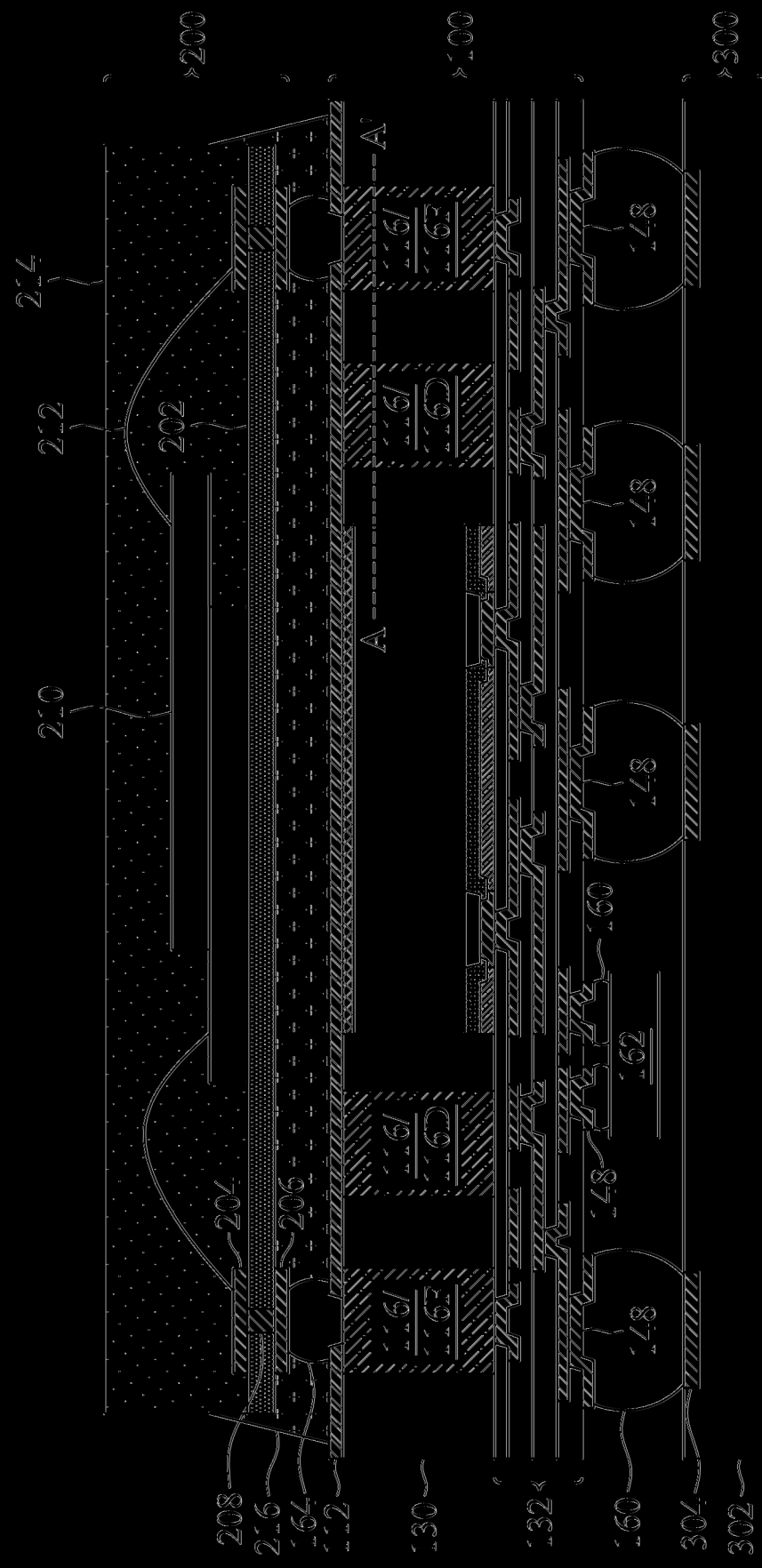
102A/100



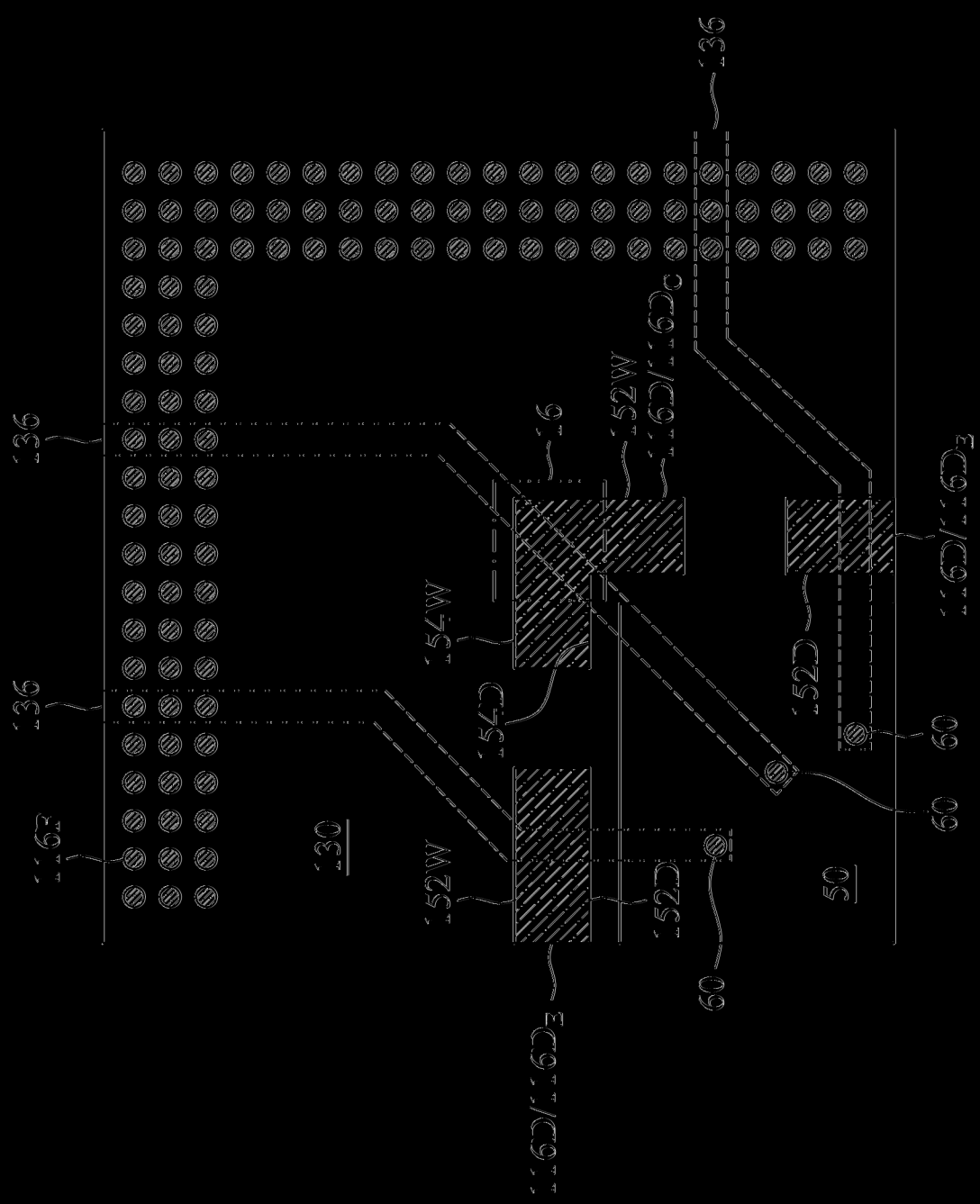
第 12 頁



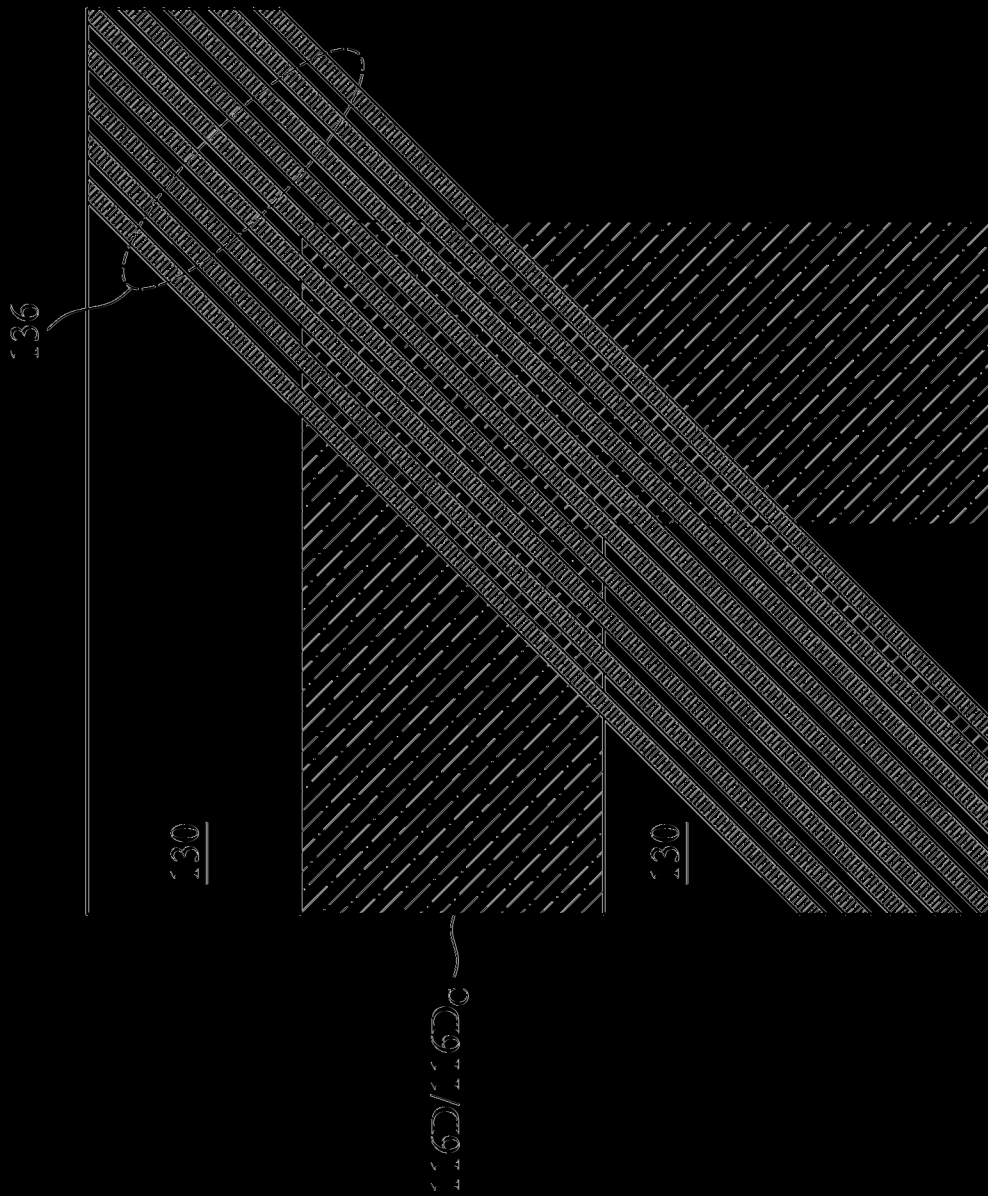
第 13 頁



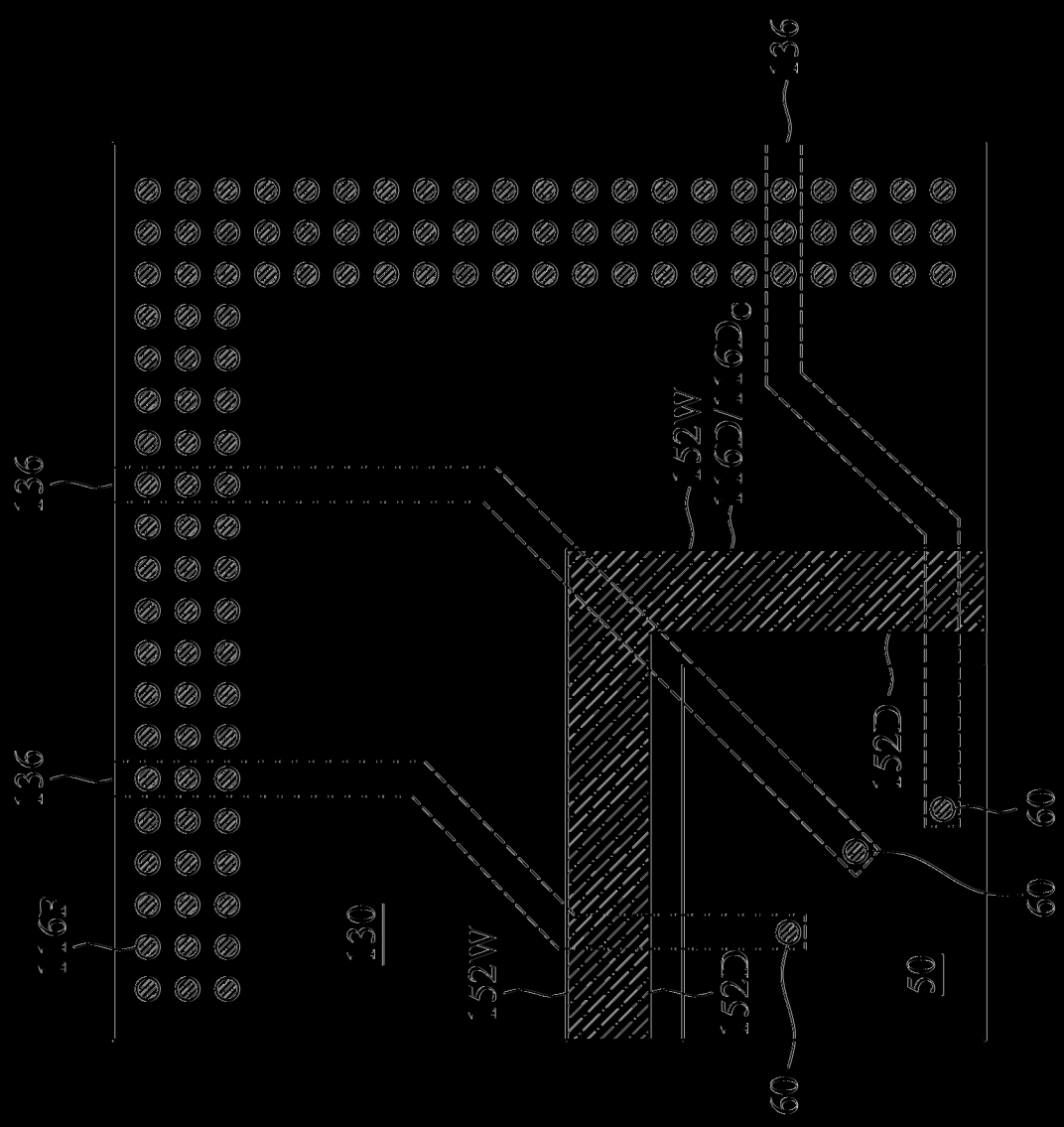
第 14 頁



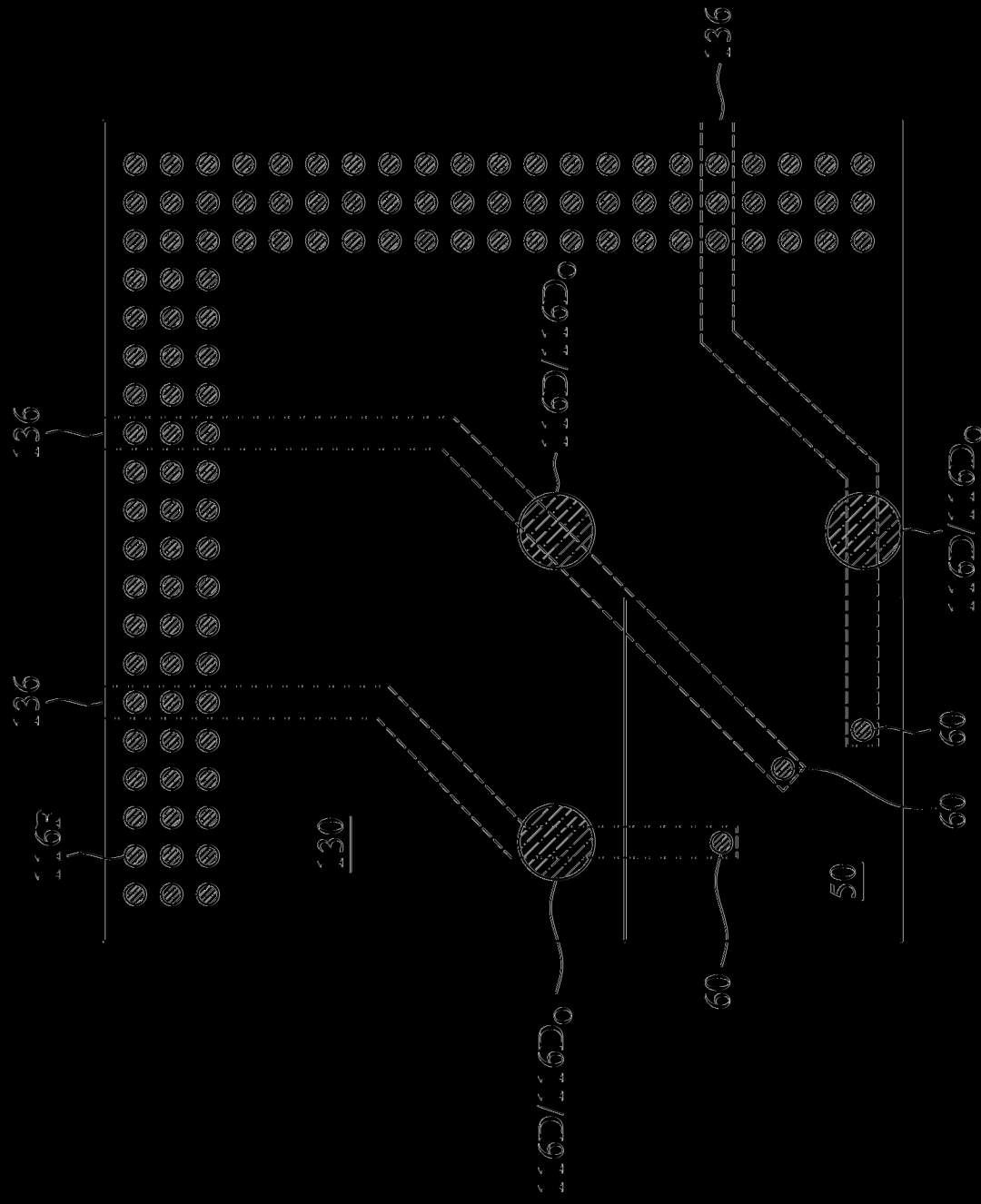
第 15 頁



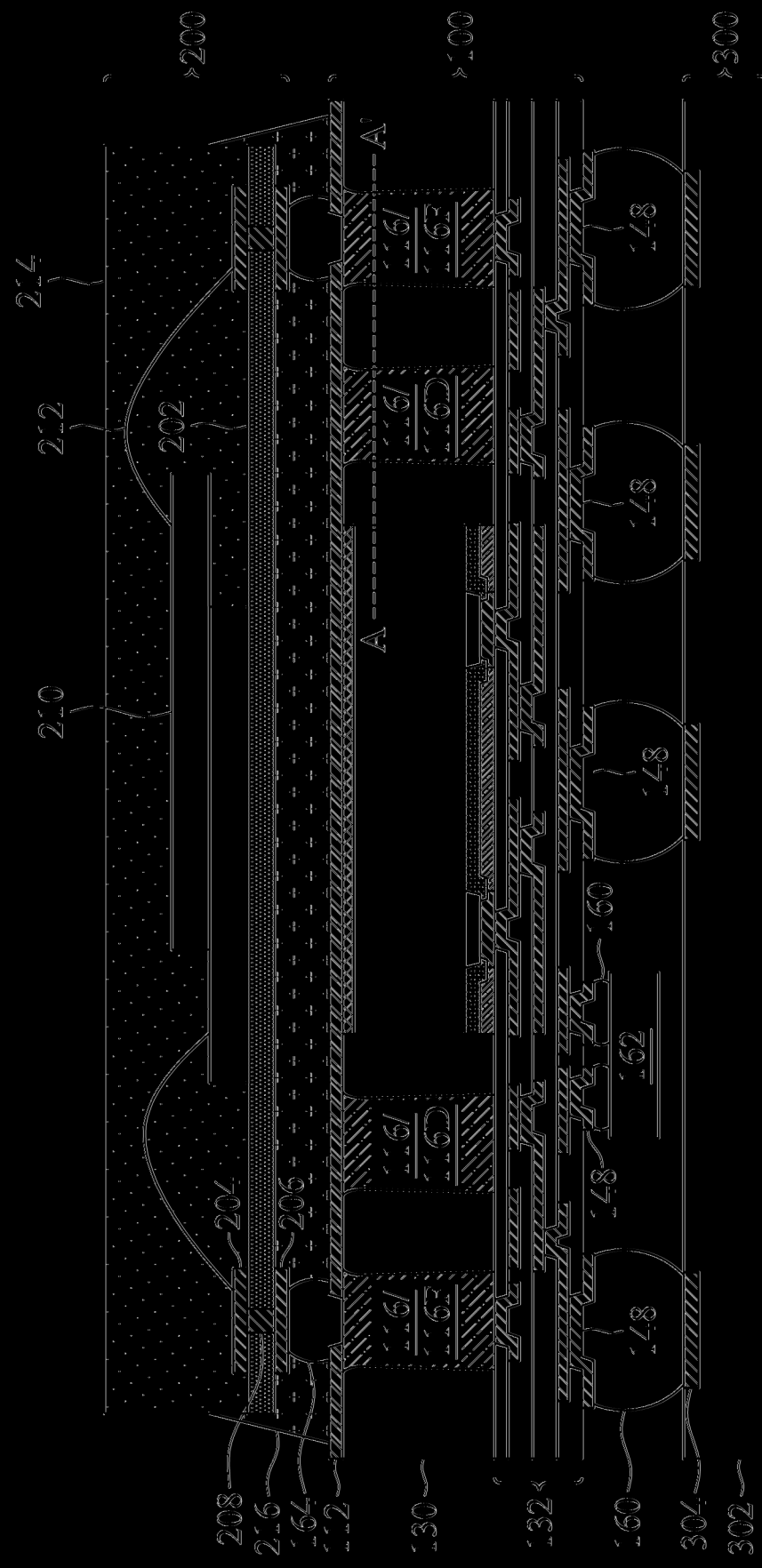
第 16 頁



第 17 頁



第 18 頁



第 19 頁