



(12)发明专利申请

(10)申请公布号 CN 108666270 A

(43)申请公布日 2018. 10. 16

(21)申请号 201710197761.4

(22)申请日 2017.03.29

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 周飞 洪中山

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 吴敏

(51)Int. Cl.

H01L 21/8238(2006.01)

H01L 27/092(2006.01)

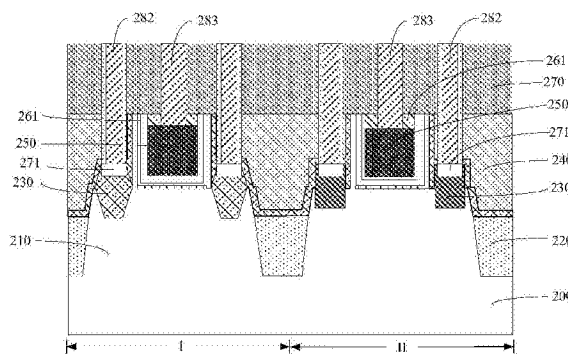
权利要求书3页 说明书9页 附图11页

(54)发明名称

半导体结构及其形成方法

(57)摘要

本发明提供一种半导体结构及其形成方法,所述形成方法包括:提供基底,所述基底上形成有栅极结构,所述栅极结构两侧的基底中形成有源漏掺杂区,所述栅极结构露出的基底上形成有第一介质层;在所述第一介质层顶部以及所述栅极结构顶部上形成第二介质层;形成贯穿所述第一介质层和第二介质层的第一通孔,所述第一通孔底部露出所述源漏掺杂区;在所述第一通孔底部露出的源漏掺杂区上形成金属硅化物层;形成所述金属硅化物层之后,形成贯穿所述第二介质层的第二通孔,所述第二通孔底部露出所述栅极结构顶部;形成与所述源漏掺杂区电连接的第一接触孔插塞;形成与所述栅极结构电连接的第二接触孔插塞。本发明形成的半导体结构的电学性能得到提高。



1. 一种半导体结构的形成方法,其特征在于,包括:  
提供基底,所述基底上形成有栅极结构,所述栅极结构两侧的基底中形成有源漏掺杂区,所述栅极结构露出的基底上形成有第一介质层;  
在所述第一介质层顶部以及所述栅极结构顶部上形成第二介质层;  
形成贯穿所述第一介质层和第二介质层的第一通孔,所述第一通孔底部露出所述源漏掺杂区;  
在所述第一通孔底部露出的源漏掺杂区上形成金属硅化物层;  
形成所述金属硅化物层之后,形成贯穿所述第二介质层的第二通孔,所述第二通孔底部露出所述栅极结构顶部;  
在所述第一通孔中形成与所述源漏掺杂区电连接的第一接触孔插塞;  
在所述第二通孔中形成与所述栅极结构电连接的第二接触孔插塞。
2. 如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述金属硅化物层的步骤包括:  
在所述第一通孔底部和侧壁、以及所述第二介质层顶部上形成金属层;  
对所述基底进行退火处理,使所述金属层与基底反应生成金属硅化物层;  
进行退火处理之后,去除未发生反应的所述金属层。
3. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述第一接触孔插塞的材料为W;所述第二接触孔插塞的材料为W。
4. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述金属硅化物层的材料包括TiSi或NiSi。
5. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述金属硅化物层的厚度在30埃至150埃范围内。
6. 如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述第二通孔的步骤包括:  
形成填充所述第一通孔的牺牲层,且所述牺牲层还位于第二介质层顶部上;  
在所述牺牲层上形成图形层,所述图形层露出位于所述栅极结构上的牺牲层顶部;  
以所述图形层为掩膜,刻蚀位于所述栅极结构上的牺牲层以及第二介质层,形成所述第二通孔;  
形成所述第二通孔之后,去除所述牺牲层和图形层。
7. 如权利要求6所述的半导体结构的形成方法,其特征在于,去除所述牺牲层和图形层的工艺包括灰化工艺或者湿法工艺。
8. 如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述栅极结构之后,形成所述第二介质层之前,在所述栅极结构顶部上还形成有盖帽层;所述形成方法还包括:  
在形成所述第一介质层之后,刻蚀去除部分厚度的栅极结构;  
在所述第一介质层上以及刻蚀后的栅极结构顶部上形成初始盖帽层,所述初始盖帽层顶部高于所述第一介质层顶部;  
去除高于所述第一介质层顶部的初始盖帽层,形成所述盖帽层。
9. 如权利要求8所述的半导体结构的形成方法,其特征在于,形成所述第二通孔的步骤包括:

以所述盖帽层为刻蚀停止层,形成贯穿所述第二介质层的第二通孔,所述第二通孔露出所述盖帽层;

形成所述第二通孔的步骤之后,形成所述第一接触孔插塞和第二接触孔插塞的步骤之前,所述形成方法还包括:去除所述第二通孔露出的所述盖帽层。

10.如权利要求8所述的半导体结构的形成方法,其特征在于,所述盖帽层的厚度在20埃至80埃范围内。

11.如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述金属硅化物层的步骤之后,形成所述第二通孔的步骤之前,所述形成方法还包括:在所述第一通孔的底部和侧壁上形成阻挡层,所述阻挡层覆盖所述金属硅化物层;

形成所述第二通孔的步骤之后,形成所述第一接触孔插塞和第二接触孔插塞的步骤之前,所述形成方法还包括:去除位于所述金属硅化物层顶部的阻挡层。

12.如权利要求11所述的半导体结构的形成方法,其特征在于,所述阻挡层的厚度在15埃至50埃范围内。

13.如权利要求11所述的半导体结构的形成方法,其特征在于,所述阻挡层的材料包括氮化硅、氮碳化硅、氮硼化硅、氮碳氧化硅、氮氧化硅或者无定形碳的一种或者多种。

14.如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述第一接触孔插塞和第二接触孔插塞的步骤包括:

在所述第一通孔底部和侧壁、第二通孔底部和侧壁形成粘附层;

形成所述粘附层之后,形成填充满所述第一通孔以及第二通孔的金属膜,所述金属膜顶部高于所述第二介质层顶部;

对所述金属膜进行平坦化处理,去除高于所述第二介质层顶部的金属膜,形成所述第一接触孔插塞和所述第二接触孔插塞。

15.如权利要求1所述的半导体结构的形成方法,其特征在于,提供基底的步骤中,所述基底包括衬底以及位于衬底上的多个分立的鳍部;

所述栅极结构横跨所述鳍部,且覆盖所述鳍部的部分侧壁和顶部;

所述源漏掺杂区位于所述栅极结构两侧的鳍部内。

16.一种半导体结构,其特征在于,包括:

基底,所述基底上具有栅极结构,所述栅极结构两侧的基底中具有源漏掺杂区,所述源漏掺杂区顶部具有金属硅化物层,所述栅极结构露出的基底上具有第一介质层;

位于所述第一介质层顶部以及所述栅极结构顶部的第二介质层;

贯穿位于所述源漏掺杂区上的第二介质层和第一介质层的第一接触孔插塞,且所述第一接触孔插塞与所述金属硅化物层电连接;

贯穿位于所述栅极结构顶部上的第二介质层的第二接触孔插塞,且所述第二接触孔插塞与所述栅极结构电连接。

17.如权利要求16所述的半导体结构,其特征在于,所述第一接触孔插塞的材料为W;所述第二接触孔插塞的材料为W。

18.如权利要求16所述的半导体结构,其特征在于,所述金属硅化物层的厚度在30埃至150埃范围内。

19.如权利要求16所述的半导体结构,其特征在于,所述金属硅化物层的材料包括TiSi

或NiSi。

20. 如权利要求16所述的半导体结构,其特征在于,所述半导体结构还包括:位于所述第一通孔侧壁上的阻挡层。

## 半导体结构及其形成方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域,特别涉及一种半导体结构及其形成方法。

### 背景技术

[0002] 随着半导体技术的飞速发展,半导体结构的特征尺寸不断缩小,使得集成电路的集成度越来越高,这对器件的性能也提出了更高的要求。

[0003] 目前,随着金属-氧化物半导体场效应晶体管(MOSFET)的尺寸不断变小。为了适应工艺节点的减小,只能不断缩短MOSFET场效应管的沟道长度。沟道长度的缩短具有增加芯片的管芯密度、增加MOSFET场效应管的开关速度等好处。

[0004] 然而,随着器件沟道长度的缩短,器件源极与漏极间的距离也随之缩短,这样一来栅极对沟道的控制能力变差,栅极电压夹断(pinch off)沟道的难度也越来越大,使得亚阈值漏电现象,即短沟道效应(SCE:short-channel effects)成为一个至关重要的技术问题。

[0005] 因此,为了更好的适应器件尺寸按比例缩小的要求,半导体工艺逐渐开始从平面MOSFET晶体管向具有更高功效的三维立体式的晶体管过渡,如鳍式场效应管(FinFET)。FinFET具有很好的沟道控制能力。

[0006] 然而,现有技术形成的半导体结构的电学性能有待提高。

### 发明内容

[0007] 本发明解决的问题是提供一种半导体结构及其形成方法,提高半导体结构的电学性能。

[0008] 为解决上述问题,本发明提供一种半导体结构的形成方法,包括:提供基底,所述基底上形成有栅极结构,所述栅极结构两侧的基底中形成有源漏掺杂区,所述栅极结构露出的基底上形成有第一介质层;在所述第一介质层顶部以及所述栅极结构顶部上形成第二介质层;形成贯穿所述第一介质层和第二介质层的第一通孔,所述第一通孔底部露出所述源漏掺杂区;在所述第一通孔底部露出的源漏掺杂区上形成金属硅化物层;形成所述金属硅化物层之后,形成贯穿所述第二介质层的第二通孔,所述第二通孔底部露出所述栅极结构顶部;在所述第一通孔中形成与所述源漏掺杂区电连接的第一接触孔插塞;在所述第二通孔中形成与所述栅极结构电连接的第二接触孔插塞。

[0009] 可选的,形成所述金属硅化物层的步骤包括:在所述第一通孔底部和侧壁、以及所述第二介质层顶部上形成金属层;对所述基底进行退火处理,使所述金属层与基底反应生成金属硅化物层;进行退火处理之后,去除未发生反应的所述金属层。

[0010] 可选的,所述第一接触孔插塞的材料为W;所述第二接触孔插塞的材料为W。

[0011] 可选的,所述金属硅化物层的材料包括TiSi或NiSi。

[0012] 可选的,所述金属硅化物层的厚度在30埃至150埃范围内。

[0013] 可选的,形成所述第二通孔的步骤包括:形成填充所述第一通孔的牺牲层,且所述牺牲层还位于第二介质层顶部上;在所述牺牲层上形成图形层,所述图形层露出位于所

述栅极结构上的牺牲层顶部；以所述图形层为掩膜，刻蚀位于所述栅极结构上的牺牲层以及第二介质层，形成所述第二通孔；形成所述第二通孔之后，去除所述牺牲层和图形层。

[0014] 可选的，去除所述牺牲层和图形层的工艺包括灰化工艺或者湿法工艺。

[0015] 可选的，形成所述栅极结构之后，形成所述第二介质层之前，在所述栅极结构顶部上还形成有盖帽层；所述形成方法还包括：在形成所述第一介质层之后，刻蚀去除部分厚度的栅极结构；在所述第一介质层上以及刻蚀后的栅极结构顶部上形成初始盖帽层，所述初始盖帽层顶部高于所述第一介质层顶部；去除高于所述第一介质层顶部的初始盖帽层，形成所述盖帽层。

[0016] 可选的，形成所述第二通孔的步骤包括：以所述盖帽层为刻蚀停止层，形成贯穿所述第二介质层的第二通孔，所述第二通孔露出所述盖帽层；形成所述第二通孔的步骤之后，形成所述第一接触孔插塞和第二接触孔插塞的步骤之前，所述形成方法还包括：去除所述第二通孔露出的所述盖帽层。

[0017] 可选的，所述盖帽层的厚度在20埃至80埃范围内。

[0018] 可选的，形成所述金属硅化物层的步骤之后，形成所述第二通孔的步骤之前，所述形成方法还包括：在所述第一通孔的底部和侧壁上形成阻挡层，所述阻挡层覆盖所述金属硅化物层；形成所述第二通孔的步骤之后，形成所述第一接触孔插塞和第二接触孔插塞的步骤之前，所述形成方法还包括：去除位于所述金属硅化物层顶部的阻挡层。

[0019] 可选的，所述阻挡层的厚度在15埃至50埃范围内。

[0020] 可选的，所述阻挡层的材料包括氮化硅、氮碳化硅、氮硼化硅、氮碳氧化硅、氮氧化硅或者无定形碳的一种或者多种。

[0021] 可选的，形成所述第一接触孔插塞和第二接触孔插塞的步骤包括：在所述第一通孔底部和侧壁、第二通孔底部和侧壁形成粘附层；形成所述粘附层之后，形成填充所述第一通孔以及第二通孔的金属膜，所述金属膜顶部高于所述第二介质层顶部；对所述金属膜进行平坦化处理，去除高于所述第二介质层顶部的金属膜，形成所述第一接触孔插塞和所述第二接触孔插塞。

[0022] 可选的，提供基底的步骤中，所述基底包括衬底以及位于衬底上的多个分立的鳍部；所述栅极结构横跨所述鳍部，且覆盖所述鳍部的部分侧壁和顶部；所述源漏掺杂区位于所述栅极结构两侧的鳍部内。

[0023] 相应地，本发明还提供一种半导体结构，包括：基底，所述基底上具有栅极结构，所述栅极结构两侧的基底中具有源漏掺杂区，所述源漏掺杂区顶部具有金属硅化物层，所述栅极结构露出的基底上具有第一介质层；位于所述第一介质层顶部以及所述栅极结构顶部的第二介质层；贯穿位于所述源漏掺杂区上的第二介质层和第一介质层的第一接触孔插塞，且所述第一接触孔插塞与所述金属硅化物层电连接；贯穿位于所述栅极结构顶部上的第二介质层的第二接触孔插塞，且所述第二接触孔插塞与所述栅极结构电连接。

[0024] 可选的，所述第一接触孔插塞的材料为W；所述第二接触孔插塞的材料为W。

[0025] 可选的，所述金属硅化物层的厚度在30埃至150埃范围内。

[0026] 可选的，所述金属硅化物层的材料包括TiSi或NiSi。

[0027] 可选的，所述半导体结构还包括：位于所述第一通孔侧壁上的阻挡层。

[0028] 与现有技术相比，本发明的技术方案具有以下优点：

[0029] 本发明提供的半导体结构的形成方法的技术方案中,先形成贯穿所述第一介质层和第二介质层的第一通孔,在所述第一通孔底部露出的源漏掺杂区上形成金属硅化物层;形成所述金属硅化物层之后,形成贯穿所述第二介质层的第二通孔;形成所述第二通孔之后,形成第一接触孔插塞。由于形成所述金属硅化物层之后,形成所述第一接触孔插塞,因此,在形成所述金属硅化物层的工艺过程中,所述第一接触孔插塞未与所述金属硅化物层相接触,从而避免了形成金属硅化物层的工艺过程中第一接触孔插塞与金属硅化物层发生化学反应的问题,防止第一接触孔插塞产生鼓包,从而解决了由于鼓包导致的第一接触孔插塞电阻增加的问题,提高了半导体结构的电学性能。同时,由于在形成金属硅化物层之后形成所述第二通孔以及第二接触孔插塞,也相应的避免了在第二接触孔插塞产生鼓包的问题,防止第二接触孔插塞接触电阻增加,从而提高了半导体结构的电学性能。

[0030] 可选方案中,在形成所述金属硅化物层的步骤之后,形成所述第二通孔的步骤之前,所述形成方法还包括:在所述第一通孔的底部和侧壁上形成阻挡层,所述阻挡层覆盖所述金属硅化物层。所述阻挡层避免所述金属硅化物层与牺牲层相互接触发生不良反应,从而进一步改善半导体结构的电学性能。

## 附图说明

[0031] 图1至图9是一种半导体结构形成方法各步骤对应的结构示意图;

[0032] 图10至图21是本发明半导体结构一实施例形成方法各步骤对应的结构示意图。

## 具体实施方式

[0033] 根据背景技术形成的半导体结构的电学性能有待提高。现结合一种半导体结构的形成过程对半导体结构的电学性能有待提高的原因进行分析。

[0034] 图1至图9为一种半导体结构形成方法各步骤对应的结构示意图。

[0035] 参考图1,提供衬底100,所述衬底100上具有多个分立的鳍部110;所述鳍部110上形成有栅极结构150,所述栅极结构150两侧的鳍部110中形成有源漏掺杂区130,所述栅极结构150露出的鳍部110上形成有第一介质层140;所述衬底100包括用于形成NMOS器件的第一区域I和用于形成PMOS器件的第二区域II。

[0036] 所述栅极结构150为叠层结构,包括:栅介质层(未标示)、位于栅介质层上的阻挡层(未标示)、位于阻挡层上的功函数层(未标示)、以及位于功函数层上的栅电极层(未标示)。

[0037] 参考图2,去除部分厚度的所述栅极结构150,形成开口160,所述开口160位于剩余的栅极结构150上。

[0038] 参考图3,形成填充所述开口160(参考图2)的栅极盖帽层161。

[0039] 参考图4,在所述第一介质层140以及栅极盖帽层161上形成第二介质层170。

[0040] 参考图5,形成贯穿所述第一介质层140和第二介质层170的第一通孔180,所述第一通孔180露出所述源漏掺杂区130。

[0041] 参考图6,形成填充所述第一通孔180(参考图5)的掩膜层190,所述掩膜层190顶部高于所述第二介质层170顶部。

[0042] 参考图7,形成所述掩膜层190之后,对所述掩膜层190进行图形化处理,形成图形

化的掩膜层191;以所述图形化的掩膜层191为掩膜刻蚀所述第二介质层170和栅极盖帽层161(参考图6),形成贯穿所述第二介质层170的第二通孔181,所述第二通孔181底部露出所述栅极结构150。

[0043] 参考图8,形成所述第二通孔181之后,去除所述图形化的掩膜层191(参考图7),露出所述第一通孔180顶部。

[0044] 参考图9,在所述第一通孔180(参考图8)底部露出的源漏掺杂区130上形成金属硅化物层171;形成所述金属硅化物层171之后,在所述第一通孔180中形成于所述源漏掺杂区130电连接的第一接触孔插塞182;在所述第二通孔181中形成于所述栅极结构150电连接的第二接触孔插塞183。

[0045] 上述形成方法形成的半导体结构的电学性能有待提高。

[0046] 经分析发现,导致所述半导体结构电学性能有待提高的原因包括:由于位于所述第一通孔180底部的金属硅化物层171与所述第一接触孔插塞182之间的接触电阻较大;且位于所述第二通孔181底部的金属层(图未示)与所述第二接触孔插塞183之间的接触电阻较大,从而降低了所述半导体结构的电学性能。

[0047] 进一步分析发现,导致所述金属硅化物层171与所述第一接触孔插塞182之间的接触电阻较大,以及位于所述第二通孔181底部的金属层与所述第二接触孔插塞之间的接触电阻较大的原因包括:在形成所述金属硅化物层171的步骤中,先在所述第一通孔180底部和侧壁、第二介质层170顶部以及所述第二通孔181底部和侧壁上形成金属层;形成填充所述第一通孔180的第一接触孔插塞182以及形成填充所述第二通孔181的第二接触孔插塞183;形成所述第一接触孔插塞182和第二接触孔插塞183之后,对所述鳍部110进行退火处理,使所述金属层与鳍部110反应生成金属硅化物层171。由于对所述鳍部110进行退火处理时的温度较高,使得在退火处理时金属硅化物层171以及金属层中的金属离子与第一接触孔插塞182中的离子例如氟离子发生化学反应,金属层中的金属离子与第二接触孔插塞183中的氟离子发生化学反应,从而导致第一接触孔插塞182以及第二接触孔插塞183中产生鼓包,所述鼓包导致半导体结构的接触电阻增大。

[0048] 为了解决上述问题,本发明提供一种半导体结构的形成方法中,由于将形成金属硅化物层与形成第一接触孔插塞以及第二接触孔插塞的步骤分开,避免了形成金属硅化物层步骤中进行退火处理的高温对所述第一接触孔插塞以及第二接触孔插塞产生不良影响,从而解决了半导体结构接触电阻增大的问题,进而使得半导体结构的电学性能得到提高。

[0049] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0050] 图10至图21为本发明半导体结构一实施例形成方法各步骤对应的结构示意图。

[0051] 参考图10,提供基底,所述基底上形成有栅极结构250,所述栅极结构250两侧的基底中形成有源漏掺杂区230,所述栅极结构250露出的基底上形成有第一介质层240。

[0052] 本实施例中,以形成的所述半导体结构为鳍式场效应管为例进行说明。所述基底包括衬底200以及位于衬底200上的多个分立的鳍部210。在本发明其他实施例中,形成的所述半导体结构也可以为平面结构,相应地,所述基底为平面衬底。

[0053] 本实施例中,所述衬底200包括用于形成NMOS器件的第一区域I和用于形成PMOS器件的第二区域II,相应地,形成的鳍式场效应管为CMOS器件。在本发明其他实施例中,所述



衬底可以仅包括用于形成NMOS器件的第一区域或者用于形成PMOS器件的第二区域中的一种,相应地,形成的鳍式场效应管为NMOS器件或者PMOS器件。

[0054] 本实施例中,所述衬底200的材料为硅。在本发明其他实施例中,所述衬底的材料还可以为锗、锗化硅、碳化硅、砷化镓或镓化铟。在其他实施例中,所述衬底还可以为绝缘体上的硅衬底或者绝缘体上的锗衬底。

[0055] 本实施例中,所述鳍部210的材料为硅。在本发明其他实施例中,所述鳍部的材料还可以为锗、锗化硅、碳化硅、砷化镓或镓化铟。

[0056] 本实施例中,所述鳍部210露出的衬底200上还形成有隔离结构220,所述隔离结构220覆盖所述鳍部210的部分侧壁,且所述隔离结构220顶部低于所述鳍部210顶部。

[0057] 所述隔离结构220可以起到电学隔离相邻所述鳍部210的作用。

[0058] 本实施例中,所述隔离结构220的材料为氧化硅。在本发明其他实施例中,所述隔离结构的材料还可以为氮化硅或氮氧化硅。

[0059] 所述栅极结构250为单层结构或者叠层结构。本实施例中,所述栅极结构250为叠层结构,包括:栅介质层(未标示)、位于栅介质层上的阻挡层(未标示)、位于阻挡层上的功函数层(未标示)、以及位于功函数层上的栅电极层(未标示)。

[0060] 所述源漏掺杂区230的材料包括Si、SiC或者SiGe中的一种或者多种。本实施例中,位于第一区域I的源漏掺杂区230的材料为Si或者SiC,且所述源漏掺杂区230中还掺杂有N型离子,所述N型离子为P、As或Sb;位于第二区域II的源漏掺杂区230的材料为Si或者SiGe,且所述源漏掺杂区230中还掺杂有P型离子,所述P型离子为B、Ga或In。

[0061] 后续的工艺步骤包括:如图11至图13所示,在所述第一介质层240顶部以及栅极结构250顶部上形成第二介质层270。本实施例中,在形成所述第二介质层之前,还在所述栅极结构250顶部上形成有盖帽层261(如图12所示)。

[0062] 以下结合附图对所述盖帽层261的形成工艺步骤进行详细说明。

[0063] 参考图11,在形成所述第一介质层240之后,刻蚀去除部分厚度的栅极结构250,形成第一开口260。

[0064] 所述第一开口260为后续形成盖帽层提供空间位置。

[0065] 刻蚀去除部分厚度的栅极结构250的工艺包括:干法刻蚀或者湿法刻蚀。本实施例中,刻蚀去除部分厚度的栅极结构250的工艺为干法刻蚀。

[0066] 参考图12,形成填充所述第一开口260(参考图11)的盖帽层261。

[0067] 所述盖帽层261的作用是保护所述栅极结构250顶部,避免后续形成第一接触孔插塞和第二接触孔插塞的工艺步骤对所述栅极结构250顶部产生不良影响。

[0068] 本实施例中,所述盖帽层261的材料为SiN。在本发明其他实施例中,所述盖帽层261的材料还可以为SiNC、SiNB、SiOCN、SiON或者无定型碳。

[0069] 形成填充所述第一开口260的盖帽层261的步骤包括:在所述第一介质层240上以及刻蚀后的栅极结构250顶部上形成初始盖帽层,所述初始盖帽层顶部高于所述第一介质层240顶部;去除高于所述第一介质层240顶部的初始盖帽层,形成所述盖帽层261。

[0070] 所述盖帽层261的厚度既不能过大也不能过小。若所述盖帽层261的厚度过大,则会使得后续工艺中去除所述盖帽层261的难度较大,从而导致形成第二接触孔插塞的难度较大;若所述盖帽层261的厚度过小,则会使得所述盖帽层261保护所述栅极结构250的效果

差。本实施例中,所述盖帽层261的厚度在20埃至80埃范围内。

[0071] 参考图13,在所述第一介质层240顶部以及所述栅极结构250顶部上形成第二介质层270。

[0072] 本实施例中,由于所述栅极结构250顶部上还形成有盖帽层261,为此形成的所述第二介质层270还位于所述盖帽层261上。

[0073] 本实施例中,所述第二介质层270的材料为氧化硅。在本发明其他实施例中,所述第二介质层的材料还可以为氮化硅或者氮氧化硅。

[0074] 参考图14,形成贯穿所述第一介质层240和第二介质层270的第一通孔280,所述第一通孔280底部露出所述源漏掺杂区230。

[0075] 所述第一通孔280为后续形成第一接触孔插塞提供空间位置。

[0076] 形成所述第一通孔280的工艺包括:干法刻蚀或者湿法刻蚀。本实施例中,形成所述第一通孔280的工艺为干法刻蚀。

[0077] 参考图15,在所述第一通孔280底部露出的源漏掺杂区230上形成金属硅化物层271。

[0078] 在所述第一通孔280底部露出的源漏掺杂区230上形成金属硅化物层271的作用包括:降低半导体结构的接触电阻,以改善半导体结构的电学性能。

[0079] 所述金属硅化物层271的材料包括TiSi或NiSi。本实施例中,所述金属硅化物层271的材料为TiSi。

[0080] 具体地,形成所述金属硅化物层271的步骤包括:在所述第一通孔280底部和侧壁、以及所述第二介质层270顶部上形成金属层;对所述基底进行退火处理,使所述金属层与基底反应生成金属硅化物层271;进行退火处理之后,去除未发生反应的所述金属层。

[0081] 通常在形成所述金属硅化物层271步骤中,所述退火处理的温度较高。本实施例中,在形成所述金属硅化物271的步骤之后,再形成所述第一接触孔插塞,使得形成所述金属硅化物层271与形成第一接触孔插塞的步骤得以分开,从而改善了退火处理的高温使得所述金属硅化物层271与后续形成的第一接触孔插塞发生化学反应,进而避免了造成所述半导体结构接触电阻增大的问题。

[0082] 所述金属硅化物层271的厚度既不能过大也不能过小。若所述金属硅化物层271的厚度过大,则会造成工艺材料的浪费;若所述金属硅化物层271的厚度过小,则使得所述金属硅化物层271降低半导体结构接触电阻的效果较差。本实施例中,所述金属硅化物层271的厚度在30埃至150埃。

[0083] 参考图16,在所述第一通孔280的底部和侧壁以及所述第二介质层270上形成阻挡层272,所述阻挡层272覆盖所述金属硅化物层271。

[0084] 所述阻挡层272的作用是防止所述金属硅化物层271与后续形成的所述牺牲层相接触产生杂质,从而避免所述牺牲层影响所述金属硅化物层271的质量。

[0085] 所述阻挡层272的材料包括氮化硅、氮碳化硅、氮硼化硅、氮碳氧化硅、氮氧化硅或者无定形碳的一种或者多种。本实施例中,所述阻挡层272的材料为氮化硅。

[0086] 所述阻挡层272的厚度既不能过大也不能过小。若所述阻挡层272的厚度过小,则会使得所述阻挡层272防止所述金属硅化物层271与所述牺牲层接触产生杂质的作用较差;若所述阻挡层272的厚度过大,则会造成工艺材料的浪费,且还会使得后续工艺中去除位于

金属硅化物层271顶部的阻挡层272的工艺难度较大。本实施例中,所述阻挡层272的厚度在15埃至50埃范围内。

[0087] 参考图17至图19,形成所述金属硅化物层271之后,形成贯穿所述第二介质层270的第二通孔281(如图19所示),所述第二通孔281底部露出所述栅极结构250顶部。

[0088] 以下将结合附图对形成所述第二通孔281的步骤做详细说明。

[0089] 参考图17,形成填充满所述第一通孔280的牺牲层290,且所述牺牲层290还位于第二介质层270顶部上;在所述牺牲层290上形成图形层291,所述图形层291露出位于所述栅极结构250上的牺牲层290顶部。

[0090] 所述牺牲层290在形成所述第二通孔的步骤中起到保护所述第一通孔280(参考图16)的作用,且为形成所述第二通孔提供工艺基础。

[0091] 所述图形层291作为后续形成所述第二通孔的掩膜,起到定义所述第二通孔位置的作用。

[0092] 本实施例中,所述牺牲层290的材料为有机介电材料。在本发明其他实施例中,所述牺牲层的材料还可以为抗反射涂层或者光刻胶。所述图形层291的材料为光刻胶。在本发明其他实施例中,所述图形层的材料还可以为抗发射涂层或者有机介电材料。

[0093] 参考图18,以所述图形层291为掩膜,刻蚀位于所述栅极结构250上的牺牲层290以及第二介质层270,形成所述第二通孔281。

[0094] 所述第二通孔281为后续形成所述第二接触孔插塞提供空间位置。

[0095] 本实施例中,所述栅极结构250顶部上还形成有盖帽层261,形成所述第二通孔281的步骤包括:以所述盖帽层261为刻蚀停止层,形成贯穿所述第二介质层270的第二通孔281,所述第二通孔281露出所述盖帽层261。

[0096] 形成所述第二通孔281的工艺包括干法刻蚀或者湿法刻蚀。本实施例中,采用干法刻蚀去除位于所述栅极结构250上的牺牲层290以及第二介质层270,形成所述第二通孔281。

[0097] 本实施例中,由于形成所述第二通孔281的步骤在形成所述金属硅化物层271的步骤之后,使得所述第二通孔281底部上不具有金属层,因此避免后续形成的第二接触孔插塞产生接触电阻增大的问题。

[0098] 参考图19,形成所述第二通孔281之后,去除所述牺牲层290(参考图18)和图形层291。

[0099] 去除所述牺牲层290和图形层291的工艺包括:灰化工艺或者湿法工艺。本实施例中,去除所述牺牲层290和图形层291的工艺为灰化工艺。

[0100] 参考图20,形成所述第二通孔281的步骤之后,形成所述第一接触孔插塞282和第二接触孔插塞283的步骤之前,所述形成方法还包括:去除位于所述金属硅化物层271顶部以及所述第二介质层270顶部的阻挡层272。

[0101] 本实施例中,在去除位于所述金属硅化物层271顶部以及所述第二介质层270顶部的阻挡层272的过程中,去除所述第二通孔281露出的所述盖帽层261。去除位于所述金属硅化物271顶部以及第二介质层270顶部的阻挡层272,露出所述金属硅化物层271,为后续形成第一接触孔插塞提供工艺基础。去除所述第二通孔281露出的所述盖帽层261,露出所述栅极结构250顶部,为后续形成第二接触孔插塞提供工艺基础。

[0102] 参考图21,在所述第一通孔280中形成与所述源漏掺杂区230电连接的第一接触孔插塞282;在所述第二通孔281中形成与所述栅极结构250电连接的第二接触孔插塞283。

[0103] 由于形成所述金属硅化物层271的步骤与形成所述第一接触孔插塞282的步骤分开进行,避免了形成金属硅化物层271步骤中进行退火处理的高温对所述第一接触孔插塞282产生不良影响,即防止了所述金属硅化物层271与所述第一接触孔插塞282发生化学反应产生鼓包,从而解决了半导体结构接触电阻增大的问题,进而使得半导体结构的电学性能得到提高。

[0104] 本实施例中,由于形成所述第二接触孔插塞283的步骤在形成所述金属硅化物层271的步骤之后,相应地也改善所述第二接触孔插塞283产生接触电阻增大的问题,从而使得半导体结构的电学性能得到进一步提高。

[0105] 形成所述第一接触孔插塞282和第二接触孔插塞283的步骤包括:在所述第一通孔280底部和侧壁、第二通孔281底部和侧壁形成粘附层(图未示);形成所述粘附层之后,形成填充所述第一通孔280以及第二通孔281的金属膜,所述金属膜顶部高于所述第二介质层270顶部;对所述金属膜进行平坦化处理,去除高于所述第二介质层270顶部的金属膜,形成所述第一接触孔插塞282和所述第二接触孔插塞283。

[0106] 本实施例中,所述第一接触孔插塞282的材料为W,所述第二接触孔插塞283的材料为W。在本发明其他实施例中,所述第一接触孔插塞的材料还可以包括Co,所述第二接触孔插塞的材料还可以包括Co。

[0107] 本实施例中,形成所述第一接触孔插塞282以及第二接触孔插塞283采用的原材料包括含氟材料,例如,所述含氟材料可以为六氟化钨。

[0108] 相应地,本发明还提供一种半导体结构,参考图21,包括:基底,所述基底上具有栅极结构250,所述栅极结构250两侧的基底中具有源漏掺杂区230,所述源漏掺杂区230顶部具有金属硅化物层271,所述栅极结构250露出的基底上具有第一介质层240;位于所述第一介质层240顶部以及所述栅极结构250顶部的第二介质层270;贯穿位于所述源漏掺杂区230上的第二介质层270和第一介质层240的第一接触孔插塞282,且所述第一接触孔插塞282与所述金属硅化物层271电连接;贯穿位于所述栅极结构250顶部上的第二介质层270的第二接触孔插塞283,且所述第二接触孔插塞283与所述栅极结构250电连接。

[0109] 本实施例中,以所述半导体结构为鳍式场效应管为例。所述基底包括衬底200以及位于衬底200上的多个分立的鳍部210。在本发明其他实施例中,所述半导体结构也可以为平面结构,相应地,所述基底为平面衬底。

[0110] 本实施例中,所述衬底200包括具有NMOS器件的第一区域I和具有PMOS器件的第二区域II,相应地,鳍式场效应管为CMOS器件。在本发明其他实施例中,所述衬底可以仅包括具有NMOS器件的第一区域或者具有PMOS器件的第二区域中的一种,相应地,鳍式场效应管为NMOS器件或者PMOS器件。

[0111] 本实施例中,所述鳍部210露出的衬底200上还具有隔离结构220,所述隔离结构220覆盖所述鳍部210的部分侧壁,且所述隔离结构220顶部低于所述鳍部210顶部。所述隔离结构220可以起到电学隔离相邻所述鳍部210的作用。

[0112] 所述金属硅化物层271可以起到降低半导体结构接触电阻的作用。

[0113] 所述金属硅化物层271的材料包括TiSi或NiSi。本实施例中,所述金属硅化物层

271的材料为TiSi。

[0114] 本实施例中,所述第一接触孔插塞282的材料为W。在本发明其他实施例中,所述第一接触孔插塞的材料还可以包括Co。所述第二接触孔插塞的材料为W。在本发明其他实施例中,所述第二接触孔插塞的材料还可以包括Co。

[0115] 本实施例中,所述半导体结构还包括:位于第一接触孔插塞282侧壁上的阻挡层272。

[0116] 所述阻挡层272的材料包括氮化硅、氮碳化硅、氮硼化硅、氮碳氧化硅、氮氧化硅或者无定形碳的一种或者多种。本实施例中,所述阻挡层272的材料为氮化硅。

[0117] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

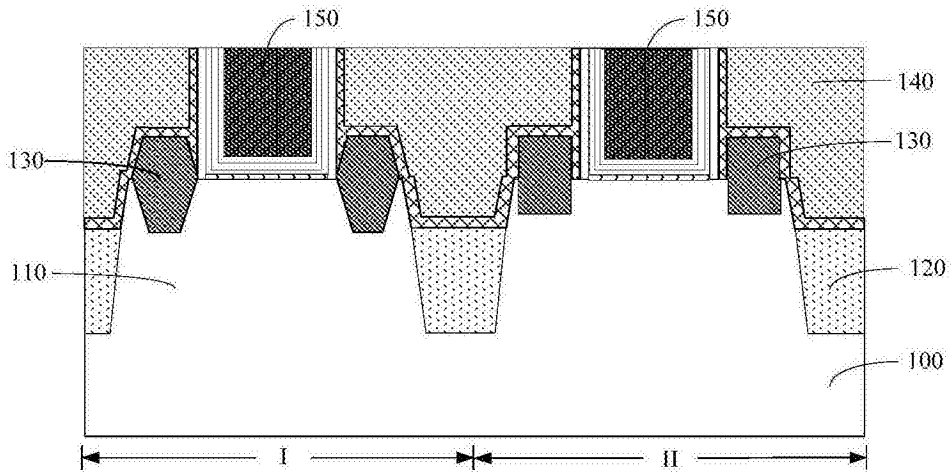


图1

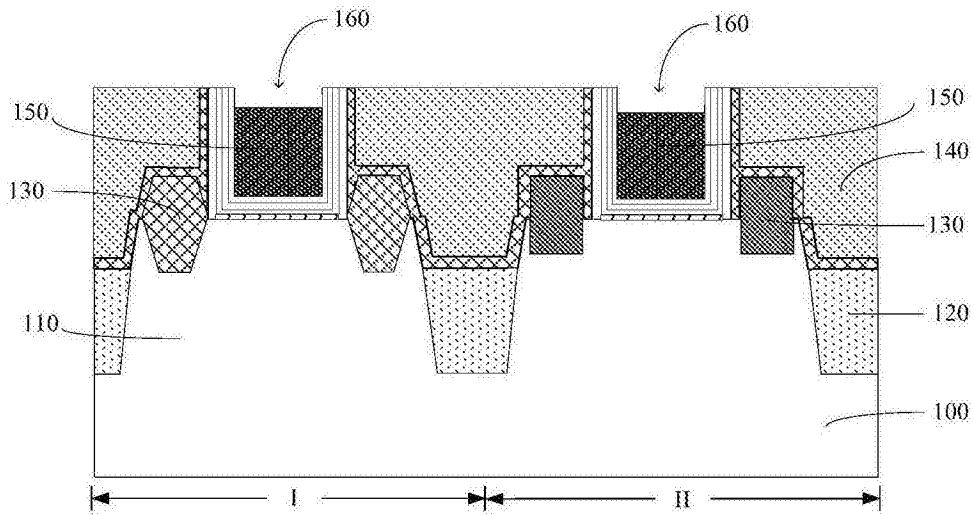


图2

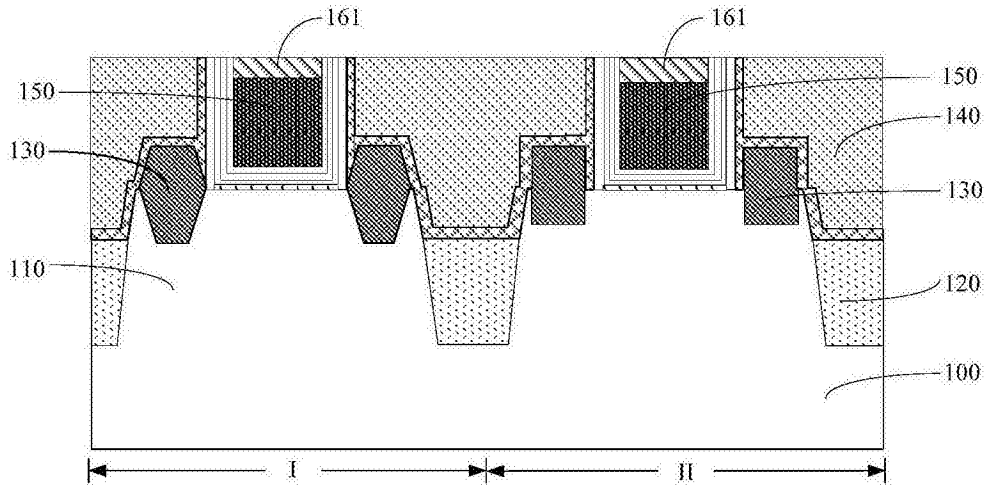


图3

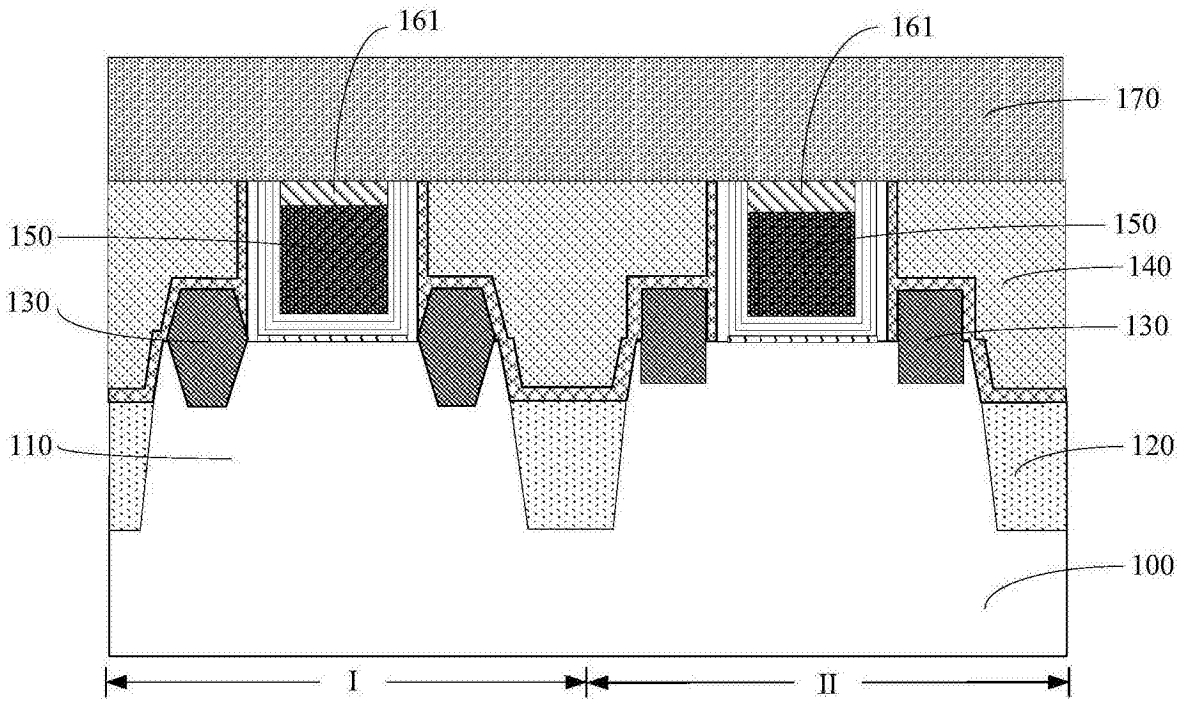


图4

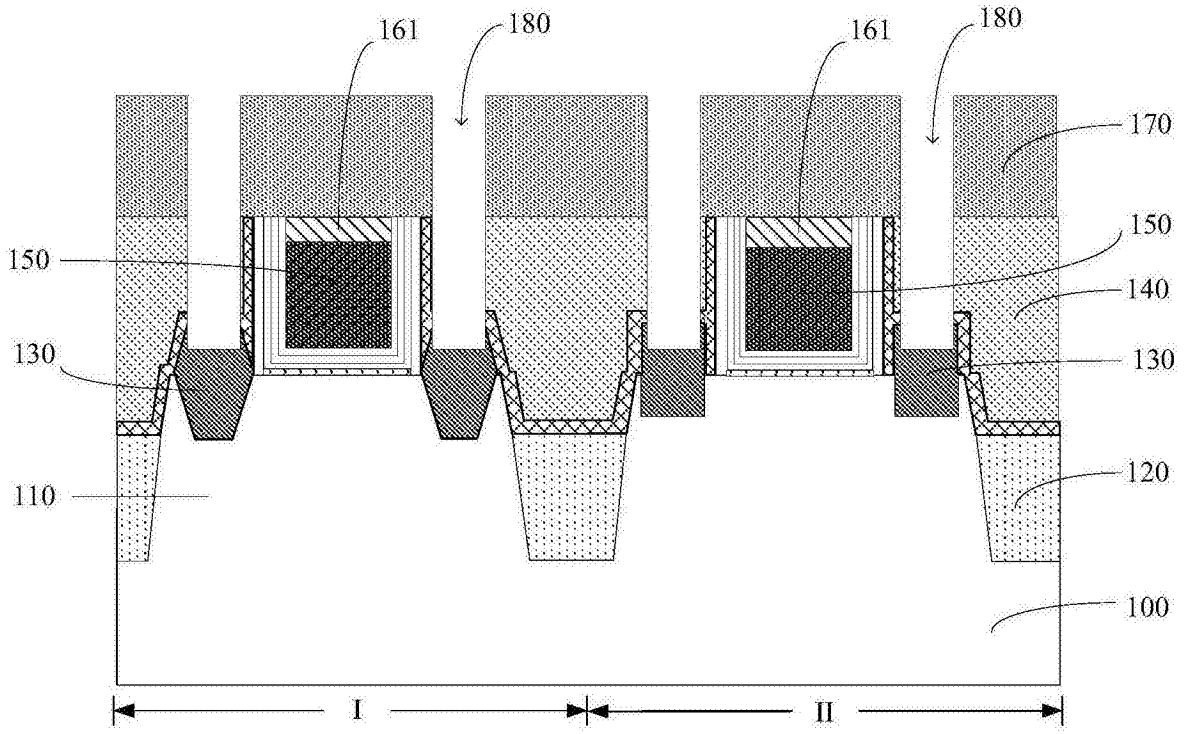


图5

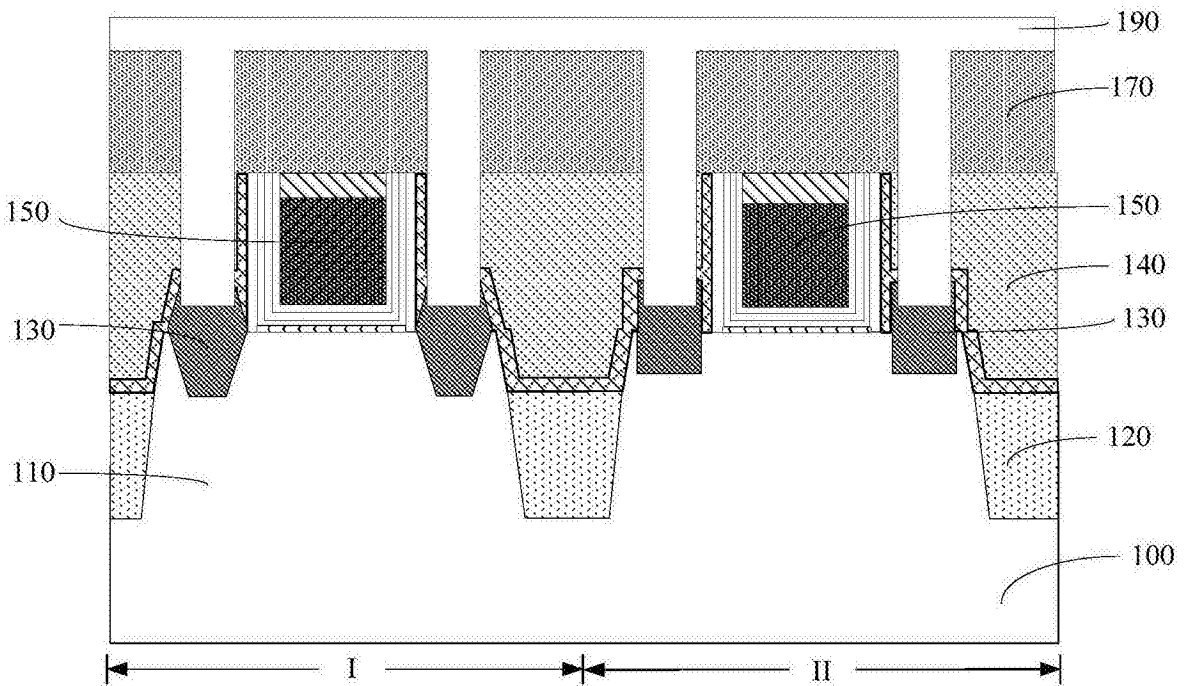


图6



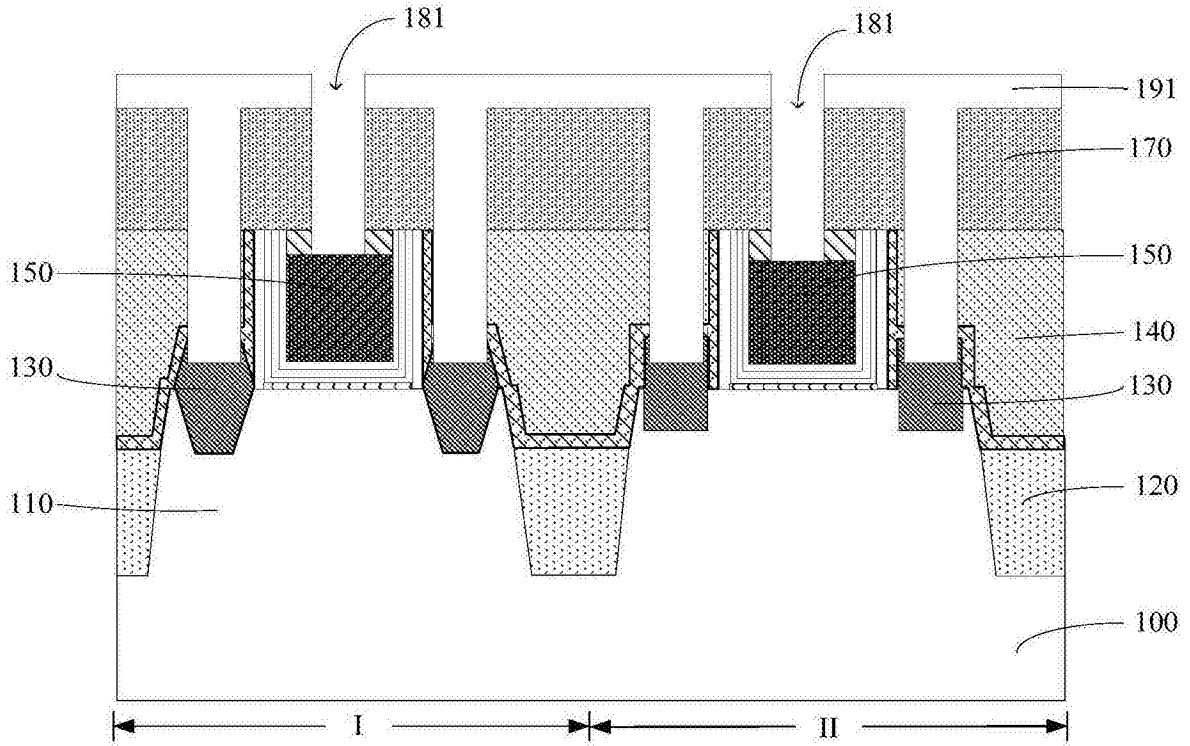


图7

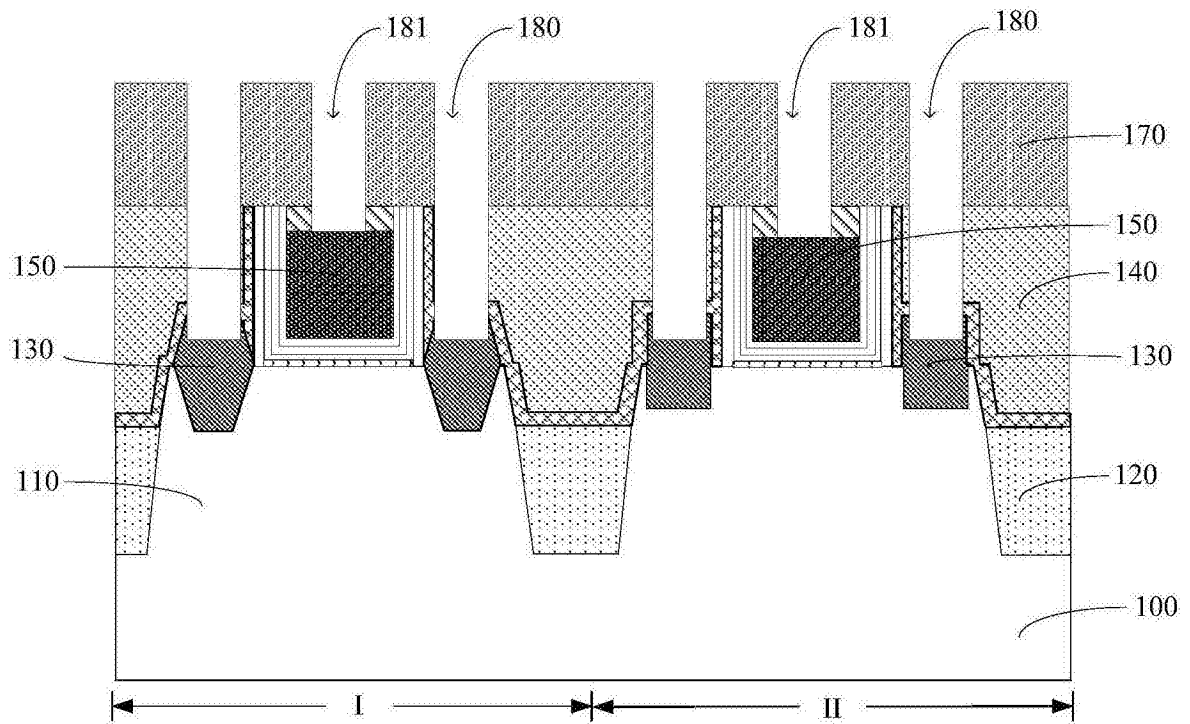


图8

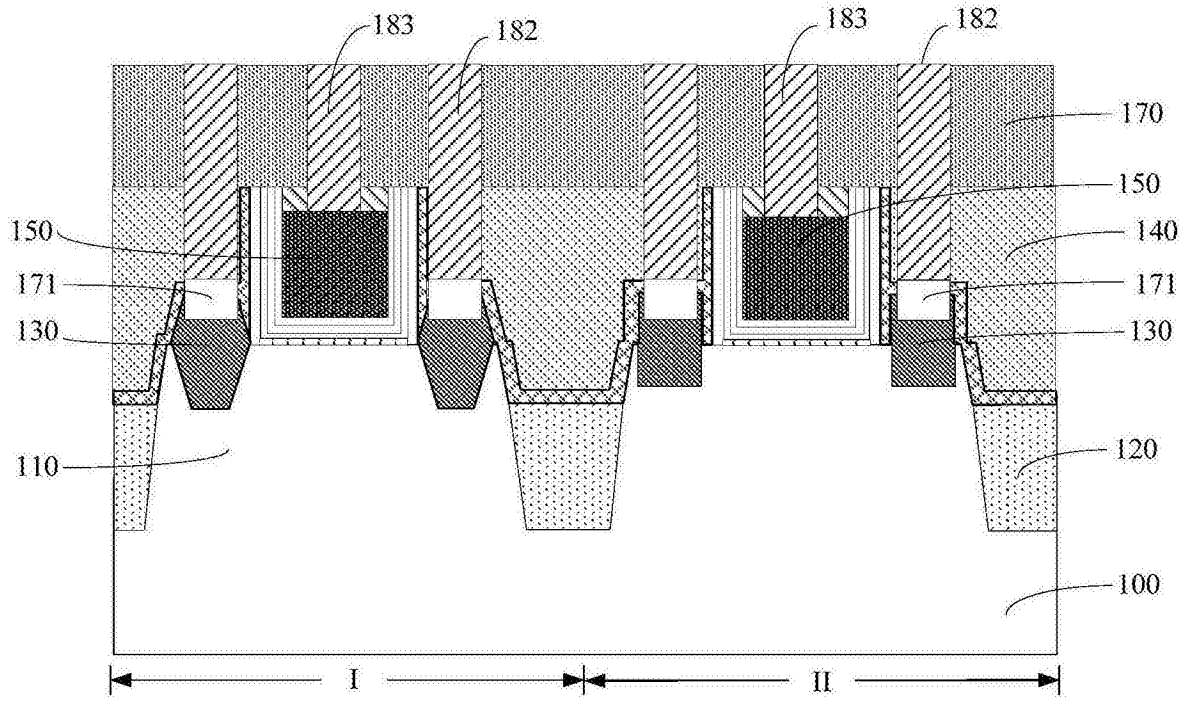


图9

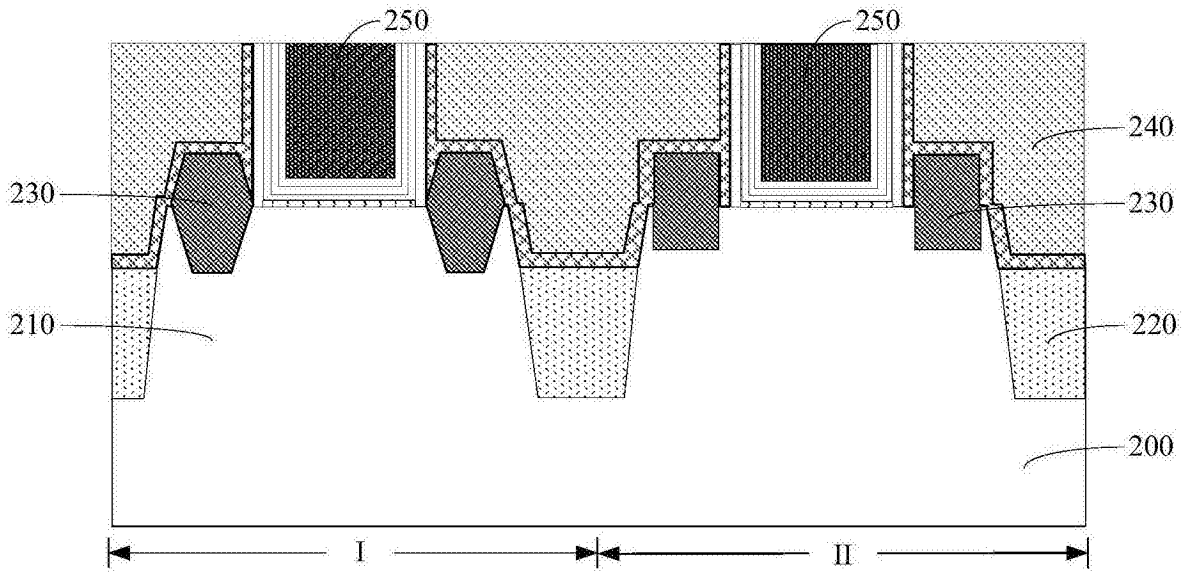


图10

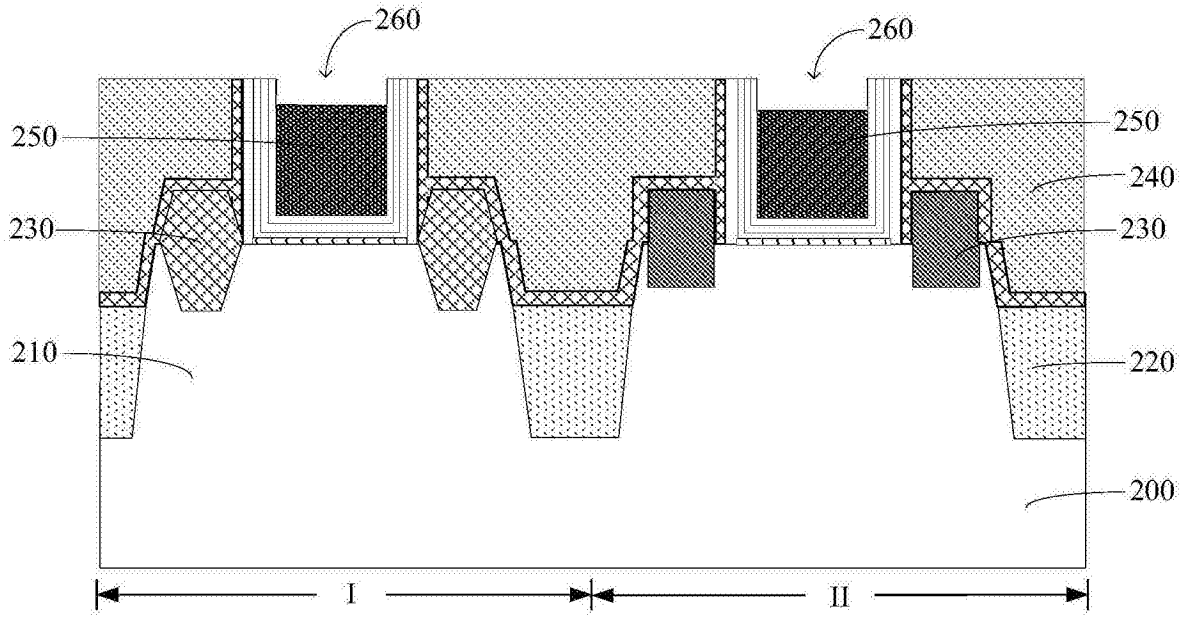


图11

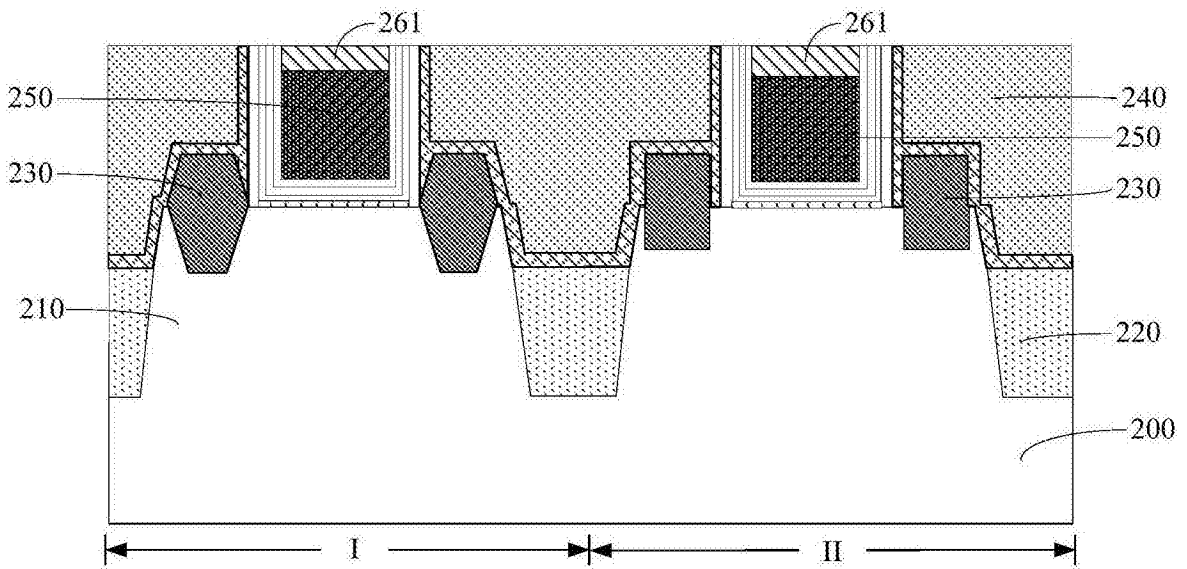


图12

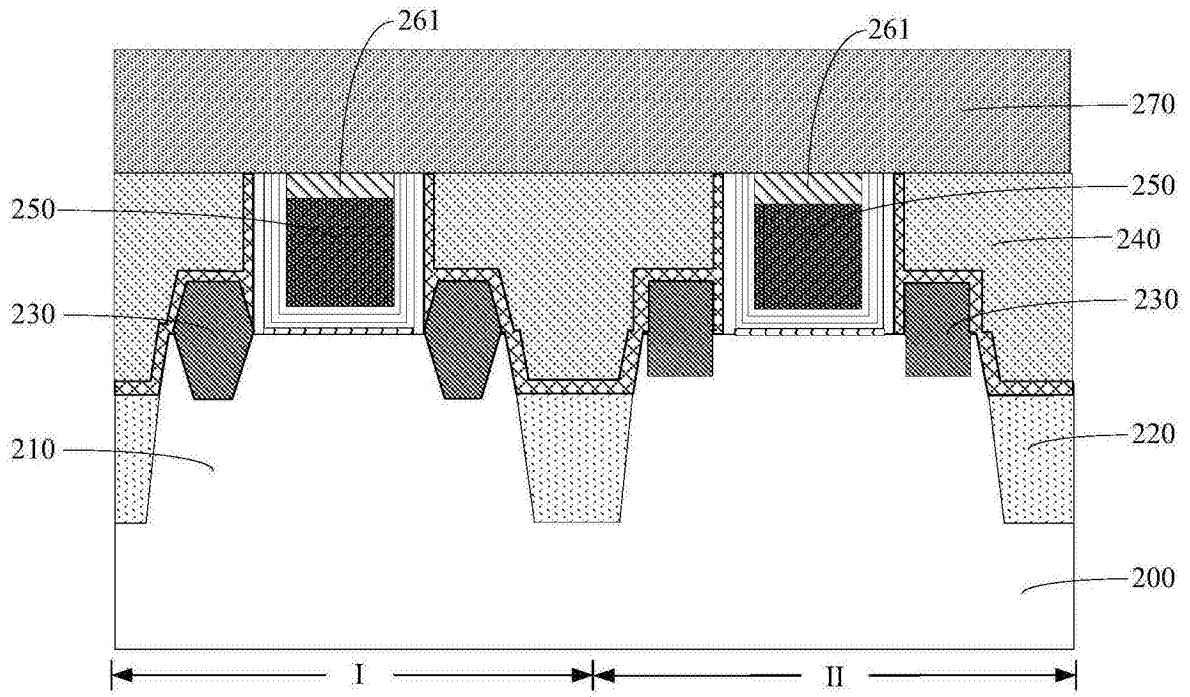


图13

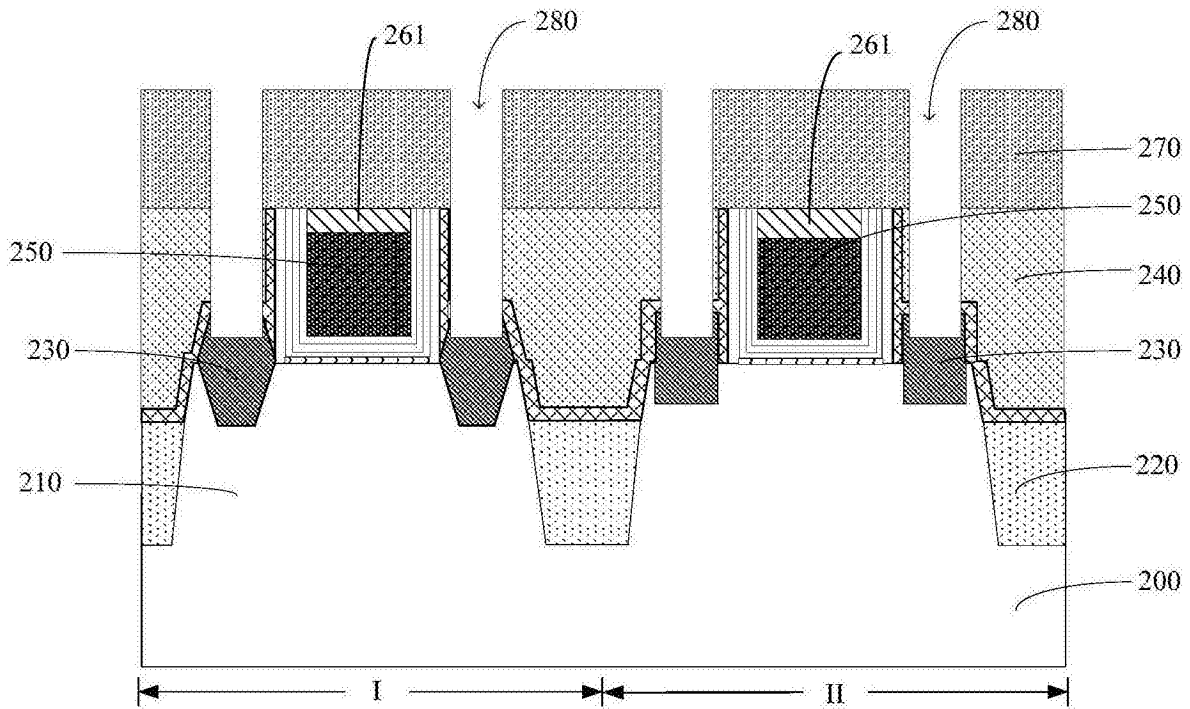


图14

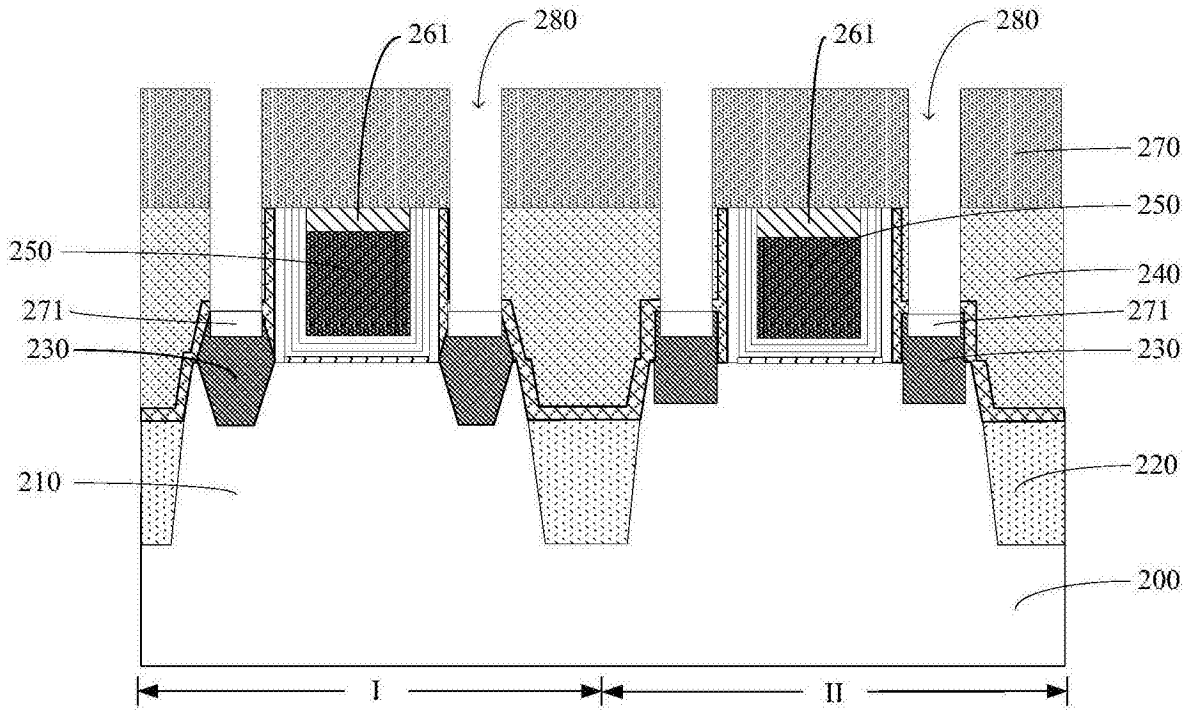


图15

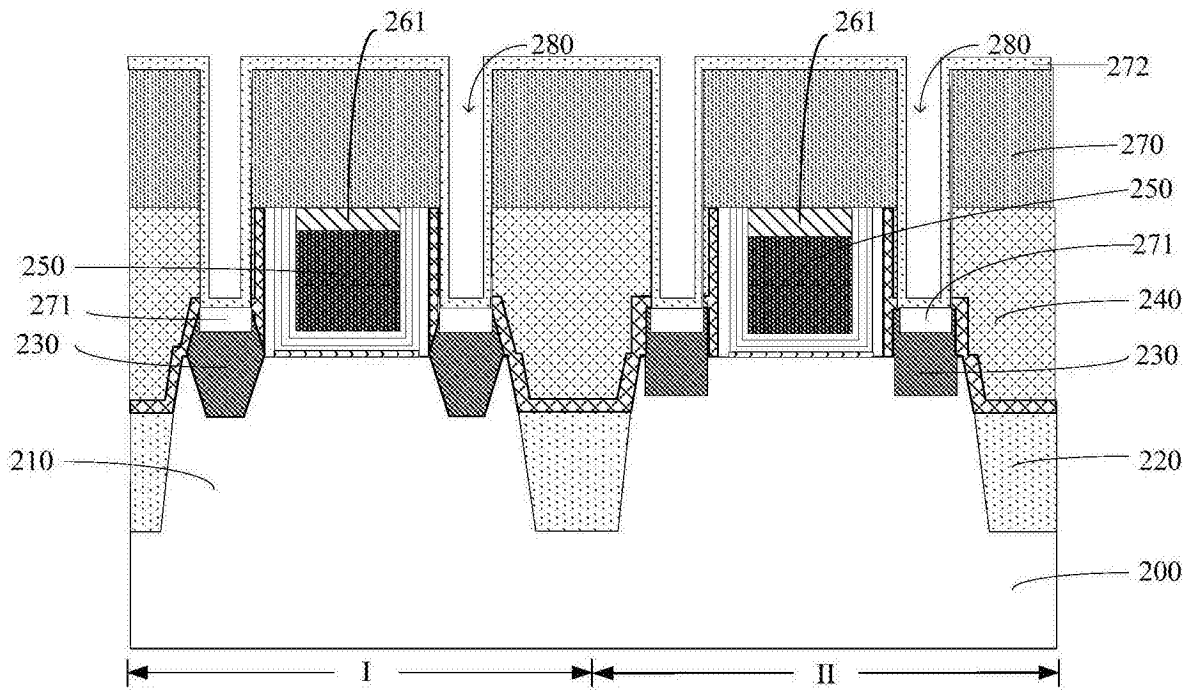


图16

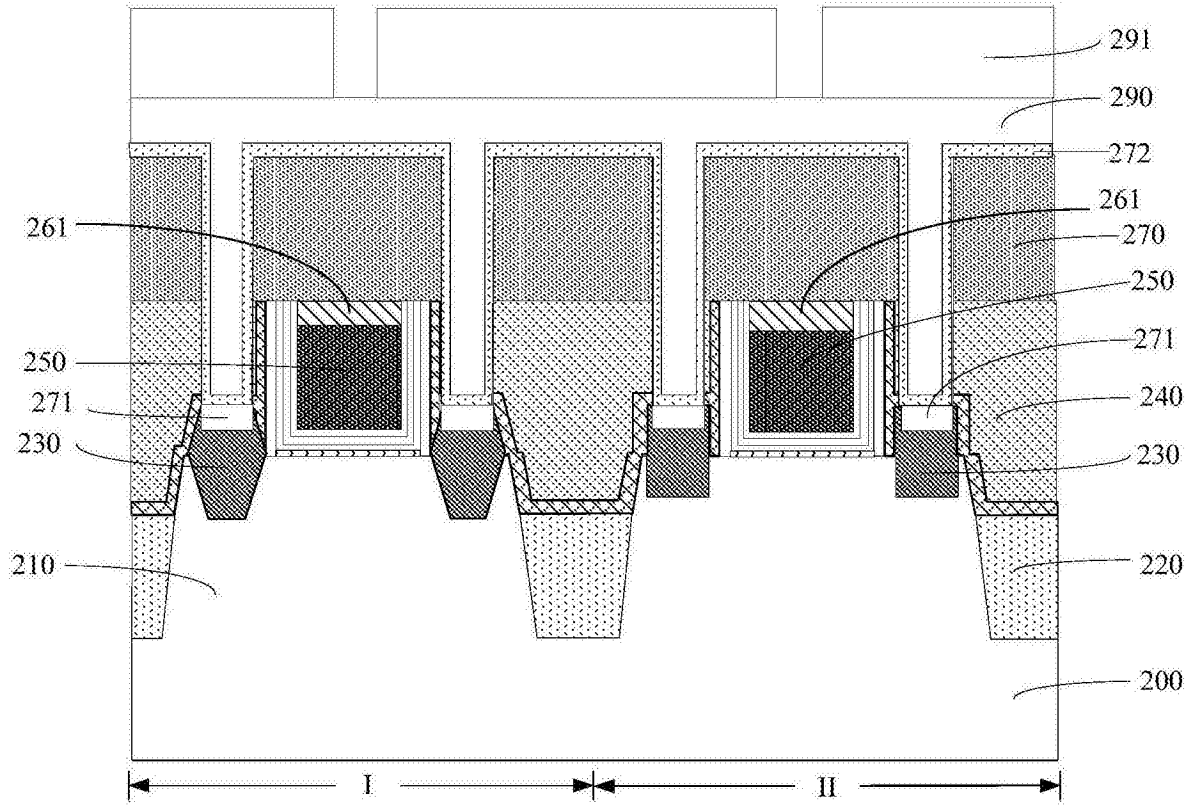


图17

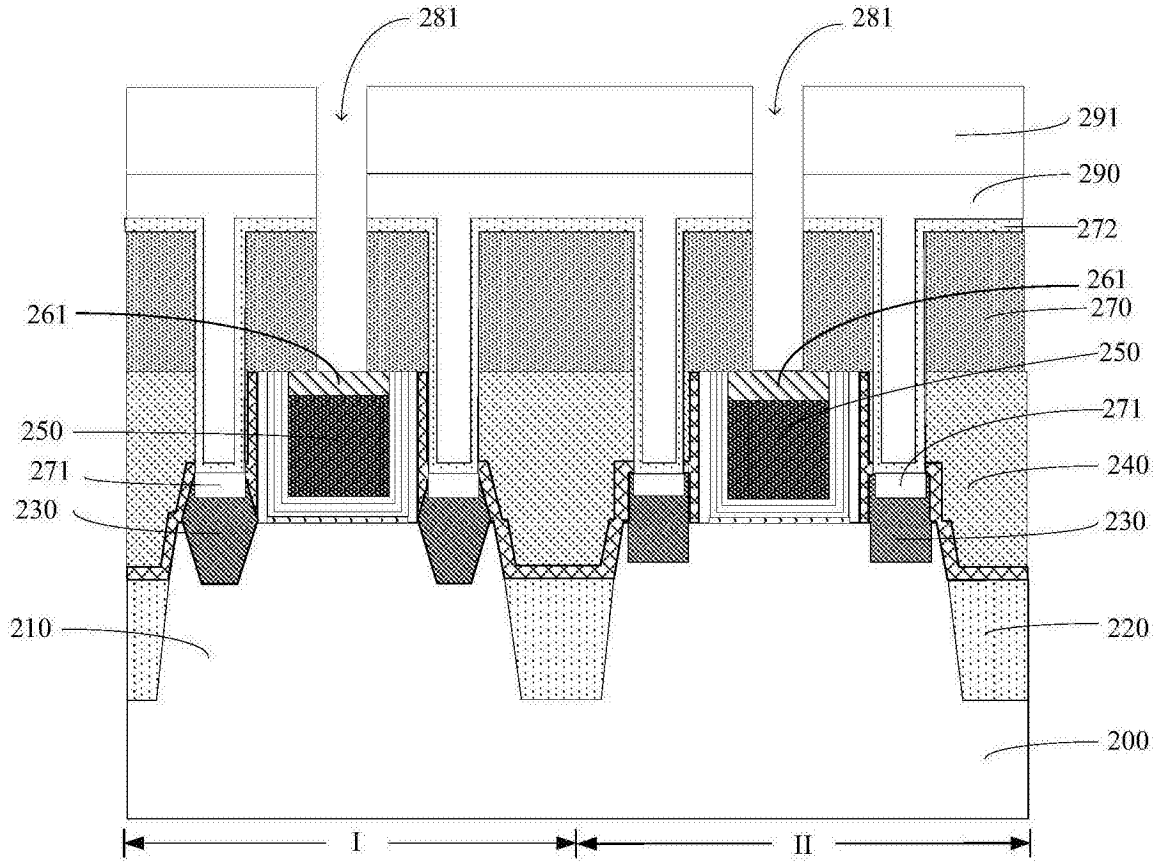


图18

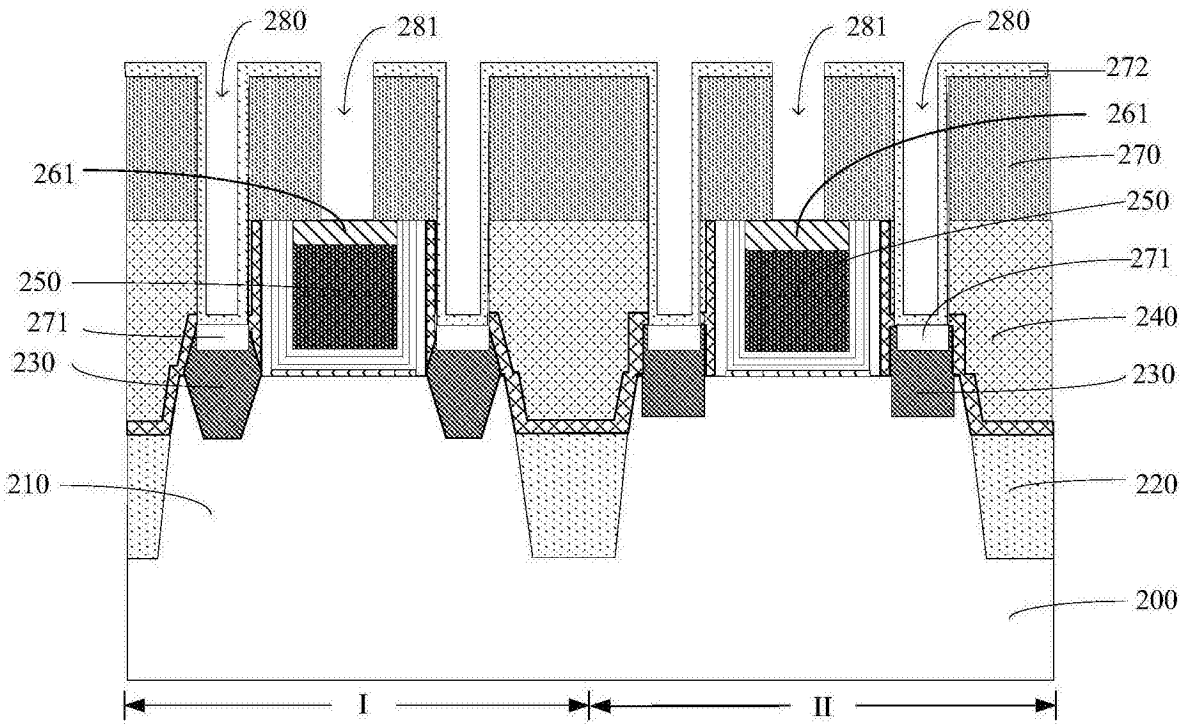


图19

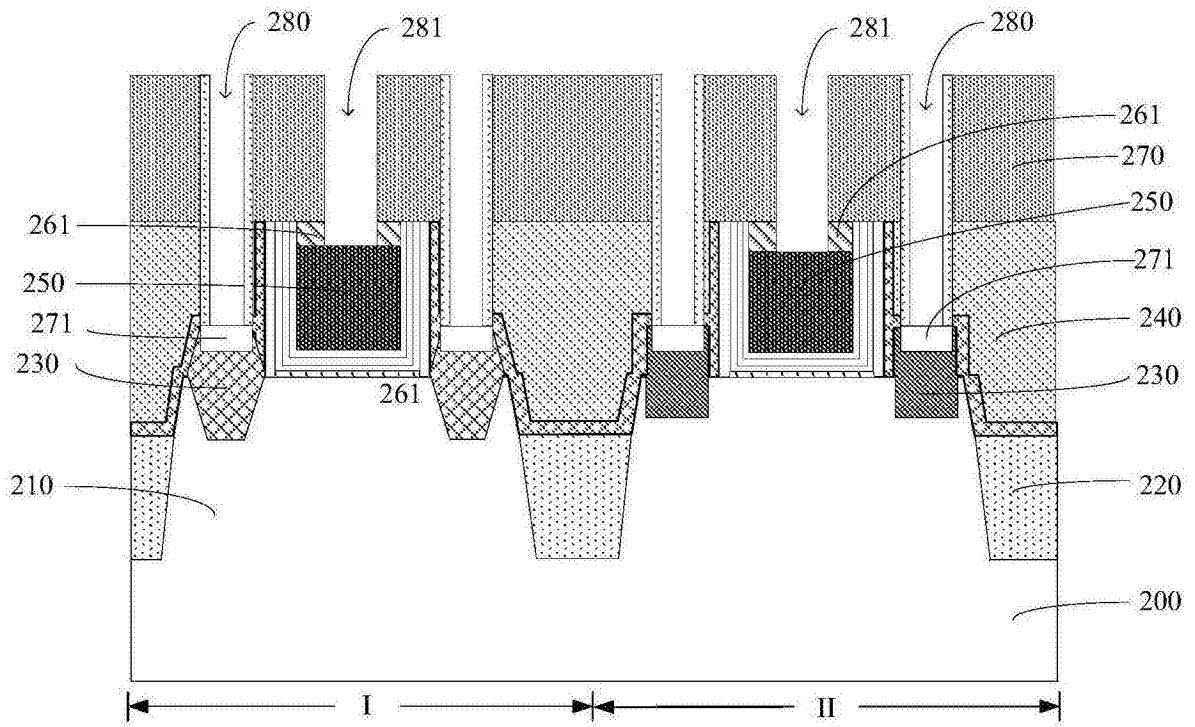


图20

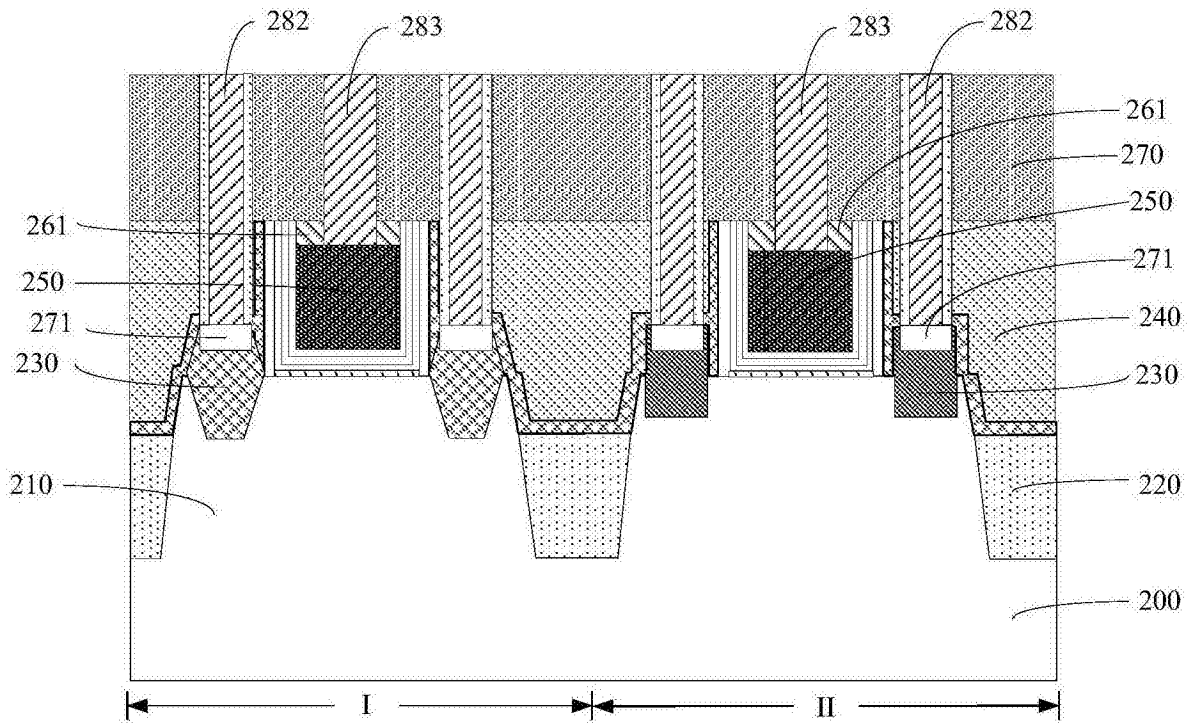


图21