

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-201164
(P2013-201164A)

(43) 公開日 平成25年10月3日(2013.10.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/06 3 1 1 B	5 F 0 4 8
HO 1 L 27/06 (2006.01)		

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願2012-66890 (P2012-66890)
(22) 出願日 平成24年3月23日 (2012. 3. 23)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 110001612
きさらぎ国際特許業務法人
(72) 発明者 春木 聡
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72) 発明者 加藤 一洋
東京都港区芝浦一丁目1番1号 株式会社東芝内
Fターム(参考) 5F038 BH04 BH05 BH13 BH15 EZ20
5F048 AA01 AA02 CC06 CC15 CC16

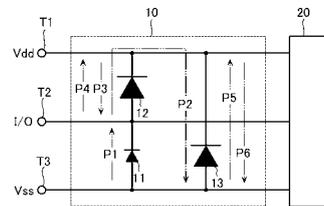
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】回路面積を削減可能な保護回路構成を有した半導体装置を提供する。

【解決手段】半導体装置は、第1ダイオード、第2ダイオード、及び第3ダイオードを有する。第1ダイオードは、第1電源電圧が印加される第1電源端子にアノードを接続し且つ入出力信号が入出力される入出力端子にカソードを接続する。第2ダイオードは、入出力端子にアノードを接続し且つ第1電源電圧よりも高い第2電源電圧が印加される第2電源端子にカソードを接続する。第3ダイオードは、第1電源端子にアノードを接続し且つ第2電源端子にカソードを接続する。第1ダイオード及び第2ダイオードの少なくとも一方の降伏電圧は、第3ダイオードの降伏電圧よりも高い。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 電源電圧が印加される第 1 電源端子にアノードを接続し且つ入出力信号が入出力される入出力端子にカソードを接続する第 1 ダイオードと、

前記入出力端子にアノードを接続し且つ前記第 1 電源電圧よりも高い第 2 電源電圧が印加される第 2 電源端子にカソードを接続する第 2 ダイオードと、

前記第 1 電源端子にアノードを接続し且つ前記第 2 電源端子にカソードを接続する第 3 ダイオードとを備え、

前記第 1 ダイオード及び前記第 2 ダイオードの少なくとも一方の降伏電圧は、前記第 3 ダイオードの降伏電圧よりも高く、

前記第 3 ダイオードよりも降伏電圧が高い前記第 1 ダイオード及び前記第 2 ダイオードの少なくとも一方の素子サイズは、前記第 3 ダイオードの素子サイズよりも小さい

ことを特徴とする半導体装置。

【請求項 2】

第 1 電源電圧が印加される第 1 電源端子にアノードを接続し且つ入出力信号が入出力される入出力端子にカソードを接続する第 1 ダイオードと、

前記入出力端子にアノードを接続し且つ前記第 1 電源電圧よりも高い第 2 電源電圧が印加される第 2 電源端子にカソードを接続する第 2 ダイオードと、

前記第 1 電源端子にアノードを接続し且つ前記第 2 電源端子にカソードを接続する第 3 ダイオードとを備え、

前記第 1 ダイオード及び前記第 2 ダイオードの少なくとも一方の降伏電圧は、前記第 3 ダイオードの降伏電圧よりも高い

ことを特徴とする半導体装置。

【請求項 3】

前記第 3 ダイオードよりも降伏電圧が高い前記第 1 ダイオード及び前記第 2 ダイオードの少なくとも一方は、前記第 3 のダイオードよりも降伏電圧が低い複数のダイオードが直列接続されて構成されたものである

ことを特徴とする請求項 1 又は請求項 2 記載の半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本実施形態は、半導体装置に関する。

【背景技術】**【0002】**

従来より、内部回路をサージから保護するために電源端子と入出力端子との間、及び接地端子と入出力端子との間に保護回路が配置される。この保護回路は、電源端子、入出力端子、接地端子にサージが印加された場合に電流を流し、内部回路に高電圧がかからないように機能する。保護回路に用いられるダイオードは、サージが印加された場合に順方向、逆方向に電流を流しても破壊しないことが必要である。逆方向に電流を流した場合の耐量は、順方向と比較して低いため、素子サイズを大きくし、電流密度を下げて耐量を確保

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特許 2715593

【特許文献 2】特開 2007 - 294765

【特許文献 3】特開 2006 - 332144

【発明の概要】**【発明が解決しようとする課題】**

10

20

30

40

50

【 0 0 0 4 】

本発明の実施形態は、回路面積を削減可能な保護回路構成を有した半導体装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 5 】

実施形態に係る半導体装置は、第1ダイオード、第2ダイオード、及び第3ダイオードを有する。第1ダイオードは、第1電源電圧が印加される第1電源端子にアノードを接続し且つ入出力信号が入出力される入出力端子にカソードを接続する。第2ダイオードは、入出力端子にアノードを接続し且つ第1電源電圧よりも高い第2電源電圧が印加される第2電源端子にカソードを接続する。第3ダイオードは、第1電源端子にアノードを接続し且つ第2電源端子にカソードを接続する。第1ダイオード及び第2ダイオードの少なくとも一方の降伏電圧は、第3ダイオードの降伏電圧よりも高い。

10

【図面の簡単な説明】

【 0 0 0 6 】

【図1】第1の実施形態に係る半導体装置を示す回路図である。

【図2】第2の実施形態に係る半導体装置を示す回路図である。

【図3】第3の実施形態に係る半導体装置を示す回路図である。

【図4】第4の実施形態に係る半導体装置を示す回路図である。

【図5】第5の実施形態に係る半導体装置を示す回路図である。

【図6】第6の実施形態に係る半導体装置を示す回路図である。

20

【発明を実施するための形態】

【 0 0 0 7 】

[第1の実施の形態]

図1を参照して、第1の実施の形態に係る半導体装置の構成を説明する。第1の実施の形態に係る半導体装置は、図1に示すように、保護回路10及び内部回路20を有する。保護回路10は、電源端子T1、入出力端子T2、及び接地端子T3にサージが印加された場合、サージが内部回路20に印加されないように保護する。内部回路20は、電源端子T1から電源電圧V_{dd}を供給され、接地端子T3から接地電圧V_{ss} (V_{ss} < V_{dd})を供給される。また、内部回路20は、入出力端子T2から各種信号を入力され、入出力端子T2に各種信号を出力する。

30

【 0 0 0 8 】

保護回路10は、図1に示すように、ダイオード11~13を有する。ダイオード11は、接地端子T3にアノードを接続し且つ入出力端子T2にカソードを接続する。ダイオード12は、入出力端子T2にアノードを接続し且つ電源端子T1にアノードを接続する。ダイオード13は、接地端子T3にアノードを接続し且つ電源端子T1にカソードを接続する。そして、ダイオード11の降伏電圧は、ダイオード12、13の降伏電圧よりも高い。一方、ダイオード12の降伏電圧は、ダイオード13の降伏電圧と略等しい。これら降伏電圧の関係により、後述するようにダイオード11には、逆方向電流が流れないことになり、ダイオード11の素子サイズは、ダイオード12、13の素子サイズよりも小さくすることができる。

40

【 0 0 0 9 】

次に、第1の実施の形態において接地端子T3を基準として入出力端子T2にマイナスサージが印加された場合における電流の流れについて説明する。この場合、経路P1に示すように、ダイオード11はその順方向に電流を流す。これにより、マイナスサージを放電し、保護回路10は内部回路20を保護する。

【 0 0 1 0 】

次に、第1の実施の形態において接地端子T3を基準として入出力端子T2にプラスサージが印加された場合における電流の流れについて説明する。この場合、ダイオード11の降伏電圧は、ダイオード13の降伏電圧よりも高いため、ダイオード11は逆方向電流を流さない。よって、経路P2に示すように、ダイオード12はその順方向に電流を流し

50

、ダイオード 1 3 はその逆方向に電流を流す。これにより、プラスサージを放電し、保護回路 1 0 は内部回路 2 0 を保護する。

【 0 0 1 1 】

次に、第 1 の実施の形態において電源端子 T 1 を基準として入出力端子 T 2 にマイナスサージが印加された場合における電流の流れについて説明する。この場合、経路 P 3 に示すように、ダイオード 1 2 はその逆方向に電流を流す。これにより、マイナスサージを放電し、保護回路 1 0 は内部回路 2 0 を保護する。

【 0 0 1 2 】

次に、第 1 の実施の形態において電源端子 T 1 を基準として入出力端子 T 2 にプラスサージが印加された場合における電流の流れについて説明する。この場合、経路 P 4 に示すように、ダイオード 1 2 はその順方向に電流を流す。これにより、プラスサージを放電し、保護回路 1 0 は内部回路 2 0 を保護する。

10

【 0 0 1 3 】

次に、第 1 の実施の形態において接地端子 T 3 を基準として電源端子 T 1 にマイナスサージが印加された場合における電流の流れについて説明する。この場合、経路 P 5 に示すように、ダイオード 1 3 はその順方向に電流を流す。これにより、マイナスサージを放電し、保護回路 1 0 は内部回路 2 0 を保護する。

【 0 0 1 4 】

次に、第 1 の実施の形態において接地端子 T 3 を基準として電源端子 T 1 にプラスサージが印加された場合における電流の流れについて説明する。この場合、経路 P 6 に示すように、ダイオード 1 3 はその逆方向に電流を流す。これにより、プラスサージを放電し、保護回路 1 0 は内部回路 2 0 を保護する。

20

【 0 0 1 5 】

以上、第 1 の実施の形態は、降伏電圧の関係から上述したパターンのサージを放電可能であり、更にダイオード 1 1 には、逆方向電流が流れないため、ダイオード 1 1 の素子サイズをダイオード 1 2、1 3 の素子サイズよりも小さくすることができる。すなわち、第 1 の実施の形態は、内部回路 2 0 を保護すると共に、回路面積を削減できる。

【 0 0 1 6 】

[第 2 の実施の形態]

次に、図 2 を参照して、第 2 の実施の形態に係る半導体装置について説明する。図 2 は、第 2 の実施の形態に係る半導体装置の回路図である。第 2 の実施の形態に係る保護回路 1 0 a は、図 2 に示すように、ダイオード 1 1 の代わりにダイオード 1 1 a を有し、ダイオード 1 2 の代わりにダイオード 1 2 a を有する。

30

【 0 0 1 7 】

ダイオード 1 1 a は、接地端子 T 3 にアノードを接続し且つ入出力端子 T 2 にカソードを接続する。ダイオード 1 2 a は、入出力端子 T 2 にアノードを接続し且つ電源端子 T 2 にカソードを接続する。この点では、第 2 の実施の形態は第 1 の実施の形態と同じである。但し、ダイオード 1 1 a の降伏電圧はダイオード 1 3 の降伏電圧と略等しく、ダイオード 1 2 a の降伏電圧はダイオード 1 3 の降伏電圧より高い。これら降伏電圧の関係により、ダイオード 1 2 a には、逆方向電流が流れないため、ダイオード 1 2 a の素子サイズは、ダイオード 1 1 a、1 3 の素子サイズよりも小さくできる。

40

【 0 0 1 8 】

次に、第 2 の実施の形態において接地端子 T 3 を基準として入出力端子 T 2 にマイナスサージが印加された場合における電流の流れについて説明する。この場合、第 1 の実施の形態と同様に、経路 P 1 に示すように、ダイオード 1 1 a はその順方向に電流を流す。これにより、マイナスサージを放電し、保護回路 1 0 a は内部回路 2 0 を保護する。

【 0 0 1 9 】

次に、第 2 の実施の形態において接地端子 T 3 を基準として入出力端子 T 2 にプラスサージが印加された場合における電流の流れについて説明する。この場合、経路 P 2 a に示すように、ダイオード 1 1 a はその逆方向に電流を流す。これにより、プラスサージを放

50

電し、保護回路 10 a は内部回路 20 を保護する。

【 0 0 2 0 】

次に、第 2 の実施の形態において電源端子 T 1 を基準として入出力端子 T 2 にマイナスサージが印加された場合における電流の流れについて説明する。この場合、ダイオード 1 2 a の降伏電圧は、ダイオード 1 3 の降伏電圧よりも高いため、ダイオード 1 2 a は逆方向電流を流さない。よって、経路 P 3 a に示すように、ダイオード 1 3 はその逆方向に電流を流し、ダイオード 1 1 a はその順方向に電流を流す。これにより、マイナスサージを放電し、保護回路 10 a は内部回路 20 を保護する。

【 0 0 2 1 】

次に、第 2 の実施の形態において電源端子 T 1 を基準として入出力端子 T 2 にプラスサージが印加された場合における電流の流れについて説明する。この場合、第 1 の実施の形態と同様に、経路 P 4 に示すように、ダイオード 1 2 a はその順方向に電流を流す。これにより、プラスサージを放電し、保護回路 10 a は内部回路 20 を保護する。

10

【 0 0 2 2 】

次に、第 2 の実施の形態において接地端子 T 3 を基準として電源端子 T 1 にマイナスサージが印加された場合における電流の流れについて説明する。この場合、第 1 の実施の形態と同様に、経路 P 5 に示すように、ダイオード 1 3 はその順方向に電流を流す。これにより、マイナスサージを放電し、保護回路 10 a は内部回路 20 を保護する。

【 0 0 2 3 】

次に、第 2 の実施の形態において接地端子 T 3 を基準として電源端子 T 1 にプラスサージが印加された場合における電流の流れについて説明する。この場合、第 1 の実施の形態と同様に、経路 P 6 に示すように、ダイオード 1 3 はその逆方向に電流を流す。これにより、プラスサージを放電し、保護回路 10 a は内部回路 20 を保護する。

20

【 0 0 2 4 】

以上、第 2 の実施の形態は、降伏電圧の関係から上述したパターンのサージを放電可能であり、更にダイオード 1 2 a の素子サイズをダイオード 1 1、1 3 の素子サイズよりも小さくできる。すなわち、第 2 の実施の形態は、内部回路 20 を保護すると共に、回路面積を削減できる。

【 0 0 2 5 】

[第 3 の実施の形態]

次に、図 3 を参照して、第 3 の実施の形態に係る半導体装置について説明する。図 3 は、第 3 の実施の形態に係る半導体装置の回路図である。第 3 の実施の形態に係る保護回路 10 b は、図 3 に示すように、ダイオード 1 1、1 2 a、1 3 を有する。ダイオード 1 1、1 2 a の降伏電圧は、ダイオード 1 3 の降伏電圧よりも高く設定されている。従って、ダイオード 1 1、1 2 a の素子サイズは、ダイオード 1 3 の素子サイズよりも小さく形成されている。

30

【 0 0 2 6 】

次に、第 3 の実施の形態において接地端子 T 3 を基準として入出力端子 T 2 にマイナスサージが印加された場合における電流の流れについて説明する。この場合、第 1 の実施の形態と同様に、経路 P 1 に示すように、ダイオード 1 1 はその順方向に電流を流す。これにより、マイナスサージを放電し、保護回路 10 b は内部回路 20 を保護する。

40

【 0 0 2 7 】

次に、第 3 の実施の形態において接地端子 T 3 を基準として入出力端子 T 2 にプラスサージが印加された場合における電流の流れについて説明する。この場合、ダイオード 1 1 の降伏電圧は、ダイオード 1 3 の降伏電圧よりも高いため、ダイオード 1 1 は逆方向電流を流さない。よって、第 1 の実施の形態と同様に、経路 P 2 に示すように、ダイオード 1 2 a はその順方向に電流を流し、ダイオード 1 3 はその逆方向に電流を流す。これにより、プラスサージを放電し、保護回路 10 b は内部回路 20 を保護する。

【 0 0 2 8 】

次に、第 3 の実施の形態において電源端子 T 1 を基準として入出力端子 T 2 にマイナス

50

サージが印加された場合における電流の流れについて説明する。この場合、ダイオード 1 2 a の降伏電圧は、ダイオード 1 3 の降伏電圧よりも高いため、ダイオード 1 2 a は逆方向電流を流さない。よって、第 2 の実施の形態と同様に、経路 P 3 a に示すように、ダイオード 1 3 はその逆方向に電流を流し、ダイオード 1 1 はその順方向に電流を流す。これにより、マイナスサージを放電し、保護回路 1 0 b は内部回路 2 0 を保護する。

【 0 0 2 9 】

次に、第 3 の実施の形態において電源端子 T 1 を基準として入出力端子 T 2 にプラスサージが印加された場合における電流の流れについて説明する。この場合、第 1 の実施の形態と同様に、経路 P 4 に示すように、ダイオード 1 2 a はその順方向に電流を流す。これにより、プラスサージを放電し、保護回路 1 0 b は内部回路 2 0 を保護する。

10

【 0 0 3 0 】

次に、第 3 の実施の形態において接地端子 T 3 を基準として電源端子 T 1 にマイナスサージが印加された場合における電流の流れについて説明する。この場合、第 1 の実施の形態と同様に、経路 P 5 に示すように、ダイオード 1 3 はその順方向に電流を流す。これにより、マイナスサージを放電し、保護回路 1 0 b は内部回路 2 0 を保護する。

【 0 0 3 1 】

次に、第 3 の実施の形態において接地端子 T 3 を基準として電源端子 T 1 にプラスサージが印加された場合における電流の流れについて説明する。この場合、第 1 の実施の形態と同様に、経路 P 6 に示すように、ダイオード 1 3 はその逆方向に電流を流す。これにより、プラスサージを放電し、保護回路 1 0 b は内部回路 2 0 を保護する。

20

【 0 0 3 2 】

以上、第 3 の実施の形態は、降伏電圧の関係から上述したパターンのサージを放電可能であり、更にダイオード 1 1、1 2 a の素子サイズをダイオード 1 3 の素子サイズよりも小さくできる。すなわち、第 3 の実施の形態は、内部回路 2 0 を保護すると共に、回路面積を削減できる。

【 0 0 3 3 】

[第 4 の実施の形態]

次に、図 4 を参照して、第 4 の実施の形態に係る半導体装置について説明する。図 4 は、第 4 の実施の形態に係る半導体装置の回路図である。第 4 の実施の形態に係る保護回路 1 0 c は、図 4 に示すように、直列接続された 4 つのダイオード 1 1 を有する。この点のみ第 4 の実施の形態は第 1 の実施の形態と異なる。

30

【 0 0 3 4 】

上記構成により、1 つのダイオード 1 1 の降伏電圧は低くても、複数のダイオード 1 1 を直列接続することにより、全体の降伏電圧は高くすることができる。このため、降伏電圧の設定が容易になる。

【 0 0 3 5 】

[第 5 の実施の形態]

次に、図 5 を参照して、第 5 の実施の形態に係る半導体装置について説明する。図 5 は、第 5 の実施の形態に係る半導体装置の回路図である。第 5 の実施の形態に係る保護回路 1 0 d は、図 5 に示すように、直列接続された複数のダイオード 1 2 a を有する。この点のみ第 5 の実施の形態は第 2 の実施の形態と異なる。

40

【 0 0 3 6 】

上記構成により、1 つのダイオード 1 2 a の降伏電圧が低くても、複数のダイオード 1 2 a を直列接続することにより、全体の降伏電圧は高くすることができる。

【 0 0 3 7 】

[第 6 の実施の形態]

次に、図 6 を参照して、第 6 の実施の形態に係る半導体装置について説明する。図 6 は、第 6 の実施の形態に係る半導体装置の回路図である。第 6 の実施の形態に係る保護回路 1 0 e は、図 6 に示すように、直列接続された複数のダイオード 1 1、1 2 a を有する。この点のみ第 6 の実施の形態は第 3 の実施の形態と異なる。

50

【 0 0 3 8 】

上記構成は、第 4 の実施形態と第 5 の実施形態の組み合わせであるので、詳しい説明は割愛する。

【 0 0 3 9 】

[その他の実施形態]

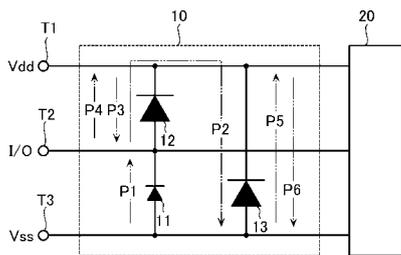
本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

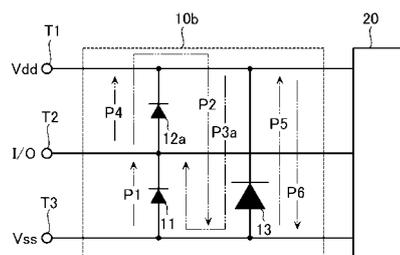
【 0 0 4 0 】

10、10 a、10 b、10 c、10 d、10 e ... 保護回路、 11、11 a、12、12 a、13 ... ダイオード、 20 ... 内部回路。

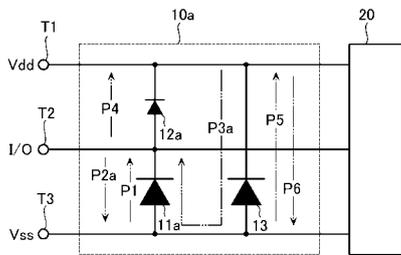
【 図 1 】



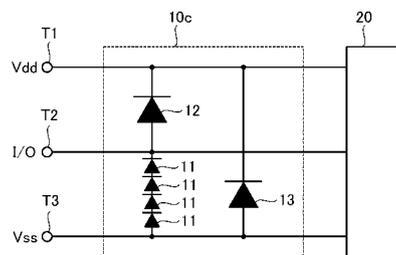
【 図 3 】



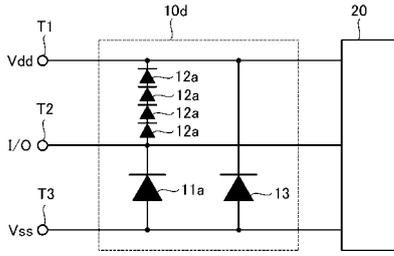
【 図 2 】



【 図 4 】



【 図 5 】



【 図 6 】

