



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년03월06일
(11) 등록번호 10-2643424
(24) 등록일자 2024년02월28일

(51) 국제특허분류(Int. Cl.)
H01L 25/065 (2023.01) H01L 23/00 (2006.01)
H01L 23/04 (2006.01) H01L 23/485 (2006.01)
H01L 23/498 (2006.01) H01L 23/525 (2006.01)
(52) CPC특허분류
H01L 25/0657 (2023.08)
H01L 23/04 (2013.01)
(21) 출원번호 10-2019-0166308
(22) 출원일자 2019년12월13일
심사청구일자 2022년01월12일
(65) 공개번호 10-2021-0075353
(43) 공개일자 2021년06월23일
(56) 선행기술조사문헌
KR1020190096562 A*
KR1020190030972 A*
US06952049 B
US20100171208 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이두환
충청남도 천안시 동남구 다가말2길 70 (다가동 ,
일봉산해피트리)104동 703호
변정수
서울특별시 강남구 삼성로63길 11-4, 501호 (대치
동 932-17)
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 19 항

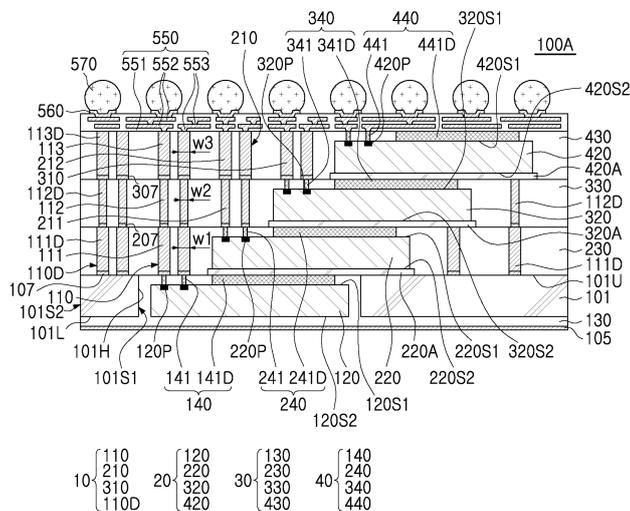
심사관 : 정구원

(54) 발명의 명칭 반도체 패키지

(57) 요약

본 발명의 실시예에 따른 반도체 패키지는, 관통 개구부를 갖는 적어도 하나의 프레임; 상기 관통 개구부 내에 배치되며, 제1 접속패드가 배치된 제1 활성면 및 상기 제1 활성면과 대향하는 제1 비활성면을 갖는 제1 반도체칩, 및 상기 제1 반도체칩 상에 배치되며, 제2 접속패드가 배치된 제2 활성면 및 상기 제2 활성면과 대향하는 제2 비활성면을 갖는 제2 반도체칩을 포함하는 복수의 반도체칩들; 상기 제1 및 제2 접속패드와 각각 전기적으로 연결된 제1 및 제2 범프; 상기 제1 및 제2 범프와 각각 동일한 레벨에 배치된 제1 및 제2 더미 범프; 상기 제1 및 제2 범프와 각각 전기적으로 연결된 제1 및 제2 포스트; 상기 제1 및 제2 포스트와 각각 전기적으로 연결된 재배선층을 포함하는 연결부재; 및 상기 적어도 하나의 프레임과 상기 연결부재 사이의 더미 포스트를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 23/485 (2013.01)

H01L 23/49816 (2013.01)

H01L 23/49827 (2013.01)

H01L 23/525 (2013.01)

H01L 24/06 (2013.01)

H01L 24/18 (2022.01)

H01L 24/97 (2013.01)

명세서

청구범위

청구항 1

관통 개구부를 갖는 적어도 하나의 프레임;

상기 관통 개구부 내에 배치되며, 제1 접속패드가 배치된 제1 활성면 및 상기 제1 활성면과 대향하는 제1 비활성면을 갖는 제1 반도체칩, 및 상기 제1 반도체칩 상에 배치되며, 제2 접속패드가 배치된 제2 활성면 및 상기 제2 활성면과 대향하는 제2 비활성면을 갖는 제2 반도체칩을 포함하는 복수의 반도체칩들;

상기 제1 및 제2 접속패드와 각각 전기적으로 연결된 제1 및 제2 범프;

상기 제1 및 제2 범프와 각각 동일한 레벨에 배치된 제1 및 제2 더미 범프;

상기 제1 및 제2 범프와 각각 전기적으로 연결된 제1 및 제2 포스트;

상기 제1 및 제2 포스트와 각각 전기적으로 연결된 재배선층을 포함하는 연결부재; 및

상기 적어도 하나의 프레임과 상기 연결부재 사이의 더미 포스트를 포함하는 반도체 패키지.

청구항 2

제1 항에 있어서,

상기 제1 및 제2 포스트, 및 상기 더미 포스트는 공면을 이루는 상면을 갖는 반도체 패키지.

청구항 3

제1 항에 있어서,

상기 제1 반도체칩의 상기 제1 활성면 및 상기 제1 비활성면을 덮는 제1 층진층을 더 포함하는 반도체 패키지.

청구항 4

제3 항에 있어서,

상기 제2 반도체칩의 상기 제2 활성면을 덮는 제2 층진층을 더 포함하고,

상기 제2 층진층은 상기 제1 포스트의 적어도 일부 및 상기 더미 포스트의 적어도 일부를 둘러싸는 반도체 패키지.

청구항 5

제4 항에 있어서,

상기 제2 층진층의 적어도 일부는 상기 제1 층진층의 적어도 일부와 직접 접촉하는 반도체 패키지.

청구항 6

제4 항에 있어서,

상기 프레임과 상기 제2 층진층 사이에 배치되며, 제1 층간 절연층, 제1 재배선층, 및 제1 재배선 비아를 포함

하는 제1 연결부재를 더 포함하는 반도체 패키지.

청구항 7

제1 항에 있어서,
 상기 제1 포스트 하부의 폭은 상기 제1 범프의 폭보다 크고,
 상기 제2 포스트 하부의 폭은 상기 제2 범프의 폭보다 큰 반도체 패키지.

청구항 8

제1 항에 있어서,
 상기 제1 및 제2 범프는 각각, 30 μm 이하의 높이를 갖는 반도체 패키지.

청구항 9

제1 항에 있어서,
 상기 제1 반도체칩의 상기 제1 활성면 상에서, 상기 제1 범프 및 상기 제1 더미 범프의 측면을 덮는 제1 절연층을 더 포함하는 반도체 패키지.

청구항 10

제1 항에 있어서,
 상기 재배선층과 전기적으로 연결된 언더범프금속층; 및
 상기 언더범프금속층과 전기적으로 연결된 도전성 패턴을 더 포함하는 반도체 패키지.

청구항 11

제10 항에 있어서,
 하부 반도체칩; 및
 상기 하부 반도체칩 상의 인터포저 기판을 더 포함하되,
 상기 도전성 패턴은 상기 인터포저 기판 상에서 상기 인터포저 기판과 전기적으로 연결되는 반도체 패키지.

청구항 12

관통 개구부를 갖는 프레임;
 상기 프레임의 상기 관통 개구부 내에 배치되며, 제1 접속패드가 배치된 제1 활성면 및 상기 제1 활성면과 대향하는 제1 비활성면을 갖는 제1 반도체칩;
 상기 제1 반도체칩의 상기 제1 활성면 상에서 상기 제1 접속패드와 연결된 제1 범프 및 상기 제1 접속패드와 연결되지 않은 적어도 하나의 제1 더미 범프를 포함하는 제1 범프 패턴들;
 상기 프레임과 상기 제1 반도체칩 사이를 채우며 상기 제1 반도체칩의 상기 제1 비활성면 및 상기 프레임의 하면 상으로 연장되고, 상기 제1 반도체칩의 상기 제1 활성면 상으로 연장되는 제1 충전층;
 상기 제1 범프와 수직하게 중첩하고, 상기 제1 반도체칩의 상기 제1 활성면에 수직한 방향으로 연장되는 제1 포

스트; 및

상기 프레임과 중첩하는 더미 포스트를 포함하는 반도체 패키지.

청구항 13

삭제

청구항 14

제12 항에 있어서,

상기 제1 포스트는 차례로 적층되는 제1 하부 포스트, 제1 중간 포스트, 및 제1 상부 포스트를 포함하되,

상기 제1 하부 포스트 및 상기 제1 중간 포스트는 서로 다른 폭을 갖는 반도체 패키지.

청구항 15

제12 항에 있어서,

상기 제1 포스트 상에 배치되며, 상기 제1 포스트와 전기적으로 연결된 재배선층 및 상기 재배선층을 연결하는 재배선 비아를 포함하는 연결부재를 더 포함하는 반도체 패키지.

청구항 16

관통 개구부를 갖는 프레임;

복수의 반도체칩;

상기 복수의 반도체칩 각각의 측면을 둘러싸는 복수의 충전층;

상기 복수의 충전층 상의 연결부재;

상기 복수의 충전층 내의 복수의 포스트; 및

상기 복수의 반도체칩과 각각 전기적으로 연결되는 복수의 범프를 포함하되,

상기 복수의 반도체칩은 상기 관통 개구부 내의 제1 반도체칩, 및 상기 제1 반도체칩의 일부와 상기 프레임의 일부와 중첩하는 제2 반도체칩을 포함하고,

상기 복수의 충전층은 상기 관통 개구부 내에서 상기 제1 반도체칩의 측면을 둘러싸는 제1 충전층, 및 상기 제2 반도체칩의 측면을 둘러싸는 제2 충전층을 포함하고,

상기 복수의 범프는 상기 제1 반도체칩의 제1 접속패드와 전기적으로 연결되는 제1 범프 및 상기 제2 반도체칩의 제2 접속패드와 전기적으로 연결되는 제2 범프를 포함하고,

상기 복수의 포스트는 상기 제1 충전층 상에서 상기 제2 충전층을 관통하며 상기 제1 범프와 전기적으로 연결되는 제1 포스트 및 상기 프레임 상에서 상기 제2 충전층을 관통하는 복수의 더미 포스트를 포함하는 반도체 패키지.

청구항 17

제16 항에 있어서,

상기 복수의 더미 포스트 중 적어도 하나는 상기 복수의 반도체칩 중 적어도 하나와 중첩하는 반도체 패키지.

청구항 18

제16 항에 있어서,

상기 복수의 반도체칩은 상기 제2 반도체칩 상의 제3 반도체칩 및 상기 제3 반도체칩 상의 제4 반도체칩을 더 포함하고,

상기 복수의 층진층은 상기 제3 반도체칩의 측면을 둘러싸는 제3 층진층 및 상기 제4 반도체칩의 측면을 둘러싸는 제4 층진층을 더 포함하고,

상기 복수의 범프는 상기 제3 반도체칩의 제3 접속패드와 전기적으로 연결되는 제3 범프 및 상기 제4 반도체칩의 제4 접속패드와 전기적으로 연결되는 제4 범프를 더 포함하고,

상기 복수의 포스트는 상기 제2 층진층 상에서 상기 제3 층진층을 관통하며 상기 제2 범프와 전기적으로 연결되는 제2 포스트 및 상기 제3 층진층 상에서 상기 제4 층진층을 관통하며 상기 제3 범프와 전기적으로 연결되는 제3 포스트를 더 포함하는 반도체 패키지.

청구항 19

제16 항에 있어서,

상기 연결부재는 상기 복수의 포스트와 전기적으로 연결된 재배선층 및 상기 재배선층을 연결하는 재배선 비아를 포함하는 반도체 패키지.

청구항 20

제19 항에 있어서,

상기 재배선층과 전기적으로 연결된 언더범프금속층; 및

상기 언더범프금속층과 전기적으로 연결된 도전성 패턴을 더 포함하는 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지에 관한 것이다.

배경 기술

[0003] 전자 제품의 고용량, 박형화 및 소형화에 대한 수요가 많아짐에 따라 다양한 형태의 반도체 패키지가 개발되고 있다. 이와 같은 다양한 형태의 반도체 패키지 중에서 복수의 칩들을 하나의 패키지에 포함시키는 패키지 기술이 개발되고 있다. 그러나, 기술의 한계와 모바일의 두께 제약으로 인해 저가의 공정으로 기관의 고밀도 배선을 구현하는데 어려움이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제 중 하나는, 저가의 공정으로 기관의 고밀도 배선을 구현한 반도체 패키지를 제공하는 것이다.

과제의 해결 수단

[0008] 예시적인 실시예들에 따른 반도체 패키지는, 관통 개구부를 갖는 적어도 하나의 프레임; 상기 관통 개구부 내에 배치되며, 제1 접속패드가 배치된 제1 활성면 및 상기 제1 활성면과 대향하는 제1 비활성면을 갖는 제1 반도체

칩, 및 상기 제1 반도체칩 상에 배치되며, 제2 접속패드가 배치된 제2 활성면 및 상기 제2 활성면과 대향하는 제2 비활성면을 갖는 제2 반도체칩을 포함하는 복수의 반도체칩들; 상기 제1 및 제2 접속패드와 각각 전기적으로 연결된 제1 및 제2 범프; 상기 제1 및 제2 범프와 각각 동일한 레벨에 배치된 제1 및 제2 더미 범프; 상기 제1 및 제2 범프와 각각 전기적으로 연결된 제1 및 제2 포스트; 상기 제1 및 제2 포스트와 각각 전기적으로 연결된 재배선층을 포함하는 연결부재; 및 상기 적어도 하나의 프레임과 상기 연결부재 사이의 더미 포스트를 포함할 수 있다.

[0009] 예시적인 실시예들에 따른 반도체 패키지는, 관통 개구부를 갖는 프레임; 상기 프레임의 상기 관통 개구부 내에 배치되며, 제1 접속패드가 배치된 제1 활성면 및 상기 제1 활성면과 대향하는 제1 비활성면을 갖는 제1 반도체칩; 상기 제1 반도체칩의 상기 제1 활성면 상에서 상기 제1 접속패드와 연결된 제1 범프 및 상기 제1 접속패드와 연결되지 않은 적어도 하나의 제1 더미 범프를 포함하는 제1 범프 패턴들; 및 상기 프레임과 상기 제1 반도체칩 사이를 채우며 상기 제1 반도체칩의 상기 제1 비활성면 및 상기 프레임의 하면 상으로 연장되고, 상기 제1 반도체칩의 상기 제1 활성면 상으로 연장되는 제1 충전층을 포함할 수 있다.

[0010] 예시적인 실시예들에 따른 반도체 패키지는, 관통 개구부를 갖는 프레임; 복수의 반도체칩; 상기 복수의 반도체칩 각각의 측면을 둘러싸는 복수의 충전층; 상기 복수의 충전층 상의 연결부재; 상기 복수의 충전층 내의 복수의 포스트; 및 상기 복수의 반도체칩과 각각 전기적으로 연결되는 복수의 범프를 포함하되, 상기 복수의 반도체칩은 상기 관통 개구부 내의 제1 반도체칩, 및 상기 제1 반도체칩의 일부와 상기 프레임의 일부와 중첩하는 제2 반도체칩을 포함하고, 상기 복수의 충전층은 상기 관통 개구부 내에서 상기 제1 반도체칩의 측면을 둘러싸는 제1 충전층, 및 상기 제2 반도체칩의 측면을 둘러싸는 제2 충전층을 포함하고, 상기 복수의 범프는 상기 제1 반도체칩의 제1 접속패드와 전기적으로 연결되는 제1 범프 및 상기 제2 반도체칩의 제2 접속패드와 전기적으로 연결되는 제2 범프를 포함하고, 상기 복수의 포스트는 상기 제1 충전층 상에서 상기 제2 충전층을 관통하며 상기 제1 범프와 전기적으로 연결되는 제1 포스트 및 상기 프레임 상에서 상기 제2 충전층을 관통하는 복수의 더미 포스트를 포함할 수 있다.

발명의 효과

[0013] 패키지 성능을 강화시키면서도 적절한 패키지 사이즈를 가질 수 있는 반도체 패키지를 제공할 수 있다.

[0014] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시예를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0016] 도 1은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.
- 도 2는 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.
- 도 3은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.
- 도 4는 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.
- 도 5는 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.
- 도 6은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.
- 도 7은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.
- 도 8은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.
- 도 9 내지 도 16은 예시적인 실시예들에 따른 반도체 패키지의 제조방법을 설명하기 위한 개략적인 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 다음과 같이 설명한다.

[0019] 도 1은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 모습을 나타낸 단면도이다.

[0020] 도 1을 참조하면, 반도체 패키지(100A)는 프레임(101), 제1 반도체칩(120)을 포함하는 복수의 반도체칩들(20),

복수의 범프 패턴들(40), 복수의 포스트들(10), 및 재배선층(552)을 포함하는 연결부재(550)를 포함할 수 있다.

- [0022] 상기 프레임(101)은 상면(101U) 및 하면(101L)을 가질 수 있다. 상기 프레임(101)은 상기 상면(101U)이 상기 연결부재(550)를 향하도록 배치될 수 있다.
- [0023] 상기 프레임(101)은 관통 개구부(101H)를 가질 수 있다. 상기 제1 반도체칩(120)은 상기 관통 개구부(101H) 내에 배치될 수 있다. 다른 실시예에서, 관통 개구부(101H) 내에 별도의 수동부품, 예컨대 인덕터나 커패시터 등을 배치할 수도 있다.
- [0024] 상기 프레임(101)은 제1 측면(101S1) 및 제2 측면(101S2)을 가질 수 있다. 상기 제1 측면(101S1)은 상기 관통 개구부(101H)에 의해 노출되어 상기 제1 반도체칩(120)을 향하는 측면일 수 있다. 상기 제2 측면(101S2)은 상기 제1 측면(101S1)과 대향할 수 있다. 상기 제2 측면(101S2)은 상기 반도체 패키지(100A)의 외측면의 일부를 이룰 수 있다.
- [0025] 상기 프레임(101)은 절연물질을 포함할 수 있다. 상기 절연물질은 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지 중 적어도 하나를 포함할 수 있다. 상기 절연물질은 상기 열경화성 수지 및 상기 열가소성 수지가 무기필러 및/또는 유리 섬유(Glass Fiber, Glass Cloth, Glass Fabric) 등의 심재에 함침된 절연물질, 예를 들면, 프리프레그(prpreg), ABF(Ajinomoto Build-up Film), FR-4, BT(Bismaleimide Triazine) 등을 포함할 수 있다.
- [0026] 다른 실시예에서, 상기 프레임(101)은 복수의 층으로 이루어진 절연층들, 상기 절연층들에 매립된 복수의 배선층들, 및 상기 복수의 배선층들을 전기적으로 연결하는 복수의 배선비아층들을 더 포함할 수 있다.
- [0027] 상기 프레임(101)은 복수의 반도체칩들(20)을 적층할 수 있도록 평탄한 면을 제공하는 지지부재로 역할할 수 있다. 상기 프레임(101)은 반도체 패키지(100A)의 강성을 개선시킬 수 있으며, 평탄성을 유지할 수 있다.
- [0029] 상기 복수의 반도체칩들(20)은 상기 제1 반도체칩(120) 외에 상기 제1 반도체칩(120) 상의 제2 반도체칩(220), 상기 제2 반도체칩(220) 상의 제3 반도체칩(320), 상기 제3 반도체칩(320) 상의 제4 반도체칩(420)을 더 포함할 수 있다.
- [0030] 상기 복수의 반도체칩들(20)은 상기 제1 내지 제4 반도체칩들(120, 220, 320, 420)이 적층된 구조를 갖도록 도시되었으나, 이에 한정되지 않고, 상기 복수의 반도체칩들(20)은 그보다 더 적은 수 또는 더 많은 수의 반도체칩들이 적층된 구조를 가질 수 있다.
- [0031] 상기 제1 내지 제4 반도체칩(120, 220, 320, 420)은 각각 집적회로(Integrated Circuit: IC)를 포함할 수 있다. 상기 제1 내지 제4 반도체칩(120, 220, 320, 420)은 각각 상기 집적회로가 형성된 활성면 및 상기 활성면과 대향하는 비활성면을 가질 수 있다. 상기 활성면에는 상기 제1 내지 제4 반도체칩(120, 220, 320, 420) 각각에 전기적 신호를 인가할 수 있는 접속패드들이 배치될 수 있다. 예를 들어, 상기 제1 반도체칩(120)은 제1 접속패드(120P)가 배치된 제1 활성면(120S1) 및 상기 제1 활성면(120S1)과 대향하는 제1 비활성면(120S2)을 가질 수 있다. 마찬가지로, 상기 제2 내지 제4 반도체칩(220, 320, 420) 각각은 제2 내지 제4 접속패드(220P, 320P, 420P)가 각각 배치된 제2 내지 제4 활성면(220S1, 320S1, 420S1) 및 상기 제2 내지 제4 활성면(220S1, 320S1, 420S1) 각각에 대향하는 제2 내지 제4 비활성면(220S2, 320S2, 420S2)을 가질 수 있다.
- [0032] 상기 제1 반도체칩(120)은 상기 제1 활성면(120S1)이 상기 연결부재(550)를 향하도록 상기 프레임(101)의 상기 관통 개구부(101H) 내에 배치될 수 있다. 상기 제2 반도체칩(220)은 상기 프레임(101)의 상기 상면(101U) 상에서 상기 제2 활성면(220S1)이 상기 연결부재(550)를 향하도록 배치될 수 있다. 상기 제3 반도체칩(320)은 상기 상면(101U) 상에서 상기 제3 활성면(320S1)이 상기 연결부재(550)를 향하도록 배치될 수 있다. 상기 제4 반도체칩(420)은 상기 상면(101U) 상에서 상기 제4 활성면(420S1)이 상기 연결부재(550)를 향하도록 배치될 수 있다.
- [0033] 상기 제1 내지 제4 반도체칩(120, 220, 320, 420)은 상기 제1 내지 제4 접속패드(120P, 220P, 320P, 420P)가 노출되도록 순차적으로 오프셋(offset)되어 배치될 수 있다. 예를 들어, 상기 제1 내지 제4 반도체칩(120, 220, 320, 420)은 연결부재(550)의 일 모서리를 향하여 순차적으로 오프셋되어 적층될 수 있다.
- [0034] 일 실시예에서, 상기 제1 내지 제4 반도체칩(120, 220, 320, 420)은 수직하게 서로 일부가 중첩하도록 배치될 수 있다. 예를 들어, 상기 제2 반도체칩(220)의 적어도 일부는 상기 제1 반도체칩(120)의 적어도 일부와 서로 중첩하도록 상기 제1 반도체칩(120) 상에 배치될 수 있다. 상기 제2 반도체칩(220)은 상기 제1 반도체칩(120)의 일부 및 상기 프레임(101)의 일부와 중첩할 수 있다.

- [0035] 본 발명의 반도체 패키지(100A)는 제1 반도체칩(120)이 프레임(101)의 관통 개구부(101H) 내에 배치되고, 제2 내지 제4 반도체칩(220, 320, 420)은 상기 프레임(101)의 상기 상면(101U) 상에 적층된 구조로만 도시하였으나, 이에 한정되는 것은 아니다. 예를 들어, 상기 프레임(101) 상의 다른 프레임이 더 배치될 수 있고, 상기 다른 프레임의 관통 개구부 내에 제2 반도체칩(220)이 배치될 수도 있다. 이는 제3 반도체칩(320) 및 제4 반도체칩(420)에 대해서도 마찬가지이다. 이러한 프레임을 제공함으로써 평탄성이 향상된 반도체 패키지를 제공할 수 있다.
- [0036] 상기 제1 내지 제4 반도체칩(120, 220, 320, 420)은 각각 메모리 칩일 수 있다. 예를 들어, 상기 메모리 칩은 디램(DRAM), 에스램(SRAM), 플래시(flash), 피램(PRAM), 알이램(ReRAM), 예프이램(FerAM) 또는 엠램(MRAM)을 포함할 수 있다.
- [0037] 일 실시예에서, 상기 제1 내지 제4 반도체칩(120, 220, 320, 420)은 서로 동일하거나 서로 상이한 메모리 칩들일 수 있다.
- [0038] 일 실시예에서, 상기 제1 내지 제4 반도체칩(120, 220, 320, 420)은 HBM(High Bandwidth Memory)을 구성할 수 있다.
- [0040] 상기 복수의 범프 패턴들(40)은 상기 제1 반도체칩(120)의 상기 제1 활성면(120S1) 상의 제1 범프 패턴들(140), 상기 제2 반도체칩(220)의 상기 제2 활성면(220S1) 상의 제2 범프 패턴들(240), 상기 제3 반도체칩(320)의 상기 제3 활성면(320S1) 상의 제3 범프 패턴들(340), 및 상기 제4 반도체칩(420)의 상기 제4 활성면(420S1) 상의 제4 범프 패턴들(440)을 포함할 수 있다.
- [0041] 상기 제1 범프 패턴들(140)은 상기 제1 접속패드(120P) 상의 제1 범프(141) 및 상기 제1 범프(141)와 동일한 레벨에 배치된 제1 더미 범프(141D)를 포함할 수 있다. 상기 제1 범프(141)는 상기 제1 접속패드(120P)와 전기적으로 연결될 수 있다. 상기 제1 더미 범프(141D)는 상기 제1 접속패드(120P)와 전기적으로 연결되지 않을 수 있다.
- [0042] 상기 제2 범프 패턴들(240)은 상기 제2 접속패드(220P) 상의 제2 범프(241) 및 상기 제2 범프(241)와 동일한 레벨에 배치된 제2 더미 범프(241D)를 포함할 수 있다. 상기 제2 범프(241)는 상기 제2 접속패드(220P)와 전기적으로 연결될 수 있다. 상기 제2 더미 범프(241D)는 상기 제2 접속패드(220P)와 전기적으로 연결되지 않을 수 있다.
- [0043] 상기 제3 범프 패턴들(340)은 상기 제3 접속패드(330P) 상의 제3 범프(341) 및 상기 제3 범프(341)와 동일한 레벨에 배치된 제3 더미 범프(341D)를 포함할 수 있다. 상기 제3 범프(341)는 상기 제3 접속패드(320P)와 전기적으로 연결될 수 있다. 상기 제3 더미 범프(341D)는 상기 제3 접속패드(320P)와 전기적으로 연결되지 않을 수 있다.
- [0044] 상기 제4 범프 패턴들(440)은 상기 제4 접속패드(430P) 상의 제4 범프(441) 및 상기 제4 범프(441)와 동일한 레벨에 배치된 제4 더미 범프(441D)를 포함할 수 있다. 상기 제4 범프(441)는 상기 제4 접속패드(420P)와 전기적으로 연결될 수 있다. 상기 제4 더미 범프(441D)는 상기 제4 접속패드(420P)와 전기적으로 연결되지 않을 수 있다.
- [0046] 일 실시예에서, 상기 제1 내지 제4 범프(141, 241, 341, 441)는 필라(Pillar)의 형태를 가질 수 있다.
- [0047] 일 실시예에서, 상기 제1 내지 제4 범프(141, 241, 341, 441)는 상기 제1 내지 제4 접속패드(120P, 220P, 320P, 420P)의 폭과 유사하거나 실질적으로 동일한 폭을 가질 수 있다. 예를 들어, 상기 제1 접속패드(120P)는 약 40 μm 내지 약 60 μm 범위의 폭을 가질 수 있고, 상기 제1 범프(141)는 이와 유사한 폭을 가질 수 있다.
- [0048] 일 실시예에서, 상기 제1 범프(141)는 상기 제1 접속패드(120P)의 개수, 간격, 및 배치 형태에 대응하여 동일한 개수, 간격, 및 배치 형태를 갖도록 배치될 수 있다. 상기 제1 범프(141)는 상기 제1 접속패드(120P)와 서로 정렬되도록 배치될 수 있다.
- [0049] 일 실시예에서, 상기 제2 범프(241)는 상기 제2 접속패드(220P)의 개수, 간격, 및 배치 형태에 대응하여 동일한 개수, 간격, 및 배치 형태를 갖도록 배치될 수 있다. 상기 제2 범프(241)는 상기 제2 접속패드(220P)와 서로 정렬되도록 배치될 수 있다.
- [0050] 일 실시예에서, 상기 제3 범프(341)는 상기 제3 접속패드(320P)의 개수, 간격, 및 배치 형태에 대응하여 동일한 개수, 간격, 및 배치 형태를 갖도록 배치될 수 있다. 상기 제3 범프(341)는 상기 제1 접속패드(320P)와 서로 정

렬되도록 배치될 수 있다.

- [0051] 일 실시예에서, 상기 제4 범프(441)는 상기 제4 접속패드(420P)의 개수, 간격, 및 배치 형태에 대응하여 동일한 개수, 간격, 및 배치 형태를 갖도록 배치될 수 있다. 상기 제4 범프(441)는 상기 제4 접속패드(420P)와 서로 정렬되도록 배치될 수 있다.
- [0053] 일 실시예에서, 상기 제1 내지 제4 더미 범프(141D, 241D, 341D, 441D)는 플레이트(Plate)의 형태를 가질 수 있다. 상기 제1 내지 제4 더미 범프(141D, 241D, 341D, 441D) 각각은 상기 제1 내지 제4 범프(141, 241, 341, 441)와 실질적으로 동일한 높이를 가질 수 있다.
- [0054] 일 실시예에서, 상기 제1 내지 제4 범프 패턴들(140, 240, 340, 440)은 각각 약 0 μm 초과 약 40 μm 이하의 높이를 가질 수 있다.
- [0055] 일 실시예에서, 상기 제1 내지 제4 범프 패턴들(140, 240, 340, 440)은 각각 약 0 μm 초과 약 30 μm 이하의 높이를 가질 수 있다.
- [0056] 일 실시예에서, 상기 제1 내지 제4 범프 패턴들(140, 240, 340, 440)은 구리(Cu) 등의 금속을 포함할 수 있다. 상기 제1 내지 제4 범프 패턴들(140, 240, 340, 440)은 서로 동일한 물질로 형성될 수 있다.
- [0057] 상기 제1 내지 제4 더미 범프(141D, 241D, 341D, 441D)는 반도체 패키지(100A)의 워피지를 개선할 수 있고, 평탄성을 유지할 수 있다. 상기 제1 내지 제4 더미 범프(141D, 241D, 341D, 441D)는 복수의 반도체칩들(20)로부터 발생한 열을 외부로 용이하게 방출하는 역할을 수행할 수 있다.
- [0059] 복수의 포스트들(10)은 상기 제1 접속패드(120P) 상의 제1 포스트(110), 상기 제2 접속패드(220P) 상의 제2 포스트(210), 상기 제3 접속패드(320P) 상의 제3 포스트(310), 상기 프레임(101) 상의 더미 포스트(110D)를 포함할 수 있다.
- [0061] 상기 제1 포스트(110)는 상기 제1 범프(141) 상에 배치될 수 있다. 상기 제1 포스트(110)는 상기 제1 범프(141)와 수직적으로 중첩할 수 있다. 상기 제1 포스트(110)는 상기 제1 반도체칩(120)의 상기 제1 활성면(120S1)에 수직한 방향으로 연장될 수 있다. 상기 제1 포스트(110)는 상기 제1 접속패드(120P)와 전기적으로 연결될 수 있다. 상기 제1 포스트(110)의 하부의 폭은 상기 제1 범프(141)의 폭보다 클 수 있다.
- [0062] 상기 제1 포스트(110)는 차례로 적층되는 제1 하부 포스트(111), 제1 중간 포스트(112), 및 제1 상부 포스트(113)를 포함할 수 있다. 상기 제1 하부 포스트(111), 상기 제1 중간 포스트(112), 상기 제1 상부 포스트(113)은 서로 수직하게 중첩할 수 있다. 상기 제1 하부 포스트(111), 상기 제1 중간 포스트(112), 상기 제1 상부 포스트(113)은 서로 다른 폭을 가질 수 있다. 상기 제1 중간 포스트(112)는 상기 제1 하부 포스트(111) 상에 배치될 수 있고, 상기 제1 상부 포스트(113)는 상기 제1 중간 포스트(112) 상에 배치될 수 있다.
- [0063] 상기 제1 하부 포스트(111)는 상기 제1 범프(141)의 폭보다 큰 제1 폭(W1)을 가질 수 있다. 상기 제1 중간 포스트(112)는 상기 제1 폭(W1) 보다 작은 제2 폭(W2)을 가질 수 있다. 상기 제1 상부 포스트(113)는 상기 제2 폭(W2)보다 큰 제3 폭(W3)을 가질 수 있다. 상기 제1 포스트(110)는 서로 다른 폭을 갖는 복수의 영역들을 갖는 것으로 이해될 수 있다. 이와 같은 경우, 상기 제1 하부 포스트(111), 상기 제1 중간 포스트(112), 및 상기 제1 상부 포스트(113)의 정합 마진(alignment margin)이 개선될 수 있다.
- [0064] 일 실시예에서, 상기 제1 하부 포스트(111), 상기 제1 중간 포스트(112), 및 상기 제1 상부 포스트(113)의 단면의 형상은 실시예들에 따라 다양하게 변경될 수 있으며, 예를 들어, 원 또는 타원의 형상을 가질 수 있다.
- [0065] 일 실시예에서, 상기 제1 하부 포스트(111), 상기 제1 중간 포스트(112), 및 상기 제1 상부 포스트(113)는 테이퍼 형상 또는 원통 형상을 가질 수 있다.
- [0067] 상기 제2 포스트(210)는 상기 제2 범프(241) 상에 배치될 수 있다. 상기 제2 포스트(210)는 상기 제2 범프(241)와 수직적으로 중첩할 수 있다. 상기 제2 포스트(210)는 상기 제2 반도체칩(220)의 상기 제2 활성면(220S1)에 수직한 방향으로 연장될 수 있다. 상기 제2 포스트(210)는 상기 제2 접속패드(220P)와 전기적으로 연결될 수 있다. 상기 제2 포스트(210)의 하부의 폭은 상기 제2 범프(241)의 폭보다 클 수 있다.
- [0068] 상기 제2 포스트(210)는 서로 수직하게 중첩하고 서로 다른 폭을 갖는 제2 하부 포스트(211) 및 제2 상부 포스트(212)를 포함할 수 있다. 상기 제2 상부 포스트(212)는 상기 제2 하부 포스트(211) 상에 배치될 수 있다.
- [0069] 상기 제2 하부 포스트(211)는 상기 제2 범프(241)의 폭보다 크고, 상기 제1 중간 포스트(112)의 폭과 실질적으

로 동일한 상기 제2 폭(W2)을 가질 수 있다. 상기 제2 상부 포스트(212)는 상기 제2 폭(W2) 보다 크고, 상기 제1 상부 포스트(113)의 폭과 실질적으로 동일한 상기 제3 폭(W3)을 가질 수 있다. 상기 제2 포스트(210)는 서로 다른 폭을 갖는 복수의 영역들을 갖는 것으로 이해될 수 있다. 이와 같은 경우, 상기 제2 하부 포스트(211) 및 상기 제2 상부 포스트(212)의 정합 마진이 개선될 수 있다.

- [0070] 일 실시예에서, 상기 제2 하부 포스트(211) 및 상기 제2 상부 포스트(212)의 단면의 형상은 실시예들에 따라 다양하게 변경될 수 있으며, 예를 들어, 원 또는 타원의 형상을 가질 수 있다.
- [0071] 일 실시예에서, 상기 제2 하부 포스트(211) 및 상기 제2 상부 포스트(212)는 테이퍼 형상, 또는 원통 형상을 가질 수 있다.
- [0073] 상기 제3 포스트(310)는 상기 제3 범프(341) 상에 배치될 수 있다. 상기 제3 포스트(310)는 상기 제3 범프(341)와 수직적으로 중첩할 수 있다. 상기 제3 포스트(310)는 상기 제3 반도체칩(320)의 상기 제3 활성면(320S1)에 수직한 방향으로 연장될 수 있다. 상기 제3 포스트(310)는 상기 제3 접속패드(320P)와 전기적으로 연결될 수 있다. 상기 제3 포스트(310)의 하부의 폭은 상기 제3 범프(341)의 폭보다 클 수 있다.
- [0074] 상기 제3 포스트(310)는 상기 제3 범프의 폭보다 크고, 상기 제1 상부 포스트(113) 또는 상기 제2 상부 포스트(212)의 폭과 실질적으로 동일한 상기 제3 폭(W3)을 가질 수 있다.
- [0075] 일 실시예에서, 상기 제1 포스트(110)의 상단과 하단 사이의 길이는 상기 제2 포스트(210)의 상단과 하단 사이의 길이보다 클 수 있다.
- [0076] 일 실시예에서, 상기 제2 포스트(210)의 상단과 하단 사이의 길이는 상기 제3 포스트(310)의 상단과 하단 사이의 길이보다 클 수 있다.
- [0077] 일 실시예에서, 상기 제3 포스트(310)의 단면의 형상은 실시예들에 따라 다양하게 변경될 수 있으며, 예를 들어, 원 또는 타원의 형상을 가질 수 있다.
- [0078] 일 실시예에서, 상기 제3 포스트(310)는 테이퍼 형상 또는 원통 형상을 가질 수 있다.
- [0080] 일 실시예에서, 상기 복수의 포스트들(10)은 상기 제1 내지 제3 포스트(110, 210, 310)이 배치된 구조를 갖도록 도시되었으나, 이에 한정되지 않는다. 예를 들어, 상기 복수의 포스트들(10)은 복수의 반도체칩들(20)이 포함하는 반도체칩들의 개수 및/또는 노출되는 접속패드들의 개수에 따라 다양한 개수, 간격, 및 배치 형태를 가질 수 있다.
- [0082] 일 실시예에서, 상기 제1 내지 제3 포스트(110, 210, 310)는 구리를 포함하는 금속 물질을 포함할 수 있다. 상기 제1 내지 제3 포스트(110, 210, 310)는 각각 필라 형태를 가질 수 있다.
- [0084] 상기 제1 내지 제3 포스트(110, 210, 310)는 상기 제1 내지 제3 접속패드(120P, 220P, 320P) 각각을 통해 상기 제1 내지 제3 반도체칩(120, 220, 320)과 연결부재(550)의 재배선층(552)의 사이의 전기적 경로를 형성할 수 있다. 재배선을 위한 연결부재(550)는 반도체 패키지의 두께를 증가시키지 않으면서도 높은 배선 밀도를 가질 수 있어 반도체 패키지의 소형화가 가능하다. 재배선층(552)과의 전기적 경로를 금(Au)을 이용한 와이어 본딩이 아닌 포스트를 이용하므로, 공정 단가를 낮출 수 있고, 최단 연결 거리를 구현하여 반도체칩의 동작 속도 향상에 기여할 수 있다. 본 발명의 기술적 사상에 의하면 전해 도금 방식으로 다수의 포스트를 형성하고 이를 재배선 하는 재배선층을 최종적으로 형성하여, 가격 경쟁력이 우수하면서도, 다수의 입출력(I/O) 경로를 구현할 수 있는 패키징 기술을 제공할 수 있다.
- [0086] 상기 더미 포스트(110D)는 상기 프레임(101)의 상기 상면(101U) 상에 배치되며, 상기 프레임(101)과 중첩할 수 있다. 상기 더미 포스트(110D)는 상기 프레임(101)과 상기 연결부재(550)의 사이에 배치될 수 있다. 상기 더미 포스트(110D)는 상기 제1 반도체칩(120)의 상기 제1 활성면(120S1)에 수직한 방향으로 연장될 수 있다. 상기 더미 포스트(110D)는 상기 복수의 반도체칩들(20)과 전기적으로 절연될 수 있다. 상기 더미 포스트(110D)는 재배선층(552)의 신호패턴과 전기적으로 절연될 수 있다. 상기 더미 포스트(110D)는 상기 연결부재(550)와 전기적으로 연결되지 않을 수 있다.
- [0087] 상기 더미 포스트(110D)는 서로 수직하게 중첩하고 서로 다른 폭을 갖는 제1 더미 포스트(111D), 제2 더미 포스트(112D), 및 제3 더미 포스트(113D)를 포함할 수 있다. 상기 제3 더미 포스트(113D)는 상기 제2 더미 포스트(112D) 상에 배치될 수 있고, 상기 제2 더미 포스트(112D)는 상기 제1 더미 포스트(111D) 상에 배치될 수 있다.
- [0088] 상기 제1 더미 포스트(111D)는 상기 제1 하부 포스트(111)의 폭과 실질적으로 동일한 상기 제1 폭(W1)을 가질

수 있다. 상기 제2 더미 포스트(112D)는 상기 제1 중간 포스트(112)의 폭과 실질적으로 동일한 상기 제2 폭(W2)을 가질 수 있다. 상기 제3 더미 포스트(113D)는 상기 제1 상부 포스트(113)의 폭과 실질적으로 동일한 상기 제3 폭(W3)을 가질 수 있다. 상기 더미 포스트(110D)는 서로 다른 폭을 갖는 복수의 영역들을 갖는 것으로 이해될 수 있다.

- [0089] 일 실시예에서, 상기 제1 더미 포스트(111D), 상기 제2 더미 포스트(112D), 및 상기 제3 더미 포스트(113D)의 단면의 형상은 실시예들에 따라 다양하게 변경될 수 있으며, 예를 들어, 원 또는 타원의 형상을 가질 수 있다.
- [0090] 일 실시예에서, 상기 제1 더미 포스트(111D), 상기 제2 더미 포스트(112D), 및 상기 제3 더미 포스트(113D)는 테이퍼 형상 또는 원통 형상을 가질 수 있다.
- [0091] 예시적인 실시예에서, 상기 더미 포스트(110D) 중 적어도 하나는 상기 제1 포스트(110)와 실질적으로 동일한 높이 및/또는 두께를 갖는 구조를 가질 수 있다.
- [0092] 일 실시예에서, 상기 더미 포스트(110D) 중 적어도 일부는 상기 프레임(101)과 상기 제3 반도체칩(320)의 사이 또는 상기 프레임(101)과 상기 제4 반도체칩(420)의 사이에 배치될 수 있다.
- [0093] 일 실시예에서, 상기 더미 포스트(110D) 중 적어도 하나는 상기 복수의 반도체칩들(20) 중 적어도 하나와 중첩할 수 있다. 예를 들어, 제1 더미 포스트(111D)는 상기 프레임(101)과 상기 제3 반도체칩(320)의 사이에 배치될 수 있으며, 상기 제3 반도체칩(320)과 중첩할 수 있다. 도 1의 우측에 도시된 것과 같이, 제1 더미 포스트(111D) 및 제2 더미 포스트(112D)는 상기 프레임(101)과 상기 제4 반도체칩(420)의 사이에 배치될 수 있으며, 상기 제4 반도체칩(420)과 중첩할 수 있다.
- [0094] 일 실시예에서, 상기 더미 포스트(110D)는 구리를 포함하는 금속 물질을 포함할 수 있다. 상기 더미 포스트(110D) 각각은 필라 형태를 가질 수 있다.
- [0095] 일 실시예에서, 상기 더미 포스트(110D)의 개수, 간격, 배치 형태는 다양하게 변경될 수 있다. 예를 들어, 상기 더미 포스트(110D)는 상기 프레임(101)과 상기 연결부재(550)의 사이에서 도시된 것보다 더 많이 배치될 수도 있다. 상기 더미 포스트(110D)의 개수에 따라 적층되는 반도체칩들의 개수를 증감할 수 있다.
- [0097] 상기 더미 포스트(110D)가 상기 프레임(101) 상에 배치됨으로써, 반도체 패키지(100A)는 보다 많은 금속층을 포함하게 되므로 반도체 패키지(100A)의 워피지가 개선될 수 있다.
- [0098] 상기 더미 포스트(110D)는 반도체 패키지(100A)의 열 방출 특성을 향상시킬 수 있다. 예를 들어, 상기 더미 포스트(110D)가 상기 프레임(101)과 상기 연결부재(550) 사이에 배치됨으로써, 복수의 반도체칩들(20)에서 발생한 열을 외부로 용이하게 방출할 수 있다.
- [0099] 일 실시예에서, 상기 더미 포스트(110D)는 상기 제1 포스트(110)와 실질적으로 동일한 높이를 가질 수 있다. 상기 더미 포스트(110D)의 상단과 하단 사이의 길이는 상기 제1 포스트(110)의 상단과 하단 사이의 길이와 실질적으로 동일할 수 있다.
- [0100] 일 실시예에서, 상기 제1 내지 제3 포스트(110, 210, 310) 및 상기 더미 포스트(110D)는 공면을 이루는 상면을 가질 수 있다.
- [0101] 일 실시예에서, 상기 제1 하부 포스트(111)는 상기 제1 더미 포스트(111D)와 공면을 이루는 상면을 가질 수 있다.
- [0102] 일 실시예에서, 상기 제1 중간 포스트(112), 상기 제2 하부 포스트(211), 및 상기 제2 더미 포스트(112D)는 공면을 이루는 상면을 가질 수 있다.
- [0103] 일 실시예에서, 상기 제1 상부 포스트(113), 상기 제2 상부 포스트(212), 상기 제3 포스트(310), 및 상기 제3 더미 포스트(113D)는 공면을 이루는 상면을 가질 수 있다.
- [0104] 일 실시예에서, 상기 제1 내지 제3 포스트(110, 210, 310) 및 상기 제1 내지 제3 더미 포스트(111D, 112D, 113D)는 각각 그 하부에 배치되는 제1 내지 제3 금속 시드층(107, 207, 307)을 포함할 수 있다. 예를 들어, 상기 제1 포스트(110)는 상기 제1 포스트(110)의 하부에 배치되고, 상기 제1 접속패드(120P)와 연결된 제1 금속 시드층(107)을 포함할 수 있다. 상기 제1 금속 시드층(107)은 상기 제1 더미 포스트(111D)의 하부에 배치되고, 상기 프레임(101) 상에도 배치될 수 있다. 상기 제1 내지 제3 금속 시드층(107, 207, 307)은 무전해 도금 방식으로 형성된 층일 수 있다. 다만, 실시예들에 따라 상기 제1 내지 제3 금속 시드층(107, 207, 307)은 생략될 수

있다.

- [0106] 상기 연결부재(550) 상기 재배선층(552) 외에 상기 재배선층(552)을 매립하는 절연층(551) 및 상기 절연층(551)을 관통하여 상기 재배선층(552)과 연결된 재배선 비아(553)를 더 포함할 수 있다.
- [0107] 상기 연결부재(550)는 상기 제1 내지 제4 반도체칩(120, 220, 320, 420)의 상기 제1 내지 제4 접속패드(120P, 220P, 320P, 420P)를 재배선할 수 있다. 상기 제1 내지 제4 접속패드(120P, 220P, 320P, 420P)가 상기 연결부재(550)를 통하여 외부에 물리적 및/또는 전기적으로 연결될 수 있다.
- [0108]
- [0109] 상기 절연층(551)은 상술한 바와 같은 절연물질을 포함할 수 있다. 상기 절연물질은 PID 수지와 같은 감광성 절연물질을 포함할 수도 있다.
- [0110] 일 실시예에서, 상기 절연층(551)이 감광성 절연물질을 포함하는 경우, 상기 절연층(551)을 보다 얇게 형성할 수 있으며, 보다 용이하게 상기 재배선 비아(553)의 파인 피치를 달성할 수 있다.
- [0112] 상기 재배선층(552)은 제 상기 제1 내지 제4 접속패드(120P, 220P, 320P, 420P)를 재배선할 수 있다. 상기 재배선층(552)은 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 포함할 수 있다. 상기 재배선층(552)은 해당 층의 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 상기 재배선층(552)은 그라운드 패턴, 파워 패턴, 신호 패턴 등을 포함할 수 있다. 신호 패턴은 그라운드 패턴, 파워 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함할 수 있다. 여기서, 패턴은 배선 및 패드를 포함하는 의미일 수 있다.
- [0114] 상기 재배선 비아(553)는 서로 다른 층에 형성된 상기 재배선층(552), 상기 제1 내지 제4 접속패드(120P, 220P, 320P, 420P) 등을 서로 전기적으로 연결시키며, 그 결과 상기 연결부재(550) 내에 전기적 경로를 형성시킬 수 있다. 상기 재배선 비아(553)는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 포함할 수 있다. 상기 재배선 비아(553)는 금속 물질로 충전된 필드 타입일 수 있으며, 또는 금속 물질이 비아홀의 벽면을 따라 형성된 건포형 타입일 수도 있다. 상기 재배선 비아(553)는 테이퍼 단면 형상을 가질 수 있다. 예를 들어, 상기 재배선 비아(553)는 단면을 기준으로 각각 상부의 폭이 하부의 폭보다 큰 테이퍼 형상일 수 있다.
- [0116] 상기 연결부재(550)의 상기 절연층(551), 상기 재배선층(552), 상기 재배선 비아(553)는 도면에 도시한 것보다 많은 수의 층으로 구성될 수 있다. 또는 도면에 도시한 것보다 적은 수의 층으로 구성될 수 있다.
- [0118] 도 1을 참조하면, 반도체 패키지(100A)는 복수의 층진층들(30)을 더 포함할 수 있다.
- [0120] 상기 복수의 층진층들(30)은 제1 층진층(130), 제2 층진층(230), 제3 층진층(330), 및 제4 층진층(440)을 포함할 수 있다. 상기 제2 층진층(230)은 상기 제1 층진층(130) 상에 배치될 수 있고, 상기 제3 층진층(330)은 상기 제2 층진층(230) 상에 배치될 수 있고, 상기 제4 층진층(440)은 상기 제3 층진층(330) 상에 배치될 수 있다.
- [0121] 일 실시예에서, 상기 복수의 층진층들(30) 상에 상기 연결부재(550)가 배치될 수 있다. 상기 복수의 포스트들(10)은 상기 복수의 층진층들(30) 내에 배치될 수 있다.
- [0123] 상기 제1 층진층(130)은 상기 프레임(101)의 상기 관통 개구부(101H) 내에 배치될 수 있고, 상기 제1 반도체칩(120)의 상기 제1 활성면(120S1) 및 상기 제1 비활성면(120S2)을 덮을 수 있다. 상기 제1 층진층(130)은 상기 제1 반도체칩(120)의 측면을 둘러쌀 수 있다. 상기 제1 층진층(130)은 상기 제1 범프 패턴들(140)의 측면들을 덮을 수 있다. 상기 제1 층진층(130)은 상기 제1 반도체칩(120)의 상기 제1 비활성면(120S2)을 덮으면서, 상기 프레임(101)의 상기 하면(101L)을 덮도록 연장되어 배치될 수 있다. 상기 제1 층진층(130)은 상기 프레임(101)과 상기 제1 반도체칩(120)의 사이를 채우며, 상기 제1 반도체칩(120)의 상기 제1 비활성면(120S2) 및 상기 프레임(101)의 상기 하면(101L) 상으로 연장되고, 상기 제1 반도체칩(120)의 상기 제1 활성면(120S1) 상으로 연장될 수 있다.
- [0124] 상기 제2 층진층(230)은 상기 제1 반도체칩(120)의 상기 제1 활성면(120S1) 상에 배치될 수 있고, 상기 제2 반도체칩(220)의 상기 제2 활성면(220S1)을 덮을 수 있다. 상기 제2 층진층(230)은 상기 제2 반도체칩(220)의 측면을 둘러쌀 수 있다. 상기 제2 층진층(230)은 상기 제2 범프 패턴들(240)의 측면들을 덮을 수 있다. 상기 제2 층진층(230)은 상기 제1 하부 포스트(111)의 측면 및 상기 제1 더미 포스트(111D)의 측면을 덮을 수 있다. 상기 제2 층진층(230)은 상기 제1 포스트(110)의 적어도 일부 및 상기 더미 포스트(110D)의 적어도 일부를 둘러쌀 수

있다. 상기 제2 층진층(230)은 상기 제1 하부 포스트(111) 및 상기 제1 더미 포스트(111D)는 상기 제2 층진층(230)을 관통할 수 있다. 상기 제2 층진층(230)의 적어도 일부는 상기 제1 층진층(130)의 적어도 일부와 직접 접촉할 수 있다.

[0125] 상기 제3 층진층(330)은 상기 제2 반도체칩(220)의 상기 제2 활성면(220S1) 상에 배치될 수 있고, 상기 제3 반도체칩(320)의 상기 제3 활성면(320S1)을 덮을 수 있다. 상기 제3 층진층(330)은 상기 제3 반도체칩(320)의 측면을 둘러쌀 수 있다. 상기 제3 층진층(330)은 상기 3 범프 패턴들(340)의 측면들을 덮을 수 있다. 상기 제3 층진층(330)은 상기 제1 중간 포스트(112)의 측면, 상기 제2 하부 포스트(211)의 측면, 및 상기 제2 더미 포스트(112D)의 측면을 덮을 수 있다. 상기 제1 중간 포스트(112), 상기 제2 하부 포스트(211), 및 상기 제2 더미 포스트(112D)는 상기 제3 층진층(330)을 관통할 수 있다. 상기 제3 층진층(330)의 적어도 일부는 상기 제2 층진층(230)의 적어도 일부와 직접 접촉할 수 있다.

[0126] 상기 제4 층진층(430)은 상기 제3 반도체칩(320)의 상기 제3 활성면(320S1) 상에 배치될 수 있고, 상기 제4 반도체칩(420)의 상기 제4 활성면(420S1)을 덮을 수 있다. 상기 제4 층진층(430)은 상기 제4 반도체칩(420)의 측면을 둘러쌀 수 있다. 상기 제4 층진층(430)은 상기 제4 범프 패턴들(440)의 측면들을 덮을 수 있다. 상기 제4 층진층(430)은 상기 제1 상부 포스트(113)의 측면, 상기 제2 상부 포스트(212)의 측면, 상기 제3 포스트(310)의 측면, 및 상기 제3 더미 포스트(113D)의 측면을 덮을 수 있다. 상기 제1 상부 포스트(113), 상기 제2 상부 포스트(212), 상기 제3 포스트(310), 및 상기 제3 더미 포스트(113D)는 상기 제4 층진층(430)을 관통할 수 있다. 상기 제4 층진층(430)의 적어도 일부는 상기 제3 층진층(330)의 적어도 일부와 직접 접촉할 수 있다.

[0127] 상기 제1 내지 제4 층진층(130, 230, 330, 430)은 절연물질을 포함할 수 있다. 상기 절연물질은, 예를 들어 무기 필러 및/또는 절연수지를 포함하는 비감광성 절연재료를 포함할 수 있다. 상기 비감광성 절연재료는, 예를 들어 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지 중 적어도 하나를 포함할 수 있다. 상기 비감광성 절연재료는, 예를 들어 ABF, EMC일 수 있으며, PIE(Photo Image-able Encapsulant)일 수도 있다.

[0129] 후술하는 공정에서 알 수 있듯이, 반도체 패키지(100A)는 그라인딩 공정을 거칠 수 있으며, 이 경우, 상기 제2 내지 제4 범프 패턴들(240, 340, 440)의 각각이 제1 내지 제3 포스트(110, 210, 310)와 연결되는 표면은 제2 내지 제4 층진층(230, 330, 430)의 각각의 상면과 동일 레벨에 위치할 수 있다. 예를 들어, 상기 제2 범프(141)의 상기 제1 포스트(110)와 연결되는 표면은 상기 제2 층진층(230)의 상면, 즉 상기 제2 층진층(230)의 상기 제3 층진층(33)과 접촉하는 표면과 동일 레벨에 위치할 수 있다. 여기서, 동일 레벨은 공정 오차에 따른 미세한 차이를 포함한 개념이다.

[0131] 도 1을 참조하면, 반도체 패키지(100A)는 상기 복수의 반도체칩들(20)을 고정시키는 접착층(220A, 320A, 420A)을 더 포함할 수 있다.

[0133] 상기 접착층(220A, 320A, 420A)는 다이부착필름(DAF)을 이용할 수 있다. 상기 접착층(220A, 320A, 420A)은 상기 복수의 반도체칩들(20)을 고정할 수 있는 테이프일 수 있다. 상기 접착층(220A, 320A, 420A)은, 예를 들어 에폭시 성분을 포함하는 테이프일 수 있다. 상기 접착층(220A, 320A, 420A)을 통하여 상기 복수의 반도체칩들(20)이 보다 안정적으로 고정될 수 있고, 신뢰성을 향상시킬 수 있다.

[0134] 상기 접착층(220A, 320A, 420A)는 제1 접착층(220A), 제2 접착층(320A), 및 제3 접착층(420A)을 포함할 수 있다.

[0135] 일 실시예에서, 상기 제1 접착층(220A)는 상기 제2 반도체칩(220)의 상기 제2 비활성면(220S2)의 하부에 배치될 수 있다. 상기 제1 접착층(220A)은 상기 프레임(101), 상기 제1 층진층(130), 및 상기 제1 더미 범프(141D)와 접촉할 수 있다.

[0136] 일 실시예에서, 상기 제2 접착층(320A)은 상기 제3 반도체칩(320)의 상기 제3 비활성면(320S2)의 하부에 배치될 수 있다. 상기 제2 접착층(320A)은 상기 제2 층진층(230) 및 상기 제2 더미 범프(241D)와 접촉할 수 있다.

[0137] 일 실시예에서, 상기 제3 접착층(420A)은 상기 제4 반도체칩(420)의 상기 제4 비활성면(420S2)의 하부에 배치될 수 있다. 상기 제3 접착층(420A)은 상기 제3 층진층(330) 및 상기 제3 더미 범프(341D)와 접촉할 수 있다.

[0139] 도 1을 참조하면, 반도체 패키지(100A)는 상기 연결부재(550) 상에 배치된 언더범프금속층(560), 상기 언더범프 금속층(560) 상에 배치된 도전성 패턴(570), 및 금속층(105)을 더 포함할 수 있다.

[0141] 상기 도전성 패턴(570)은 반도체 패키지(100A)를 외부와 물리적 및/또는 전기적으로 연결시킬 수 있다. 예를 들

면, 반도체 패키지(100A)는 상기 도전성 패턴(570)을 통하여 전자기기의 메인보드에 실장될 수 있다. 상기 도전성 패턴(570)은 상기 언더범프금속(560)을 통하여 노출된 상기 재배선층(552)과 전기적으로 연결될 수 있다. 상기 도전성 패턴(570)은 저융점 금속, 예를 들면 주석(Sn) 또는 주석(Sn)을 포함하는 합금을 포함할 수 있다. 상기 도전성 패턴(570)은 솔더(solder) 등으로 형성될 수 있으나, 이에 한정되는 것은 아니다.

- [0142] 상기 도전성 패턴(570)은 랜드(land), 볼(ball), 핀(pin) 등일 수 있다. 상기 도전성 패턴(570)은 다중층 또는 단일층으로 형성될 수 있다. 상기 도전성 패턴(570)이 다중층으로 형성되는 경우, 상기 도전성 패턴(570)은 구리 기둥(pillar) 및 솔더를 포함할 수 있으며, 단일층으로 형성되는 경우에는 주석-은 솔더나 구리를 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0143] 상기 도전성 패턴(570)의 개수, 간격, 배치 형태 등은 실시예들에 따라 다양하게 변경될 수 있다.
- [0145] 도 2는 예시적인 실시예들에 따른 반도체 패키지의 개략적인 모습을 나타낸 단면도이다.
- [0146] 도 2를 참조하면, 반도체 패키지(100B)는 도 1을 참조하여 상술한 반도체 패키지(100A)와 달리, 제1 내지 제4 더미 범프(141Da, 241Da, 341Da, 441Da)가 플레이트 형태가 아닌 필라 형태일 수 있다.
- [0147] 상기 제1 내지 제4 더미 범프(141Da, 241Da, 341Da, 441Da)의 개수, 간격, 및 배치 형태는 실시예들에 따라 다양하게 변경될 수 있다. 상기 제1 내지 제4 더미 범프(141Da, 241Da, 341Da, 441Da)는 제1 내지 제4 범프(141, 241, 341, 441)와 유사하거나 실질적으로 동일한 두께 및/또는 높이를 가질 수 있다.
- [0148] 상기 제1 내지 제4 더미 범프(141Da, 241Da, 341Da, 441Da)는 상기 제1 내지 제4 범프(141, 241, 341, 441)와 함께 제1 내지 제4 범프 패턴들(140a, 240a, 340a, 440a)을 이룰 수 있다. 상기 제1 범프 패턴들(140a)은 제1 반도체칩(120)의 제1 활성면 상에 균일한 높이로 배치되어 반도체 패키지(100B)의 평탄성을 유지할 수 있으며, 열 방출 특성을 향상시킬 수 있다. 상기 제2 내지 제4 범프 패턴들(240a, 340a, 440a)도 상술한 바와 유사한 구조를 갖고 상술한 바와 같은 효과를 제공할 수 있다.
- [0150] 도 3은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 모습을 나타낸 단면도이다.
- [0151] 도 3을 참조하면, 반도체 패키지(100C)는 도 1을 참조하여 상술한 반도체 패키지(100A)와 달리, 제1 내지 제3 포스트(110a, 210a, 310a)의 상부 및 더미 포스트(110Da)의 상부의 폭이 달라질 수 있다. 예를 들어, 제1 포스트(110a)는 제1 폭(W1)을 갖는 제1 하부 포스트(111), 상기 제1 폭(W1)보다 작은 제2 폭(W2)을 갖는 제1 중간 포스트(112), 및 상기 제2 폭(W2)보다 작은 제3 폭(W3)을 갖는 제1 상부 포스트(113a)를 포함할 수 있다. 이는 제2 포스트(210a)의 제2 상부 포스트(212a), 제3 포스트(310a)에 대하여도 마찬가지이다.
- [0152] 더미 포스트(110Da)도 제1 폭(W1)을 갖는 제1 더미 포스트(111D), 상기 제1 폭(W1)보다 작은 제2 폭(W2)을 갖는 제2 더미 포스트(112D), 및 상기 제2 폭(W2)보다 작은 제3 폭(W3)을 갖는 제3 더미 포스트(113Da)를 포함할 수 있다. 이와 같이, 제1 내지 제3 포스트(110a, 210a, 310a)의 각각의 폭 및 더미 포스트(110Da)의 폭을 달리함으로써, 포스트 사이의 정합 마진이 개선될 수 있다.
- [0154] 도 4는 예시적인 실시예들에 따른 반도체 패키지의 개략적인 모습을 나타낸 단면도이다.
- [0155] 도 4를 참조하면, 반도체 패키지(100D)는 도 2를 참조하여 상술한 반도체 패키지(100B)와 달리, 제1 내지 제4 반도체칩(120, 220, 320, 420)의 각각의 제1 내지 제4 활성면 상에 각각 배치되는 제1 내지 제4 절연층(125, 225, 325, 425)을 더 포함할 수 있다.
- [0156] 제1 절연층(125)은 상기 제1 활성면 상에서 제1 범프 패턴들(140a)의 측면들을 덮을 수 있다. 제1 범프 패턴들(140a)이 상기 제1 절연층(125)을 관통하여 배치된 것으로 이해될 수도 있다. 상기 제1 절연층(125)의 측면들은 제1 충전층(130)에 의해 덮일 수 있다.
- [0157] 제2 내지 제4 절연층(225, 325, 425)에 대한 설명은 제1 절연층(125)에 대해 상술한 바와 유사하므로 자세한 설명은 생략한다.
- [0158] 상기 제1 내지 제4 절연층(125, 225, 325, 425)은 절연물질층을 포함할 수 있다. 예를 들어, 상기 절연물질층은 PID 수지와 같은 감광성 절연물질일 수 있다.
- [0159] 상기 제1 내지 제4 절연층(125, 225, 325, 425)은 반도체 패키지(100D)의 강성을 보다 개선시켜 평탄성을 향상시키기 위한 층들일 수 있다. 또한, 상기 제1 내지 제4 절연층(125, 225, 325, 425)은 후술할 그라인딩 공정에서 상기 제1 내지 제4 범프 패턴들(140a, 240a, 340a, 440a)이 형태를 유지하도록 하는 지지부재 역할할 수 있

다.

- [0161] 도 5는 예시적인 실시예들에 따른 반도체 패키지의 개략적인 모습을 나타낸 단면도이다.
- [0162] 도 5를 참조하면, 반도체 패키지(100E)는 도 1을 참조하여 상술한 반도체 패키지(100A)와 달리, 제1 및 제2 층진층(130, 230) 사이의 제1 연결부재(150), 제2 및 제3 층진층(230, 330) 사이의 제2 연결부재(250), 및 제3 및 제4 층진층(330, 430) 사이의 제3 연결부재(350)를 더 포함할 수 있다.
- [0163] 상기 제1 연결부재(150)는 제1 층간 절연층(151), 상기 제1 층간 절연층(151) 상의 제1 배선층(152), 상기 제1 층간 절연층(151)을 관통하여 상기 제1 배선층(152)와 전기적으로 연결된 제1 접속비아(153)를 포함할 수 있다. 상기 제1 배선층(152) 중 일부는 상기 제1 접속비아(153)를 통하여 제1 범프(141)와 전기적으로 연결될 수 있다. 제1 하부 포스트(111)는 제1 배선층(152) 상에 배치될 수 있으며, 상기 제1 배선층(152)을 통하여 제1 접속패드(120P)와 전기적으로 연결될 수 있다. 제1 더미 포스트(111D)도 제1 배선층(152) 상에 배치될 수 있다.
- [0164] 상기 제2 연결부재(250)는 제2 층간 절연층(251), 상기 제2 층간 절연층(251) 상의 제2 배선층(252), 상기 제2 층간 절연층(252)을 관통하여 상기 제2 배선층(252)과 전기적으로 연결된 제2 접속비아(253)를 포함할 수 있다. 상기 제2 배선층(252) 중 일부는 상기 제2 접속비아(253)를 통하여 제2 범프(241)와 전기적으로 연결될 수 있다. 제2 하부 포스트(211)는 제2 배선층(252) 상에 배치될 수 있으며, 상기 제2 배선층(252)을 통하여 제2 접속패드(220P)와 전기적으로 연결될 수 있다. 제1 중간 포스트(112)는 제2 배선층(252) 상에 배치될 수 있으며, 상기 제2 배선층(252)을 통하여 상기 제1 하부 포스트(111)와 전기적으로 연결될 수 있다. 제2 더미 포스트(112D)도 제2 배선층(252) 상에 배치될 수 있다.
- [0165] 상기 제3 연결 부재(350)는 제3 층간 절연층(351), 상기 제3 층간 절연층(351) 상의 제3 배선층(352), 상기 제3 층간 절연층(351)을 관통하여 상기 제3 배선층(352)과 전기적으로 연결된 제3 접속비아(353)를 포함할 수 있다. 상기 제3 배선층(352) 중 일부는 상기 제3 접속비아(353)를 통하여 제3 범프(341)와 전기적으로 연결될 수 있다. 제3 포스트(310)는 제3 배선층(352) 상에 배치될 수 있으며, 상기 제3 배선층(352)을 통하여 제3 접속패드(320P)와 전기적으로 연결될 수 있다. 제2 상부 포스트(212)는 제3 배선층(352) 상에 배치될 수 있으며, 상기 제3 배선층(352)을 통하여 상기 제2 하부 포스트(211)와 전기적으로 연결될 수 있다. 제1 상부 포스트(113)는 제3 배선층(352) 상에 배치될 수 있으며, 상기 제3 배선층(352)을 통하여 제1 중간 포스트(112)와 전기적으로 연결될 수 있다. 제3 더미 포스트(113D)도 제3 배선층(352) 상에 배치될 수 있다.
- [0166] 반도체 패키지(100E)는 제1 배선층(152)을 포함하는 제1 연결부재(150), 제2 배선층(252)을 포함하는 제2 연결부재(250), 제3 배선층(352)을 포함하는 제3 연결부재(350)를 더 포함함으로써, 각 층에 형성된 포스트의 공정 마진이 개선될 수 있고, 제1 내지 제3 층간 절연층(151, 251, 351)이 평탄하게 배치됨으로써 반도체 패키지(100E)의 평탄성을 향상시킬 수 있다.
- [0168] 도 6은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 모습을 나타낸 단면도이다.
- [0169] 도 6을 참조하면, 반도체 패키지(100F)는 도 5를 참조하여 상술한 반도체 패키지(100E)와 달리, 제1 내지 제4 더미 범프(141Da, 241Da, 341Da, 441Da)가 플레이트 형태가 아닌 필라 형태일 수 있다. 이에 대한 설명은 상술한 반도체 패키지(100E)에서 설명한 바와 실질적으로 동일하나 자세한 설명은 생략하기로 한다.
- [0171] 도 7은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 모습을 나타낸 단면도이다.
- [0172] 도 7을 참조하면, 반도체 패키지(100G)는 도 1을 참조하여 상술한 반도체 패키지(100A)와 달리, 제4 범프 패턴들(440)을 구성으로 포함하지 않을 수 있고, 이에 따라, 제4 반도체칩(420)의 제2 접속패드(420P)는 연결부재(550)의 재배선 비아(551)와 직접 접촉하여 재배선층(552)과 전기적으로 연결될 수 있다. 반도체 패키지(100G)는 제4 범프 패턴들(440)을 형성하기 위한 공정이 생략되므로 공정 비용이 감소하고, 제4 반도체칩(420)의 제4 접속패드(420P)와 재배선층(552) 사이의 전기적 연결 경로가 보다 짧아질 수 있다.
- [0174] 도 8은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 모습을 나타낸 단면도이다.
- [0175] 도 8을 참조하면, 반도체 패키지(100H)는 기판(701), 상기 기판(701) 상의 하부 반도체칩(620), 상기 하부 반도체칩(620) 상의 인터포저 기판(601), 및 수동 소자(720)를 더 포함할 수 있다.
- [0176] 일 실시예에서, 도 1을 참조하여 상술한 반도체 패키지(100A)의 도전성 패턴(570)이 인터포저 기판(601)의 제1 면 상에 접합하도록 반도체 패키지(100A)를 배치시킬 수 있다. 상기 도전성 패턴(570)은 상기 인터포저 기판(601) 상에서 상기 인터포저 기판(601)과 전기적으로 연결될 수 있다. 예를 들어, 4 개의 반도체 패키지(100A)

가 인터포저 기관(601) 상에서 상기 제1 면으로부터 동일한 높이에 배치될 수 있다. 제1 내지 제4 접속패드(120P, 220P, 320P, 420P), 즉 입출력(I/O) 단자들이 인터포저 기관(601)을 통하여 다시 한 번 재배선될 수 있다. 도전성 패턴(570)은 언더필 수지 등으로 고정될 수 있다.

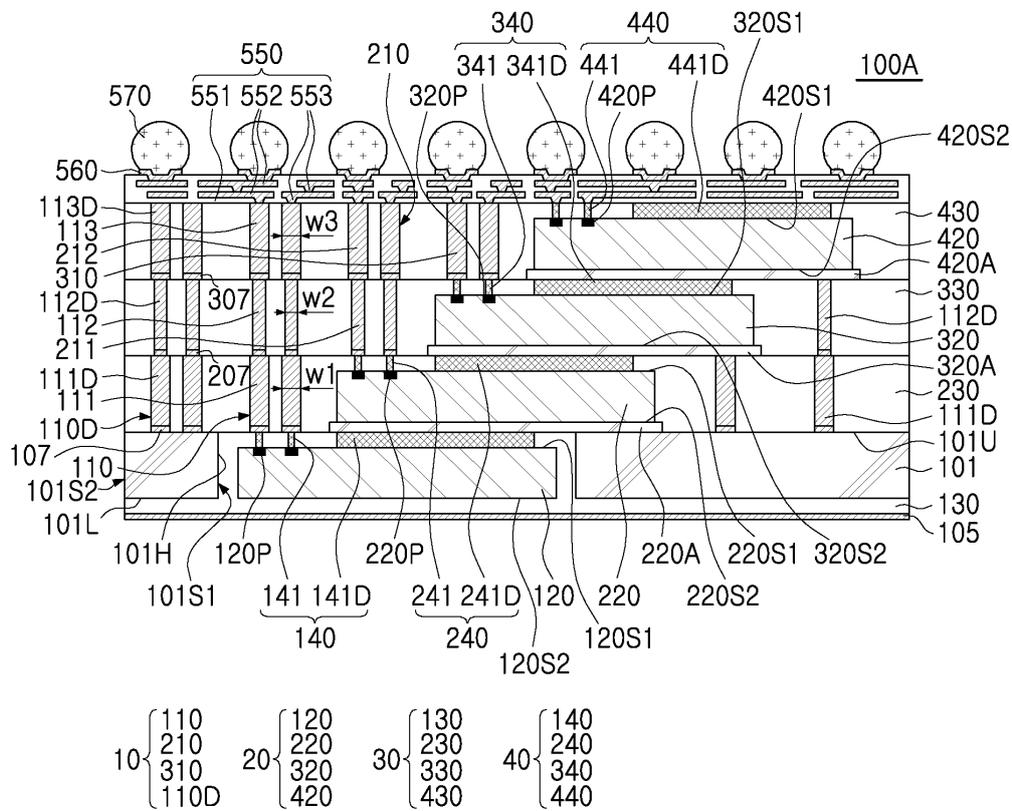
- [0177] 상기 인터포저 기관(601)의 상기 제1 면의 반대측인 제2 면 상에 하부 반도체칩(620)이 배치될 수 있다. 상기 하부 반도체칩(620)은 집적회로(IC: Integrated Circuit)를 포함할 수 있다. 상기 집적회로는, 예를 들어, 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 필드 프로그램어블 게이트 어레이(FPGA), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 프로세서칩을 포함할 수 있다.
- [0178] 상기 하부 반도체칩(620)은, 예를 들어 어플리케이션 프로세서(AP: Application Processor)일 수 있으나, 이에 한정되는 것은 아니며, 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩이나, 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩, 또는 PMIC(Power Management IC)와 같은 다른 종류의 칩이거나, 이들 중 일부의 조합으로 채용될 수도 있다.
- [0179] 상기 하부 반도체칩(620)은 제1 도전성 패턴(670a)을 통하여 기관(701)과 접합할 수 있고, 인터포저 기관(601)은 제2 도전성 패턴(670b)을 통하여 기관(701)과 접합할 수 있다.
- [0180] 수동부품(720)은 기관(701)의 하면 상에 배치될 수 있으며, 제3 도전성 패턴(770) 사이에 배치될 수 있다. 수동부품(720)은 MLCC 나 LICC와 같은 칩 타입의 커패시터, 또는 파워 인덕터와 같은 칩 타입의 인덕터 등일 수 있다. 수동부품(720)의 개수는 특별히 한정되지 않으며, 설계에 따라 도면에 도시한 것보다 많을 수도 있다.
- [0182] 도 9 내지 도 16은 예시적인 실시예들에 따른 반도체 패키지의 제조방법을 설명하기 위한 개략적인 단면도들이다. 도 9 내지 도 16에서는 도 1에 대응되는 단면들을 도시한다.
- [0184] 도 9를 참조하면, 접착 필름(103) 상에 관통 개구부(101H)를 갖는 프레임(101)을 형성할 수 있다. 관통 개구부(101H) 내에 제1 접속패드(120P)가 배치된 제1 활성면(120S1)을 갖는 제1 반도체칩(120)을 배치할 수 있다.
- [0185] 접착 필름(103)은 프레임(101)을 고정할 수 있는 테이프일 수 있다. 예를 들어, 상기 접착 필름(103)은 열처리에 의해 부착력이 약화되는 열처리 경화성 접착 테이프, 또는 자외선 조사에 의해 부착력이 약화되는 자외선 경화성 접착 테이프 등을 포함할 수 있다.
- [0186] 상기 프레임(101)은 상기 관통 개구부(101H)에 의해 노출된 제1 측면(101S1)을 가질 수 있다. 상기 제1 측면(101S1)은 상기 제1 반도체칩(120)을 향하도록 배치될 수 있다. 상기 프레임(101)은 도 1을 참조하여 상술한 바와 같이 절연물질을 포함할 수 있다.
- [0187] 제1 반도체칩(120)은 상기 프레임(101)의 관통 개구부(101H) 내에서 상기 제1 활성면(120S1)이 상기 접착 필름(103)을 향하도록 배치될 수 있다. 상기 제1 반도체칩(120)의 상기 제1 활성면(120S1) 상에는 제1 범프 패턴들(140)이 배치될 수 있다. 상기 제1 범프 패턴들(140)은 상기 제1 접속패드(120P) 상에서 상기 제1 접속패드(120P)와 연결된 제1 범프(141) 및 상기 제1 접속패드(120P)와 연결되지 않는 제1 더미 범프(141D)를 포함할 수 있다.
- [0189] 도 10을 참조하면, 프레임(101)의 관통 개구부(101H)와 제1 반도체칩(120)의 사이의 공간을 채우는 제1 충전층(130)을 형성할 수 있다.
- [0190] 상기 제1 충전층(130)은 상기 프레임(101)의 관통 개구부(101H) 내에서 상기 프레임(101)의 상기 제1 측면(101S1)과 제1 반도체칩(120)의 측면의 사이를 채울 수 있다. 상기 제1 충전층(130)은 상기 제1 반도체칩(120)의 상기 제1 활성면(120S1) 및 상기 제1 비활성면(120S2)을 덮도록 형성될 수 있다. 상기 제1 충전층(130)은 상기 제1 범프 패턴들(140)의 측면들을 덮도록 형성될 수 있다. 상기 제1 충전층(130)은 상기 프레임(101)의 일면, 예컨대 상기 하면(101L)을 덮도록 연장되어 배치될 수 있다.
- [0191] 상기 제1 충전층(130)을 형성하는 것은 제1 충전층(130) 전구체를 라미네이션 한 후 경화하여 형성하는 것을 포함할 수 있다. 다른 실시예에서, 접착 필름(103) 상에 제1 반도체칩(120)을 봉합할 수 있도록 제1 충전층(130)을 도포한 후 경화하여 형성할 수도 있다. 경화에 의하여 제1 반도체칩(120)은 고정될 수 있다.
- [0192] 다음으로, 금속층(105)을 형성할 수 있다. 상기 금속층(105)은 상기 제1 충전층(130) 상에 형성될 수 있다. 다만, 실시예들에 따라 금속층(105)은 도시된 것보다 두꺼운 두께를 가질 수도 있으며, 생략될 수도 있다. 상기 금속층(105)은 워피지 제어용 금속층일 수 있다. 상기 금속층(105)은 복수의 반도체칩들(도 1의 20)로부터 발생된 열을 외부로 용이하게 방출하는 역할을 수행하는 층일 수 있다.

- [0193] 다음으로, 접착 필름(도 9의 103)을 제거할 수 있다. 상기 접착 필름(103)을 제거함으로써, 상기 프레임(101)의 상면(101U)이 노출될 수 있다. 일 실시예에서, 접착 필름(103)은 금속층(105)을 형성한 후에 제거될 수 있으나, 다른 실시예에서, 접착 필름(103)은 금속층(105)을 형성하기 전에 제거될 수 있다.
- [0194] 일 실시예에서, 상기 접착 필름(103)을 제거하는 것은 상기 접착 필름(103)이 열처리에 의해 부착력이 약화되는 열처리 경화성 접착 테이프를 포함하는 경우, 상기 접착 필름(103)을 열처리하여 부착력을 약화시킨 이후에 수행될 수 있다.
- [0195] 일 실시예에서, 상기 접착 필름(103)을 제거하는 것은 상기 접착 필름(103)이 자외선 조사에 의해 부착력이 약화되는 자외선 경화성 접착 테이프를 포함하는 경우, 상기 접착 필름(103)에 자외선을 조사하여 부착력을 약화시킨 이후에 수행될 수 있다.
- [0197] 도 11을 참조하면, 프레임(101)의 상면(101U)을 덮는 금속 시드(seed)층(107)을 형성할 수 있다.
- [0198] 금속 시드층(107)은 실질적으로 평탄한 상면을 갖도록, 프레임(101)의 상면(101U), 제1 충전층(130)의 일부, 제1 범프(141)의 상면, 및 제1 더미 범프(141D)의 상면을 덮으면서 연장되도록 형성될 수 있다. 상기 금속 시드층(107)은 전해 도금 또는 무전해 도금 방식으로 형성될 수 있다.
- [0199] 다른 실시예에서, 금속 시드층(107)을 형성하는 단계는 생략될 수 있다.
- [0201] 도 12를 참조하면, 금속 시드층(107)을 덮는 마스크층(108)을 형성하고, 금속 시드층(107)의 상면 일부가 노출되도록 마스크층(108)의 일부를 제거하여 비아홀을 형성할 수 있다.
- [0202] 마스크층(108)은 전구체를 라미네이션한 후 경화하는 방법, 또는 전구체 물질을 도포한 후 경화하는 방법 등으로 형성할 수 있다. 포토리소그래피법, 기계적 드릴, 및/또는 레이저 드릴 등을 이용하여 마스크층(108)에 비아홀을 형성할 수 있다. 마스크층(108)은 감광성 절연수지(PID: Photo Image-able Dielectric)와 같은 절연 물질을 포함할 수 있다. 상기 비아홀이 형성되면서 금속 시드층(107)의 상면 일부가 노출될 수 있다.
- [0204] 도 13을 참조하면, 상기 비아홀을 채우는 제1 하부 포스트(111) 및 제1 더미 포스트(111D)를 형성하고, 마스크층(108) 및 상면이 노출되지 않은 금속 시드층(107)의 일부를 함께 제거할 수 있다.
- [0205] 일 실시예에서, 상기 제1 하부 포스트(111) 및 상기 제1 더미 포스트(111D)는 도금 공정으로 형성할 수 있다. 상기 도금 공정은 전해도금 또는 무전해 도금 공정일 수 있다.
- [0206] 일 실시예에서, 상기 제1 하부 포스트(111) 및 상기 제1 더미 포스트(111D)는 서브트랙티브(Subtractive), 애디티브(Additive), SAP(Semi-Additive Process), MSAP(Modified Semi-Additive Process)을 이용하여 형성할 수 있다.
- [0207] 다른 실시예에서, 상기 제1 하부 포스트(111) 및 상기 제1 더미 포스트(111D)는 CVD(chemical vapor deposition), PVD(Physical Vapor Deposition)를 이용하여 형성할 수 있다.
- [0208] 상기 금속 시드층(107)의 일부를 제거하는 것은 상기 제1 하부 포스트(111) 및 상기 제1 더미 포스트(111D) 각각의 하부에는 금속 시드층(107)이 잔존하도록 할 수 있다.
- [0209] 다른 실시예에서, 상기 금속 시드층(107)은 생략될 수 있다. 이 경우, 상기 제1 하부 포스트(111) 및 상기 제1 더미 포스트(111D) 각각은 상기 프레임(101)의 상면(101U)과 직접 접촉하도록 형성될 수 있다.
- [0211] 도 14를 참조하면, 제1 반도체칩(120) 상에 접착층(220A)이 제2 비활성면(220S2)에 부착되고, 제2 접속패드(220P)가 배치된 제2 활성면(220S1)을 갖는 제2 반도체칩(220)을 배치할 수 있다.
- [0212] 상기 제2 반도체칩(220)은 상기 제1 반도체칩(120)과 오프셋되어 배치될 수 있다.
- [0213] 상기 제2 반도체칩(220)을 배치하는 것은 상기 제2 반도체칩(220)의 상기 제2 활성면(220S1) 상에 제2 범프 패턴들(240)이 형성된 채로 상기 제2 반도체칩(220)이 상기 제1 반도체칩(120) 상에 배치될 수 있다. 상기 제2 범프 패턴들(240)은 상기 제2 접속패드(220P) 상에서 상기 제2 접속패드(220P)와 연결된 제2 범프(241) 및 상기 제2 접속패드(220P)와 연결되지 않은 제2 더미 범프(241D)를 포함할 수 있다.
- [0215] 도 15를 참조하면, 제2 반도체칩(120)을 덮는 제2 충전층(230)을 형성할 수 있다.
- [0216] 상기 제2 충전층(230)은 상기 제2 반도체칩(220)의 상기 제2 활성면(220S1)을 덮도록 형성될 수 있다. 상기 제2 충전층(230)은 상기 제2 범프 패턴들(240)의 측면들을 덮도록 형성될 수 있다. 상기 제2 충전층(230)은 제1 하

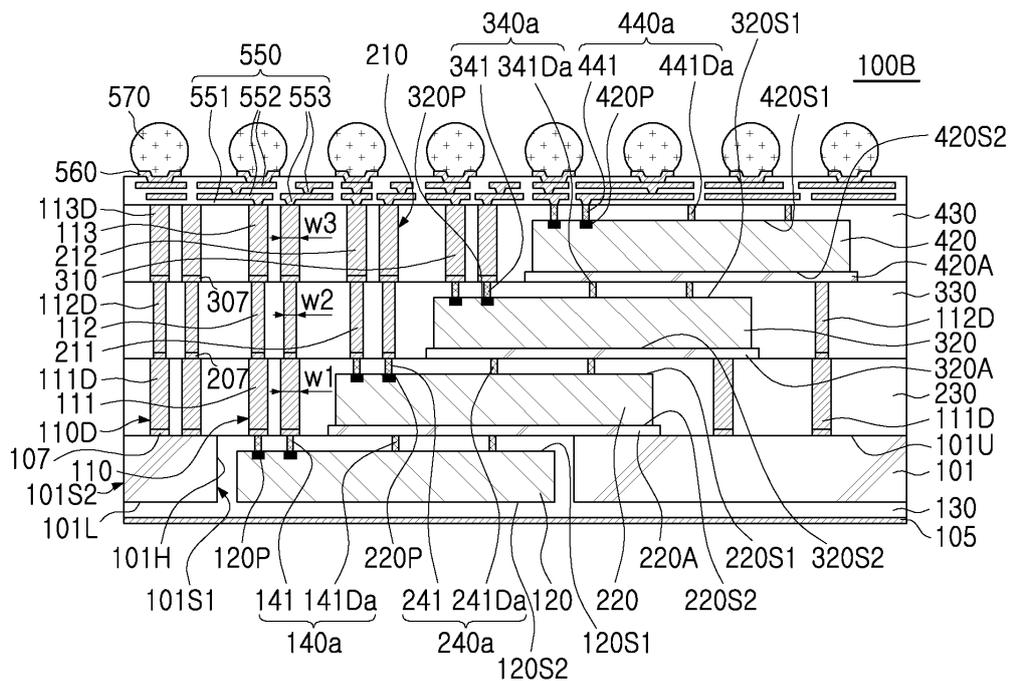
- | | |
|-----------------|-----------------|
| 103: 접착 필름 | 105: 금속층 |
| 107: 금속 시트층 | 110: 제1 포스트 |
| 111: 제1 하부 포스트 | 112: 제1 중간 포스트 |
| 113: 제1 상부 포스트 | 110D: 더미 포스트 |
| 111D: 제1 더미 포스트 | 112D: 제2 더미 포스트 |
| 113D: 제3 더미 포스트 | 120: 제1 반도체칩 |
| 120P: 제1 접속패드 | 125: 제1 절연층 |
| 130: 제1 충전층 | 140: 제1 범프 패턴 |
| 141: 제1 범프 | 141D: 제1 더미 범프 |
| 150: 제1 연결부재 | 151: 제1 층간 절연층 |
| 152: 제1 배선층 | 153: 제1 접속비아 |
| 210: 제2 포스트 | 211: 제2 하부 포스트 |
| 212: 제2 상부 포스트 | 220: 제2 반도체칩 |
| 220P: 제2 접속패드 | 225: 제2 절연층 |
| 230: 제2 충전층 | 240: 제2 범프 패턴 |
| 241: 제2 범프 | 241D: 제2 더미 범프 |
| 250: 제2 연결부재 | 251: 제2 층간 절연층 |
| 252: 제2 배선층 | 253: 제2 접속비아 |
| 310: 제3 포스트 | 320: 제3 반도체칩 |
| 320P: 제3 접속패드 | 325: 제3 절연층 |
| 330: 제3 충전층 | 340: 제3 범프 패턴 |
| 341: 제3 범프 | 341D: 제3 더미 범프 |
| 350: 제3 연결부재 | 351: 제3 층간 절연층 |
| 352: 제3 배선층 | 353: 제3 접속비아 |
| 420: 제4 반도체칩 | 420P: 제4 접속패드 |
| 425: 제4 절연층 | 430: 제4 충전층 |
| 440: 제4 범프 패턴 | 441: 제4 범프 |
| 441D: 제4 더미 범프 | 550: 연결부재 |
| 551: 절연층 | 552: 재배선층 |
| 553: 재배선비아 | 560: 언더범프금속층 |
| 570: 도전성 패턴 | 601: 인터포저 기판 |
| 620: 하부 반도체칩 | 701: 기판 |

도면

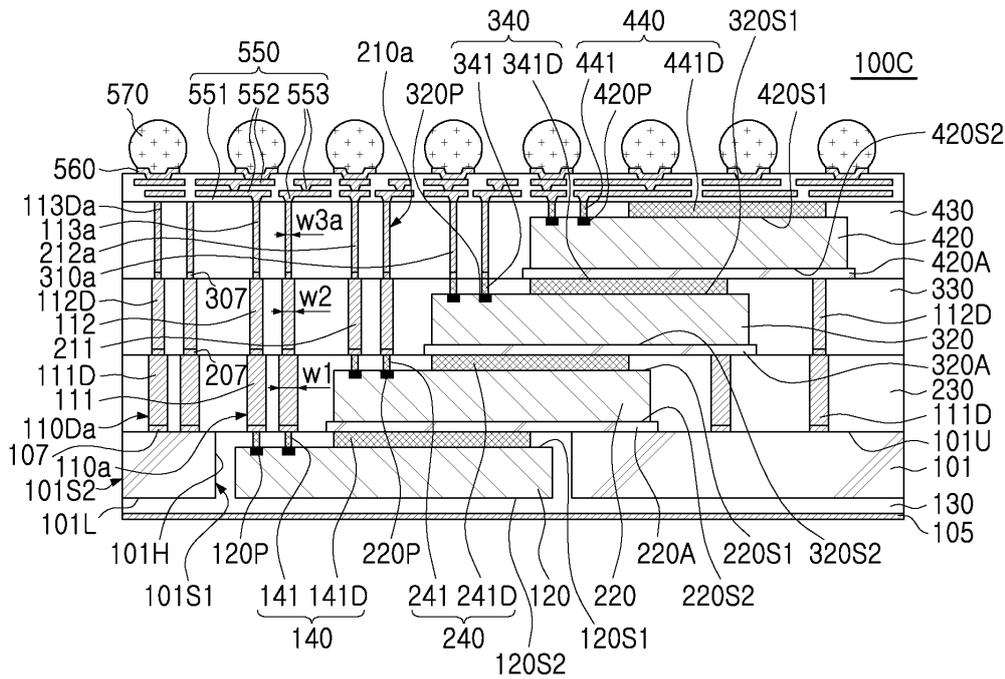
도면1



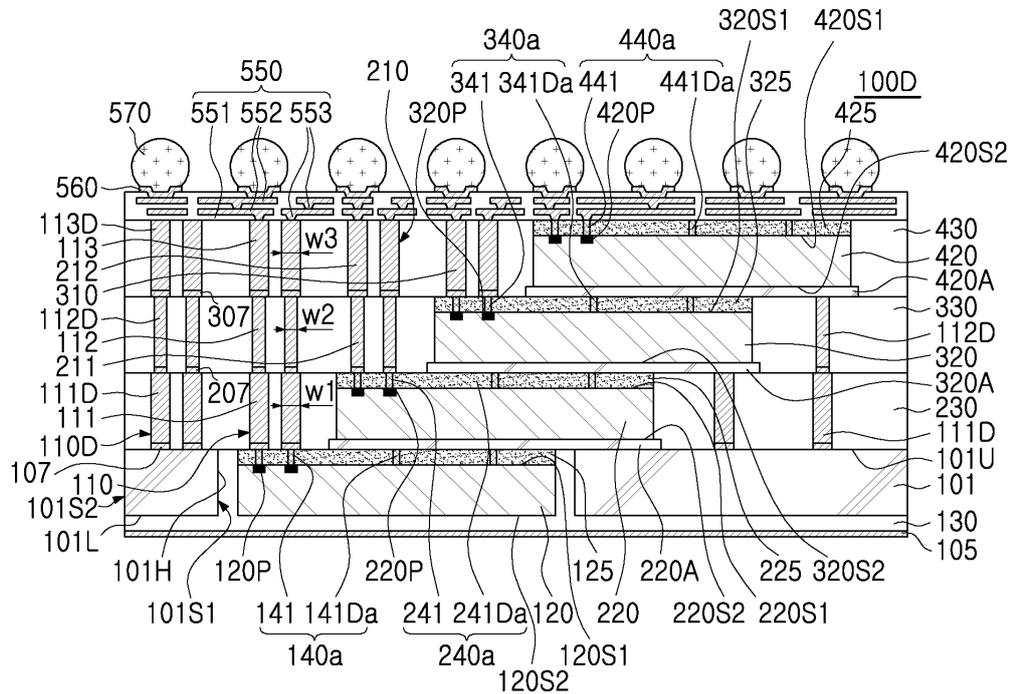
도면2



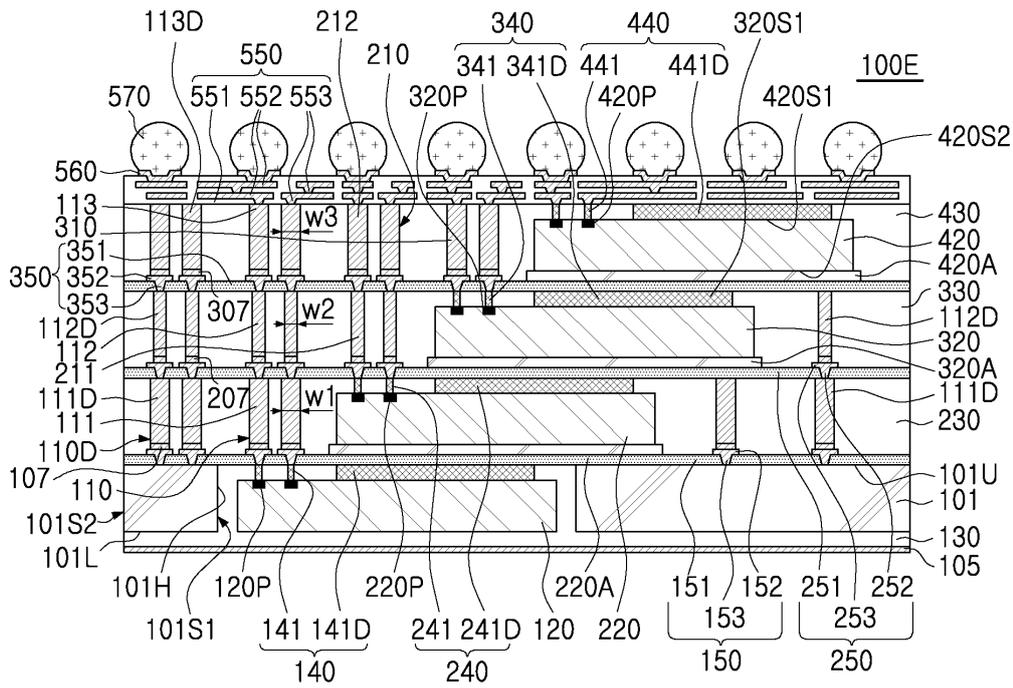
도면3



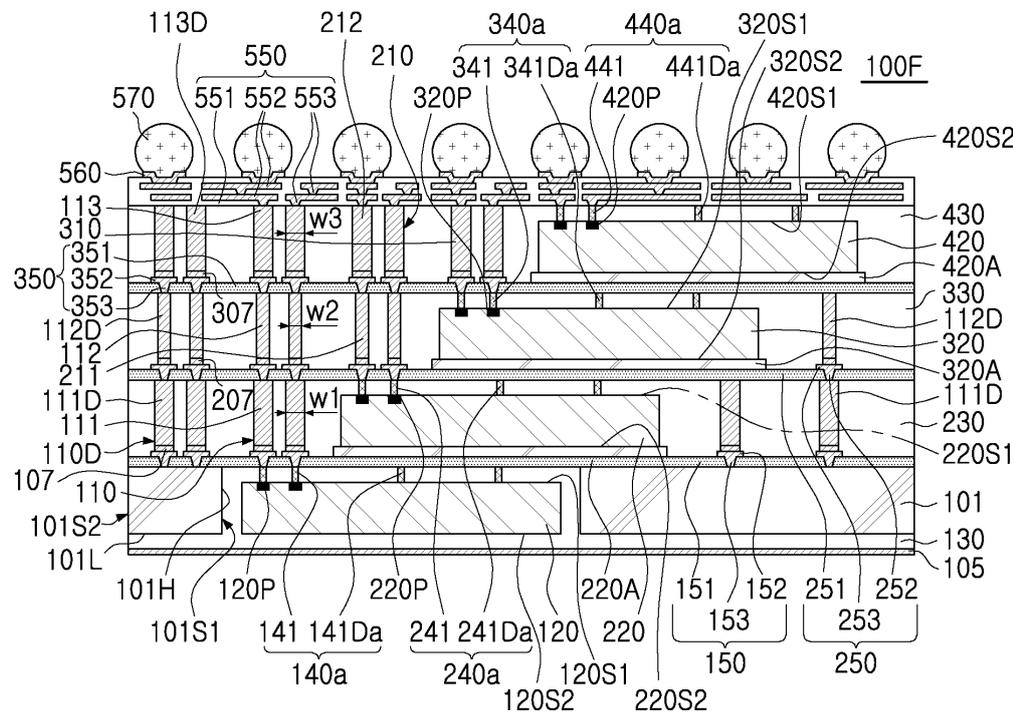
도면4



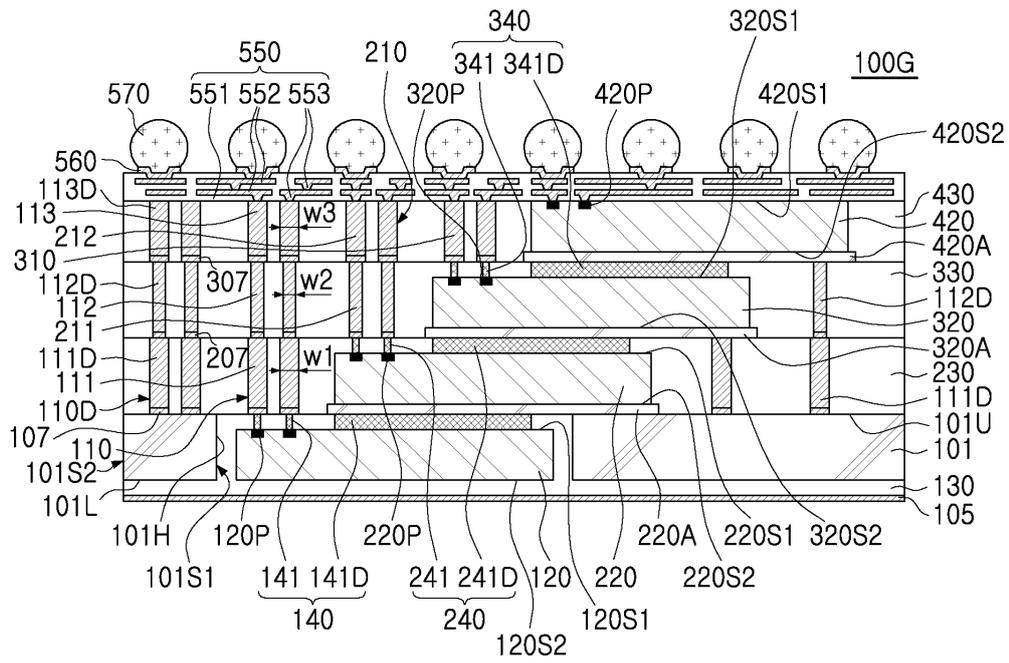
도면5



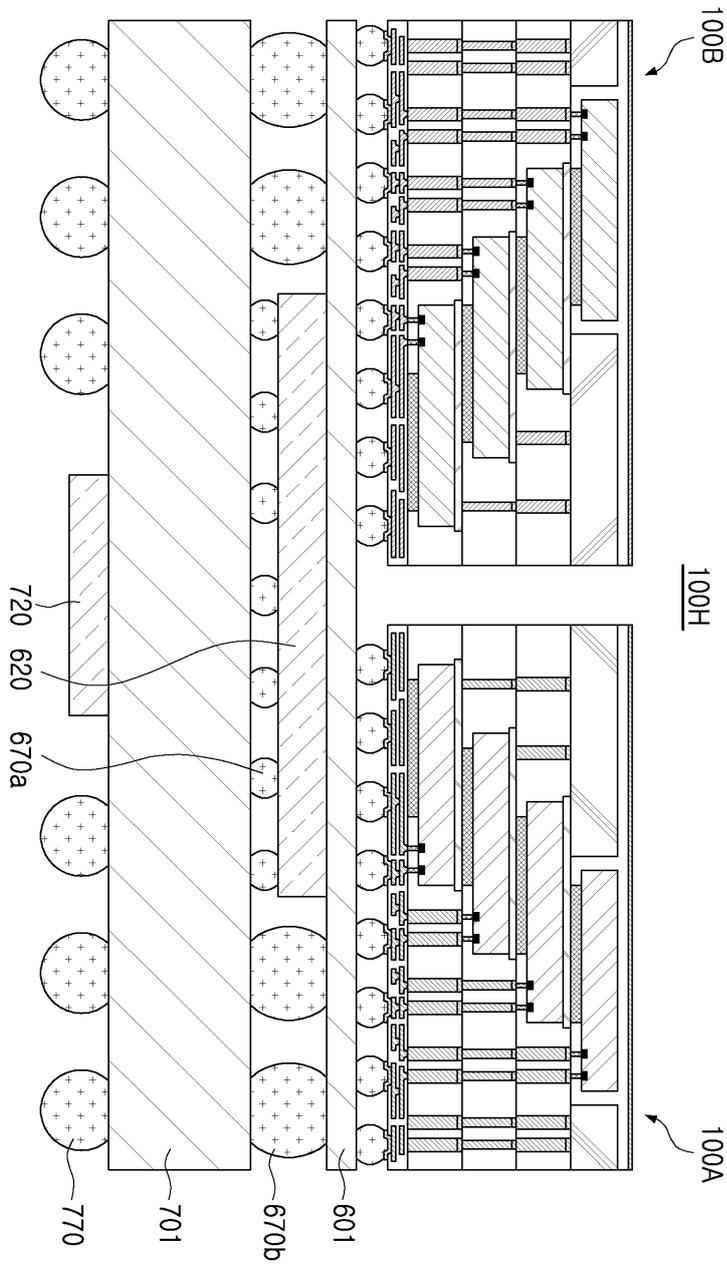
도면6



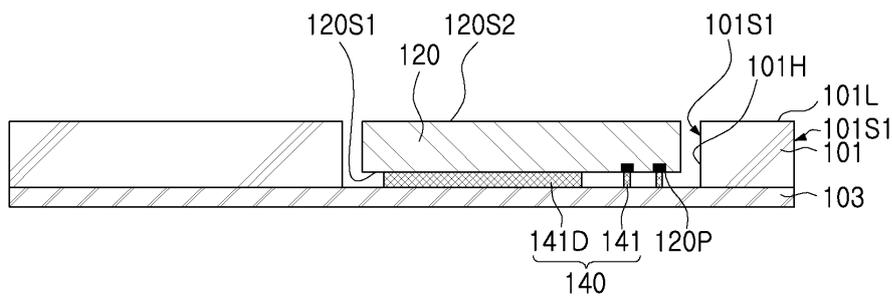
도면7



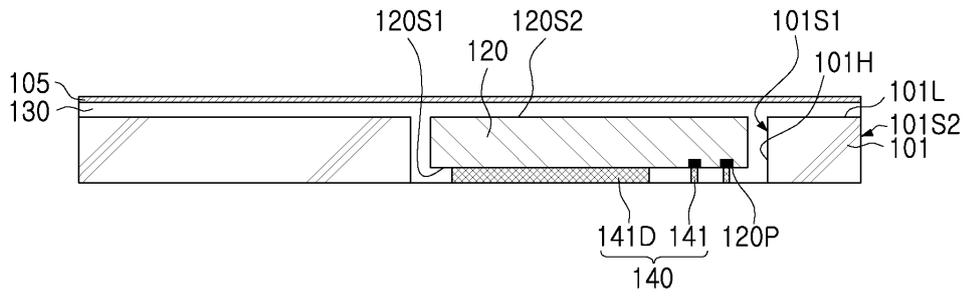
도면8



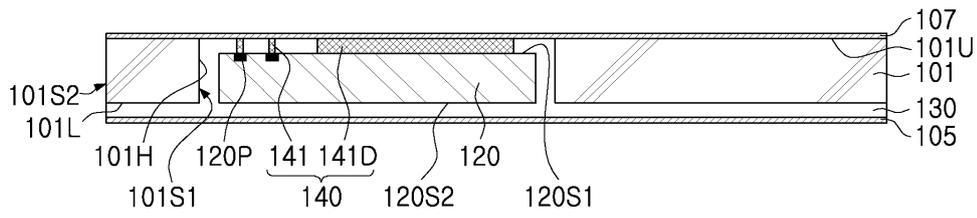
도면9



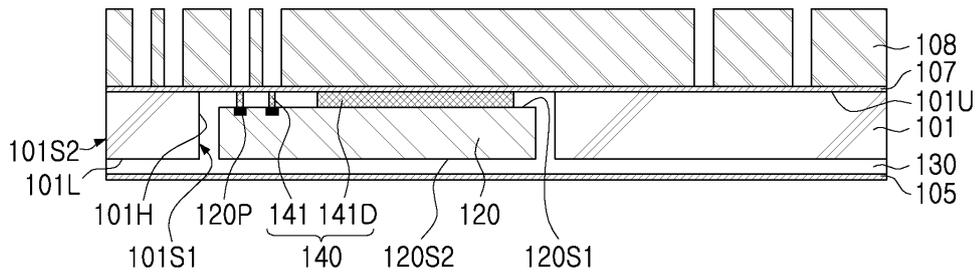
도면10



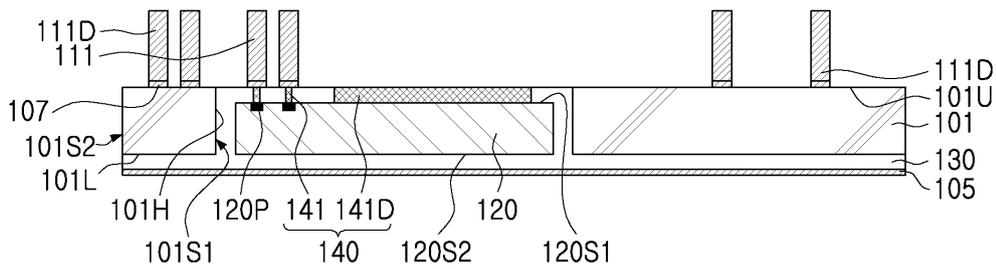
도면11



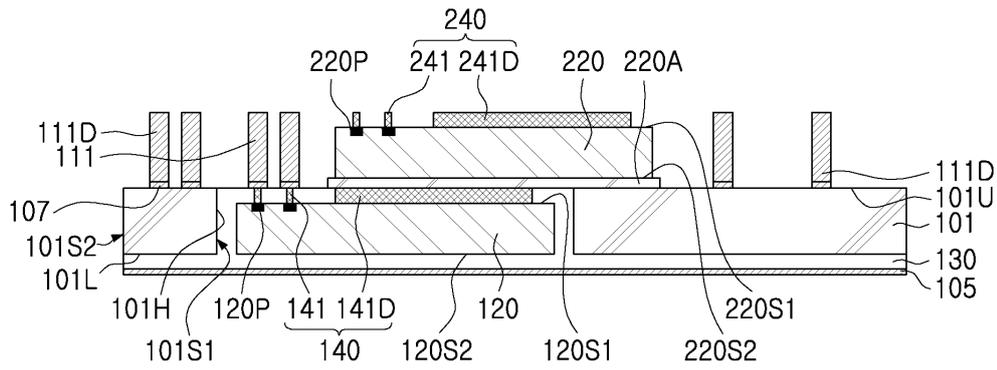
도면12



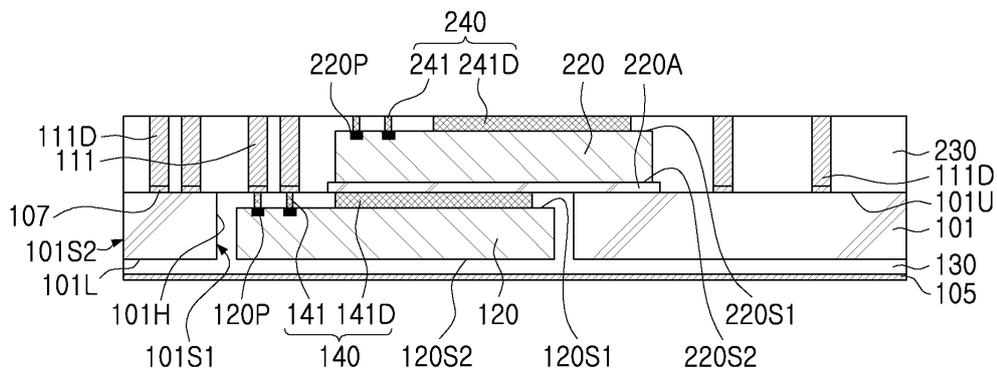
도면13



도면14



도면15



도면16

