



[12] 发明专利申请公开说明书

[21] 申请号 200610071452.4

[43] 公开日 2006年11月1日

[11] 公开号 CN 1855493A

[22] 申请日 2006.3.28

[21] 申请号 200610071452.4

[30] 优先权

[32] 2005. 3. 28 [33] JP [31] 092869/05

[32] 2005. 3. 28 [33] JP [31] 092874/05

[32] 2005. 3. 28 [33] JP [31] 092875/05

[32] 2006. 1. 19 [33] JP [31] 011310/06

[71] 申请人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 浅野哲郎

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯宇

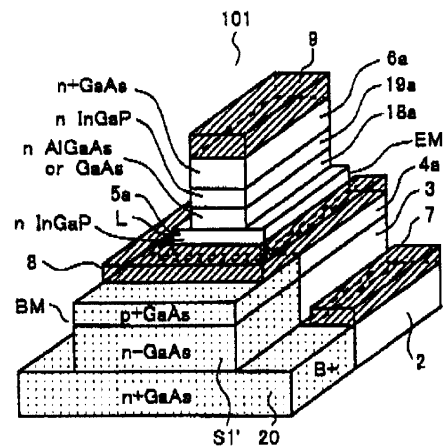
权利要求书 3 页 说明书 47 页 附图 26 页

[54] 发明名称

有源元件以及开关电路装置

[57] 摘要

本发明涉及一种有源元件和开关电路装置。将单位 HBT 与单位 FET 经由分离区域相邻配置，将多个在单位 HBT 的基极与单位 FET 的源极连接而得的单位元件而连接而构成有源元件。由此，可得到电流难以向单位元件集中，不会由二次击穿而破坏的有源元件。另外，在单位 FET 中为确保耐压而采用掩埋栅极结构，通过使之成为不使掩埋部向 In-GaP 层扩散的结构可防止 Pt 的反常扩散。另外，在单位 HBT 的发射极台面、基极台面形成及突缘形成及单位 FET 的栅极凹陷蚀刻中可使用选择性蚀刻，再现性良好。由此，可解决在 HBT 中实现增加基极电流提高电流密度会引起二次击穿，导致破坏的问题。



1. 一种有源元件，其特征在于，具有：化合物半导体衬底，其层叠多个形成至少一个异质结的半导体层而成；第一晶体管，其设置在所述衬底上，将所述半导体层的第一、第二、第三半导体层分别形成集电极层、基极层、发射极层，并具有集电极、基极、发射极；第二晶体管，其设置在所述衬底上，并具有栅极、源极、漏极；单位元件，其将所述第一晶体管和所述第二晶体管经由分离区域而邻接配置，并将所述第一晶体管的所述基极和所述第二晶体管的所述源极连接而成，

并联连接多个所述单位元件，并将所述各单位元件的所述第二晶体管的漏极与电源端子连接，通过输入到所述第二晶体管的所述栅极的电压信号使所述各单位元件的所述第一晶体管的集电极-发射极之间的电流变化。

2. 如权利要求1所述的有源元件，其特征在于，具有：第四半导体层，其设置在所述第三半导体层之上；第五半导体层，其设置在该第四半导体层之上，并与该第四半导体层之间的蚀刻的选择比大。

3. 如权利要求1所述的有源元件，其特征在于，一个所述单位元件将所述第二晶体管的所述漏极、所述栅极、以及所述第一晶体管的所述发射极、所述集电极分别与其他所述单位元件所对应的所述各电极并联共用连接。

4. 如权利要求1所述的有源元件，其特征在于，所述第二晶体管的沟道层的至少一部分设置在与所述发射极层相同的半导体层上。

5. 如权利要求1所述的有源元件，其特征在于，构成所述基极层和所述集电极层的所述半导体层与所述第二晶体管连续。

6. 如权利要求1所述的有源元件，其特征在于，所述第一晶体管的所述各电极设置成梳齿状并向第一方向延伸，所述第二晶体管的所述栅极向第二方向延伸。

7. 如权利要求1所述的有源元件，其特征在于，所述基极层为 p+型 GaAs 层。

8. 如权利要求1所述的有源元件，其特征在于，所述发射极层为 InGaP 层。

9. 如权利要求1所述的有源元件，其特征在于，所述第一晶体管的集

电极电流具有负的温度系数。

10. 如权利要求 2 所述的有源元件，其特征在于，所述第二晶体管的各栅极设置在第四半导体层之上。

11. 如权利要求 2 所述的有源元件，其特征在于，所述第二晶体管的各栅极将最下层金属的一部分埋入所述第四半导体层内。

12. 一种开关电路装置，其特征在于，具有：化合物半导体衬底，其层叠多个形成至少一个异质结的半导体层而成；第一晶体管，其设置在所述衬底上，将所述半导体层的第一、第二、第三半导体层分别形成集电极层、基极层、发射极层，并具有集电极、基极、发射极；第二晶体管，其设置在所述衬底上，并具有栅极、源极、漏极；单位元件，其将所述第一晶体管和所述第二晶体管经由分离区域而邻接配置，并将所述第一晶体管的所述基极和所述第二晶体管的所述源极连接而成；多个开关元件，其将所述单位元件并联连接；第一 RF 端口，其与所述多个开关元件的集电极或发射极共用连接；多个第二 RF 端口，其与所述多个开关元件的发射极或集电极分别连接；电源端子，其与所述多个开关元件的漏极分别连接，

分别向所述第二晶体管的栅极施加控制信号，通过由所述第二晶体管的导通所供给的电流驱动所述第一晶体管，并在所述第一和第二 RF 端口间形成信号路径。

13. 如权利要求 12 所述的开关电路装置，其特征在于，具有，第四半导体层，其设置在所述第三半导体层之上；第五半导体层，其设置在该第四半导体层上，并与该第四半导体层之间的蚀刻的选择比大。

14. 如权利要求 12 所述的开关电路装置，其特征在于，一个所述单位元件将所述第二晶体管的所述漏极、所述栅极、以及所述第一晶体管的所述发射极、所述集电极与其他的所述单位元件所对应的所述各电极分别并联共用连接。

15. 如权利要求 12 所述的有源元件，其特征在于，所述发射极层与所述第二晶体管的沟道层的至少一部分设置在同一半导体层上。

16. 如权利要求 12 所述的有源元件，其特征在于，所述第一晶体管的所述各电极设置成梳齿状并向第一方向延伸，所述第二晶体管的所述栅极向第二方向延伸。

17. 如权利要求 12 所述的开关电路装置，其特征在于，所述第一晶体

管在所述发射极层以及所述基极层间与所述基极层以及所述集电极层间具有异质结，正向晶体管工作时的接通电阻值与反向晶体管工作时的接通电阻值在一个基极电流值中大致相等。

18. 如权利要求 12 所述的开关电路装置，其特征在于，具有与多个所述第二晶体管的各栅极和至少的一个控制端子连接的逻辑电路，并从该一个控制端子分别向各栅极施加控制信号。

19. 如权利要求 12 所述的开关电路装置，其特征在于，将所述开关元件与其他所述开关元件串联多级连接。

20. 如权利要求 12 所述的开关电路装置，其特征在于，所述基极层为 p+型 GaAs 层。

21. 如权利要求 12 所述的开关电路装置，其特征在于，所述发射极层为 InGaP 层。

22. 如权利要求 12 所述的开关电路装置，其特征在于，所述第一晶体管的集电极电流具有负的温度系数。

23. 如权利要求 12 所述的开关电路装置，其特征在于，将提供相等的偏电位的偏压点分别与所述开关元件的发射极以及集电极连接。

24. 如权利要求 23 所述的开关电路装置，其特征在于，在所述开关元件的发射极和所述偏压点之间、以及所述开关元件的集电极和所述偏压点之间分别连接高频信号的分离元件。

25. 如权利要求 12 所述的开关电路装置，其特征在于，将高频信号的分离元件连接在所述电源端子和所述第二晶体管之间。

26. 如权利要求 12 所述的开关电路装置，其特征在于，构成所述基极层与所述集电极层构成的所述半导体层与所述第二晶体管连续。

27. 如权利要求 13 所述的开关电路装置，其特征在于，所述第二晶体管的各栅极设置在所述第四半导体层之上。

28. 如权利要求 13 所述的开关电路装置，其特征在于，所述第二晶体管的各栅极将最下层金属的一部分埋入所述第四半导体内。

29. 如权利要求 18 所述的开关电路装置，其特征在于，所述逻辑电路包含第三晶体管，该第三晶体管的栅极设置在所述第三半导体层上。

有源元件以及开关电路装置

技术领域

本发明涉及一种具有异质结型双极晶体管的有源元件以及开关电路装置，特别是涉及一种温度补偿型的有源元件以及开关电路装置。

背景技术

异质结型双极晶体管（Heterojunction Bipolar Transistor:以下称为 HBT）与通常的同质结型双极晶体管相比发射效率高且电流放大率 h_{FE} 大，故可大幅度地提高基极浓度，而可在整个基极均匀地进行晶体管工作。其结果是，与 GaAs MESFET（Metal Semiconductor Field Effect Transistor: 金属半导体场效应晶体管）、GaAs JFET（Junction FET: 结型场效应晶体管）、HEMT（High Electron Mobility Transistor: 高电子迁移率晶体管）相比，其电流密度高且连通电阻低所以具有良好的效率性，增益性，失真特性。

在手机等移动体用通信设备中，高效且小型的高频开关元件是不可缺少的。因此，公知有如图 26 所示的将双向的 HBT 作为开关元件而构成开关电路的结构。

图 26 是表示将 HBT 作为开关元件使用的开关电路的一例。图 26 (A) 为电路图、图 26 (B) 为表示 HBT 结构的剖面图。

如图 26 (A)，该电路具有发射极与天线 ANT 连接的第一 HBT320 和集电极与天线 ANT 连接的第二 HBT321，第一 HBT320 的集电极与发送信号用侧电路 Tx 连接。另外，第二 HBT321 的发射极与接收信号侧电路 Rx 连接，HBT320, 321 的各基极经由电阻 322 分别与发送信号用控制端子 CtrlTx 和接收信号用控制端子 CtrlRx 连接。

如图 26 (B) 所示，在半绝缘性 GaAs 衬底 310 之上形成 n 型 GaAs 副集电极层 311，在副集电极层 311 之上层叠 n 型 AlGaAs 集电极层 312、p 型 GaAs 基极层 313、n 型 AlGaAs 发射极层 314、n 型 GaAs 发射接触层 315 等成台面形而构成。

在副集电极层 311 的表面夹着集电极层 312 的位置上配置集电极 316。

在集电极 313 的表面夹着发射层 314 的位置上配置基极 317。在发射接触层 315 的上部配置发射极 318。将图中所示的最小单位 HBT 作为单位元件 320' (321')，通过将它们并联连接而构成作为有源元件的第一 HBT320 (第二 HBT321) (如参考专利文献 1)

专利文献 1: 特开 2000-260782 号公报

HBT 的发射极 318、基极 317、集电极 316 形成为梳齿状。将图 26 (B) 所示的结构作为一个单位元件，将多个单位元件并联连接而构成开关元件等的有源元件。

由于 HBT 的基极-发射极间电流具有正的温度系数，所以集电极电流也具有正的温度系数。因此，若设法使基极电流增加而提高电流密度，则在多个并联连接的 HBT 的单位元件中，电流向一个单位元件集中而发生二次击穿而容易造成破坏。

目前，为了避免这样的在可靠性方面的问题而存在不能充分地将电流密度提高的问题。

另外，为了解决该问题通常采取以下的措施。即，将发射镇流电阻及基极镇流电阻插入 HBT320 的梳齿状单位元件 320'。但是，若插入发射镇流电阻及基极镇流电阻则又产生了高频特性劣化的问题。

发明内容

本发明为解决上述问题而构成，本发明的第一方面提供一种有源元件，具有：化合物半导体衬底，其层叠多个形成至少一个异质结的半导体层而成；第一晶体管，其设置在所述衬底上，将所述半导体层的第一、第二、第三半导体层分别形成集电极层、基极层、发射极层，并具有集电极、基极、发射极；第二晶体管，其设置在所述衬底上，并具有栅极、源极、漏极；单位元件，其将所述第一晶体管和所述第二晶体管经由分离区域而邻接配置，并将所述第一晶体管的所述基极和所述第二晶体管的所述源极连接而成。并联连接多个所述单位元件，并将所述各单位元件的所述第二晶体管的漏极与电源端子连接，通过输入到所述第二晶体管的所述栅极的电压信号使所述各单位元件的所述第一晶体管的集电极-发射极之间的电流改变。

本发明的第二方面在于提供一种电路装置，其具有：化合物半导体衬

底，其层叠多个形成至少一个异质结的半导体层而成；第一晶体管，其设置在所述衬底上，将所述半导体层的第一、第二、第三半导体层分别形成集电极层、基极层、发射极层，并具有集电极、基极、发射极；第二晶体管，其设置在所述衬底上，并具有栅极、源极、漏极；单位元件，其将所述第一晶体管和第二晶体管经由分离区域而邻接配置，并将所述第一晶体管的所述基极和所述第二晶体管的所述源极连接而成；多个开关元件，其将所述单位元件并联连接；第一 RF 端口，其与所述多个开关元件的集电极或发射极共用连接；多个第二 RF 端口，其与所述多个开关元件的发射极或集电极分别连接；电源端子，其分别与所述多个开关元件的漏极连接。分别向所述第二晶体管的栅极施加控制信号，通过由所述第二晶体管的导通所供给的电流驱动所述第一晶体管，并在所述第一和第二 RF 端口间形成信号路径。

附图说明

图 1 (A)、(B) 是说明本发明的第一实施例的电路图；

图 2 是说明本发明的第一实施例的平面图；

图 3 是说明本发明的第一实施例的 (A) 剖面图、(B) 剖面图、(C) 立体图、(D) 立体图；

图 4 (A) ~ (C) 是说明本发明的第一实施例的剖面图；

图 5 是说明本发明的第一实施例的 (A) 电路图、(B) 电路方块图；

图 6 (A)、(B) 是说明本发明第二实施例的剖面图；

图 7 (A)、(B) 是说明本发明第二实施例的剖面图；

图 8 是说明本发明第三实施例的 (A) 电路概要图、(B) 电路图；

图 9 是说明本发明第三实施例的平面图；

图 10 是说明本发明的第三实施例的 (A) 剖面图、(B) 剖面图、(C) 立体图、(D) 立体图；

图 11 (A)、(B) 是说明本发明第三实施例的特性图；

图 12 (A) ~ (C) 是说明本发明第三实施例的剖面图；

图 13 (A)、(B) 是说明本发明第四实施例的剖面图；

图 14 (A)、(B) 是说明本发明第四实施例的剖面图；

图 15 (A)、(B) 是说明本发明第五实施例的电路概略图；

- 图 16 是说明本发明的第五实施例的 (A) 平面图、(B) 剖面图；
 图 17 是说明本发明的第五实施例的剖面图；
 图 18 是说明本发明第六实施例的电路概略图；
 图 19 是说明本发明第七实施例的电路概略图；
 图 20 是说明本发明的第一实施例的 (A) 剖面图、(B) 剖面图、(C) 立体图、(D) 立体图；
 图 21 (A)、(B) 是说明本发明的第八实施例的剖面图；
 图 22 (A)、(B) 是说明本发明的第八实施例的剖面图；
 图 23 (A) ~ (C) 是说明本发明的第九实施例的剖面图；
 图 24 是说明本发明的第十实施例的 (A) 剖面图、(B) 立体图、(C) 立体图；
 图 25 (A)、(B) 是说明本发明的第九实施例的剖面图；
 图 26 是说明现有技术的 (A) 电路图、(B) 剖面图。

附图标记说明

- 1 GaAS 衬底
- 2 副集电极层
- 3 第一半导体层 (集电极层)
- 4 第二半导体层 (p+型 GaAs 层)
- 4a 基极层
- 5 第三半导体层 (n 型 InGaP 层)
- 5a 发射极层
- 6 n+型 GaAs 层
- 6a 发射极接触层
- 7、13 集电极
- 8 基极
- 9、15 发射极
- 4b p+型缓冲层
- 5b 沟道下部层
- 5b' 沟道层
- 6bs、6bd、6bse、6bde、6bsd、6bdd 集电极层
- 10、16 漏极

- 11 源极
- 12 栅极
- 12b 掩埋部
- 17 连接配线
- 18、18a 第四半导体层 (n型 AlGaAs 层或 n型 GaAs 层)
- 18b 沟道上部层
- 19、19a 第五半导体层 (n型 InGaP 层)
- 20 分离区域
- 23 传导区域
- 30 分离元件
- 31 非合金欧姆层
- 33、33a、33b 镇流电阻层
- 41 反演电路 (インバータ回路)
- 51 氮化膜
- 100 单位元件
- 101 单位 HBT
- 102 单位 FET
- 115、135、115e、115d、135e、135d 源极
- 116、136、116e、116d、136e、136d 漏极
- 120 栅极配线
- 127 第一栅极
- 127b 掩埋部
- 128 第二栅极
- 130 集电极配线
- 150 发射极配线
- 160 漏极配线
- 170 周边传导区域
- 200 有源元件
- 200a 集合元件
- 210 功率放大电路装置
- R1、R2 电阻

R11、R12、R13	电阻
R21、R22、R23	电阻
R31、R32、R33	电阻
411	电阻
412	E型 FET
413	D型 FET
414	E型 FET
L	突缘
EM	发射极台面
BM	基极台面
CP	连接点
SW、SW1、SW2	开关元件
SW1-1、SW1-2、SW1-3	开关元件
SW2-1、SW2-2、SW2-3	开关元件
SW3-1、SW3-2、SW3-3	开关元件
S、S1、S2	开关元件组
IN	共用输入端子
OUT1	第一输入端子
OUT2	第二输入端子
OUT3	第三输入端子
Ct1	控制端子
Ct11	第一控制端子
Ct12	第二控制端子
Ct13	第三控制端子
BP	偏压点 (バイアスポイント)

具体实施方式

下面，利用图 1～图 25 详细说明本发明的实施例。

首先，参照图 1～图 5，表示本发明的第一实施例的有源元件。图 1(A) 为有源元件的电路图，图 1(B) 为构成有源元件的单位元件的电路图。

如图 1(A)，有源元件 200 为并联连接多个单位元件 100 (虚线) 的结

构。单位元件 100 具有第一晶体管 101 与第二晶体管 102。

第一晶体管 101 为在化合物半导体衬底上层叠作为集电极层、基极层、发射极层的半导体层而形成至少一个异质结，且具有分别与各半导体层连接的集电极、基极、发射极的 HBT。HBT 具有台面结构，在本实施例中，由最小单位的台面结构所构成的第一晶体管以下称为单位 HBT101。

第二晶体管 102 为与单位 HBT101 设置在同一衬底上，将两个半导体层作为沟道层，且具有栅极、源极、漏极的 MESFET (Metal Semiconductor Field Effect Transistor: 金属半导体场效应晶体管)。在本实施例中，由各电极的最小单位构成的第二晶体管 102 以下称为单位 FET102。单位 FET102 是用于向单位 HBT101 提供基极电流的驱动晶体管。

一组单位 HBT101 与单位 FET102 经由后述的分离区域相邻配置，单位 HBT101 的基极与单位 FET102 的源极连接构成成为一个单位元件 100 (虚线)。

多个的单位元件 100 并联连接构成有源元件 200。具体地说，一个单位元件 100 将单位 HBT101 的发射极、集电极、以及单位 FET102 的漏极、栅极分别共用连接其他单位元件 100 的发射极、集电极、漏极、栅极。

各单位元件 100 的单位 FET102 的漏极与电源端子 V_{DD} 连接。并且，通过施加在单位 FET102 的栅极上的电压信号使单位 HBT101 的集电极-发射极间的电流变化。

参照图 1 (B)，单位元件 100 的单位 HBT101 与单位 FET102 经由分离区域而相邻配置 (后述)，单位 HBT101 的基极与单位 FET102 的源极连接。单位元件 100 并联连接，一个单位元件 100 的基极和源极与不共用连接到其他单位元件 100 的基极和源极上。

图 2 是表示有源元件 200 的平面图。

这样，单位 HBT101 在平面图中例如图案形成为梳齿状。并且，单位 FET102 与各单位 HBT101 连接。即，本实施例的单位元件 100 形成为梳齿状，将各梳齿分别并联连接构成有源元件 200。

在化合物半导体衬底上层叠多个半导体层，形成单位 HBT101 和单位 FET102。

单位 HBT101 如后所述，以所希望的图案将各半导体层进行台面蚀刻，将构成发射极层、基极层的各半导体层形成为台面状。

通过欧姆金属层 (AuGe/Ni/Au)，设置与发射极层、副集电极层分别连

接的第一层的发射极 9、集电极 7，通过欧姆金属层 (Pt/Ti/Pt/Au) 形成与基极层连接的基极 8。发射极 9 及集电极 7 设置为梳齿状。以发射极 9 为中心在其周围如阴影线所示地配置基极 8。并且，在基极 8 的外侧的副集电极层之上配置两个夹持基极 8 的集电极 7。

在第一层的发射极 9、集电极 7 之上通过与它们重叠的配线金属层 (Ti/Pt/Au) 设置第二层的发射极 15、集电极 13。第二层的发射极 15 为与第一层相同的梳齿状。第二层的集电极 13 与集电极配线 130 连接。基极 8 为仅由欧姆金属层形成一层结构。另外，在第二层的发射极 15 之上，由镀金层设置发射极配线 150。

单位 FET102 如后所述，与单位 HBT101 设置在同一衬底和半导体层之上。以所希望的图案将半导体层进行台面蚀刻，将构成接触层、沟道层的各半导体层形成为台面状。

通过欧姆金属层 (AuGe/Ni/Au)，设置与各接触层分别接触的第一层的漏极 10、源极 11。在漏极 10 和源极 11 之间的沟道层表面上，通过栅极金属层 (Pt/Mo) 设置栅极 12。栅极 12 位于岛状的源极 11、漏极 10 之间，在与梳齿状的单位 HBT101 的各电极的延伸方向垂直的方向上延伸设置。

配置漏极 10、源极 11、栅极 12 的单位 FET102 的工作区域形成在由分离区域 20 将半导体层分离的传导区域 23 之上。分离区域 20 是由 B⁺ 等的离子注入形成的绝缘区域，所以在本实施例中分离区域 20 以外的区域即由双点划线所包围的区域成为传导区域 23。传导区域 23 例如为包含 n 型杂质的区域。

在第一层的漏极 10 之上通过配线金属层 (Ti/Pt/Au) 设置第二层的漏极 16。另外，在第二层的漏极 16 之上通过镀金层形成漏极配线 160。

栅极 12 在工作区域之外延伸设置，并与由配线金属层形成的栅极配线 120 连接。栅极配线 120 将栅极 12 之间进行配线且与输入电压信号的端子连接。分离区域 20 也配置在栅极配线 120 的周围。

在第一层的源极 11 之上设置配线金属层的连接配线 17。连接配线 17 将单位 FET102 的源极 11 与单位 HBT101 的基极 8 连接。

单位 FET102 与单位 HBT101 设置在同一衬底及同一半导体层之上，一部分的半导体层形成为台面状并由空间分离。在未被进行台面蚀刻的区域通过离子注入形成的分离区域 20 分离。即，单位 HBT101 与单位 FET102

经由设置在同一衬底及半导体层上的分离区域20而相邻配置,单位HBT101的基极8及单位FET102的源极11通过连接配线17连接。另外,在本实施例中,单位HBT101的基极层和集电极层分别与相当于单位FET102的半导体层连续形成。

在本实施例中,如虚线所示,由发射极9、15、基极8、集电极7、13构成的最小单位的台面结构的单位HBT101与由一组源极11、栅极12、漏极10、16构成的单位FET102连接,构成一个单位元件100。

有源元件200分别并联连接多个单位元件100而构成。即,通过集电极配线130各单位HBT101的集电极13、7互相连接。另外,通过发射极配线150各单位HBT101的发射极15、9互相连接。另外,集电极7、13由相邻的单位元件100共用。另外,通过单位FET102的栅极配线120将各单位FET102的栅极12互相连接。

在此,单位HBT101的基极8与单位FET102的源极11在一个单位元件100中由连接配线17连接。在将多个单位元件100配置成梳齿状的线路图中,单位HBT101的基极8之间及单位FET102的源极11之间不直接连接。

单位FET102的漏极16通过镀金层的漏极配线160配线,漏极配线160与电源端子 V_{DD} 连接。并且单位FET102的栅极配线120与输入电压信号的端子连接。

图3是说明单位元件100的图,图3(A)是图2的a-a线剖面图、图3(B)是图2的b-b线的单位HBT101的剖面图。另外,图3(C)是图3(A)的c-c线所示的剖面将所述单位元件100切离成所述两个区域时的单位HBT101的立体图。图3(D)是FET102的立体图。另外,在图3(B)、(C)、(D)中省略连接电极17。另外在图3(C)、(D)中省略第二及其以上层的电极。

另外,在本申请的所有的实施例中,单位元件100及有源元件200的电路图(图1(A))和平面图(图2)是相同的。但是,如图3所示,构成单位元件100(有源元件200)的各半导体层,根据有源元件200的用途而适当选择。因此,第一实施例(图3)表示构成用于放大器(增幅器)的有源元件200的单位元件100,对该例进行说明。

如图3(A),在半绝缘性的GaAs衬底1之上,层叠多个的半导体层,即n+型GaAs层2、n型GaAs层3、p+型GaAs层4、n型InGaP层5、n

型 AlGaAs 层 18、n 型 InGaP 层 19 和 n+型 GaAs 层 6。另外，n 型 AlGaAs 层 18 也可以为 n 型 GaAs 层，在本实施例中对 n 型 AlGaAs 层 18 进行说明。

通过蚀刻除去半导体层的一部分，形成为台面状。另外，设置到达衬底 1 的分离区域 20。分离区域为由 B⁺等的离子注入形成的绝缘区域 20。

单位元件 100 由台面状的半导体层以及绝缘区域 20 分离为两个区域，在一侧的区域上形成单位 HBT101，在另一侧的区域上形成 FET102。

如图 3 (B)、(C)，单位 HBT101 的副集电极层 2 通过外延生长法在衬底 1 之上形成，是掺杂硅 (Si) 成 $3E18cm^{-3} \sim 6E18cm^{-3}$ 的较高的杂质浓度的 n+型 GaAs 层。其厚度为数千 Å。集电极 3 形成于副集电极层 2 的一部分区域之上，并且是通过硅掺杂而掺杂成 $1E16cm^{-3}$ 左右 $\sim 10E16cm^{-3}$ 左右的杂质浓度的 n-型 GaAs 层。其厚度为数千 Å。基极层 4a 形成于集电极层 3 之上，是通过碳 (C) 掺杂而掺杂成 $1E18cm^{-3} \sim 50E18cm^{-3}$ 左右的杂质浓度的 p+型 GaAs 层。其厚度为数百 ~ 2000 Å。发射极层 5a 在基极层 4a 的一部分区域之上形成台面状 (发射极台面 EM)，是通过硅掺杂而掺杂成 $1E17cm^{-3}$ 左右 $\sim 5E17cm^{-3}$ 左右的杂质浓度的 n 型 InGaP 层。其厚度为数百 \sim 千数百 Å。在发射极层 5a 之上掺杂硅以成为 $1E17cm^{-3}$ 左右 $\sim 5E17cm^{-3}$ 左右的杂质浓度，层叠具有数百 \sim 千数 Å 厚度的 n 型 AlGaAs 层 18a。发射极层 5a 与上层和下层的 AlGaAs 层及 GaAs 层进行晶格匹配。另外，在 n 型 AlGaAs 层 18a 之上掺杂硅成为 $1E17cm^{-3}$ 左右 $\sim 60E17cm^{-3}$ 左右的杂质浓度，层叠具有数百 \sim 千数 Å 厚度的 n 型 InGaP 层 19a。

在此，n 型 InGaP 层 5 形成单位 HBT101 的发射极层 5a 及单位 FET102 的沟道层的一部分，并且在发射极 5a 的侧面附近形成突缘 L。后面详述，通过使 n 型 InGaP 层 5 的厚度变薄为数百 \sim 千数百 Å 而在突缘 L 部分通过表面耗尽层完全耗尽，可防止基极层 4a 表面的发射极-基极间流过复合电流。n 型 AlGaAs 层 18 与 n 型 InGaP 层 5 一起形成单位 FET102 的沟道层的一部分。即，在 n 型 AlGaAs 层 18 的表面形成单位 FET102 的栅极，n 型 AlGaAs 层 18 的厚度设定为单位 FET102 可得到规定的夹断电压 V_p 的厚度。n 型 InGaP 层 19 是为形成单位 FET102 的栅极而使 n 型 AlGaAs 层 18 表面露出的工序中，蚀刻 n+型 GaAs 层 6 的蚀刻阻止层。

n 型 InGaP 层 19 的杂质浓度存在以下的两种情况。第一种情况是掺杂硅以成为 $1E17cm^{-3}$ 左右 $\sim 5E17cm^{-3}$ 左右的杂质浓度，在发射极-基极间施加

反偏压,则耗尽层从发射极-基极间的异质结向发射极层 5a 以及 n 型 AlGaAs 层 18 扩大。发射极-基极间结合要得到规定的耐压需要充分确保该耗尽层的延伸距离。但发射极层 5a 及 n 型 AlGaAs 层 18 的总厚度作为使该耗尽层延伸的距离是不够的。

在这种情况下, n 型 AlGaAs 层 19 也成为用于得到集电极-基极间的规定耐压的、耗尽层延伸的区域的一部分。即,在第一种情况下,使 n 型 AlGaAs 层 19 的杂质浓度为 $1E17cm^{-3}$ 左右~ $5E17cm^{-3}$ 左右,通过在集电极层 5a、 n 型 AlGaAs 层 18、 及 n 型 InGaP 层 19 三层扩大耗尽层确保集电极-基极间的规定耐压。

第二种情况是在 n 型 InGaP 层 19 上掺杂硅以成为 $20E17cm^{-3}$ 左右~ $60E17cm^{-3}$ 左右的杂质浓度。如上所述,在发射极-基极间施加反偏压时,在发射极层 5a 以及 n 型 AlGaAs 层 18 耗尽层扩大,从而确保发射极-基极间的规定的耐压。第二种情况下仅以发射极层 5a 及 n 型 AlGaAs 层 18 的总厚度作为使耗尽层扩大延伸的距离就足够。这时,通过使 n 型 AlGaAs 层 19 的杂质浓度为 $20E17cm^{-3}$ 左右~ $60E17cm^{-3}$ 左右的高浓度,降低单位 HBT101 的发射极寄生电阻性分量及单位 FET102 的源极(漏极)寄生电阻性分量。

另一方面,在第一种情况下,若使 n 型 InGaP 层 19 的杂质浓度为 $20E17cm^{-3}$ ~ $60E17cm^{-3}$ 左右的高浓度,则在发射极-基极间施加反偏压时,耗尽层以发射极-基极间的规定的耐压以下的反偏压电压到达 n 型 InGaP 层 19。所以,即使施加比其高的逆偏移电压,耗尽层在 n 型 InGaP 层 19 中也几乎不延伸,所以发射极-基极间以规定的耐压以下的反偏压电压断开。

另外,在第二种情况下, n 型 InGaP 层 19 的杂质浓度为 $20E17cm^{-3}$ 左右~ $60E17cm^{-3}$ 左右的高浓度 (n^+),此时,将第一种情况和第二种情况总称记作 n 型 InGaP 层 19。

n 型 AlGaAs 层 18 和 n 型 InGaP 层 19 通过台面蚀刻,分别空间分离成 n 型 AlGaAs 层 18a、 18b 和 n 型 InGaP 层 19a、 19b。

发射极接触层 6a 形成在 n 型 InGaP 层 19a 之上,是通过硅掺杂而掺杂成 $3E18cm^{-3}$ 左右~ $6E18cm^{-3}$ 左右的杂质浓度的 n-型 GaAs 层。其厚度为数千 Å。

基极层 4a 和集电极层 3 也形成为台面状(基极台面 BM)。另外,在基

极层 4a 的下层，面 S1'附近设置用于分离的绝缘区域 20。

在副集电极层 2 的表面上夹持集电极层 3 的位置配置由欧姆金属层 (AuGe/Ni/Au) 构成的第一层的集电极 7。在基极层 4a 的表面以包围发射极层 5a 的图案配置欧姆金属层 (Pt/Ti/Pt/Au) 所构成的基极 8。在发射极接触层 6a 的上部配置由欧姆金属层 (AuGe/Ni/Au) 所构成的第一层的发射极 9。第一层的集电极 7、发射极 9 和基极 8 之上由氮化膜 51 覆盖。第一层的集电极 7、发射极 9 经由设置在氮化膜 51 上的接触孔，分别与由配线金属层 (Ti/Pt/Au) 所设置的第二层的集电极 13 和发射极 15 接触。

在此，如图 3 (A)、(B)，发射极层 5a 成为向位于两侧的基极 8 侧突出的突缘 (棚) L。在 L 的上方不设置任何的半导体层，表面耗尽层从突缘 L 表面延伸。另外，突缘 L 的厚度即发射极层 5a 的厚度，较薄地设置为小于或等于表面耗尽层延伸的厚度。因此，突缘 L 由表面耗尽层完全耗尽化。由此，可防止在突缘 L 下方的基极层 4a 的表面流过发射极-基极间的复合电流。

例如后述的其他的实施例的说明，存在作为 HBT 的结构将比突缘 L 的厚度厚的发射极层 5a 和 n+型 GaAs 层 6 直接接触而层叠的情况。这时，也需要将突缘 L 如上所述完全耗尽化、通过发射极 5a 的光蚀刻形成突缘 L。

但是，该方法难以进行湿蚀刻的控制，存在不能再现性良好地形成规定厚度的突缘 L 的问题。即，若突缘 L 的厚度过厚，则从突缘 L 表面向突缘 L 延伸的表面耗尽层不到达基极层 4a。这时，由于突缘 L 表面未完全耗尽化，在基极层 4a 的表面流过发射极-基极间的复合电流，降低 HBT 的电流放大率。另外，用于形成突缘 L 的 n 型 InGaP 层 5 的蚀刻过度，突缘 L 本身也消失了。另外，要提高湿蚀刻的精度，需要降低蚀刻率，产生了蚀刻时间变长的问题。

因此，在本实施例中，单位 FET102 在发射极层 (n 型 InGaP 层) 5a 之上添加 n 型 AlGaAs 层 18a，以得到能够得到规定的夹断电压 V_p 的沟道层的厚度。即如后所述，单位 FET102 的沟道层的厚度为 n 型 InGaP 层 5 及 n 型 AlGaAs 层 18 的总厚度。AlGaAs 层与 InGaP 层的湿蚀刻选择比大。因此，将发射极层 5a 以最合适的规定厚度设置在突缘 L 上，通过选择性蚀刻 n 型 AlGaAs 层 18a 与 n 型 InGaP 层 5a 形成突缘 L。由此，可将突缘 L 以规定的厚度再现性良好且短时间地形成。

另外如上所述,在发射极-基极间施加反偏压时,存在在n型InGaP层19a中也将耗尽层扩大设计,使单位HBT101的发射极-基极结合能确保规定的耐压情况。作为使发射极侧的耗尽层延伸的距离,发射极层5a及n型AlGaAs层18a的总厚度不够的情况下,使形成在n型AlGaAs层18a之上的n型InGaP层19a的杂质浓度为 $1E17cm^{-3}$ 左右~ $5E17cm^{-3}$ 左右。由此,耗尽层也可延伸到n型AlGaAs层19a。

图3(D)是图3(A)的c-c线所示的剖面将单位元件分开时的单位FET102的立体图。单位FET102的n型InGaP层5及n型AlGaAs层18作为沟道层起作用。因此,将n型InGaP层5作为沟道下部层5b,将n型AlGaAs层18作为沟道上部层18b。另外,将最上层的n+型GaAs层6作为接触层6bs、6bd。接触层6bd、6bs分别成为FET的漏极区域和源极区域,在接触层6bd、6bs之上通过欧姆金属层分别形成第一层的漏极10、源极11。

接触层6bd、6bs和其下层的n型InGaP层19b也形成为台面状,在它们之间n型InGaP层19b的下层的n型AlGaAs层18b露出。在露出的n型AlGaAs层18b上设置栅极12。

单位FET102决定从栅极12的底部到构成沟道层的一部分的沟道下部(n型InGaP)层5b的底部的深度,以得到沟道的夹断电压 V_p 。即,据此决定形成栅极12的位置(深度)。因此,根据夹断电压 V_p 对所希望的半导体层凹陷蚀刻到规定的深度,在露出的表面上形成栅极12。这时,在凹陷蚀刻中存在偏差,则引起夹断电压 V_p 的偏差,单位FET102的特性恶化。

因此在本实施例中,层叠沟道下部(n型InGaP)层5a、沟道上部(n型AlGaAs)层18b、n型InGaP层19b及n+型GaAs层6。并且,在形成栅极的凹陷蚀刻工序中,首先通过n+型GaAs层6和n型InGaP层19b的选择性蚀刻,蚀刻n+型GaAs层6将接触层的6bd、6bs分离。接着,通过n型InGaP层19b和n型AlGaAs层18b的选择性蚀刻,蚀刻n型InGaP层19b,使形成栅极的n型AlGaAs层18b的表面露出。通过将n型AlGaAs层18b设定为与规定的夹断电压 V_p 相对应的厚度,可以进行形成再现性良好的栅极12的凹陷蚀刻。

这样,在单位FET102中,设置n型AlGaAs层18b及n型InGaP层19b为在露出形成栅极12的表面的凹陷蚀刻中可进行选择性蚀刻,另外,也有利于确保栅极的耐压。

在本实施例中，单位 FET102 的栅极 12 设置在 n 型 AlGaAs 层 18b 之上。并且，采用将构成栅极 12 的栅极金属层（金属多层膜）的最下层金属的一部分埋入 n 型 AlGaAs 层 18b 的掩埋栅极结构。

在此图 4 表示掩埋栅极结构的放大剖面图。采用掩埋栅极结构的情况下，栅极 12 由在最下层采用金属 Pt 的多个金属多层膜（例如 Pt/Mo）构成。并且，将金属多层膜蒸镀在半导体层上后，最下层金属即 Pt 的一部分扩散到半导体层，形成掩埋部 12b。由于掩埋部 12b 为扩散区域，所以理应形成从半导体层表面以规定的曲率向外侧形成弯曲状的形状，有助于提高耐压提高。

图 4 (A) 和图 4 (B) 是表示 Pt 扩散到 InGaP 层的情况。例如在图 4 (A) 中，在非掺杂 AlGaAs 层 401 之上层叠非掺杂 InGaP 层 402，并在 InGaP 层 402 的表面形成栅极 12。由此，栅极 12 的两侧露出的层成为 InGaP 层 402。InGaP 层 402 难以氧化在化学性质上是稳定的，且具有可作为栅极 12 的两侧的工作区域的钝化层使用的优点。掩埋部 12b' 作为栅极 12 的一部分起作用，因此根据夹断电压 V_p 决定掩埋部 12b' 的底部的位位置（扩散深度）。

但是，实际观察栅极 12 的 Pt 扩散到 InGaP 层 402 表面而得的，如图 4 (A) 所示，可判明 Pt 在 InGaP 层 402 表面向横向反常扩散且端部（X 点）成为尖的形状。即，用于提高耐压的掩埋部 12b' 的形状实际上不成为以规定的曲率向外侧弯曲的形状，不能得到对提高耐压有利的形状。

另外，在图 4 (B) 中，表示将非掺杂 AlGaAs 层 401、403 和非掺杂 InGaP 层 402 交替层叠，在 AlGaAs 层 403 的表面形成栅极 12 的结构。由此，即使在 InGaP 层 402 表面不形成栅极 12 的情况下，若贯通 AlGaAs 层 403 扩散的 Pt 到达 InGaP 层 402，则在其表面横向发生反常扩散。

另外，在图 4 (A)、(B) 中半导体层全部以非掺杂层表示，但 Pt 的反常扩散的 InGaP 层（或 AlGaAs 层）为包含杂质的层（掺杂 InGaP 层、掺杂 AlGaAs 层）时也一样。

这样，由于在 InGaP 层 402 的表面 Pt 反常扩散，所以在任何情况下，都在 X 点发生电场集中不能确保掩埋栅极原来的高耐压。即，此时的耐压与不掩埋栅极的情况停留在同一水平上。

图 4 (C) 为本实施例的栅极 12 及掩埋部 12b。这样，在本实施例中，将沟道上部层（n 型 AlGaAs）层 18b 设置在沟道下部层（n 型 InGaP）层

5b 之上,在其表面形成栅极 12。并且,使掩埋部 12b 的底部位于 n 型 AlGaAs 层 18b 内。由此,可在 n 型 InGaP 层 5b 的表面防止 Pt 的反常扩散,掩埋部 12b 的形状成为以规定的曲率向着外侧弯曲的形状,可谋求耐压的提高。

另外,作为其目标的夹断电压 V_p 由从栅极 12 的底部(掩埋部 12b 的底部)到沟道下部层 5b 底部的距离,及沟道下部层 5b 与沟道上部层 18b 的杂质浓度决定。在此,如果栅极金属层最下层的 Pt 的蒸镀膜厚小于或等于 110\AA ,则掩埋部 12b 的深度与蒸镀膜厚成正比例(掩埋部 12b 的深度 = Pt 蒸镀膜厚 $\times 2.4$)。即,掩埋部 12b 的深度可根据 Pt 蒸镀膜厚再现性良好地控制。另外,由于杂质浓度为通过 MOCVD 装置形成外延层时的杂质浓度,所以可进行非常精密的控制。

另一方面,从掩埋部 12b 的底部到沟道下部层 5b 表面的沟道层由沟道上部(n 型 AlGaAs 层)18b 构成。在本实施例中,首先将沟道下部(n 型 InGaP)层 5b 和沟道上部(n 型 AlGaAs)层 18b 的杂质浓度设定,使单位 FET102 得到规定的耐压及接通电阻。接着,将单位 HBT101 的突缘 L 设定为正常起作用的厚度,以使沟道下部(n 型 InGaP)层 5b 的厚度与单位 HBT101 的突缘 L 的厚度相同。最后,将沟道上部(n 型 AlGaAs)层 18b 的厚度设定为单位 FET102 得到规定夹断电压 V_p 的厚度。在沟道上部(n 型 AlGaAs)层 18b 的上层层叠 n 型 InGaP 层 19b。并且,通过 n 型 InGaP 层 19b 和 n 型 AlGaAs 层 18b 的选择性蚀刻,使 n 型 AlGaAs 层 18b 露出。在准备足够厚的 n 型 AlGaAs 层 18b,通过湿蚀刻蚀刻到规定的深度,使形成栅极的表面露出的现有的方法中,蚀刻的再现性差,夹断电压 V_p 较大地偏差。但是,根据本实施例可再现性良好地使形成栅极的 n 型 AlGaAs 层 18b 的表面露出。

在沟道上部(n 型 AlGaAs 层)18b 的下层配置沟道下部层 5b,在沟道下部层 5b 的下层配置 p+型缓冲层 4b。p+型缓冲层 4b 为 p+型 GaAs 层,通过该层可防止从沟道向衬底侧泄漏的载流。

另外,由于 p+型 GaAs 层 4 以下的下层为 FET 是作为工作并没有特别的影响的层,因此,设计得单位 HBT101 的特性最合适即可。

再次参照图 3。如图 3(A)单位元件 100 为使图 3(B)、(C)所示的单位 HBT101 的面 S1'与图 3(D)所示的单位 FET102 的面 S1 抵接的结构。抵接面为图 3(A)的 c-c 线的面。并且,通过配线金属层(Ti/Pt/Au)在单

位 FET102 的源极配线 11 之上设置连接配线 17。连接配线 17 沿单位 FET102 的台面，又通过绝缘区域 20 之上延伸到单位 HBT101 的基极 8 之上。

在此，对台面形状和配线方向进行说明。

在 GaAs 的台面蚀刻中使用湿蚀刻的情况下，晶面影响台面形状。作为晶向和台面形状的关系，在与〔01 杠 (バー) 1 杠〕(以下，记作〔01-1-〕)的方向平行方向上追迹蚀刻台阶表面的情况下的台面形状为正台面形状(梯形的形状)。另外，在与〔01-1-〕的方向垂直的方向上追迹蚀刻台阶表面的台面形状为逆台面形状(悬垂形状)。

即，例如配线金属层提升降低台面台阶的情况下，在因台面形状或配线金属层的延伸方向的不同而产生分级覆盖(step coverage)的问题。

金属层在与〔01-1-〕的方向平行方向上延伸提升降低台面台阶的情况下，由于为正台面形状，所以不产生分级覆盖的问题。但是，配线在与〔01-1-〕方向垂直的方向上延伸提升降低台面台阶的情况下，由于为逆台面形状，所以产生分级覆盖的问题。

在本实施例中，通过形成单位 HBT101 的发射极接触层 6a、n 型 InGaP19a、n 型 AlGaAs 层 18a 及发射极 5a 的台面蚀刻，同时在单位 FET 102 的区域也形成台面。即，在图 2 中，发射极台面 EM 为同时形成的台面。

另外，通过形成单位 HBT 101 的基极层 4a 及集电极层 3 的台面蚀刻，同时在单位 FET 102 的区域也形成台面。即，在图 2 中，基极台面 BM 为同时形成的台面。

因此，将单位 FET 102 的源极 11 与单位 HBT 101 的基极 8 连接的连接配线 17 提升降低发射极台面 EM，进而栅极配线 120 提升降低基极台面 BM。

在此，在本实施例中，连接配线 17、栅极配线 120 具有提升降低台面的方向，并且使之在与〔01-1-〕方向平行的方向(图的箭头方向)上延伸。

这样，n+型 GaAs 层 6、n 型 InGaP 层 19、n 型 AlGaAs 层 18 及 n 型 InGaP 层 5 为台面状，由空间分离。另一方面，从 p+型 GaAs 层 4 开始的下层由分离区域(绝缘区域) 20 分离。即，单位 HBT 101 的基极层 4a、集电极层 3、副集电极层 2 与单位 FET 102 的缓冲层 4b、n-型 GaAs 层 3、n+型 GaAs 层 2 电分离，但在结构上是连续的。单位 HBT 101 与单位 FET 102 经由分离区域 20 相邻配置。

在本实施例中，按每个单位元件 100，单位 FET 102 和单位 HBT 101 相邻连接。并且，单位 HBT 101 与单位 FET 102 的半导体层的层叠结构相同，单位 HBT 101 的基极层 4a、集电极层 3、副集电极层 2 分别与单位 FET 102 的 p+型 GaAs 层 4b、n-型 GaAs 层 3、n+型 GaAs 层 2 连续。因此，可将由单位 HBT 101 的工作所产生的热量传到单位 FET 102。由于单位 FET 102 的漏极电流具有负的温度系数，所以单位 HBT 101 的基极电流也具有负的温度系数。因此，单位 HBT 101 的发热使单位 HBT 101 的集电极电流减少。

在并联连接多个单位元件 100 而构成有源元件 200 时，存在单位元件 100 间的工作电流变得不均匀的情况。现有的 HBT 320（或 321）将图 26 所示的最小单位的 HBT 作为单位元件 320' 将其多个并联连接构成有源元件。在这种情况下，通常与 HEMT 相比可潜在地得到非常高的电流密度，并得到非常低的接通电阻 R_{on} 。但 HBT 320 存在通过温度的正反馈作用将电流集中到一个单位元件由二次击穿破坏的问题。因此，实际上不能充分地提高电流密度。另外，为了解决该问题，通常必须采取以下的措施。即，将发射极镇流电阻及基极镇流电阻插入 HBT 320 的梳齿状的单位元件 320' 中。但若插入发射极镇流电阻及基极镇流电阻，则又产生了高频特性恶化的问题。

HBT 320 的基极-发射极间电压 V_{BE} -基极电流的特性相对于温度具有正的系数时，由于任何的设计上的不均匀的原因，存在单位元件 320' 相对于其它单位元件 320'、基极-发射极间电压 V_{BE} -偏压被稍大地施加的情况。其结果是，基极电流、集电极电流大量流动，温度上升，进一步使大量的基极电流、集电极电流流动为通常的二次击穿过程。

但本实施例的单位元件 100 实际上并没有开始二次击穿的过程。提供单位元件 100 的单位 HBT 101 的基极电流的是单位 FET 102，但单位 FET 102 与单位 HBT 101 不同，相对于温度具有负的温度系数。另外，由于单位 HBT 101 与单位 FET 102 接近所以发热的单位 HBT 101 的热传到邻接的单位 FET 102，单位 FET 102 的源极电流减少。由于源极与基极连接，所以单位 FET 102 的源极电流成为单位 HBT 101 的基极电流。即，通过单位 HBT 101 的发热减少单位 FET 102 的源极电流，且减少单位 HBT 101 的基极电流。由此，减少单位 HBT 101 的集电极电流，相反单位 HBT 101 成为冷却方向。

即，其结果可防止二次击穿的发生。

即，在本实施例中，通过连接与单位 HBT 101 邻接的单位 FET 102 得到温度补偿型的有源元件 200，与现有的有源元件相比可大幅度的提高电流密度而工作。即，由于不增加使发射极镇流电阻及基极镇流电阻等的所有的高频特性恶化因素而可防止二次击穿的发生，故与现有的有源元件相比可大幅度地提高电流密度。

图 5 是表示使用图 3 所述的放大器用途的有源元件 200 的功率放大电路装置 210。图 5 (A) 为电路图，图 5 (B) 为电路方块图。

目前市场上的 HBT 的主要用途是手机的功率放大器（高输出放大器）。在手机的功率放大器中，尤其是第三代以后，如何在有限的波级中确保大量通信线路成为技术上的最大的关键。采用了 CDMA 等的高密度通信方式。伴随着通信方式的高密度化，谋求具有更高线性的功率放大器用设备。在手机的功率放大器中也使用 HEMT，第三代以后与 HEMT 相比电流密度高且线性高的 HBT 的使用比率增高了。由于 HEMT 为单极性设备，而 HBT 为双极性设备，故可压倒地提高电流密度。

根据本实施例，可提供不将发射极镇流电阻及基极镇流电阻插入构成放大元件的有源元件 200 的各单元元件中，而避免二次击穿的功率放大电路装置 210。

如图 5 (A)，由将单元元件 100 并联连接的有源元件 200 构成功率放大电路装置 210。功率放大电路装置 210 为将作为放大元件的有源元件 200 和偏压用及匹配用等的无源元件集成化的结构。

在构成功率放大电路装置 210 的放大元件 200 中，输入信号从构成各单元元件 100 的单位 FET102 的栅极进入，输出信号从单位 HBT 101 的集电极输出。单位 FET102 的漏极经由防止高频信号泄漏的分离元件（感应元件）30 与电源端子 V_{DD} 连接。电源端子 V_{DD} 向单位 FET102 供给电流。另外，发射极与 GND 连接。本实施例的单元元件 100 为在单位 HBT 101 上连接单位 FET102 而构成。即，在作为放大元件的单位 HBT101 的前一级连接有作为放大元件的单位 FET102。

即如图 5 (B)，若由并联连接本实施例的单元元件 100 的放大元件 200 构成功率放大器电路 210，则作为两级放大元件起作用，该两级放大元件是通过在作为第一级的放大元件的 FET 的后一级上连接作为第二级的放大元

件的单位 HBT102。

即，由于向 HBT 的电流放大率 h_{FE} 加上 FET 的互感 g_m ，故一个放大元件 200 的放大性能成为互感 g_m 和电流放大率 h_{FE} 的累加值。即，一个放大元件 200 的 g_m 成为 FET 的 g_m 与 HBT 的 h_{FE} 的累加值。只以 HBT 构成的放大元件的放大性能与只以电流放大率 h_{FE} 构成时相比，作为放大元件可大幅度地提高增益。

图 6、图 7 作为第二实施例，表示构成放大器用途的有源元件 200 的单位元件 100 的其它例子。在用于放大器的有源元件 200 的情况下，各单位元件 100 的外延层的结构一般为图 3 (B)、(C) 所示的结构，但也可以为图 6 及图 7 所示的结构。第二实施例是在与第一实施例相同的单位元件 100 上附加其他的半导体层的结构。

图 6 为在与第一实施例相同的单位元件 100 上设置镇流电阻层的情况。图 6 (A) 为相当于图 2 的 a-a 线的单位元件 100 的剖面图，图 6 (B) 为相当于图 2 的 b-b 线的单位 HBT 101 的剖面图。

如上所述，根据本实施例，不设置镇流电阻层也可以防止二次击穿的发生。但根据构成单位元件 100 的单位 FET 102 及单位 HBT101 的设计，也存在不能充分防止二次击穿发生的情况。另外，在单位 HBT101 中流动大量电流的情况也难以避免二次击穿的发生。在这样的情况下，可通过向单位 HBT 101 的外延结构中加入镇流电阻层重复采用二次击穿措施。

即，在发射极层 5a 侧配置作为镇流电阻层的 n-型 GaAs 层 33。由于具有规定电阻值的 n-型 GaAs 层 33 成为镇流电阻层，故可防止由于电流向一个单位元件 100 集中而引起的二次击穿的发生。

镇流电阻层 33 可在非掺杂的 GaAs 层形成，也可在 n-型 InGaP 及非掺杂 InGaP 层形成。其它的半导体层与图 3 (B) 相同。如上所述，HBT 中的镇流电阻通常为了温度补偿而设置。即，例如若将镇流电阻与图 26 (B) 所示的 HBT 320 的单位元件 320' 的发射极串联连接，则通过温度的正回馈作用电流向一个单位元件 320' 集中的情况下，该单位元件 320' 的镇流电阻的两端的电位差变大。其结果是，由于向该单位元件 320' 的发射极 - 基极结合施加的偏压降低，该单位元件 320' 的集电极电流减少。其结果，该单位元件 320' 可防止由二次击穿所产生的破坏。但在现有的 HBT 320 中，存在由于镇流电阻而高频特性恶化的问题。

由于本实施例以温度补偿型单位元件 100 构成有源元件 200, 故在设置镇流电阻的情况下, 也能以与现有的 HBT 320 相比低电阻值的镇流电阻得到相同的效果。因此, 可将由于设置镇流电阻而造成的高频特性恶化的程度比目前降低。

此时, 如图 6(A) 所示, 单位 FET102 上也配置 n-型 GaAs 层 33, 但是流入单位 FET102 的电流很少, 设置 n-型 GaAs 层 33 不会带来影响。

图 7 为在与第一实施例相同的单位 HBT 101 中, 设置非合金欧姆层 31, 使发射极与非合金欧姆层 31 接触的情况。图 7(A) 是在图 3 的单位 HBT 101 中设置非合金欧姆层 31 的情况, 图 7(B) 为在设置图 7 的镇流电阻层的结构中, 进一步设置非合金欧姆层 31 的情况。另外, 图 7 是相当于图 2 的 b-b 线的单位 HBT 101 的剖面图。为降低发射极接触层 6a 的接触电阻, 在集电极接触层 6a 之上设置非合金欧姆层 31。非合金欧姆层 31 为 n+型 InGaAs 层。此时, 发射极接触层 6a 为 n+型 InGaAs 层, 其它的半导体层也与图 3(B) 相同。此时, 虽未图示, 也同时在单位 FET 102 中将非合金欧姆层 31 设置在接触层 6bs、6bd 之上。

下面, 参照图 8~图 12 说明本发明的第三实施例。第三实施例为由开关元件用的有源元件 200 构成开关电路装置 220 的情况。

首先, 参照图 8 表示第三实施例的开关电路装置的电路图。图 8(A) 是电路概要图, 图 8(B) 是实际的电路图。

开关电路装置例如为 SPDT (Single Pole Double Throw: 单刀双掷) 开关 MMIC。

SPDT 开关 MMIC 具有第一开关元件 SW1 及第二开关元件 SW2。第一开关元件 SW1 为并联连接单位元件的有源元件 200, 第二开关元件 SW2 也为并联连接单位元件的有源元件。

单位元件与第一实施例相同, 由单位 HBT 及单位 FET 构成。在此, 图 8(A) 中为表示开关电路装置 220 的大概结构, 将构成第一开关元件 SW1 及第二开关元件 SW2 的各有源元件的单位 HBT 总括用 HBT 1、HBT 2 表示, 将各有源元件的单位 FET 总括用 FET 1、FET 2 表示。

另外, FET 1、FET 2 为 MESFET (Metal Semiconductor Field Effect Transistor: 金属半导体场效应晶体管), 且为分别向 HBT 1、HBT 2 提供基极电流的驱动晶体管。

第一及第二开关元件 SW1、SW2 的 HBT 1 及 HBT 2 的集电极共用连接到第一 RF 端口上。第一 RF 端口例如为与天线等连接的共用输入端子 IN。

另外，第一及第二开关元件 SW1、SW2 的 HBT 1 及 HBT 2 的发射极分别与第二 RF 端口连接。第二 RF 端口例如为与发送信号用侧电路等连接的第一输出端子 OUT 1 和与接收信号电路等连接的第二输出端子 OUT 2。

HBT 1 及 HBT 2 的基极分别经由 FET 1 及 FET 2 与例如作为发送信号用控制端子及接收信号用控制端子的第一控制端子 Ct11 及第二控制端子 Ct12 连接。

FET 1 及 FET 2 的漏极分别与电源端子 V_{DD} 连接，源极分别与 HBT 1 及 HBT 2 的基极连接。栅极分别经由控制电阻 R1 及 R2 与第一控制端子 Ct11 及第二控制端子 Ct12 连接。配置控制电阻 R1 及 R2 其目的在于防止高频信号经由栅极对构成交流接地的控制端子 Ct11、Ct12 的直流电位泄漏。控制电阻 R1 及 R2 的电阻值为 $5K\Omega$ 左右 ~ $10K\Omega$ 左右。

说明施加在第一控制端子 Ct11 及第二控制端子 Ct12 上的控制信号是互补信号的情况。在这种情况下，第一控制端子 Ct11 的信号为 H 电平（例如 3V）时，第二控制端子 Ct12 的信号成为 L 电平（例如 0V）。并且，施加 H 电平侧的 FET 导通，通过由 FET 提供的电流驱动 HBT 1 或 HBT 2 中的任一个。并且，在第一 RF 端口及第二 RF 端口之间形成一个信号路径。

例如，若在第一控制端子 Ct11 上施加 H 电平，则 FET1 的源极 - 漏极间导通。由此，将由电源端子 V_{DD} 提供的基极电流 I_B 作为基极偏压，HBT 1 工作。此时，由于向第二控制端子 Ct12 施加 L 电平，故 FET2 不导通，HBT2 不工作。由此，在共用输入端子 IN-第一输出端子 OUT1 之间形成一个信号路径，例如从将输入到共用输入端子 IN 的高频模拟信号从第一输出端子 OUT1 输出。另一方面，若向第二控制端子 Ct12 施加 H 电平，则在共用输入端子 IN-第二输出端子 OUT2 之间形成一个信号路径。

将偏压点 BP 分别与 HBT 1 及 HBT 2 的发射极及集电极连接。偏压点 (bias point) BP 向 HBT 1 及 HBT 2 的发射极及集电极施加相等的偏压电位（例如 GND 电位）。

在 HBT 1 及 HBT 2 的发射极与偏压点 BP 之间，及 HBT 1 及 HBT 2 的集电极与偏压点 BP 之间分别连接高频信号的分离元件 30。分离元件 30 例如为电阻值 $5K\Omega$ ~ $10K\Omega$ 的电阻，可防止相对于偏压电位（GND 电位）高

频信号泄漏。

进一步，基于同样的理由，在施加漏极偏压的电源端子 V_{DD} 与 FET1 之间，及电源端子 V_{DD} 与 FET2 之间也连接高频信号的分离元件 30。

以下，对该电路工作进行说明。

HBT 1、HBT 2 的接通电压（基极 - 发射极间电压 V_{BE} ）例如为 2.0V。而且，FET1、FET2 为耗尽型（テリプレッション），夹断电压 V_p 为 0.4V。

即，接通侧的控制端子（例如第一控制端子 Ct11）的电位比 HBT1 的发射极及集电极的电位高出大于或等于 1.6V (=2.0V-0.4V) 时，FET1 与 HBT1 才接通。

在此，HBT 1、HBT 2 的发射极及集电极的电位为 GND 电位（0V）。由于向接通侧的第一控制端子 Ct11 施加 3V，故第一控制端子 Ct11 与 HBT 1 的发射极及集电极的电位的电位差为 3V (=3V-0V)。该值比 FET1 及 HBT1 都接通的电位（1.6V）足够多。即，即使考虑与偏压点 BP 连接的分离元件 30（电阻）的压降也可通过从第一控制端子 Ct11 施加的电位充分接通 FET1 与 HBT1，HBT1 的发射极 - 集电极间导通。

另一方面，接通侧相对于 HBT2 的发射极及集电极的电位 0V（GND），第二控制端子 Ct12 为 0V。由于第二控制端子 Ct12 的电位比 HBT2 的发射极及集电极的电位高出大于或等于 1.6V 时，FET2 与 HBT2 接通，断开侧可承受 1.6V 振幅的功率。

1.6V 的振幅与 20.1dBm 的功率相对应，可在无线 LAN 及 Bluetooth 中充分使用。

这样，例如在以 HBT1 的发射极及集电极的电位为基准的第一控制端子 Ct11 的电位超过 HBT1 的接通电压和 FET1 的夹断电压的合计值时，第一开关元件 SW1 开始接通（第二控制端子 Ct12 侧也相同）。在第二实施例中，使 HBT1、HBT2 的发射极及集电极的电位为 GND。未图示，通过设置电阻分割等的偏压电路可自由设定 HBT1、HBT2 的发射极及集电极电位。因此，HBT1、HBT2 的接通电压与 FET1、FET2 的夹断电压的合计值不限于所述例为任何值时，都可通过调整偏压电路得到与第二实施例相同的特性。即，FET1 及 FET2 可以为增强型或耗尽型中的任一种。

图 8（B）是表示图（A）所示的 HBT1 与 FET1 的实际的连接及 HBT2 与 FET2 的实际的连接的电路图。构成第一及第二开关元件 SW1、SW2 的

HBT1 及 HBT2 的实际的图案为集电极、基极、发射极梳配置成齿状, FET1、FET2 也将源极、漏极、栅极梳配置成齿状。并且, HBT1 的基极与 FET1 的源极的连接, 及 HBT2 的基极与 FET2 的源极的连接, 实际上全部与各梳齿相对应。

图 8 (B) 中, 将 HBT1 与 FET1, HBT2 与 FET2 按每个梳齿即单位元件 100 表示。这样, 第三实施例的开关电路装置 220 将第一晶体管 (单位 HBT) 101 及第二晶体管 (单位 FET) 102 连接作为单位元件 100, 由并联连接多个单位元件 100 的第一开关元件 SW1 及第二开关元件 SW2 构成。单位 FET102 为向单位 HBT101 提供基极电流的驱动晶体管。

单位元件 100、单位 HBT101 及单位 FET102 的电路图, 与第一实施例相同, 故省略其重复部分的详细说明。

一组的单位 HBT101 与单位 FET102 经由分离区域相邻配置, 单位 HBT101 的基极与单位 FET102 的源极连接构成一个单位元件 100 (虚线)。

并联连接单位元件 100, 构成第一开关元件 SW1 及第二开关元件 SW2。单位元件 100 并联连接, 但一个单位元件 100 的基极及源极不分别共用连接到其它的单位元件 100 的基极及源极上。

具体地说, 一个单位元件 100 将单位 HBT101 的发射极、集电极、及单位 FET102 的漏极、栅极分别共用连接到其它的单位 HBT101 的发射极、集电极、及单位 FET102 的漏极、栅极上。

各单位元件 100 的单位 FET102 的漏极与电源端子 V_{DD} 连接。并且, 向单位 HBT101 的集电极 - 发射极电压 V_{CE} 偏压为 0V, 向第一、二控制端子 Ct11、Ct12 施加互补信号。由此, 向第一开关元件 SW1 或第二开关元件 SW2 的任一个的单位 HBT101 施加规定的基极电流使集电极 - 发射极之间导通。或者, 使基极电流为 0 而遮断集电极 - 发射极之间。由此, 在共用输入端子 IN-第一输出端子 OUT1 之间或共用输入端子 IN-第二输出端子 OUT2 之间的任一个中形成信号路径。

图 8(A) 概略表示其形态。HBT1 由第一开关元件 SW1 的单位 HBT101 构成, FET1 由第一开关元件 SW1 的单位 FET102 构成。同样, 图 8(A) 所示的 HBT2 由第二开关元件 SW2 的单位 HBT101 构成, FET2 由第二开关元件 SW2 的单位 FET102 构成。

以上作为第三实施例的开关电路装置的工作, 表示向第一控制端子

Ct11 及第二控制端子 Ct12 施加的控制信号为互补信号的第一开关元件 SW1 及第二开关元件 SW2 的任一个导通的情况。

但是存在向第一控制端子 Ct11 及第二控制端子 Ct12 施加的控制信号都为 L 电平的情况，两者都为 L 电平时，SW1 及 SW2 都遮断。

图 9 表示将图 8 (B) 电路在化合物半导体衬底上集成化的开关 MMIC 的图案的例子。

在半绝缘 GaAs 衬底上配置在层叠多个的半导体层的衬底上进行开关的第一及第二开关元件 SW1、SW2。构成共用输入端子 IN、第一输出端子 OUT1、第二输出端子 OUT2、第一控制端子 Ct11、第二控制端子 Ct12、电源端子 V_{DD} 、接地端子 GND 的各焊盘 I、O1、O2、C1、C2、V、G 设置在衬底的周边。

第一开关元件 SW1 侧与第二开关元件 SW2 及各焊盘相对于芯片的中心对称配置。因此，以下对第一开关元件 SW1 侧进行说明，第二开关元件 SW2 也相同。

第一开关元件 SW1 将多个单位元件 100 并联连接而构成，各单位元件 100 由单位 HBT101 及单位 FET102 构成。单位 HBT101 及单位 FET102 将半绝缘 GaAs 衬底上的多个半导体层蚀刻形成成为规定的台面状，另外，通过由半导体层构成的传导区域形成构成电阻等的开关 MMIC 的元件。另外，如后所述，本实施例的传导区域为杂质区域，由到达衬底的分离区域 20 从其它的区域分离。

单位 HBT101 的第一层的发射极 9、基极 8、集电极 7 通过欧姆金属层形成为梳齿状。第二层的发射极 15 及集电极 13 通过配线金属层形成，发射极 15 与第一层的发射极 9 同样形成为梳齿状。第二层的集电极 13 通过集电极配线 130 与其它单位 HBT101 的集电极 13 连接，连接到共用输入端子焊盘 I 上。在第二层的发射极 15 之上形成镀金层的发射极配线 150，与其它 HBT101 的发射极 15 连接，连接到第一输出端子焊盘 O1 上。在集电极配线 130 之上也重叠镀金层。

由于单位 HBT101 引入基极电流，故将发射极 9、15 及集电极 7、13 与构成偏压点 BP 的 GND 焊盘 G 连接。发射极 15 通过发射极配线 150 与第一输出端子焊盘 O1 共用连接。因此，通过连接输出端子焊盘 O1 与 GND 焊盘 G，可将集电极 9、15 与偏压点 BP 连接。另外，集电极 13 通过集电

极配线 130 共用连接。因此，通过经由分离元件 30 的电阻连接集电极配线 130 与 GND 焊盘 G，将集电极 7、13 与偏压点 BP 连接。偏压点 BP (GND 焊盘 G) 如图 9 所示，配置在第一输出端子焊盘 O1 和第二输出端子焊盘 O2 之间、共用输入端子焊盘 I 的相反侧。通过该配置，不需特别确保新的空间而可向单位 HBT101 的发射极及集电极供给偏压电位。

单位 FET102 的第一层的漏极 10、源极 11 通过欧姆金属层形成为岛状。第二层的漏极 16 通过配线金属层形成为岛状。在第二层的漏极 16 之上形成镀金层的漏极配线层 160，与其它的单位 FET102 的漏极连接，连接到电源端子焊盘 V 上。

单位 HBT101 与单位 HBT102 经由分离区域 20 相邻配置，单位 HBT101 的基极 8、单位 FET102 的源极 11 通过配线金属层形成的连接配线 17 连接，构成一个单位元件 100。

在源极 11 及漏极 10 之间的传导区域 (杂质区域) 23 上设置由栅极金属层构成的栅极 12。栅极 12 通过由配线金属层构成的栅极配线 120 与其它的单位 FET102 的栅极连接，经由控制电阻 R1 与第一控制端子焊盘 C1 连接。

在第一输出端子焊盘 O1 与接地端子焊盘 G 之间连接构成分离元件 30 的电阻。另外，在电源端子焊盘 V-连接配线 160 之间及共用输入端子焊盘 I-接地端子焊盘 G 之间也连接构成分离元件 30 的电阻。分离元件防止高频信号的漏出。

控制电阻 R1 及分离元件 30 的电阻为由分离区域 20 分离的传导区域 23。

另外，为提高绝缘，在各焊盘的周边及栅极配线 120 的周边分别设置周边传导区域 (杂质区域 170)。

单位元件 100 的放大平面图与图 2 相同。参照图 2，单位 FET102 分别与梳齿状图案的单位 HBT101 连接，并联连接梳齿状的单位元件 100 构成作为有源元件 200 的第一开关元件 SW1 与第二开关元件 SW2。

第一开关元件 SW1 为并联连接单位元件 100 的结构。即，通过集电极配线 130 各单位 HBT101 的集电极 13、7 互相连接，另外，通过发射极配线 150 各单位 HBT101 的发射极 15、9 互相连接。另外，集电极 7、13 由相邻的单位元件 100 共用。各单位 FET102 的栅极 12 通过单位 FET102 的

栅极配线 120 互相连接、单位 FET102 的栅极配线 120 与第一控制端子 Ct11 连接。各单位 FET102 的漏极 10、16 通过漏极配线 160 互相连接，连接到电源端子 V_{DD} 。

另外，单位 FET102 的各栅极 12 向工作区域外延伸，与配线金属层的栅极配线 120 连接。栅极配线 120 将栅极 12 之间进行配线，与控制端子连接。在栅极配线的周围也配置分离区域 20。另外，第二开关元件 SW2 也相同。

其它的结构与图 2 的单位元件 100 相同，故省略其说明。

图 10 为说明第三实施例的单位元件 100 的图，图 10(A) 为图 2 的 a-a 线的剖面图。图 10(B) 为图 2 的 b-b 线的剖面图，图 10(C) 为单位 HBT101 的立体图，图 10(D) 为单位 FET102 的立体图。另外，在图 10(C) 中，省略第二或其以上层的电极。

如上所述，构成单位元件 100（有源元件 200）的各半导体层根据有源元件 200 的用途进行适当选择。在用于开关电路装置的有源元件 200 的情况下，单位 HBT101 的集电极层 3 成为 n 型 InGaP 层。其它的结构与实施例 1 的单位元件 100 相同，故省略其说明。

在第三实施例中，n 型 AlGaAs 层（或 n 型 GaAs 层）18 与发射极层 5a 的 InGaP 层选择性蚀刻，可形成具有再现性良好的厚度的突缘 L。发射极层 5a 的 InGaP 层可与基极层 4a 的 p+型 GaAs 层进行选择性的蚀刻。

另外，通过设置 n 型 InGaP19，可以选择性蚀刻将形成单位 FET102 的栅极 n 型 AlGaAs 层 18 的表面露出。另外，FET102 的栅极 12 形成于 n 型 AlGaAs 层 18b 之上，掩埋部 12b 位于 n 型 AlGaAs 层 18b 内。由此，可防止在 InGaP 层表面的 Pt 的反常扩散，确保规定的耐压。

另外，在本实施例中，每个单位元件 100 的单位 FET102 与单位 HBT101 接近连接。并且，单位 HBT101 与单位 FET102 的半导体层的层叠结构相同，单位 HBT101 的基极层 4a、集电极层 3、副集电极层 2 分别与单位 FET102 所相当的半导体层连续。因此，由单位 HBT101 的工作所产生的热可传到单位 FET102。由于单位 FET102 的漏极电流具有负的温度系数，故单位 HBT101 的基极电流也具有负的温度系数。因此，单位 HBT101 的发热可使单位 HBT101 的集电极电流降低。

通过采取这样的结构，由于可不增加使发射极镇流电阻及基极镇流电

阻等所有的高频特性劣化的因素而防止二次击穿的发生，故与目前相比可大幅度地提高 HBT 的电流密度。其结果是，可使第一及第二开关元件 SW1、SW2 的接通过阻 R_{on} 大幅度地减少，从而使开关 MMIC 的插入损失变得很小。

如图 10，在用于开关电路装置 220 的单位元件 100 的情况下，单位 HBT101 在发射极层 5a 及基极层 4a 形成 InGaP/GaAs 异质结。另外，在此基础上，在集电极层 3 及基极 4a 上也形成 InGaP/GaAs 异质结。并且，在将发射极 5a 作为发射极工作的正方向的晶体管工作时（以下称作正向晶体管工作时）与将发射极 5a 作为集电极工作的反方向的晶体管工作时（以下称作晶体管工作时），设计结构的各参数使晶体管特性为大致相同的特性，使集电极 - 发射极间电压为 0V，集电极 - 发射极间电流以 0A 附近的偏压工作。在本实施例中，如上以基极为基准采用发射极与集电极对称的 HBT（以下称为对称型 HBT）。

由于通常使用于开关 MMIC 的 HEMT 为单极设备，而 HBT 为双极设备，故可大幅度地提高电流密度，使接通过阻 R_{on} 变得很小。另外，作为 HBT101 可通过使用对称型 HBT，使集电极 - 发射极间消耗电流为 0A 故可节省能量地工作。其原因是，HMET 使漏极 - 源极间电压偏压为 0V，与此相同，对称型 HBT 可使集电极 - 发射极间电压偏压为 0V。

参照图 11 的特性图说明对称型 HBT。图表示对称型 HBT 的规定的基极电流 I_B 中的集电极 - 发射极电压 V_{CE} 和集电极电流 I_C 的 V-I 曲线。

在某规定的基极电流 I_B 中将表示集电极 - 发射极电压 V_{CE} 和集电极电流 I_C 为正 (+) 值的晶体管称为正向晶体管，表示负 (-) 值的晶体管称为反向晶体管。

如图 11 (A)，对称型 HBT 为如粗线所示的使正向晶体管工作时的接通过阻 $R_{on}(= \Delta V_{CE} / \Delta I_C)$ 与反向晶体管工作时的接通过阻 $R_{on}'(= \Delta V_{CE}' / \Delta I_C')$ 基本上相等而构成的 HBT。为实现该结构，使发射极层 5a 与集电极层 3 为大体相同的结构。例如，在发射极层 5a 上使用 InGaP 层时，在集电极层 3 上也使用 InGaP 层。并且，在发射极层 5a 和集电极层 3 上使用 InGaP 层时，分别与 GaAs 层或 AlGaAs 层（基极层 4a、副集电极层 2 及 n 型 AlGaAs 层 18a）晶格匹配。发射极层 5a 和集电极层 3 上使用 AlGaAs 层时，使 Al 的摩尔比率相同。

并且，将发射极层 5a 的杂质浓度和集电极层 3 的杂质浓度设定为大致相等的值。由此，与通常的 HBT 相比基极 - 集电极耐压低，在开关电路装置中基极 - 集电极间耐压为 7~8V 就足够。

对称型 HBT，通过使集电极 - 发射极间电压以 0V 的偏压工作，基本上可使集电极 - 发射极间的消耗电流为 0A。

图 11 (B) 表示非对称型 HBT 的特性。在非对称型 HBT 中，正向晶体管的上升电压不是 0V，具有一百~数百 mV 左右的补偿电压 V_{OFF} 。此时，使集电极 - 发射极电压 V_{CE} 偏压为 0V 时，在集电极 - 发射极间产生若干的消耗电流。另外，由于发射极集电极的结构不同，如粗线所示，正向晶体管工作时的接通电阻 R_{on} 与反向晶体管工作时的接通电阻 R_{on}' 有很大的不同。

在此，粗线表示工作的负载线，工作的一半为反向晶体管的工作。即，使集电极 - 发射极电压 V_{CE} 偏压为 0V 时，工作的负载线在偏压点附近弯曲，失真电平变得很差。另外，由于反向晶体管的电流与正向晶体管的电流相比非常小，故可以使之通过的功率很小。另外，由于反向晶体管工作时的接通电阻 R_{on}' 很大，插入损耗变得很大。

另一方面，对称型 HBT 使发射极和集电极为大致相同的结构（相同化合物半导体及大致相同的杂质浓度）。因此，如图 11 (A) 所示，对称型 HBT 的补偿电压大致可为 0V。因此，使集电极 - 发射极电压 V_{CE} 偏压为 0V 时，在集电极 - 发射极间的消耗电流可为 0A。由于工作的负载线不在偏压点弯曲，故失真电平良好。另外，由于反向晶体管的电流与正向晶体管的电流相同，使可通过的功率变大。另外，反向晶体管工作时的接通电阻 R_{on}' 与正向晶体管工作时的接通电阻 R_{on} 一样小，故可减小插入损耗。

图 12 表示焊盘及配线的剖面图。图 12 (A) 及图 12 (B) 为图 9 的 d-d 线剖面图，图 12 (C) 为图 9 的 e-e 线剖面图。

构成共用输入端子焊盘 I、第一输出端子焊盘 O1、第一控制端子焊盘 C1（第二开关元件 SW2 侧也相同）、电源端子焊盘 V、接地端子焊盘 G 的焊盘 P 及栅极配线 120，如图所示，设置在副集电极层（n+型 GaAs）层之上。焊盘 P 及栅极配线 120 经由氮化膜 51 设置在副集电极层 2 之上（图 12 (B)）或直接设置在副集电极层 2 之上，与副集电极层 2 表面形成肖特基结（图 12 (A)、(C)）

因此，作为焊盘 P 及栅极配线 120 周边的隔离措施在焊盘 P 及栅极配线 120 的周围配置周边传导区域 170。周边传导区域 170 为如上所述的传导区域 23，且由绝缘区域 20 与其它的区域分离。

图 13 及图 14 作为第四实施例，表示构成用于开关元件的有源元件 200 的单位元件 100 的其它的实施方式。用于开关元件时，各单位元件 100 的外延层的结构基本为图 10 所示的结构，也可为以下所示的结构。

图 13 (A) 是相当于图 2 的 a-a 线剖面的单位元件 100 的剖面图。图 13 (B) 为图 2 的 b-b 线剖面的 HBT101 的剖面图。

如上所述，根据本实施例，即使不设置镇流电阻层也可防止二次击穿的产生。但根据构成各单位元件 100 的单位 FET102 及单位 HBT101 的设计也存在不能充分防止二次击穿的情况。另外，在单位 HBT101 中流动着很大的电流时，也难以充分避免二次击穿的产生。在这样的情况下，通过在单位 HBT101 的外延结构中加入镇流电阻层可重复采取二次击穿措施。

即，在发射极层 5a 侧配置 n-型 GaAs 层 33b 作为镇流电阻层。另外，在开关电路装置 220 的情况下，由于单位 HBT101 的发射极及集电极相对于基极对称地工作，所以在集电极层 3 侧也配置 n-型 GaAs 层 33a 作为镇流电阻层。由于具有规定电阻值的 n-型 GaAs 层 33a、33b 成为镇流电阻层，可防止向一个单位元件 100 集中电流导致的二次击穿的发生。

镇流电阻层 33a、33b 可由非掺杂的 GaAs 层形成，也可由 n-型 InGaP 层及非掺杂 InGaP 层形成。其它的半导体层与图 10 (B) 相同。在现有的 HBT320' 中由于设置镇流电阻而使高频特性劣化，在本实施例中由于由温度补偿型的单位元件 100 构成有源元件 200，故在设置镇流电阻时，也可以以比现有的 HBT 低的电阻值的镇流电阻得到相同的效果。因此，与目前相比，可将由设置镇流电阻而造成的高频特性的劣化降低。

此时，如图 13 (A)，在单位 FET102 中也配置 n-型 GaAs 层 33，但在单位 FET102 中流动的电流很少，由设置 n-型 GaAs 层 33 而产生的影响少。

图 14 为在第三实施例中，附加非合金欧姆层使发射极 9 的接触层为非合金欧姆层的情况。图 14 (A) 为在图 10 的 HBT101 中设置非合金欧姆层的情况，图 14 (B) 为在图 13 的设置镇流电阻层的结构中，进一步设置非合金欧姆层的情况。另外，图 14 只表示单位 HBT101 的剖面图（相当于图 2 的 b-b 线剖面）。为了减少发射极接触层 6a 的接触电阻，非合金欧姆层 31

设置在发射极接触层 6a 之上。非合金欧姆层 31 为 n+型 InGaAS 层。此时，发射极接触层 6a 为 n+型 GaAS 层，其它的半导体层也与图 10 (B) 相同。此时，在单位 FET102 中，非合金欧姆层 31 同时设置在接触层 6bs、6bd 之上，未图示。

在本实施例中，将所述的对称型 HBT 用于单位元件 101 构成开关电路装置。由此，可得到集电极 - 发射极间的消耗电流为 0A 的开关电路装置。另外，由于对称型 HBT 的正向晶体管工作时的接通电阻 R_{on} 与反向晶体管工作时的接通电阻 R_{on}' 大致相等，故可得到在高频信号的振幅中集电极 - 发射极电压 V_{CE} 为正的部分与集电极 - 发射极电压 V_{CE} 为负的部分的切换部分线性良好的开关电路。

GaAsMESFET 及 HEMT 的开关电路中，漏极 - 源极间的偏压为 0V 故漏极 - 源极间的消耗电流为 0A，在高频信号的振幅中集电极 - 发射极电压 V_{CE} 为正的部分与集电极 - 发射极电压 V_{CE} 为负的部分的切换部分线性良好。即，在实施例的开关电路装置 220 具有与 GaAsMESFET 及 HEMT 的开关电路装置相同的优点。另外，与单极设备的 FET 相比，双极设备的 HBT 的接通电阻低得多。本实施例的开关元件由连接单位 HBT101 和单位 FET 102 的单位元件 100 构成，故可在接通电阻中得到 HBT 的特性。即，开关电路装置 220 的高频特性大幅度地提高，可将芯片尺寸大幅度地缩小。

下面，参照图 15 ~ 图 17，对本发明地第五实施例进行说明。

第五实施例为通过在第三实施例地开关电路装置 220 中设置逻辑电路，可由一个控制端子工作的开关电路装置。

图 15 为电路图。另外，在图 15 中，表示与图 8 (A) 中相同的电流概略图，第一及第二开关元件 SW1、SW2 实际上为图 8 (B) 所示的结构。

图 15 (A) 为将电阻负荷的反演电路 41 作为逻辑电路的情况连接。即，将电阻负荷 411 与 GaAsMESFET412 (夹断电压 $V_p=0.25V$:加强型) 在连接点 CP 串联连接，连接点 CP 与例如第二开关元件 SW2 的 FET2 的栅极经由控制电阻 R2 连接。另外，MESFET412 的栅极与一个控制端子 Ct1 连接。

图 15 (B) 为将增强型/耗尽型 DCFL (Direct Coupled FET Logic 直接耦合场效应晶体管逻辑) 的反演电路 41 作为逻辑电路的情况连接。即耗尽型 MESFET 413 (夹断电压 $V_p=-0.4V$) 的源极及栅极与加强型 MESFET 414 (夹断电压 $V_p=0.25V$) 的漏极通过连接点 CP 串联连接，连接点 CP 例如与

FET2 的栅极经由控制电阻 R2 连接。另外，加强型 MESFET 414 的栅极与一个控制端子 Ct1 连接。图 15 的其它的结构都与第三实施例相同，因此省略其说明。

这样通过连接反演电路 41，将施加到控制端子 Ct1 上的控制信号第一开关元件 SW1 的 FET2 的栅极施加，将控制信号的互补信号向第二开关元件 SW2 的 FET1 的栅极施加。即，以 SPDT 开关 MMIC 控制端子形成一个。

逻辑电路 41 也可由电阻/或 MESFET 形成。即，可将内装有逻辑电路的开关 MMIC 在 GaAs 衬底的 1 芯片上全部集成化。

图 16 表示图 15 (B) 所示的增强型/耗尽型 DCFL 的反演电路。图 16 (A) 为平面图案图，图 (16) 为图 16 (A) 的 f-f 线剖面图。

D 型 FET413 与图 10 (A)、(D) 所示的单位 FET102 相同。即，在由配线金属层构成的第二层的源极 135d 与漏极 136d 之间配置第一栅极 127。源极 135d 与漏极 136d 的下方配置由欧姆金属层构成的第一层的源极 115d 及漏极 116d，工作区域由双点划线所示的分离区域 20 分离。源极 115d 及漏极 116d 分别与接触层 6bsd、6bdd 连接。

第一栅极 127 配置在源极及漏极之间，与工作区域外的第二层的源极 135d 连接。另外，第一栅极 127 形成在 n 型 AlGaAs 层 18b 的表面，掩埋部 127b 位于 n 型 AlGaAs 层 18b 内。并且，D 型 FET413 的沟道层与单位 FET102 的沟道层相同，由沟道下部层 (n 型 InGaP 层) 5b 及沟道上部层 (n 型 AlGaAs 层) 18b 构成。

另一方面，E 型 FET414 的沟道层只由沟道下部层 (n 型 InGaP 层) 5b 构成。在 E 型 FET414 中交替配置由配线金属层构成的第二层的源极 135e 及漏极 136e，在其间的沟道下部层 (n 型 InGaP 层) 5b 表面配置第二栅极 128。第二栅极 128 的栅极金属层例如为 Ti/Pt/Au，与第一栅极 127 不同采用掩埋栅极结构。

在源极 135e 及漏极 136e 的下方配置由欧姆金属层构成的第一层的源极 115e 及漏极 116e，源极 115e 及漏极 116e 分别与接触层 6bse、6bde 连接。

E 型 FET414 的端部的第二层的漏极 136e (第一层的漏极 116e 也相同) 与 D 型 FET413 的第二层的源极 135d (第一层的源极 115d 也相同) 共用。同样，E 型 FET414 的端部的漏极接触层 6bde 与 D 型 FET413 的源极接触层 6bsd 连接。

这样，D型 FET413 与 E型 FET414 使形成第一及第二栅极 127、128 的半导体层不同。由此，根据从第一栅极 127 的底部（掩埋部 127b 底部）到沟道下部层 5b 底部的距离的设定及从第二栅极的底部到沟道下部层 5b 的距离的设定分别得到规定的夹断电压 V_p 。

构成逻辑电路时，使 E型 FET414 的第二栅极 128 不是掩埋栅极结构而仅第一栅极 127 是掩埋栅极结构。如上所述，由于第一栅极 127 的掩埋部 127b 位于 n 型 AlGaAs 层 18b 内，故可防止 InGaP 层表面的 Pt 的反常扩散。另一方面，由于在 E型 FET414 不需要大的耐压，即使不为掩埋栅极结构也可充分确保规定的耐压。

另外，第一栅极 127 与第二栅极 128 分别形成在沟道上部层（n 型 AlGaAs 层）18b 的表面及沟道下部层（n 型 InGaP 层）5b 表面。此时，可通过在 n 型 InGaP 层 19b 与沟道上部层（n 型 AlGaAs 层）18b 的选择性蚀刻，再现性良好地进行使形成第一栅极 127 的表面露出的凹陷蚀刻。可通过在沟道上部层（n 型 AlGaAs 层）18b 与沟道下部层（n 型 InGaP 层）5b 的选择性蚀刻，再现性良好地进行使形成第二栅极 128 的表面露出的凹陷蚀刻。

这样，通过在沟道下部层（n 型 InGaP 层）5b 与 n+型 GaAs 层 6 间配置 n 型 InGaP 层 19b 与沟道上部层（n 型 AlGaAs 层）18b，D型 FET413 与 E型 FET414 一起分别以选择性蚀刻进行形成第一栅极 127 及第二栅极 128 的表面露出的凹陷蚀刻。

另外，图 15 (A) 所示的逻辑电路的情况下，也需要 E型 FET412。另一方面，构成第一开关元件 SW1 (第二开关元件 SW2 也相同) 的单位 FET102 为 D型 FET。即，在图 15 (A) 的情况下，需要将逻辑电路的 E型 FET412 及单位 FET102 的 D型 FET 形成在同一衬底及同一半导体层之上。此时，在图案上 D型 FET 与 E型 FET 不是邻接的，单位 FET102 (D型 FET) 与逻辑电路的 E型 FET412 的剖面图分别与图 16 (B) 相同。即，可以分别以选择性蚀刻进行形成单位 FET102 (D型 FET) 的第一栅极 127 及逻辑电路的 E型 FET412 的第二栅极 128 的表面露出的凹陷蚀刻。

图 17 是在包含逻辑电路的开关电路装置中，如图 13 (B)，配置镇流电阻层时与图 16 (B) 相对应的 D型 FET413 及 E型 FET414 的剖面图。

单位 HBT101 也同样为对称型 HBT，在同一衬底及同一半导体层上集

成化的 D 型 FET413 及 E 型 FET414 上也同样设置镇流电阻层 33a、33b。

由于逻辑电路的工作电流很少，故此时的镇流电阻层 33a、33b 不会影响逻辑电路的工作。另外，在配置这些镇流电阻层 33a、33b 的情况下，可以通过选择性蚀刻进行形成第一栅极 127 及第二栅极 128 的表面露出的凹陷蚀刻。另外，图 15 (A) 与图 17 相同，其逻辑电路的 E 型 FET412 与单位 FET102 (D 型 FET) 与不邻接。即，可通过选择性蚀刻进行第一栅极 127 及第二栅极 128 的凹陷蚀刻。

图 18 是表示图 6 的实施例的电路概略图。

第六实施例是 SP3T (Single Pole Three Throw: 单极三投) 开关 MMIC。与第三实施例相同，图 18 表示与图 8 (A) 对应的电路概略图，各开关元件 SW 实际上为图 8 (B) 所示的结构。

SP3T 由分别多级串联连接开关元件 SW 的第一开关元件组 S1、第二开关元件组 S2、第三开关元件组 S3 组成。第一开关元件组 S1 的一端的集电极、第二开关元件组 S2 的一端的集电极及第三开关元件组 S3 的一端的集电极共用连接到第一 RF 端口。第一 RF 端口例如为共用输入端子 IN。

第一开关元件组 S1 是将开关元件 SW1-1、SW1-2、SW1-3 串联连接的结构。开关元件 SW1-1、SW1-2、SW1-3 分别与图 8 (B) 相同，由连接单位 HBT101 的基极与单位 FET102 的源极的单位元件 100 多个并联连接而构成。单位元件 100 的剖面图及立体图与图 10 相同。将构成开关元件 SW1-1、SW1-2、SW1-3 的各有源元件 200 的单位 HBT101 总括分别用 HBT1-1、HBT1-2、HBT1-3 表示，将各有源元件 200 的单位 FET 总括用 FET1-1、FET1-2、FET1-3 表示。

FET1-1、FET1-2、FET1-3 为 MESFET,其源极分别与 HBT1-1、HBT1-2、HBT1-3 的基极连接。并且，各 FET1-1、FET1-2、FET1-3 的各栅极分别经由控制电阻 R11、R12、R13 与第一控制端子 Ct11 连接。

第二开关元件组 S2 是将开关元件 SW1-1、SW1-2、SW1-3 串联连接的结构。构成开关元件 SW1-1、SW1-2、SW1-3 的 HBT2-1、HBT2-2、HBT2-3 的基极与 FET2-1、FET2-2、FET2-3 的源极分别连接，各栅极经由控制电阻 R21、R22、R23 与第二控制端子 Ct12 连接。其它的结构与第一开关元件 SW1 相同。

第三开关元件组 S3 是将开关元件 SW3-1、SW3-2、SW3-3 串联连接的

结构。构成开关元件 SW3-1、SW3-2、SW3-3 的 HBT3-1、HBT3-2、HBT3-3 的基极与 FET3-1、FET3-2、FET3-3 的源极分别连接，各栅极经由控制电阻 R31、R32、R33 与第三控制端子 Ct13 连接。

另外，第一开关元件组 S1、第二开关元件组 S2、第三开关元件组 S3 的另一端的各发射极分别与第二 RF 端口即第一输出端子 OUT1、第二输出端子 OUT2、及第三输出端子 OUT3 连接。

向第一、第二、第三控制端子 Ct11、Ct12、Ct13 施加的控制信号为 H 电平或 L 电平，施加 H 电平信号的 FET 接通向对应的 HBT 的基极供给电流。由此，向 HBT 供给基极电流的开关元件接通形成信号路径，使向共用输入端子 IN 输入的高频模拟信号传送到接通的开关元件对应的输出端子。设置电阻目的在于防止高频信号经由栅极对构成交流接地的控制端子 Ct11、Ct12、Ct13 的直流电位泄漏。另外，各 HBT 的集电极及发射极与 GND 之间的分离元件 30 及各 FET 的漏极和 V_{DD} 间的分离元件 30 都使用感应元件。其它的结构与第三实施例相同故省略其说明。

由于图 18 的开关电路装置的 HBT 的接通电压（基极 - 发射极间电压） V_{BE} 例如为 2.0V，FET 的夹断电压 V_p 为 -0.4V，故控制端子的电位比 HBT 的发射极及集电极的电位高出大于或等于 1.6V 时 FET 与 HBT 同时开始接通。因此，在向控制端子施加 3V 而为接通状态的开关元件中，由于分离元件 30 为感应元件，故在感应元件中流动的基极电流带来的压降为 0V，HBT 与 FET 充分接通，接通侧的开关元件的发射极 - 基极间导通。另一方面，由于向控制端子施加 0V 故断开侧可承受 1.6V 的振幅的功率。此时，由于 SP3T 为三级结构，故 1.6V 的振幅与 29.6dBm 的功率对应，可在 CDMA 手机中充分使用。另外，将各 HBT 的发射极、集电极两者与 GND 连接，用于引入各 HBT 的基极电流。另外，在 CDMA 手机用开关电路装置等高功率用途中，驱动 HBT 的基极电流大，故可使用不会由于基极电流的流动产生压降的感应元件作为分离元件 30。

图 19 时表示第七实施例的电路图。第七实施例为 SP3T (Single Pole Three Throw) 开关 MMIC。

SP3T 由分别多级串联连接开关元件 SW 的第一开关元件组 S1、第二开关元件组 S2、第三开关元件组 S3 组成。第一开关元件组 S1 的一端的集电极、第二开关元件组 S2 的一端的集电极及第三开关元件组 S3 的一端的集

电极与共用输入端子 IN 连接。

第一开关元件组 S1 是将开关元件 SW1-1、SW1-2、SW1-3 串联连接的结构。开关元件 SW1-1、SW1-2、SW1-3 将多个与连接 FET102 与 HBT101 连接而成的单位元件 100 连接如点划线构成集合元件 200a，进一步并联连接多个集合元件 200a 构成如虚线所示的有源元件 200。

单位 FET102 是用于向单位 HBT101 提供基极电流的驱动晶体管。另外，单位元件 100 的剖面图及立体图与图 10 相同。

单位 FET102 的源极与单位 HBT101 的基极连接，漏极与电源端子 V_{DD} 连接。并且，一个单位元件 100 将单位 HBT101 的发射极、集电极及单位 FET102 的漏极、栅极与其它的单位 HBT101 的发射极、集电极及单位 FET102 的漏极、栅极分别共用连接。

这样在本实施例中，并联连接多个单位元件 100 构成集合元件 200a，通过并联连接多个集合元件 200a 构成作为有源元件 200 的各开关元件。

在图 19 中，一个集合元件 200a 连接三个单位元件 100。即，将三个单位 HBT101 的发射极共用连接作为集合元件 200a 的共用发射极 E，将单位 HBT101 的集电极共用连接作为集合元件 200a 的共用集电极 C。另外，将三个的单位 FET102 的漏极共用连接作为集合元件 200a 的共用漏极 D。单位 FET102 的栅极也共用连接。

并且，分别将各集合元件 200a 的共用发射极 E 之间，共用集电极 C 之间，单位 FET102 的栅极之间共用连接，构成作为有源元件 200 的第一级的开关元件 SW1-1。第二级的开关元件 SW1-2、第三级的开关元件 SW1-3 也相同。

另外第二开关元件组 S2 与第一开关元件组 S1 相同将开关元件 SW2-1、SW2-2、SW2-3 串联连接。第三开关元件组 S3 地第一开关元件组 S1 相同将开关元件 SW3-1、SW3-2、SW3-3 串联连接。

第一开关元件组 S1、第二开关元件组 S2、第三开关元件组 S3 的一端的集电极，即构成第一级的开关元件的单位 HBT101 的集电极与第一 RF 端口共用连接。第一 RF 端口例如为共用输入端子 IN。

另外，第一开关元件组 S1、第二开关元件组 S2、第三开关元件组 S3 的另一端的各发射极，即构成第三级的开关元件的单位 HBT101 的发射极分别与作为第二 RF 端口的第一输出端子 OUT1、第二输出端子 OUT2、第

三输出端子 OUT3 共用连接。

单位 HBT101 的基极与单位 FET102 的源极连接，各级的单位 FET102 的栅极经由高频信号的分离元件 30 与第一控制端子 Ct11、第二控制端子 Ct12 及第三控制端子 Ct13 连接。

分离元件 30 是电阻，配置其的目的在于防止高频信号经由栅极对构成交流接地的第一控制端子 Ct11、第二控制端子 Ct12 及第三控制端子 Ct13 的直流电位漏出。分离元件 30 的电阻值为 $5\text{K}\Omega$ 左右~ $10\text{K}\Omega$ 左右。

向第一、第二、第三控制端子 Ct11、Ct12、Ct13 施加的控制信号的任一个为 H 电平其它为 L 电平，或全部都为 L 电平，施加 H 电平的信号的单位 FET102 接通向对应的单位 HBT101 的基极提供电流。由此，向单位 HBT101 提供基极电流的开关元件组接通形成一个信号路径，使向共用输入端子 IN 输入的高频模拟信号向任一个输出端子传送。

第一、第二、第三控制端子 Ct11、Ct12、Ct13 都为 L 电平时，第一开关元件组 S1、第二开关元件组 S2、第三开关元件组 S3 都被切断。

第一开关元件组 S1、第二开关元件组 S2、第三开关元件组 S3 的结构相同，因此，以下对第一开关元件组 S1 进行说明。

将偏压点 BP 与第一开关元件组 S1 的各级的开关元件 SW1-1、SW1-2、SW1-3 的发射极及集电极分别连接。偏压点 BP 例如与各集合元件 200a 分别连接。即，向一个集合元件 200a 的共用发射极 E 连接一个偏压点 BP，向一个共用集电极 C 连接一个偏压点 BP。并且，向各偏压点 BP 分别施加相等的 DC 偏压电位（例如 GND 电位）。

另外，在一个集合元件 200a 的共用发射极 E 与偏压点 BP 之间，及一个集合元件 200a 的共用集电极 C 与偏压点 BP 之间分别连接一个高频信号的分离元件 30。

有单位 HBT101 构成开关元件时，通常由于电流放大率 h_{FE} 不足 1000，故需要很大的电流。因此，在将所有的单位 HBT101 的发射极及集电极例如分别与各开关元件共用连接，按各开关元件集中经由分离元件 30 与偏压点 BP 连接的结构中，在分离元件（电阻）30 中流动的基极电流的压降变大。其结果是，不能向单位 HBT101 施加充分的偏压，不能使单位 HBT101 充分地工作。

假设，电流放大率 h_{FE} 很大，例如为大于或等于 1000 时，如本实施例，

多级连接的开关电路装置的必要的总量电流变大。其原因是向接通的端口的各级的单位 HBT101 全部提供基极电流。并且，必要的基极电流不是一级情况下的级数倍而是变大为级数的二次方。

理由是，例如在三级的情况下，由于开关元件 SW1-1、SW1-2、SW1-3 的三个串联连接，如果不使各单位 HBT101 的尺寸为三倍，则一系列连接的第一开关元件组 S1 的总的接通电阻就不能与一级的情况下相等。

即在三级的情况下，各单位 HBT 的尺寸为一级的情况下的三倍且开关元件 SW 为三级，故总的基极电流为一级时的九倍 ($3 \times 3 = 9$)。

因此，三级开关元件 SW1-1、SW1-2、SW1-3 驱动三级连接的开关电路装置所需要的总量基极电流与一级时相比增大大约一位数。这样，由于基极电流变得很大，产生了两个问题。

第一个问题如上所述，在分离元件 30 中流动的基极电流的压降变大，而使 HBT101 不能充分地工作。第二个问题是在手机的基带 LSI 中不能驱动单位 HBT101。

因此，在本实施例中，用以下的措施解决第一个问题。即，以梳齿状并联连接的多个单位元件 100 构成集合元件 200a，将集合元件 200a 的共用发射极 E 及共用集电极 C 按各集合元件 200a 经由分离元件 30 与偏压点 BP 连接。向偏压点 BP 施加 DC 偏压（例如 GND 电位）。

分离元件 30 的电阻值通常为 $5 \sim 10\text{K}\Omega$ 。基极电流流过分离元件 30 时，在电阻的两端产生与基极电流大小成正比例的压降。将多个并联连接的单位 HBT101 分组，作为集合元件 200a 按组分别经由一个分离元件 30 与偏压点 BP 连接。可将其压降不影响单位 HBT101 的工作的程度降低。

即，由于通过分组使基极电流分散，故在与 $5 \sim 10\text{K}\Omega$ 的各集合元件 200a 连接的分离元件 30 中流动的基极电流变小，压降也变小。另外，由于分离元件 30 不是感应元件而是电阻，故可集成化为一个芯片。

由于单位 FET102 向单位 HBT101 提供基极电流，故电源端子 V_{DD} 所提供的单位 FET102 的漏极电流成为单位 HBT101 的基极电流。并且，在单位 FET102 与电源端子 V_{DD} 间流动的基极电流也相同。

即在单位 FET102 中，将每个集合元件 200a 的漏极共用连接作为共用漏极 D，每个共用漏极 D 经由分离元件 30 与电源端子 V_{DD} 连接。按每个集合元件 200a 连接一个这些分离元件 30。

若在连接单位 FET102 的电阻 30 中流动的基极电流的压降变大, 则单位 FET102 的漏极电位下降, 不能确保电位 FET102 的源极 - 漏极间电压。由此, 单位 FET102 的源极 - 漏极间电压中流动的电流变小, 其结果是, 单位 HBT101 的基极电流变得不足。

因此, 也将单位 FET102 分组, 由于电阻 30 的源极 - 漏极间的压降变小, 故可是单位 HBT101 充分地工作。

由于分离元件 30 不是感应元件而是电阻, 故可使开关电路装置的所有结构部分集成化到一个芯片。另外, 将各单位 HBT101 的发射极、集电极两者与 GND 电位连接, 向发射极、集电极施加 DC 偏压电位, 并且可用于引入各电位 HBT 的基极电流。

为解决第二个问题采取以下的措施。即, 采用使各单位 FET102 分别与各单位 HBT101 对应, 且将单位 HBT101 与单位 FET102 相邻配置的温度补偿型单位元件 100。即, 单位元件 100 通过单位 FET102 提供单位 HBT101 的基极电流, 并在单位 FET102 中提供来自电源端子 V_{DD} 的电流。由此, 可向单位 HBT101 提供充足的基极电流而使 HBT101 工作。

对图 19 的电路工作的一例进行说明。

[向第一控制端子 Ct11 施加 H 电平, 向第二控制端子 Ct12 及第三控制端子 Ct13 施加 L 电平信号的情况]

使单位 HBT101 的接通电压 V_{BE} 为 2.0V, 单位 FET102 的夹断电压 V_p 为 -0.4V。在这种情况下, 第一控制端子 Ct11 的电位与单位 HBT101 的发射极及集电极的电位相比高出大于或等于 1.6V (2.0V-0.4V) 时单位 FET102 与单位 HBT101 开始接通。在此, 使单位 HBT101 的发射极及集电极的电位为 GND 电位 (0V)。

由于向第一控制端子 Ct11 施加 3V, 故第一控制端子 Ct11 的电位成为 3V (3V - 0V) 比 1.6V 足够高。另外, 在作为分离元件 30 的电流中流动的基极电流的压降如上所述很小, 故单位 FET102 与单位 HBT101 充分接通, 接通侧的单位 HBT101 的发射极 - 集电极间导通。

另一方面, 断开侧相对于单位 HBT101 的发射极及集电极的电位 0V (GND), 第二控制端子 Ct12 及第三控制端子 Ct13 的电位为 0V。第二控制端子 Ct12 及第三控制端子 Ct13 的电位与单位 HBT101 的发射极及集电极的电位相比高出大于或等于 1.6V 时, 单位 FET102 与单位 HBT101 接通,

故断开侧可承受 1.6V 的振幅的功率。此时，SP3T 为三级结构，与 1.6V 的振幅为 29.6dBm 的功率对应，可在 CDMA 手机中充分使用。

〔向第一控制端子 Ct11、第二控制端子 Ct12 及第三控制端子 Ct13 都施加 L 电平信号的情况〕

向第一控制端子 Ct11、第二控制端子 Ct12 及第三控制端子 Ct13 施加 L 电平信号的情况下，向第一控制端子 Ct11、第二控制端子 Ct12 及第三控制端子 Ct13 都施加 0V，与上述相同全部的开关元件 SW 都能承受 1.6V 的振幅。另外，在此，将 RF 端口的共用输入端子 IN、第一输出端子 OUT1、第二输出端子 OUT2 及第三输出端子 OUT3 作为 GND 电位。

将 RF 端口看做为 GND 电位，则 MESFET 作为开关元件由于其电路装置的 MESFET 为耗尽型，故即使向与控制端子连接的栅极施加 0V 也不能切断 MESFET 的沟道，施加 0V 不能切断。因此，将 MESFET 作为开关元件的电路装置不能将 RF 端口设定为 GND 电位而需要设定为正电位。另外，外部的高频信号线为 GND 电位与 RF 端口的电位不同，故不能将外部的高频信号与 RF 端口直接连结。即，由于将外部的高频信号与 RF 端口 DC 分离，需要在它们之间外加连接电容。

但在本实施例中，有单位 HBT 及单位 FET 构成开关元件，通过将 RF 端口设定为 GND 电位向控制端子施加 0V 断开。因此，与将 FET 作为开关元件的开关电路装置相比不需要外加安装电容也可减少安装面积。

另外，断开侧可承受 1.6V 的振幅的功率，由于是三级连接，故 1.6V 的振幅与 29.6dBm 的功率相当。即，广泛适用于 CDMA 手机。

第六和第七实施例均为三级的 SP3T，但不限于三级可为任意个级。另外，电路不限于 SP3T，可为 SP4T、SP5T…SP n T 与输出端子的数目可任意。另外，DPDT (Double Pole Double Throw: 双极双投) 等，输入端子也可为任意的数目，另外，也可如第五实施例设置逻辑电路。

参照图 20~25 作为第八~第十实施例，对单位元件 100 中不设置 n 型 AlGaAs 层 18a 及 n 型 InGaP 层 19a 的情况进行说明。

第八实施例及第九实施例为构成用于放大器的有源元件 200 的单位元件 100 的情况。第十实施例为构成用于开关元件的有源元件 200 的单位元件 100 的情况。

参照图 20~图 22，表示作为第八实施例的用于放大器的单位元件 100

的其它的形态。第八实施例为在第一实施例中的单位元件 100 中不设置 n 型 AlGaAs 层 18a 及 n 型 InGaP 层 19a 的情况。此时，突缘 L 发射极层 5a 的台面蚀刻 EM 形成。

图 20 (A) 是图 2 的 a-a 线剖面图，图 20 (B) 是图 2 的 b-b 线的单位 HBT101 的剖面图。另外，图 20 (C) 是由图 20 (A) 的 c-c 线所示的剖面将单位元件 100 切离为所述两个区域时的单位 HBT101 的立体图，图 20 (D) 是单位 FET102 的立体图。另外，在图 20 (B) (C) (D) 中省略连接电极 17。在图 20 (C)、(D) 中省略两层或两层以上的电极。

如图 20 (A)，在半绝缘衬底 GaAs 衬底 1 之上层叠多个半导体层，即 n+型 GaAs 层 2、n-型 GaAs 层 3、p+型 GaAs 层 4，n 型 InGaP 层 5、n+型 GaAs 层 6。将半导体层的一部分通过蚀刻除去，形成为台面状。另外，设置到达衬底 1 的分离区域 20。分离区域 20 如上所述为由 B+ 等的离子注入而形成的绝缘区域。

单位元件 100 由台面状的半导体层即绝缘区域 20 分离为两个区域，在一侧的区域形成单位 HBT101，在另一侧的区域形成单位 FET102。

如图 20 (B)、(C)，单位 HBT101 的副集电极层 2 通过外延生长法形成在衬底 1 之上，是掺杂硅 (Si) 成 $3E18cm^{-3}$ ~ $6E18cm^{-3}$ 左右的较高的杂质浓度的 n+型 GaAs 层。其厚度为数千 Å。集电极 3 形成于副集电极层 2 的一部分区域之上，是通过硅掺杂而掺杂为 $1E16cm^{-3}$ 左右~ $10E16cm^{-3}$ 左右的杂质浓度的 n-型 GaAs 层。其厚度为数千 Å。基极层 4a 形成于集电极层 3 之上，是通过碳掺杂而掺杂为 $1E18cm^{-3}$ 左右~ $50E18cm^{-3}$ 左右的杂质浓度的 p+型 GaAs 层。其厚度为数百 Å~2000Å。发射极层 5a 形成在基极层 4a 的一部分区域之上，其是通过硅掺杂而掺杂为 $1E17cm^{-3}$ ~ $5E17cm^{-3}$ 左右的杂质浓度的 n 型 InGaP 层。其厚度为 1000 Å~5000 Å。发射极层 5a 与上层和下层的 GaAs 层进行晶格匹配。另外，发射极接触层 6a 形成在发射极层 5a 之上，是通过硅掺杂而掺杂为 $3E18cm^{-3}$ 左右~ $6E18cm^{-3}$ 左右的杂质浓度的 n+型 GaAs 层，其厚度为数千 Å。

本实施例的单位 HBT101 在发射极层 5a 与基极层 4a 形成 InGaP/GaAs 异质结。另外，构成发射极层 5a 的半导体层也可以不是 InGaP 层而形成 GaAs，此时，也将上层与下层的 GaAs 层进行晶格匹配。在基极层 4a 的下方的面 S1' 的附近 (参照图 20 (C)) 设置分离用的绝缘区域 20。另外，如

图 20 (B) 所示, 发射层 5a 的下部设置向位于两侧的基极 8 侧突出的形状的突缘 (棚) L。

即, 发射极层 5a 在侧面附近进行光蚀刻直到使突缘 L 到达完全耗尽化的规定的厚度。由此, 突缘 L 使用发射极层 5a 的一部分, 并在其下方部分形成。即, 通过光蚀刻程序将 n+型 GaAs 层 6 进行台面蚀刻, 继续进行蚀刻到 n 型 InGaP 层 5 的途中。除去抗蚀剂后通过新的光蚀刻程序对剩余的 n 型 InGaP 层 5 进行台面蚀刻, 除去抗蚀剂。由此, 发射极接触层 6a 与发射极层 5a 形成为台面状 (发射极台面 EM), 同时, 使用发射极 5a 的一部分在其下方形成突缘 L。突缘 L 耗尽化, 防止发射极-基极间的复合电流在突缘 L 下方的基极层 4a 表面流动。如第一~第七实施例不能用选择性蚀刻简单地控制突缘 L 的厚度, 将突缘 L 的厚度控制在 \pm 一百~数百 Å 即可, 可通过变化率慢的蚀刻溶液控制突缘 L 的厚度。

在副集电极层 2 的表面夹持集电极 3 的位置配置由欧姆金属层 (AuGe/Ni/Au) 构成的第一层的集电极 7。在基极层 4a 的表面, 以包围发射极层 5a 的图案配置由欧姆金属层 (Pt/Ti/Pt/Au) 构成的基极 8。在发射极接触层 6a 的上部配置由欧姆金属层 (AuGe/Ni/Au) 构成的第一层的发射极 9。

图 20 (D) 是由图 20 (A) 的 c-c 线所示的剖面将单位元件 100 切离时的单位 FET102 的立体图。单位 FET102 使 n 型 InGaP 层 5 为沟道层 5b'。另外, 将最上层的 n+型 GaAs 层 6 作为接触层 6bs、6bd。接触层 6bd、6bs 分别成为单位 FET102 的漏极区域和源极区域。接触层 6bd、6bs 也形成为台面状, 在它们之间露出的沟道层 5b'上设置栅极 12。在 InGaP 层掩埋栅极金属最下层的 Pt 的掩埋栅极的情况下, 如果 InGaP 层表面的结晶良好, 则 Pt 不会在 InGaP 层向横向反常扩散。在接触层 6bd、6bs 之上通过欧姆金属层分别形成第一层的漏极 10、源极 11。

在此, 单位 FET102 的沟道层 5b'与单位 HBT101 的发射极层 5a 相同为 InGaP 层。由此, 可谋求单位 FET102 的高耐压化及沟道层 5b'表面的稳定化。

另外, 在沟道层 5b'的下层配置 P+型 GaAs 层 4b。可通过该层防止从沟道层向衬底侧泄漏的载流子。

另外, 由于 p+型 GaAs 层 4b 的下层为单位 FET102 对工作并没有特别

的影响,因此,设计为单位 HBT101 的特性最合适即可。

再次参照图 20(A),单位元件 100 为使图 20(C)所示的单位 HBT101 的面 S1'与图 20(D)所示的单位 FET102 的面 S1 抵接的结构。抵接面为图 20(A)的 c-c 线的面。并且,通过配线金属层(Ti/Pt/Au)在单位 FET102 的源极 11 之上设置连接配线 17。连接配线 17 沿单位 FET102 的台面,又通过绝缘区域 20 之上延伸到单位 HBT101 的基极 8 之上。

以下,参照图 21~22,对第八实施例的单位元件 100 的其它的形态进行说明。另外,剖面图相当于图 2 的 b-b 线剖面,用于说明外延层的大致情况,故省略连接电极 17。

图 21(A)为在第八实施例中设置非合金欧姆层,将发射极接触层 6a 作为非合金欧姆层的情况。

为了降低发射极接触层 6a 的接触电阻,有时会在发射极接触层 6a 之上设置非合金欧姆层 31。非合金欧姆层为 n+型 GaAs 层。在这种情况下,将发射极接触层 6a 设为 n 型 GaAs 层,其它的结构与图 20(B)相同。

图 21(B)为设置梯度层的情况。

存在在发射极 5a 采用 $Al_{0.3}Ga_{0.7}As$ 层,在与基极层 4a 的 GaAs 层之间形成异质结的情况。该异质结在传导带的底部存在频带峰值,该频带峰值成为补偿电压产生的原因之一。为了消除该频带峰值故可以配置用于从 GaAs 向 AlGaAs 层缓缓地移动的梯度层 32,从而可使补偿电压变小。

梯度层 32 例如为 n 型的 $Al_xGa_{1-x}As$ ($x=0-0.3$) 层,由此,在基极-发射极将从 GaAs 向 $Al_{0.3}Ga_{0.7}As$ 层过渡地变化。其它的半导体层的结构与图 20(B)相同。

图 22(A)为在第八实施例中设置镇流电阻层的情况。存在由于构成单位元件 100 的单位 FET102 及单位 HBT101 的设计而不能充分防止二次击穿发生的情况。另外,在单位 HBT101 中流动很大的电流时,也难以完全防止二次击穿的发生。在这种情况下可通过在单位 HBT 的外延结构中加入镇流电阻层重复采取二次击穿措施。

即,在发射极层 5a 侧配置 n-型 GaAs 层 33 作为镇流电阻层。由于具有规定电阻值的 n-型 GaAs 层 33 成为镇流电阻层,故可防止由于电流向一个单位元件 100 集中引起的二次击穿的产生。

镇流电阻层 33 可在非掺杂的 GaAs 层形成,在发射极层 5a 为 InGaP 时,

也可以在 n-型 InGaP 层及非掺杂的 InGaP 层。另外在发射极层 5a 为 AlGaAs 层时，镇流电阻层 33 可在 n-型 AlGaAs 层及非掺杂 AlGaAs 形成。其它的半导体层与图 20 (B) 相同。

图 22 (B) 为在第八实施例中将异质结从发射极 - 基极间的 Pn 接合错开的情况，发射极层 5a 成为 n 型 AlGaAs 层。

在通常的 HBT 结构中，发射极层 5a 的 n 型 AlGaAs 层与基极层 4a 的 p+型 GaAs 层之间的发射极 - 基极间 Pn 结合与异质结一致。该结合在传导带的底部存在频带峰值，该频带峰值成为补偿电压产生的一个原因。为了防止由频带峰值引起的补偿电压的产生，可通过在基极层 4a 的 p+型 GaAs 层与发射极层 5a 的 n 型 AlGaAs 层之间添加 n 型 GaAs 层 34，使异质结位置从发射极 - 基极间的 Pn 结合位置偏离。此时由于异质结位置与发射极 - 基极间的 Pn 结合不一致故可使补偿电压大幅度变小。

HBT 的原理是为了不使基极的空穴向发射极侧注入，将比作为基极层 4a 的 GaAs 层带隙大的 AlGaAs 层作为发射极层 5a 配置。在这种结构的情况下，添加的 n 型 GaAs 层 34 与位于其上的发射极层的 n 型 AlGaAs 层 5a 的结合成为异质结。

图 23 为第九实施例，在第八实施例所示的用于放大器的单位元件 100 中，在单位 HBT101 的发射极层 5a 之上设置可选择性蚀刻的其他半导体层的情况。即，在第九实施例中，将第一 ~ 第七实施例的单位元件 100 中的发射极层 5a、n 型 AlGaAs 层 18a 及 n 型 InGaP 层 19a 改变为其它的半导体层，使发射极层 5a 的厚度与突缘 L 的厚度相同，使用选择性蚀刻形成突缘 L。另外，剖面图相当于图 2 的 b-b 线剖面，用于说明外延层的大致情况，故省略连接电极 17。

例如，在图 23 (A) 中，在发射极层 (n 型 InGaP 层) 5a 之上添加 n 型 GaAs 层 35，通过 GaAs/InGaP 的选择性蚀刻形成突缘 L。将单位 FET102 的栅极设置在 n 型 GaAs 层 35 上。此时，不能使用选择性蚀刻但可通过使 n+型 GaAs 层 6a 的膜厚变薄，或使蚀刻率缓慢等的措施进行控制。

在图 23 (B) 中，在发射极层 (n 型 InGaP 层) 5a 之上添加 n 型 AlGaAs 层 36，通过 AlGaAs/InGaP 的选择性蚀刻形成突缘 L。将单位 FET102 的栅极设置在 n 型 AlGaAs 层 36 上。此时，不能使用选择性蚀刻但可通过使 n+型 GaAs 层 6a 的膜厚变薄，或使蚀刻率变慢等的措施进行控制。

在图 23(C)中,在发射极层(n型 AlGaAs 型层)5a 之上添加 n 型 InGaP 层 37,通过 InGaP/AlGaAs 的选择性蚀刻形成突缘 L。为形成基极在使基极层 4a 的表面露出时,不能使用选择性蚀刻。但可通过直接检测蚀刻表面而确定基极层 4a 是否露出。因此,可控制使基极层 4a 的表面露出的蚀刻。即,蚀刻不足发射极层 5a 还残留时,由于发射极层 5a 的杂质浓度低,故即使直接探测接触电阻很高,电阻值也很高。另一方面,由于基极层 4a 的杂质浓度非常高,故直接探测其电阻值则检测电阻低,电阻值也变低。

在图 23 中,使用选择性蚀刻形成突缘 L。因此,在将逻辑电路集成化时,与第五实施例相同,可通过选择性蚀刻使形成 E 型 FET 的栅极的表面露出。

在图 23 中,其它的半导体层与图 20(B)相同。

参照图 24 和图 25,作为第十实施例表示用于开关元件的单位元件 100 的其它的形态。图 24(A)为图 2 的 a-a 线剖面图,图 24(B)为单位 HBT101 的立体图,图 24(C)为单位 FET102 的立体图。另外,在图 24 中省略连接配线 17 以外的第二及其以上层的电极。

如图 24(A),在半绝缘的 GaAs 衬底 1 之上,层叠多个半导体层、即,层叠 n+型 GaAs 层 2、n 型 InGaP 层 3、p+型 GaAs 层 4、n 型 InGaP 层 5、n+型 GaAs 层 6。将半导体层的一部分通过蚀刻除去,形成为台面状。另外,设置到达衬底 1 的分离区域 20。分离区域如上所述为由 B⁺等的离子注入而形成的绝缘区域 20。

单位元件 100 由台面状的半导体层及绝缘区域 20 分离为两个区域,在一侧的区域形成单位 HBT101,在另一侧的区域形成单位 FET102。

图 24(B)是由图 24(A)的 c-c 线所示的剖面将单位元件分割为所述两个区域时的单位 HBT101 的立体图,另外,在此省略连接电极 17。单位 HBT101 的副集电极层 2 通过外延生长法形成在衬底 1 之上,是掺杂硅(Si)为 $3E18cm^{-3} \sim 6E18cm^{-3}$ 的较高的杂质浓度的 n+型 GaAs 层。其厚度为数千 Å。集电极层 3 形成于副集电极层 2 的一部分区域之上,是通过硅掺杂而掺杂为 $1E17cm^{-3}$ 左右 $\sim 5E17cm^{-3}$ 左右的杂质浓度的 n 型 InGaP 层。其厚度为 1000 Å ~ 5000 Å。基极层 4a 形成于集电极层 12 之上,是通过碳(C)掺杂而掺杂为 $1E18cm^{-3}$ 左右 $\sim 50E18cm^{-3}$ 左右的杂质浓度的 p+型 GaAs 层。其厚度为数百 Å ~ 2000 Å。发射极层 5a 在基极层 4a 的一部分区域之上形成台面状(发

射极台面 EM), 是通过硅掺杂硅而掺杂位 $1E17cm^{-3} \sim 5E17cm^{-3}$ 左右的杂质浓度的 n 型 InGaP 层。其厚度为 $1000 \text{ \AA} \sim 5000 \text{ \AA}$ 。发射极层 5a 与上层和下层的 AlGaAs 层及 GaAs 层进行晶格匹配。另外, 发射极接触层 6a 形成在发射极层 5a 之上, 是通过硅掺杂而掺杂为 $3E18cm^{-3}$ 左右 $\sim 6E18cm^{-3}$ 左右的杂质浓度的 n+型 GaAs 层, 其厚度为数千 \AA 。

本实施例的单位 HBT101 在发射极层 5a 与基极层 4a 形成 InGaP/GaAs 异质结, 除此之外在集电极层 3 与基极层 4a 中也形成 InGaP/GaAs 异质结。即, 单位 HBT101 为对称型 HBT。

另外, 构成发射极层 5a 及集电极层 3 的半导体层也可不为 InGaP 层而为 AlGaAs 层, 这种情况下也与基极层 4a 的 GaAs 层进行晶格匹配。在基极层 4a 的下方的面 S1' 的附近设置分离用绝缘区域 20。

在副集电极层 2 的表面夹持集电极层 3 的位置配置由欧姆金属层 (AuGe/Ni/Au) 构成的第一层的集电极 7。在基极层 4a 的表面, 以包围发射极层 5a 的图案配置由欧姆金属层 (Pt/Ti/Pt/Au) 构成的基极 8。在发射极接触层 6a 的上部配置由欧姆金属层 (AuGe/Ni/Au) 构成的第一层的发射极 9。

图 24 (C) 是由图 24 (A) 的 c-c 线所示的剖面将单位元件 100 切离时的单位 FET102 的立体图。单位 FET102 将 n 型 InGaP 层 5 作为沟道层 5b'。另外, 将最上层的 n+型 GaAs 层 6 作为接触层 6bs、6bd。接触层 6bd、6bs 分别成为单位 FET102 的漏极区域和源极区域。接触层 6bd、6bs 也形成台面状, 在它们之间露出的沟道层 5b' 上设置栅极 12。在接触层 6bd、6bs 之上通过欧姆金属层分别形成第一层的漏极 10、源极 11。

另外, 在沟道层 5b' 的下层配置 P+型缓冲层 4b。P+型缓冲层 4b 为 p+型 GaAs 层, 可通过该层防止从沟道层向衬底侧泄漏的载流子。

另外, 由于 p+型 GaAs 层 4 的下层为单位 FET102 对工作并没有特别的影响, 因此, 设计为单位 HBT101 的特性最合适即可。

图 24 (A) 所示的单位元件 100 为使图 24 (B) 所示的单位 HBT101 的面 S1' 与图 24 (C) 所示的单位 FET102 的面 S1 抵接的结构。抵接面为图 24 (A) 的 c-c 线的面。并且, 通过配线金属层 (Ti/Pt/Au) 在单位 FET102 的源极 11 之上设置连接配线 17。连接配线 17 沿单位 FET102 的台面, 又通过绝缘区域 20 之上延伸到单位 HBT101 的基极 8 之上。

图 25 是说明第十实施例的单位元件 100 的其它的形态的剖面图，只表示单位 HBT101 的剖面图（相当于图 2 的 b-b 线）。

图 25 (A) 是为消除频带峰值而具有梯度层的结构。

例如在发射极 5a 及集电极层 3 中采用 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 层，并且，在基极-发射极间，基极-集电极间配置梯度层 32。即，在基极-发射极间配置从 GaAs 向 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 缓慢变化的 n 型的 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($X=0\rightarrow 0.3$) 层，例如在基极-集电极间例如配置从 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 向 GaAs 缓慢变化的 n 型的 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($X=0.3\rightarrow 0$) 层。由此，可使补偿电压进一步变小。

图 25 (B) 为设置镇流电阻层的情况。存在由于构成单位元件 100 的单位 FET102 及单位 HBT101 的设计而不能充分防止二次击穿发生的情况。另外，在单位 HBT101 中流动很大的电流时，也难以完全防止二次击穿的发生。在这种情况下可通过在单位 HBT101 的外延结构中加入镇流电阻层重复采取二次击穿措施。

即，由于采用对称型 HBT，故在发射极层 5a 侧及集电极层 3 侧作为镇流电阻层配置 n 型 GaAs 层 33。由于具有规定电阻值的 n 型 GaAs 层 33 成为镇流电阻层，由此可防止由于电流向一个单位元件集中而引起的二次击穿的产生。

镇流电阻层 33 可在非掺杂的 GaAs 层形成，在发射极层 5a 及集电极层 3 为 InGaP 层时，也可以在 n 型 InGaP 层及非掺杂的 InGaP 层形成。另外在发射极层 5a 及集电极层 3 为 AlGaAs 层时，镇流电阻层 33 可在 n 型 AlGaAs 层及非掺杂 AlGaAs 层形成。其它的半导体层与图 24 (B) 相同。

另外，在第三、第四、第五、第六、第七、第十实施例中，用于开关元件的第五 HBT101 都是对称型 HBT，故可将单位 HBT101 的发射极与集电极替换。

另外，通过在第三、第四、第五、第六、第七、第十实施例中设置电阻分割等的偏压电路，则单位 HBT101 的发射极及集电极的电位不限于 GND 电位而可自由设定。

根据本实施例，将 HBT 与 FET 经由分离区域相邻配置，将多个与 HBT 的基极连接 MESFET 而得的源极的单位元件连接构成开关元件，而得到开关电路装置。即，单位元件的 MESFET 与每个梳齿状的 HBT 的基极连接，并且 HBT 与 MESFET 经由分离区域相邻配置。并且，开关元件将 MESFET

的漏极与电源端子 V_{DD} 连接，通过向 MESFET 的栅极输入的电压信号，使 HBT 的集电极 - 发射极间电流变化。由于 HBT 与 MESFET 的距离接近，故由 HBT 的工作产生的热向 MESFET 传送。但由于 MESFET 漏极具有负的温度系数，故本实施例的 HBT 的基极电流也具有负的温度系数。即，在本实施例中，HBT 的发热可使 HBT 的集电极电流减少。

因此，在将多个这样单位元件并联连接的开关元件中，即使每个单位元件的工作电流变得不稳定，由于电流不向一个单位元件集中故不会产生由二次击穿产生的破坏。即，与现有的 HBT 的接触电流相比可大幅度提高电流密度而工作。

另外，在单位 FET 中为确保耐压采用掩埋栅极结构，通过使之成为不使掩埋部向 InGaP 层扩散的结构可防止 Pt 的反常扩散。另外，在单位 HBT 的发射极台面、基极台面形成及突缘 L 形成及单位 FET 的栅极蚀刻中可使用选择性蚀刻，再现性良好。

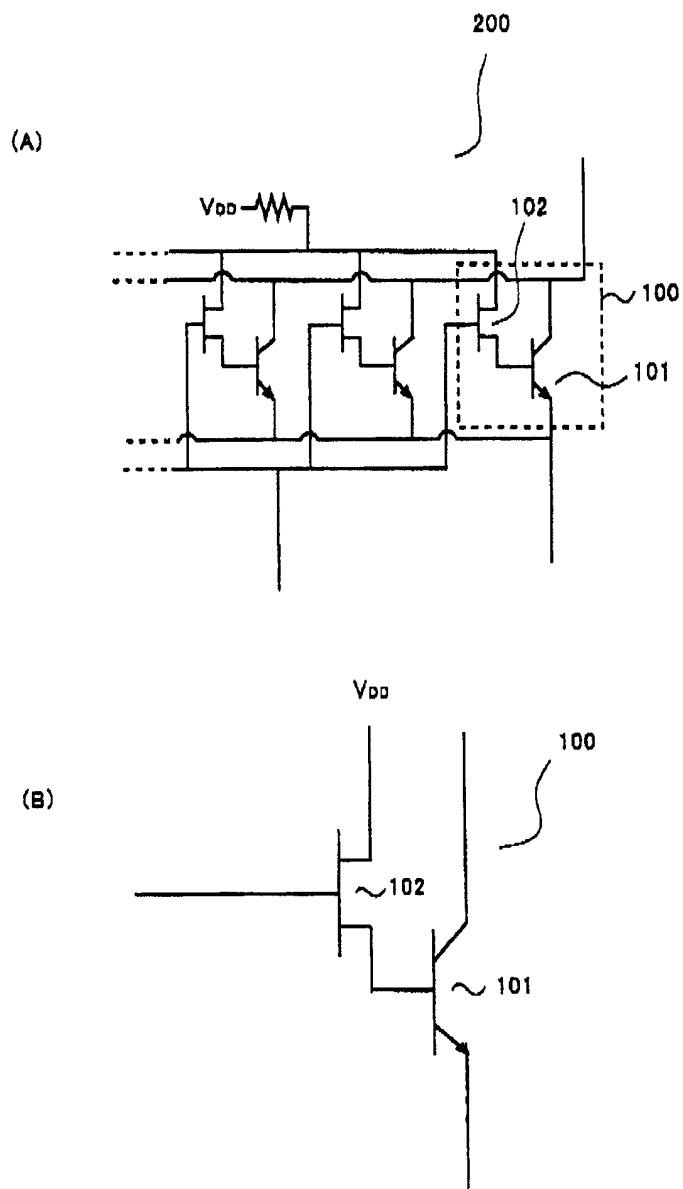


图 1

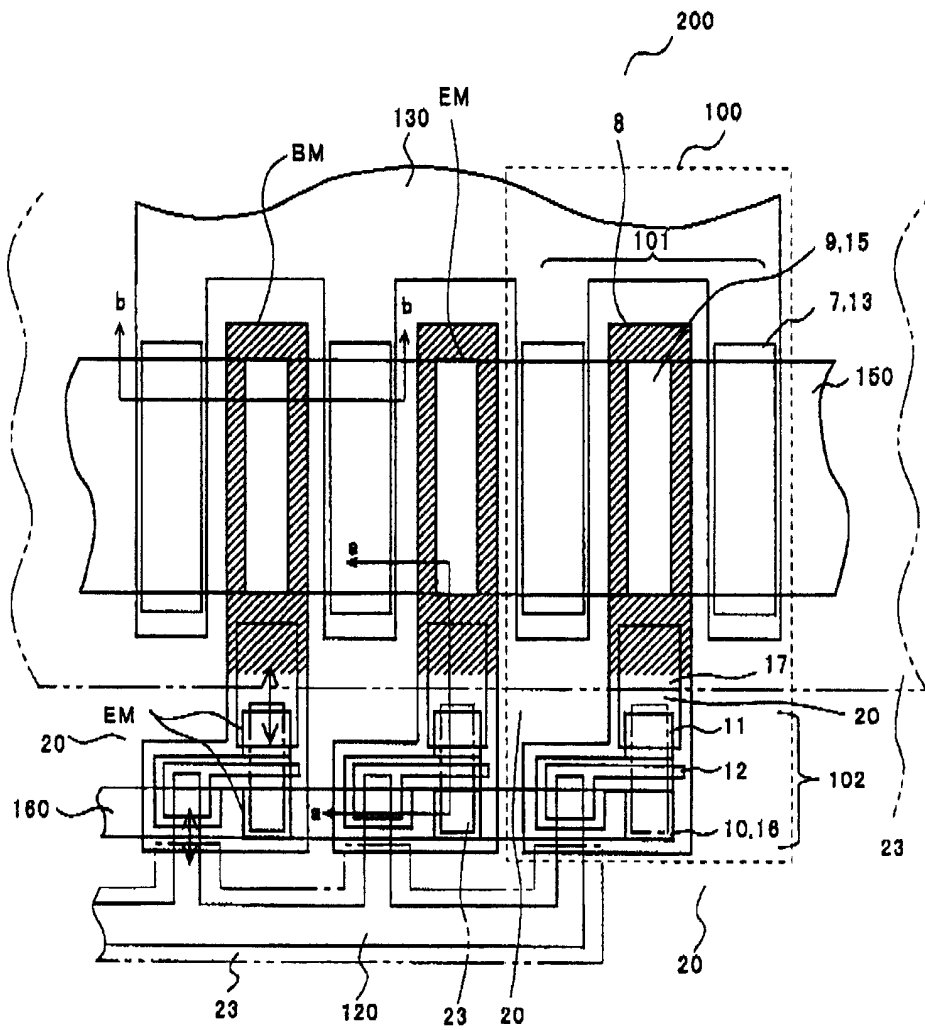


图 2

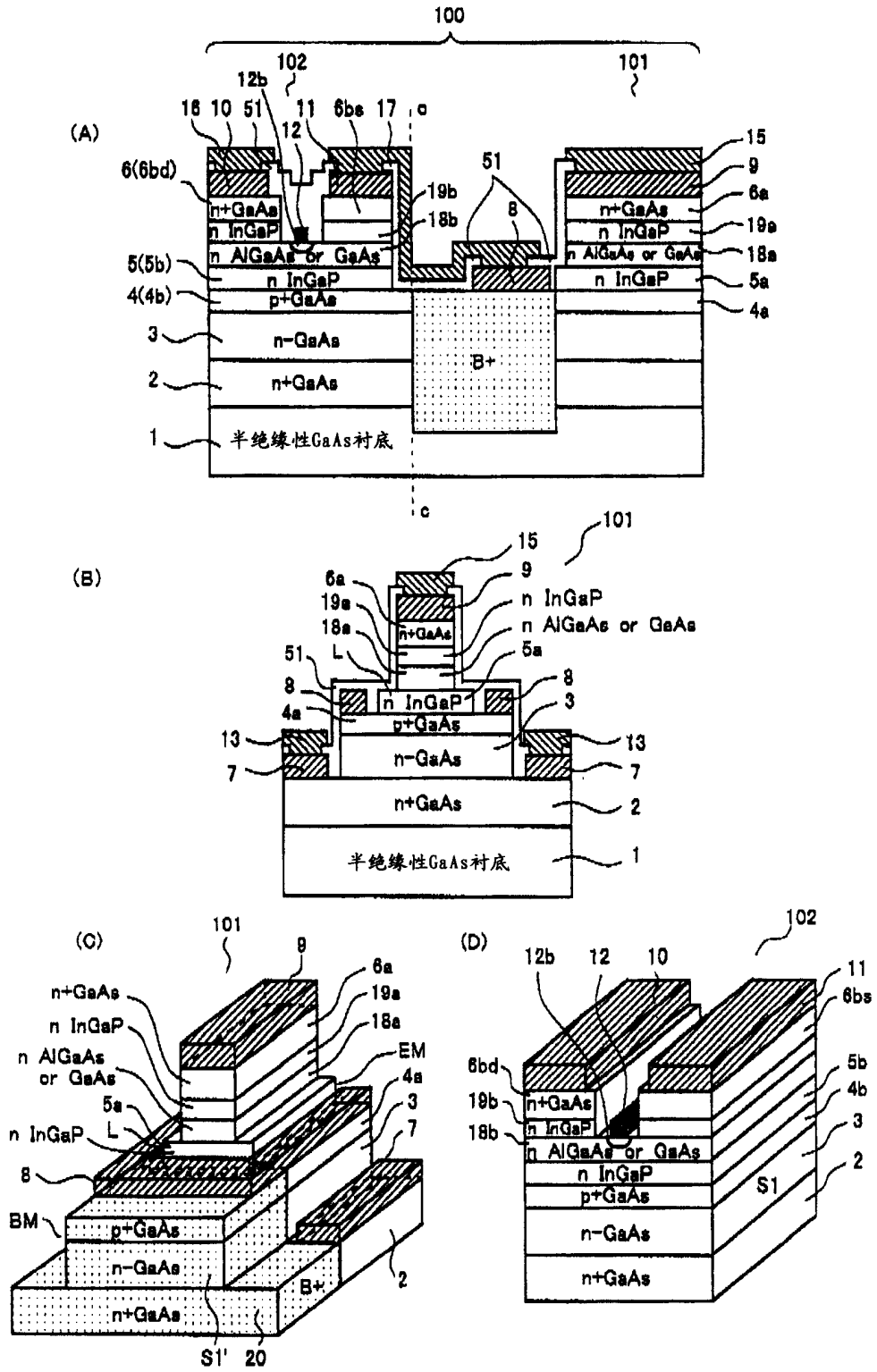


图 3

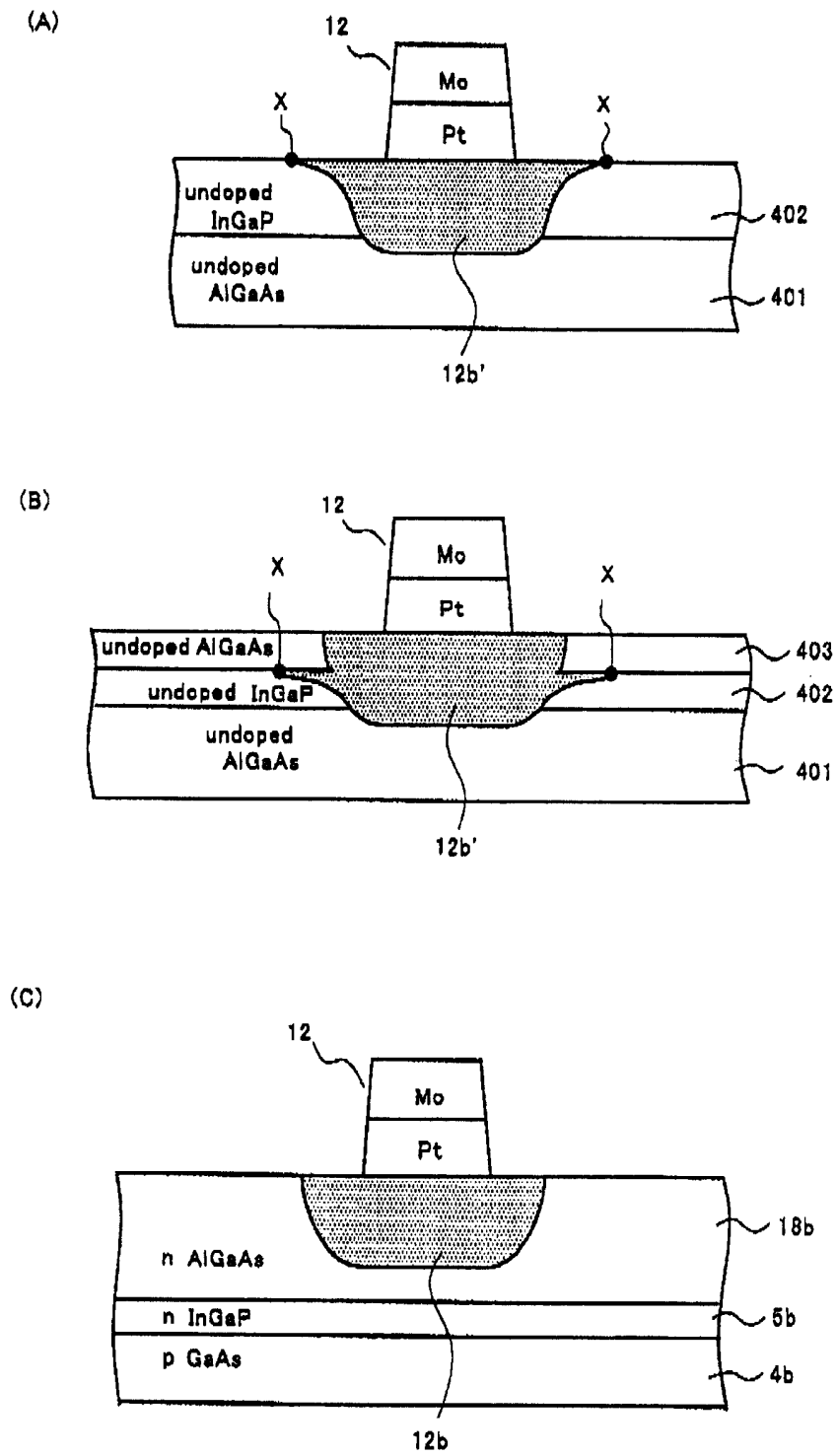


图 4

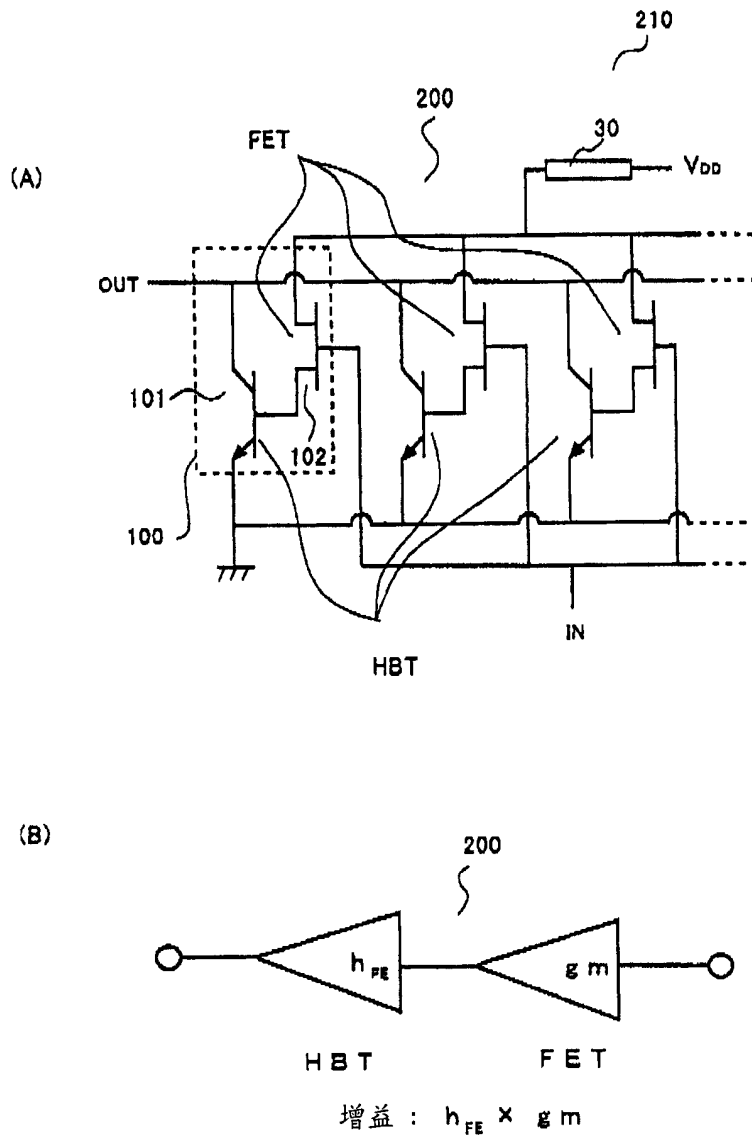


图 5

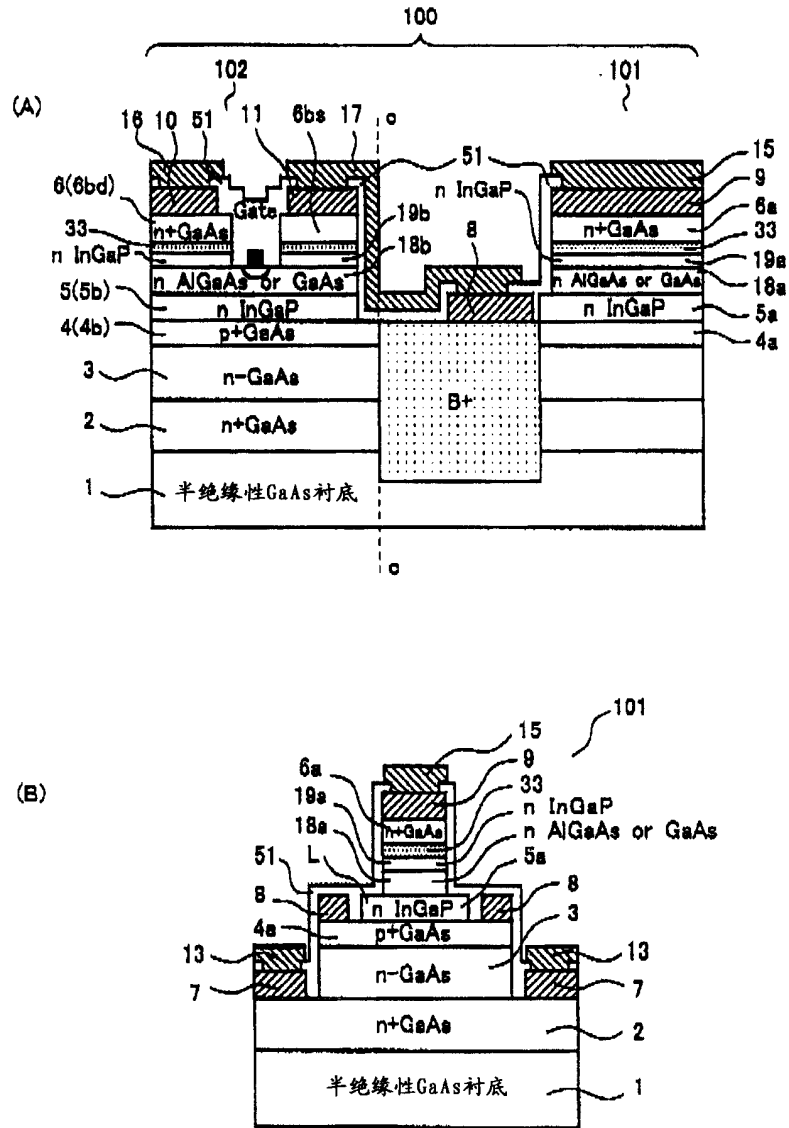


图 6

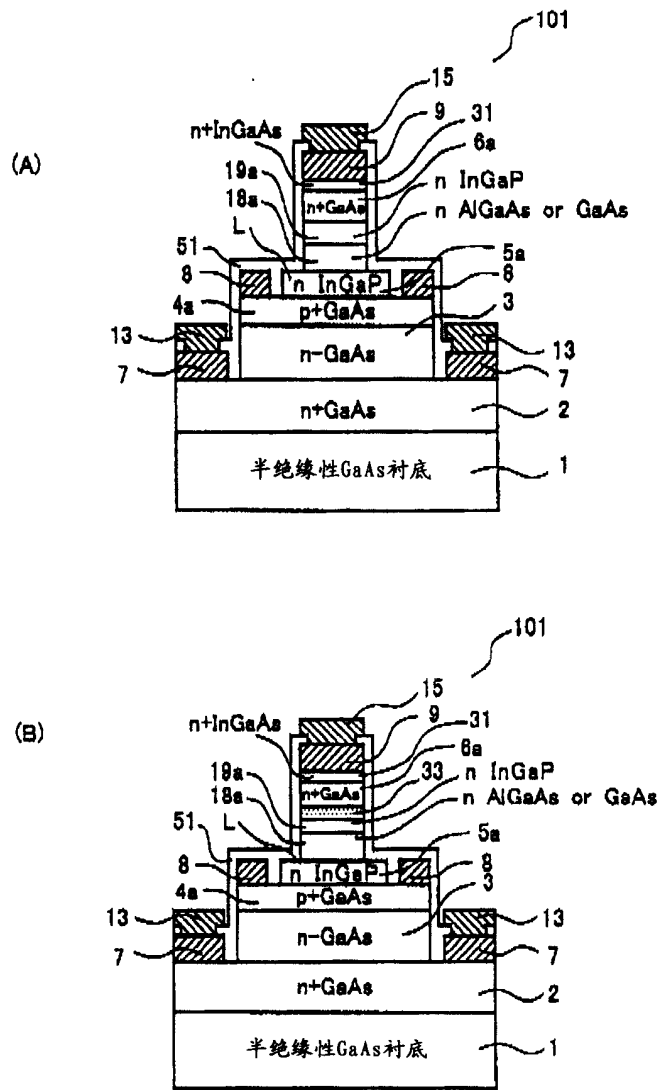


图 7

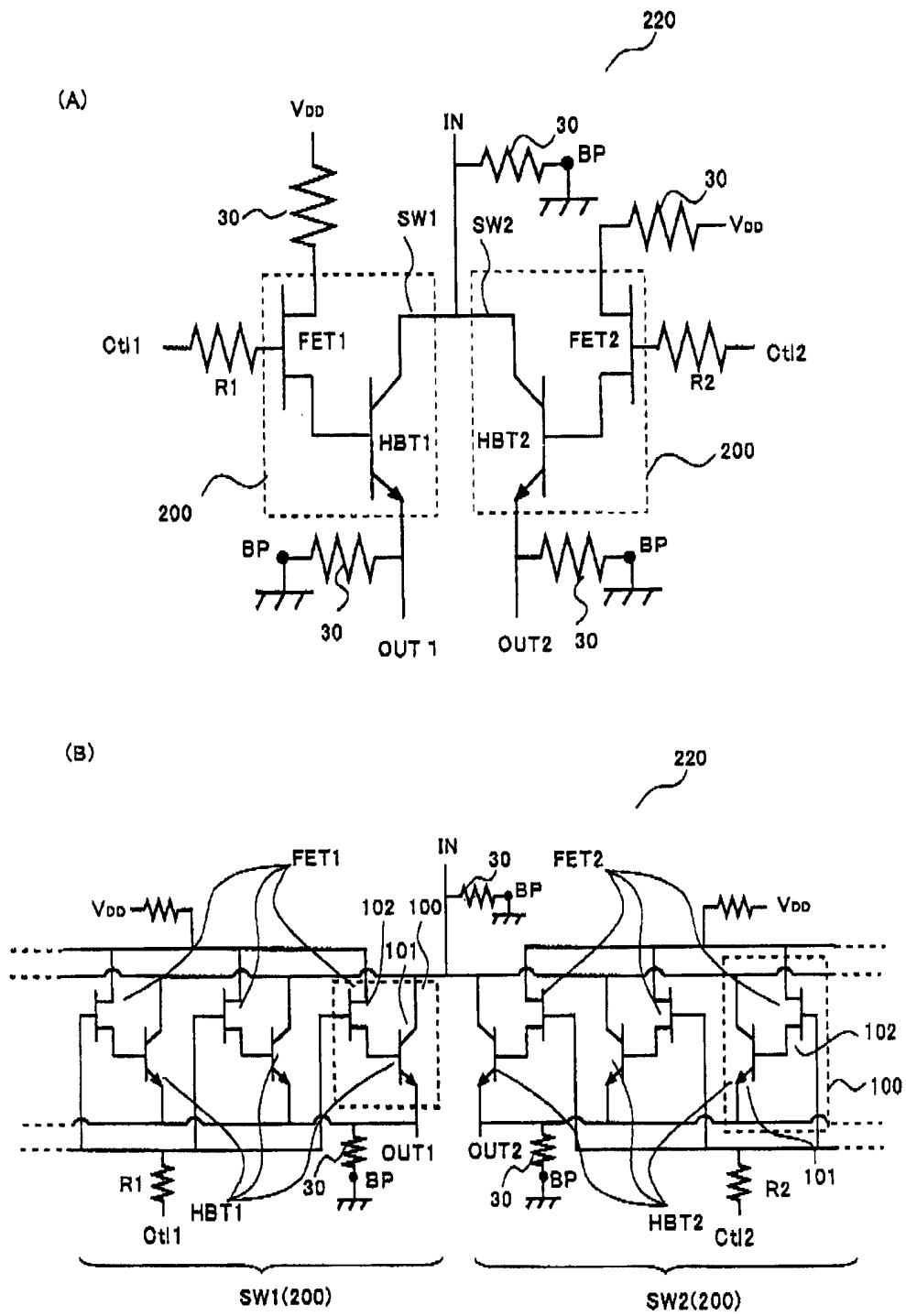


图 8

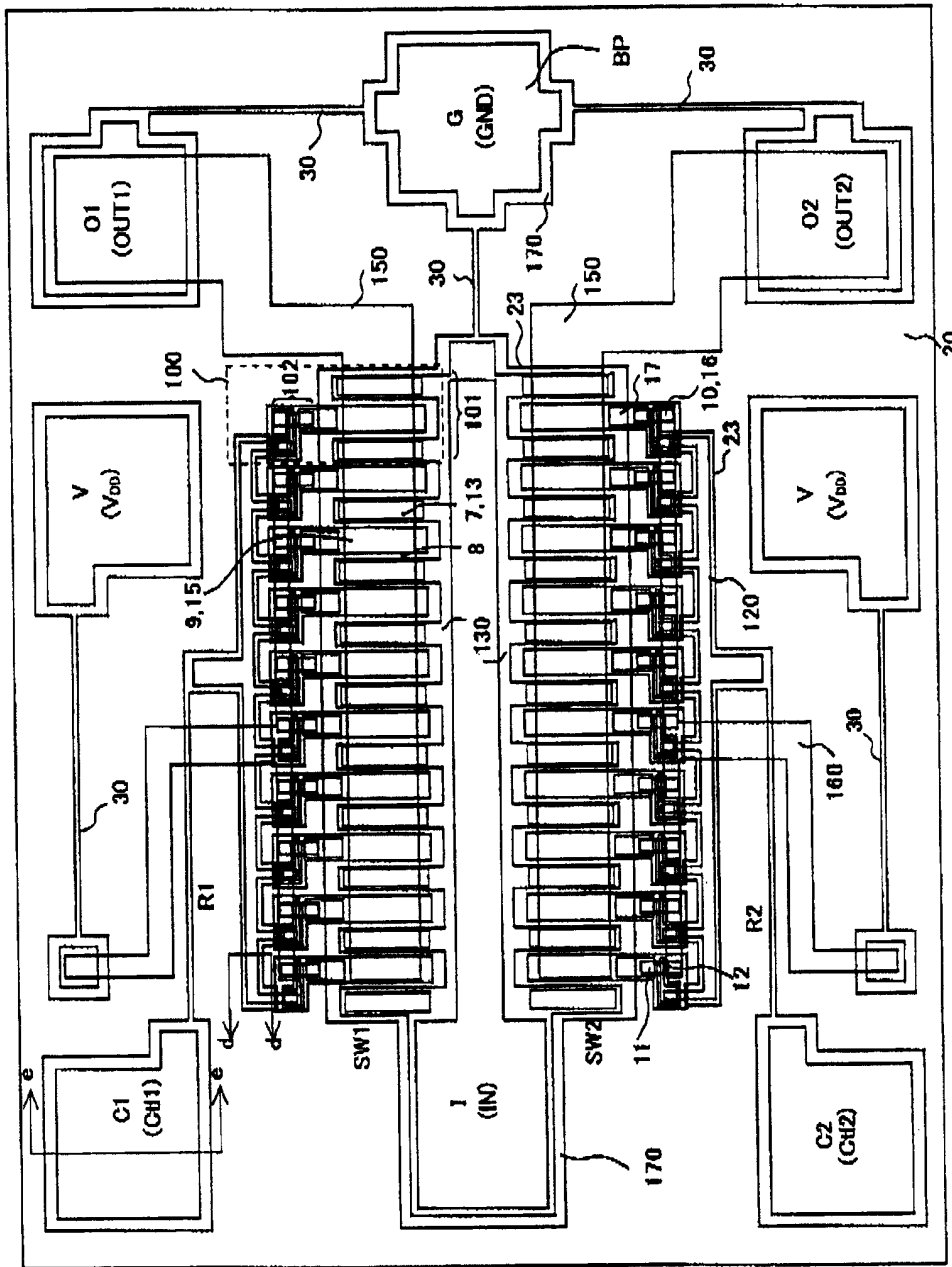


图 9

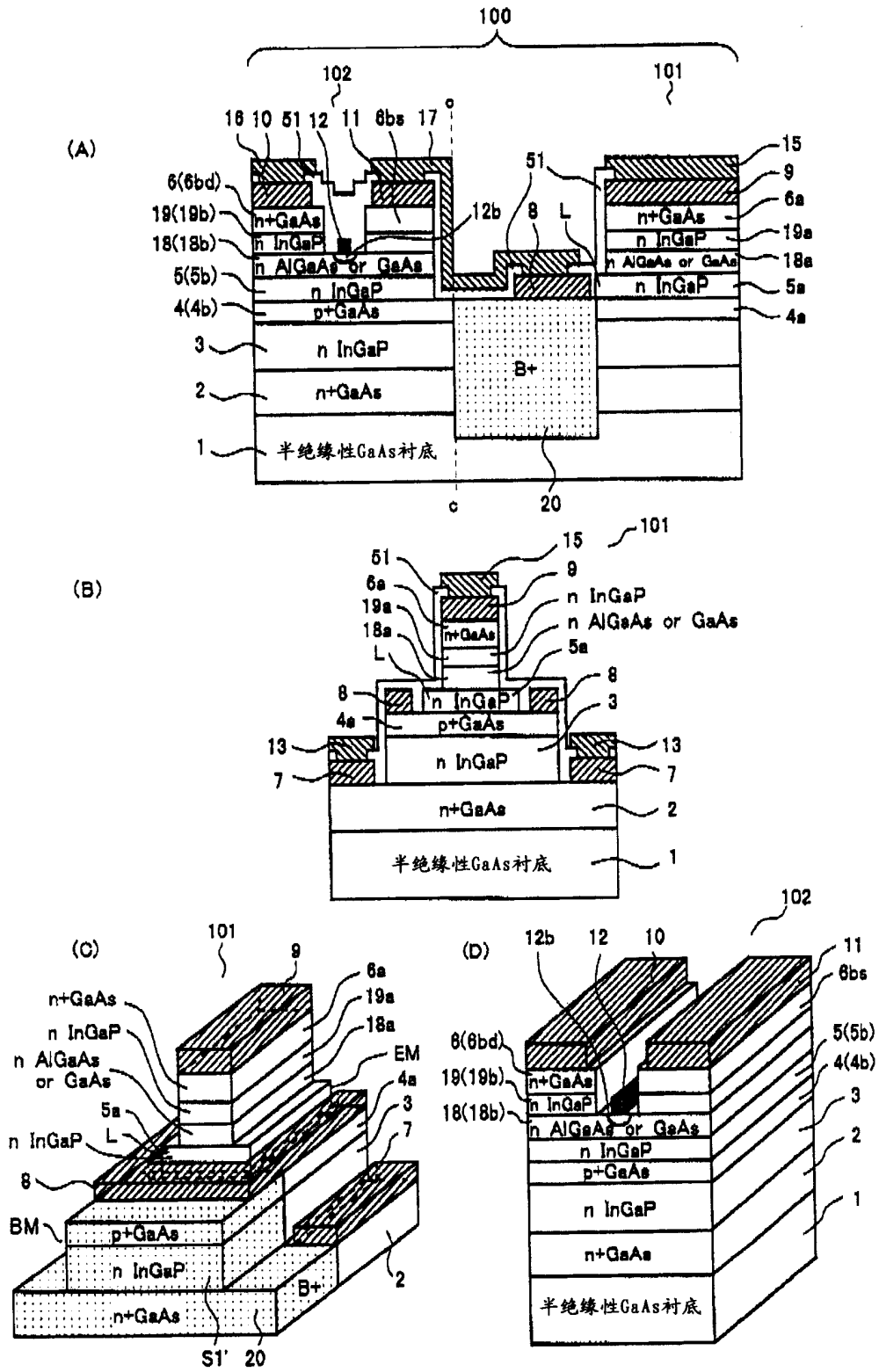
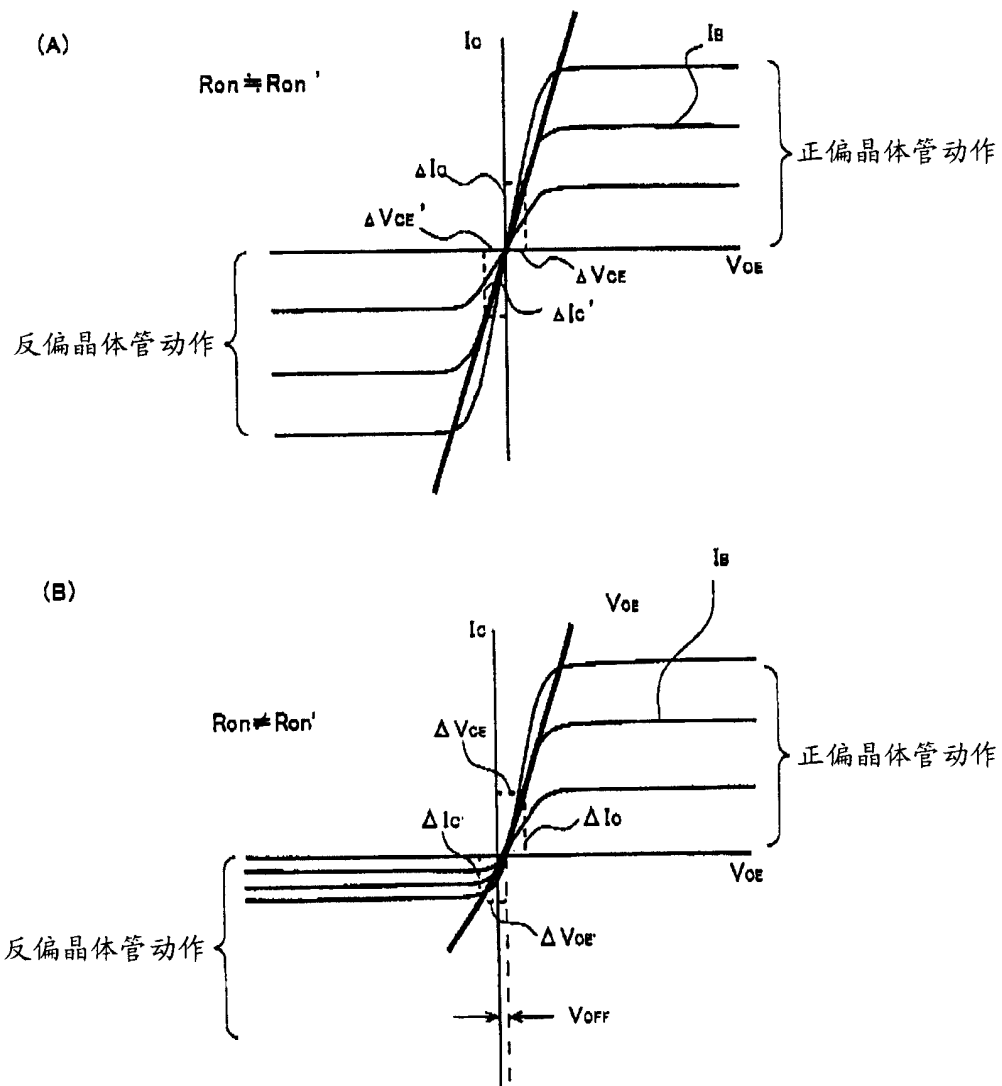


图 10



正偏晶体管的导通电阻 $R_{on} = \Delta V_{CE} / \Delta I_c$
 反偏晶体管的导通电阻 $R_{on}' = \Delta V_{CE}' / \Delta I_c'$

图 11

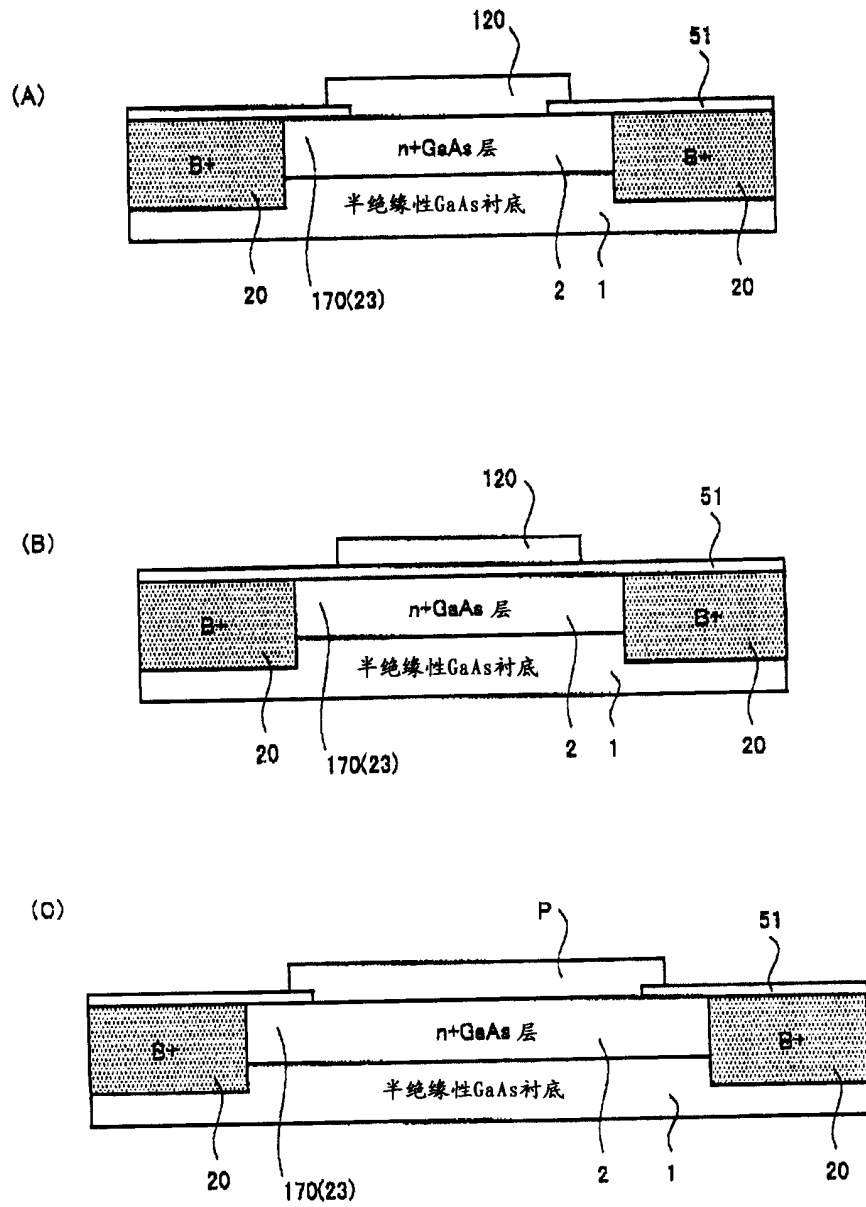


图 12

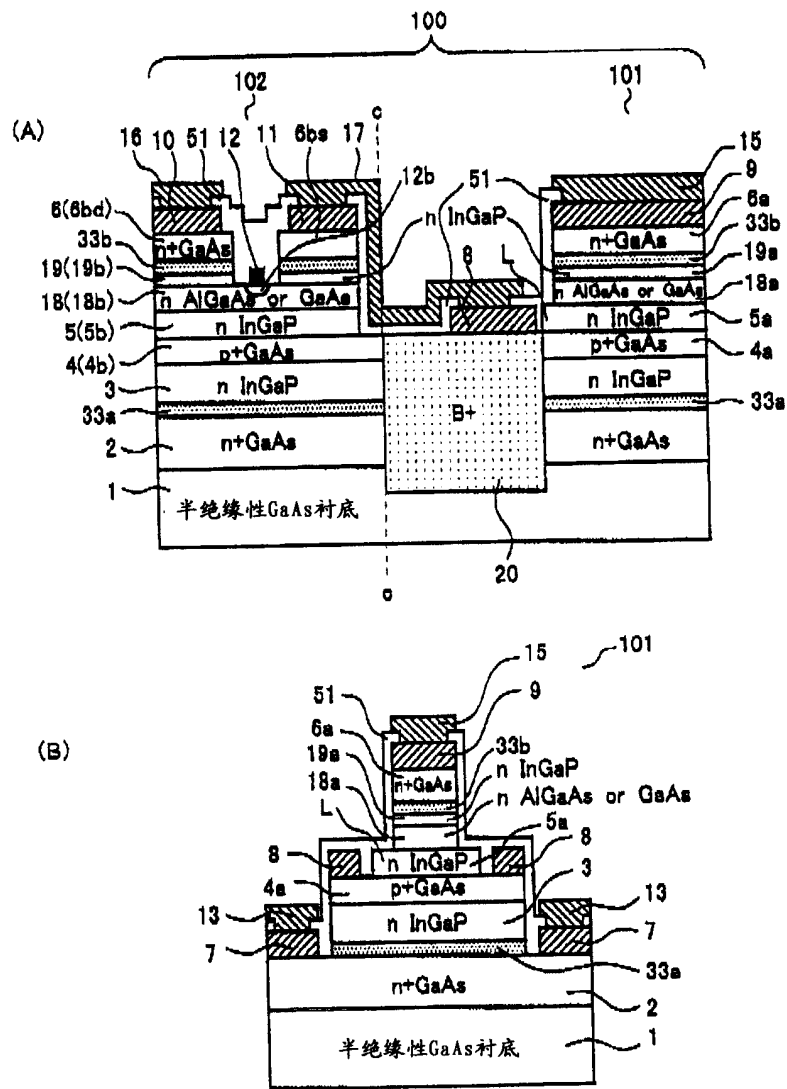


图 13

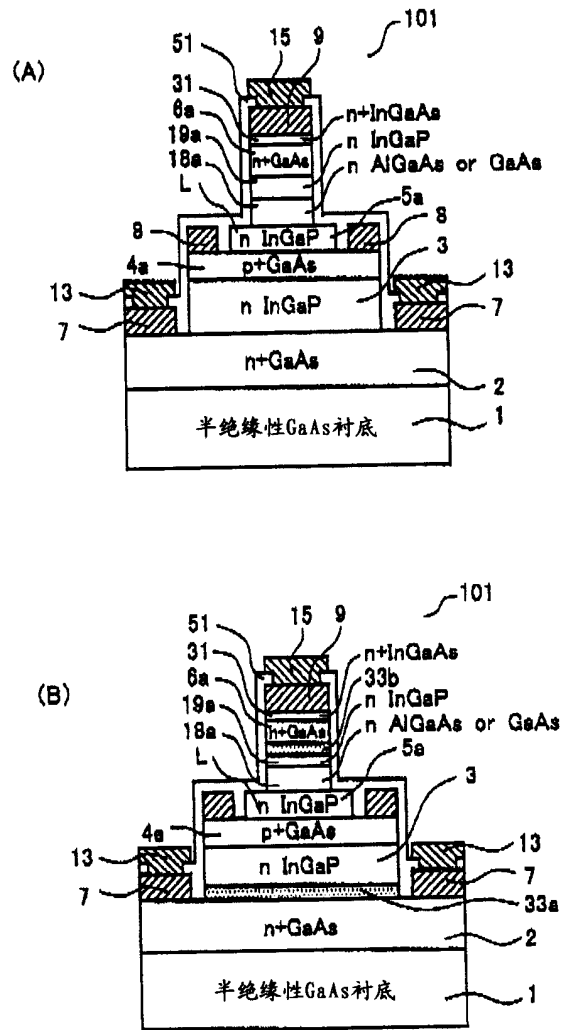


图 14

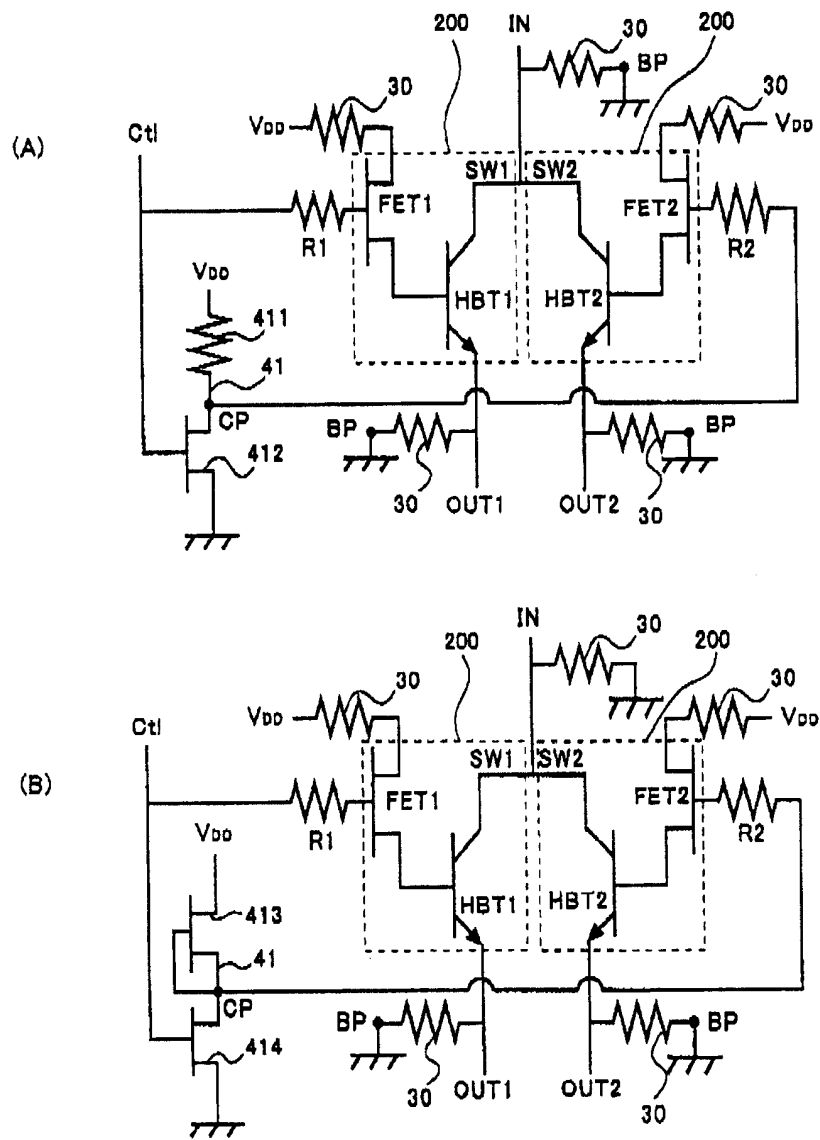


图 15

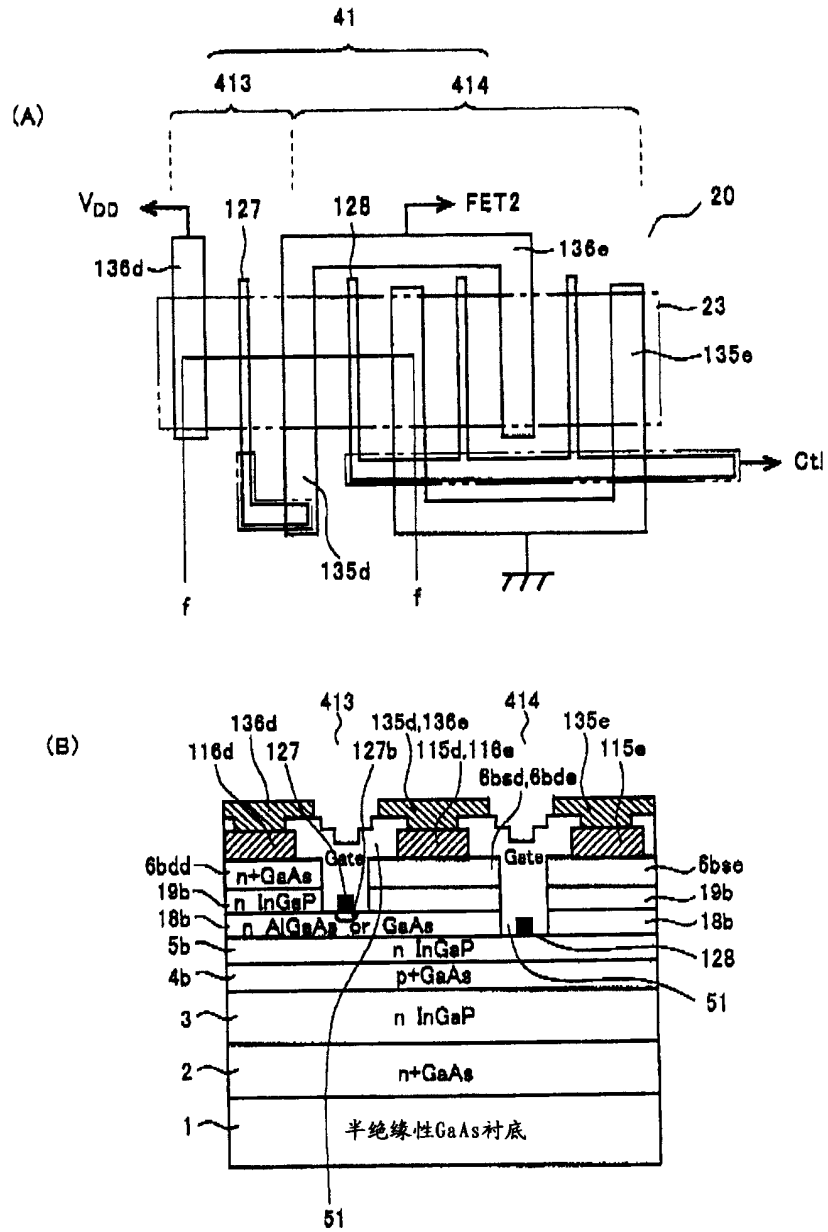


图 16

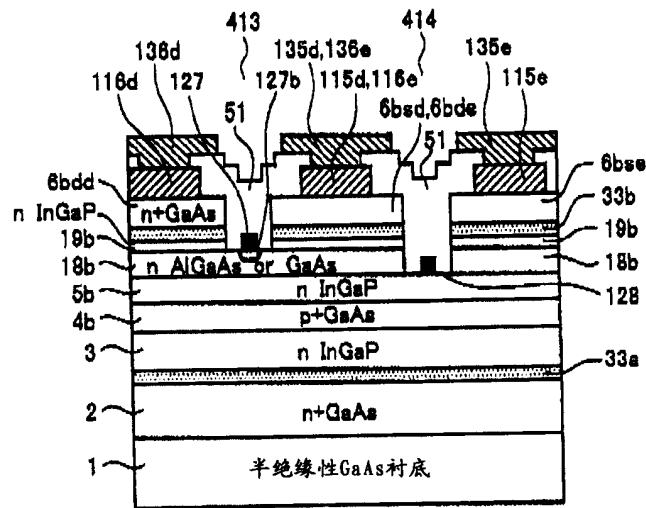


图 17

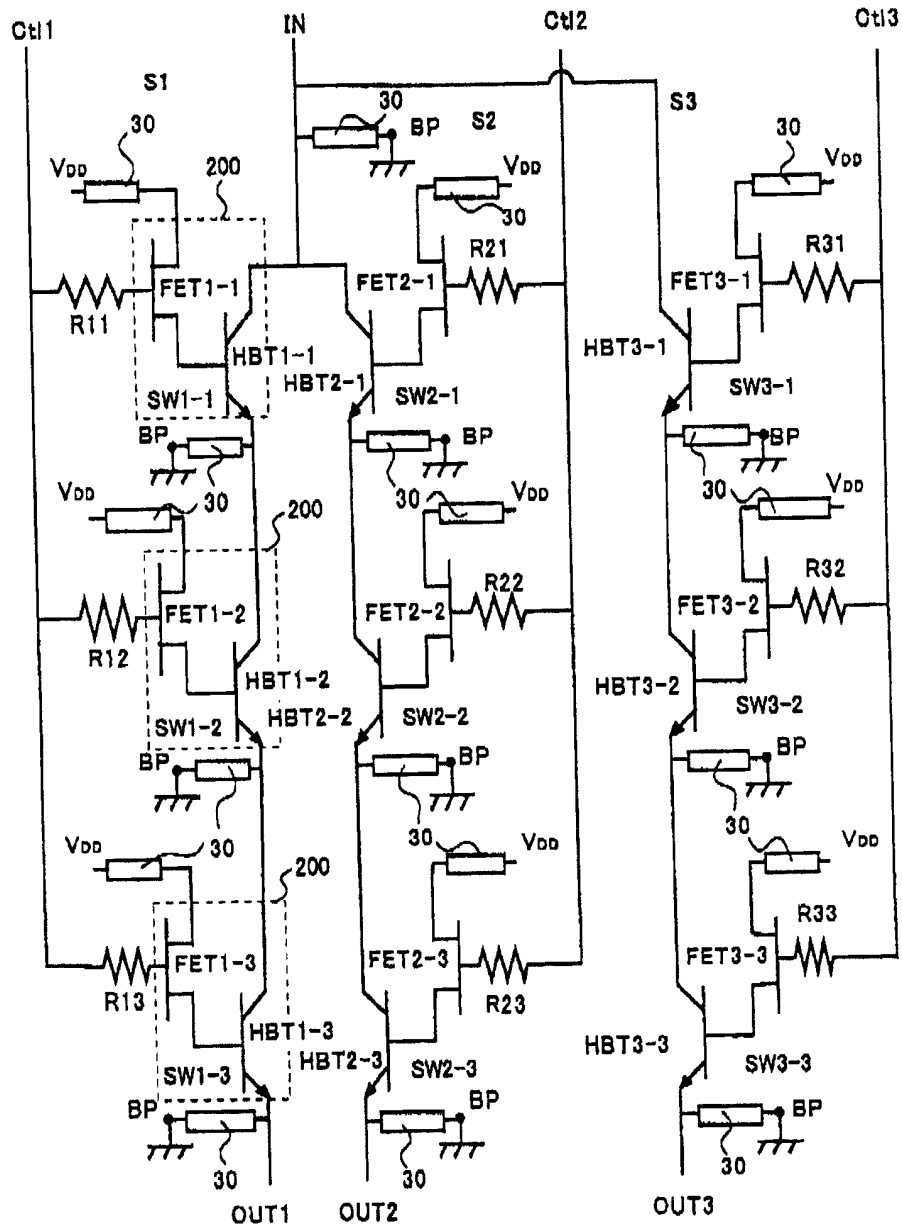


图 18

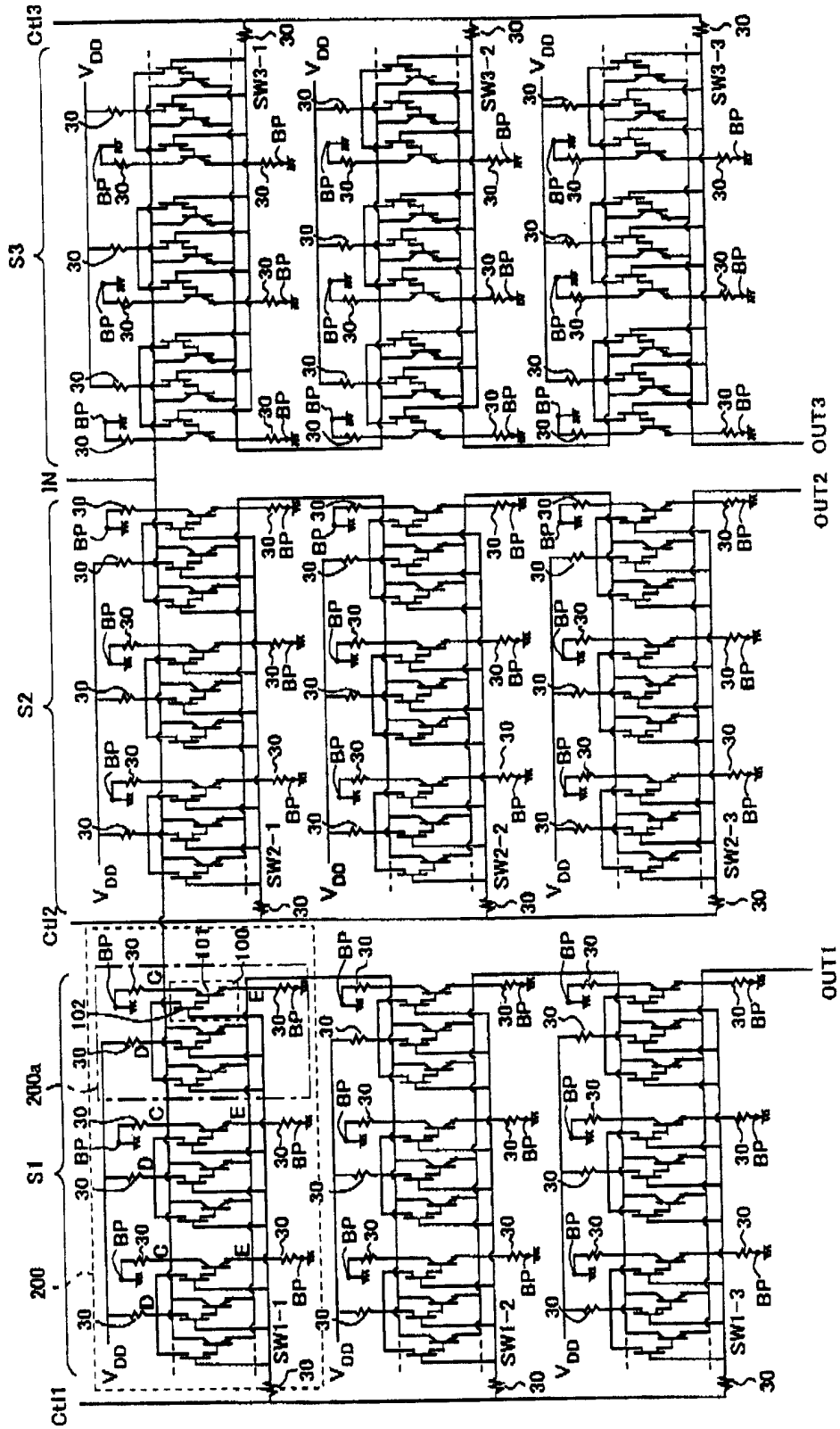


图 19

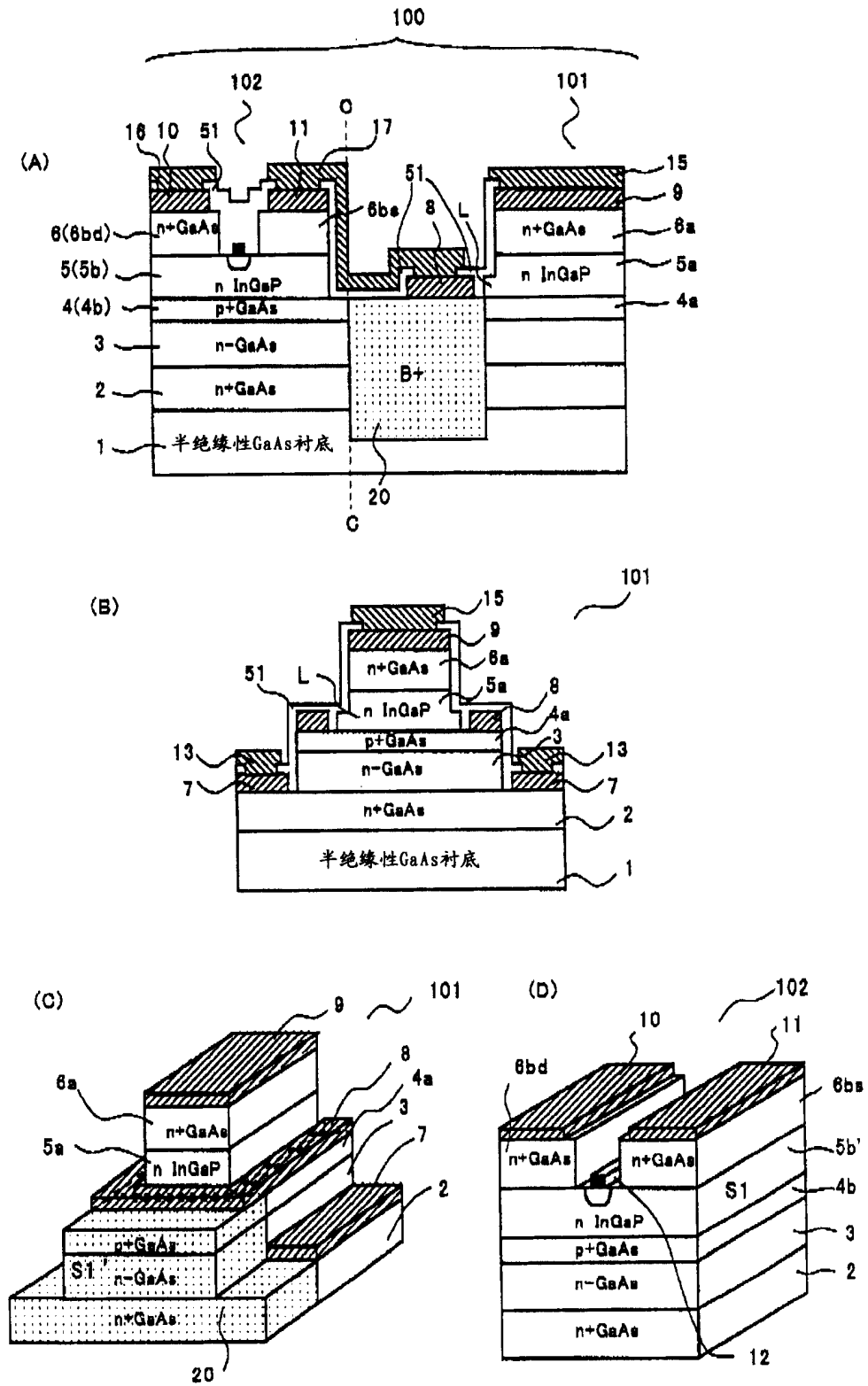


图 20

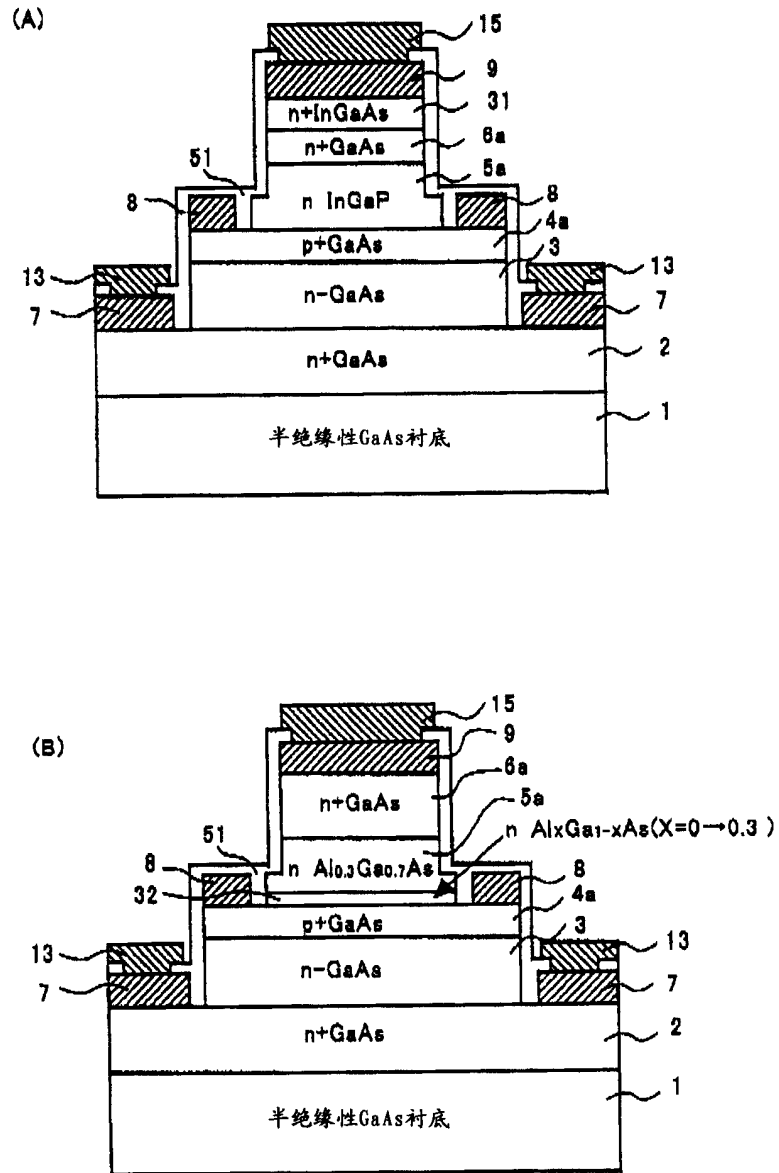


图 21

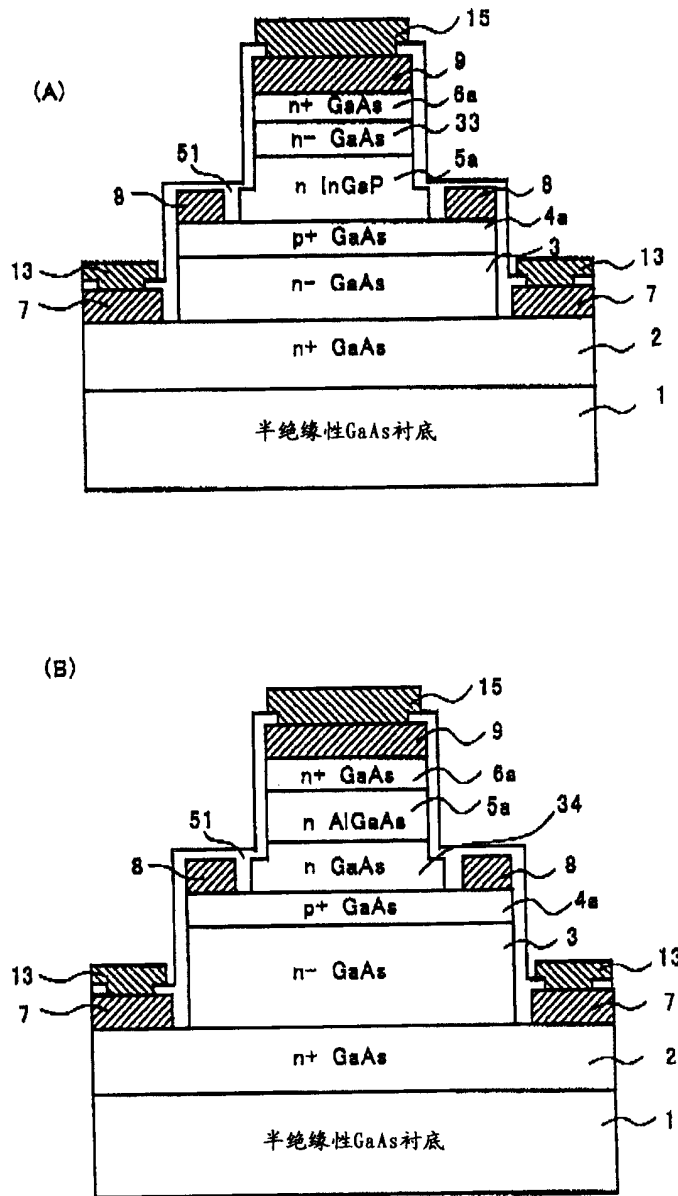


图 22

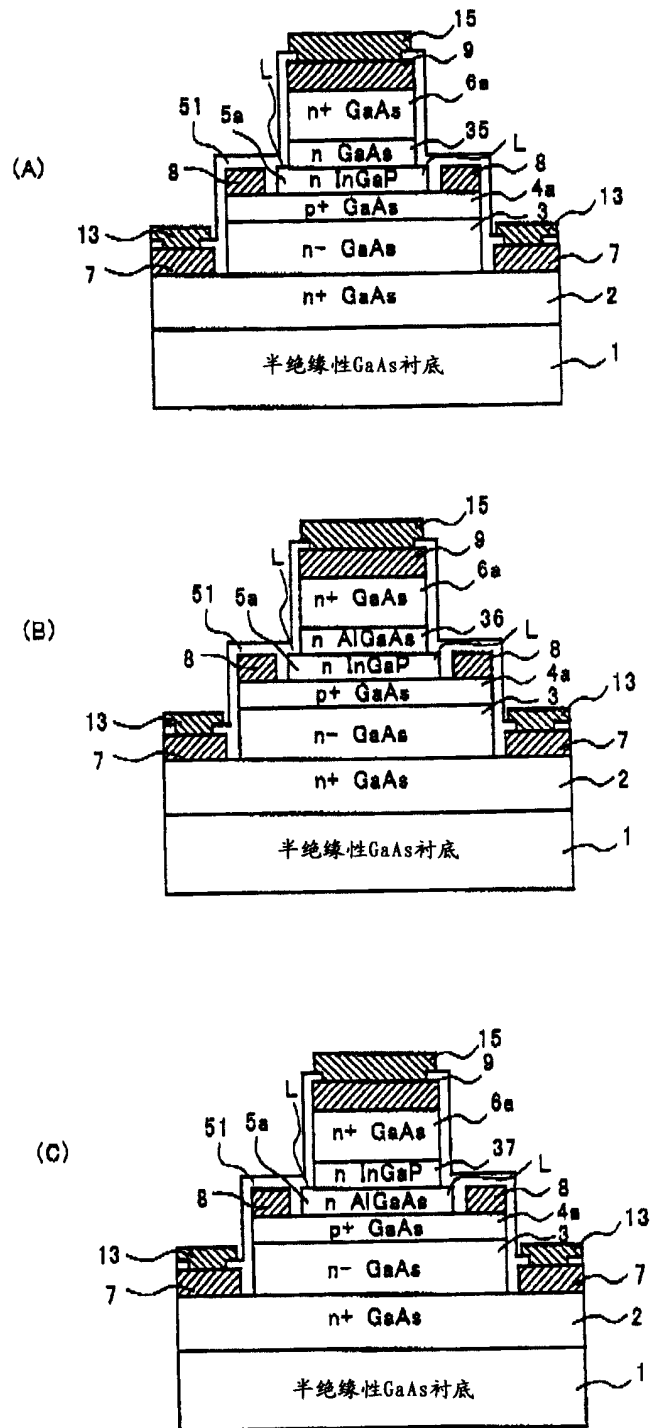


图 23

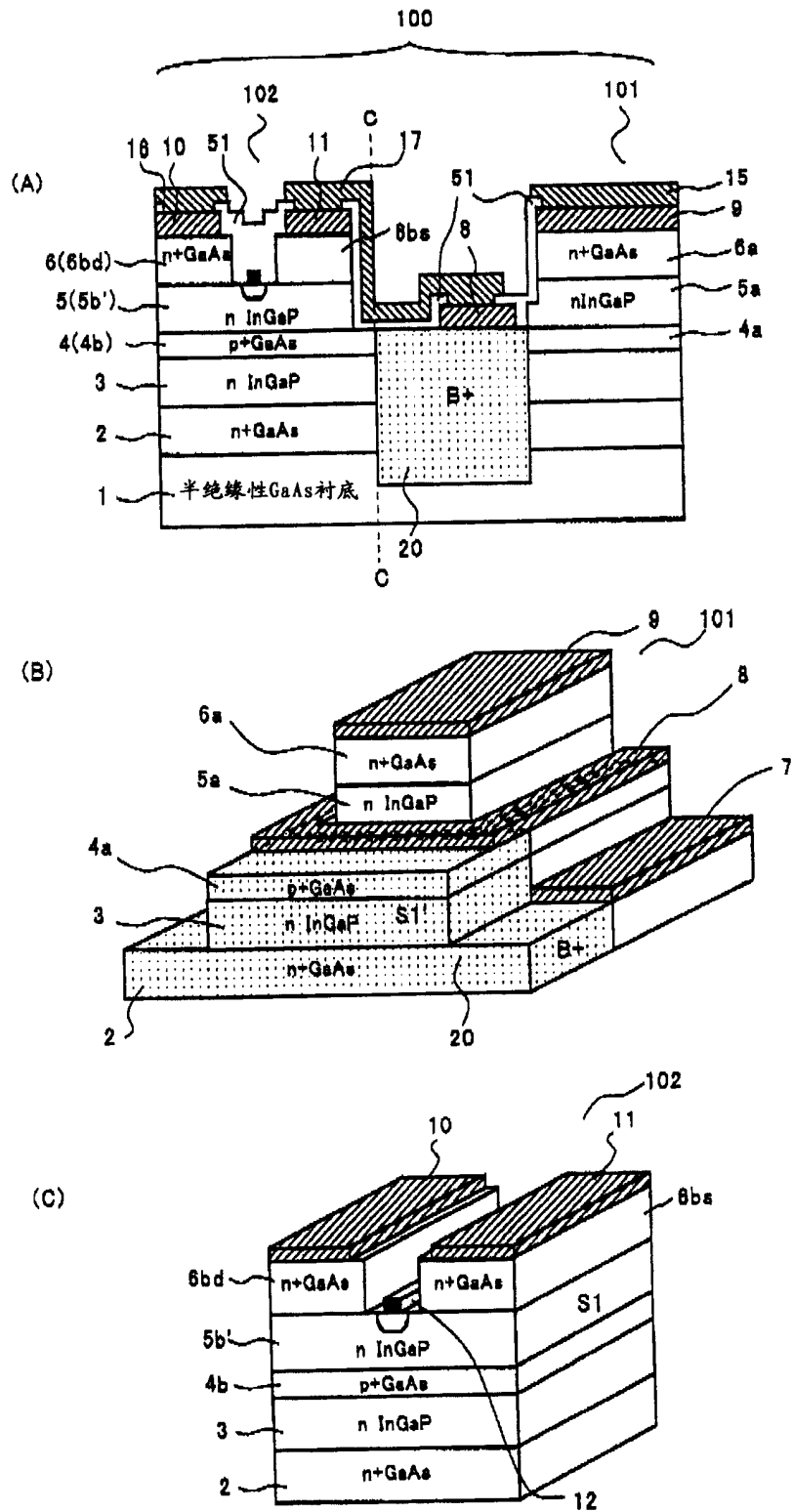


图 24

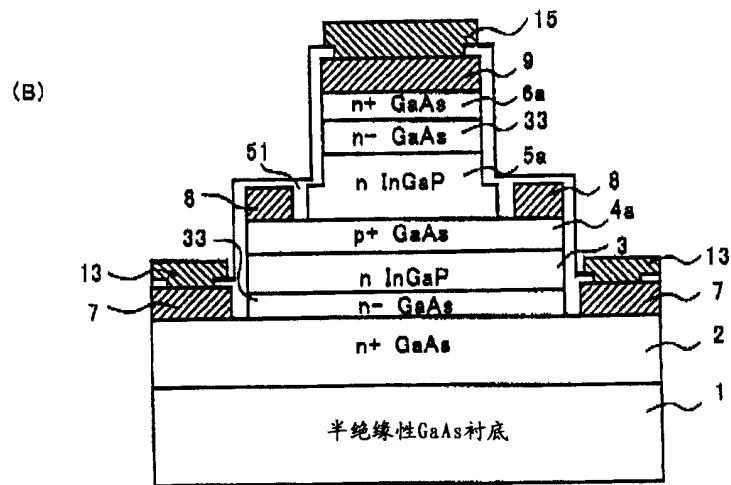
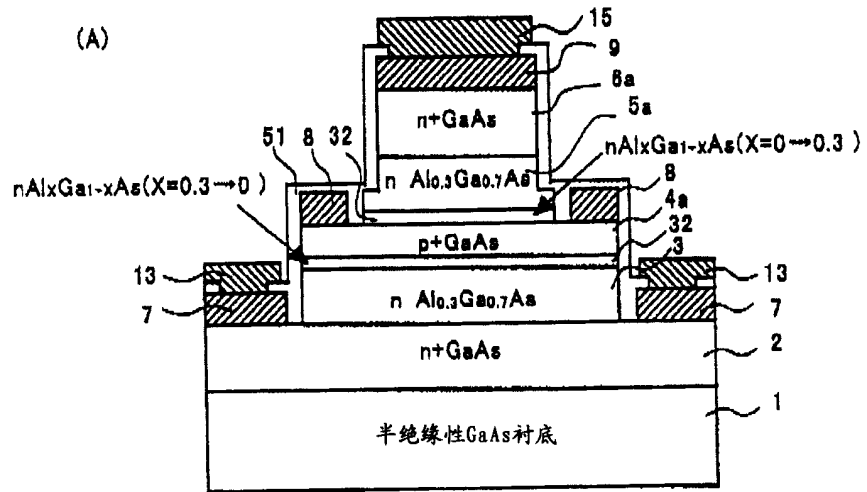


图 25

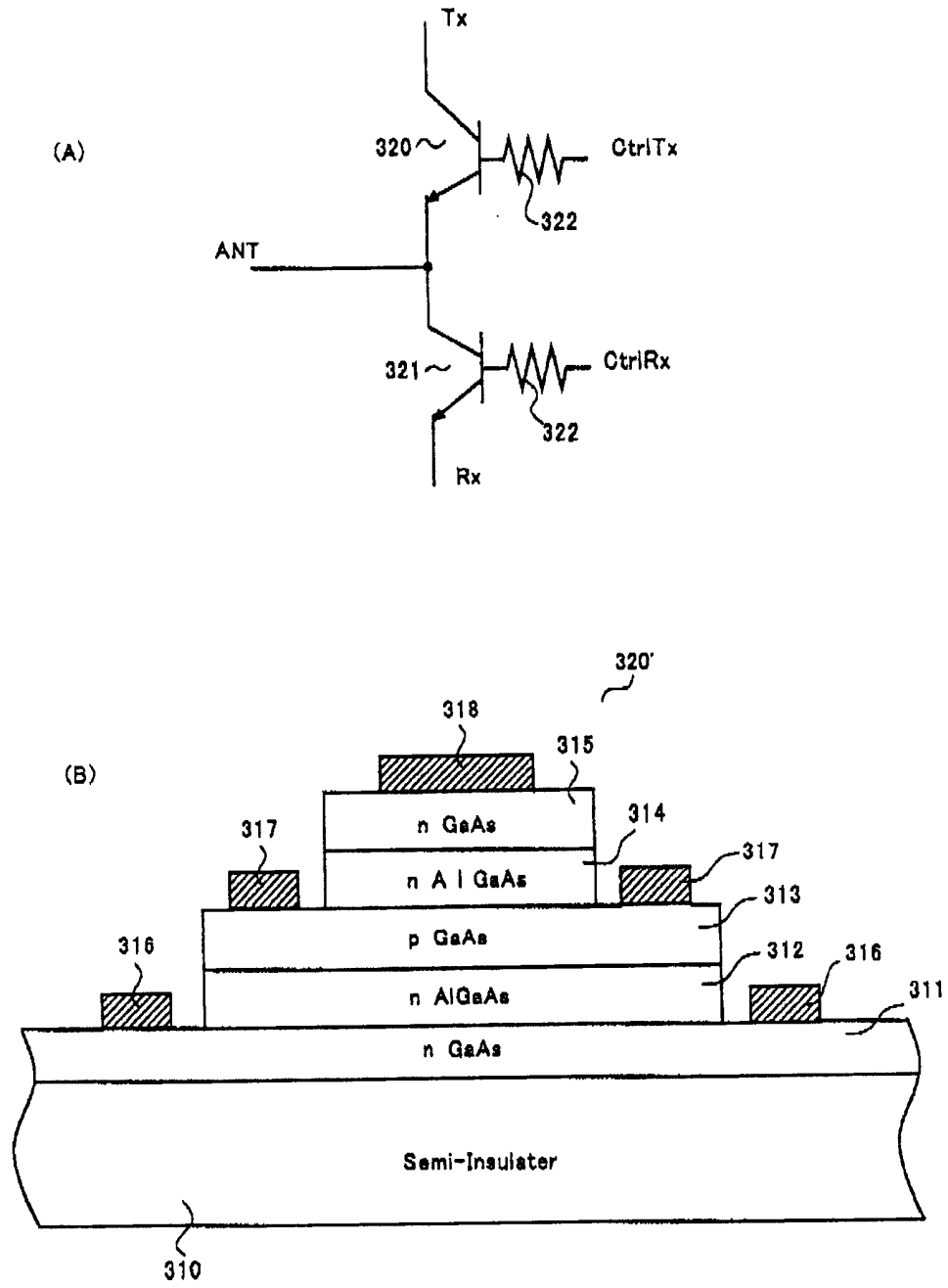


图 26