



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년03월15일  
 (11) 등록번호 10-1838913  
 (24) 등록일자 2018년03월09일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/73 (2006.01) H01L 21/324 (2017.01)  
 H01L 29/06 (2006.01) H01L 29/10 (2006.01)  
 H01L 29/423 (2006.01) H01L 29/66 (2006.01)  
 (52) CPC특허분류  
 H01L 29/7311 (2013.01)  
 H01L 21/324 (2013.01)  
 (21) 출원번호 10-2015-0189480  
 (22) 출원일자 2015년12월30일  
 심사청구일자 2015년12월30일  
 (65) 공개번호 10-2017-0079188  
 (43) 공개일자 2017년07월10일  
 (56) 선행기술조사문헌  
 US20110168982 A1\*  
 KR1020150087361 A\*  
 JP2007294908 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 한국과학기술원  
 대전광역시 유성구 대학로 291(구성동)  
 (72) 발명자  
 최양규  
 대전광역시 유성구 대학로 291 (구성동 23, 한국과학기술원)  
 박준영  
 대전광역시 유성구 대학로 291 (구성동 23, 한국과학기술원)  
 (74) 대리인  
 김성호

전체 청구항 수 : 총 5 항

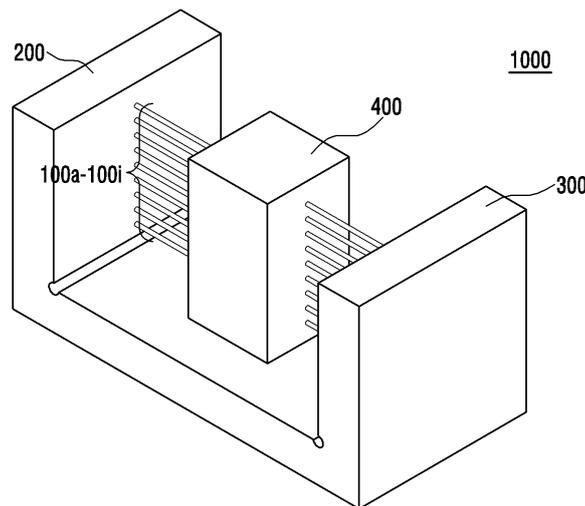
심사관 : 안경민

(54) 발명의 명칭 복수의 나노와이어를 가진 터널링 전계효과 트랜지스터 및 그의 제조 방법

**(57) 요약**

본 발명에 따른 터널링 전계효과 트랜지스터는, 기판, 기판상에 형성되고, p+형 불순물 이온이 주입된 소스, 기판상에 형성되고, n+형 불순물 이온이 주입된 드레인, 기판상에 형성된 복수의 수직 적층형 나노와이어 채널, 복수의 나노와이어 채널에 형성된 게이트 절연막 및 게이트 절연막상에 형성된 게이트를 포함한다. 이에 의하여, 게이트 길이와 채널의 면적(집적도)을 변화시키지 않고도 더 높은 구동전류를 구현할 수 있다.

**대표도 - 도1**



(52) CPC특허분류

*H01L 29/0646* (2013.01)

*H01L 29/0669* (2013.01)

*H01L 29/1058* (2013.01)

*H01L 29/4236* (2013.01)

*H01L 29/66477* (2013.01)

공지예외적용 : 있음

---

**명세서**

**청구범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

- (a) 기판에 하드마스크를 증착하는 단계;
- (b) 상기 기판에 감광막을 형성하고, 상기 감광막의 적어도 일부를 패터닝하여, 상기 하드마스크를 노출시키는 단계;
- (c) 상기 노출된 하드마스크를 식각하고 상기 감광막을 제거하는 단계;
- (d) 이방성 식각을 이용하여, 상기 기판에 채널을 패터닝하는 단계;
- (e) 상기 기판에 보호막을 형성하는 단계;
- (f) 등방성 식각을 이용하여, 상기 기판에 나노와이어를 형성하는 단계;
- (g) 상기 (d)단계 내지 (f)단계를 반복하여, 복수의 나노와이어를 형성하는 단계; 및
- (h) 상기 복수의 나노와이어를 구비한 터널링 전계효과 트랜지스터를 제조하는 단계;를 포함하는 터널링 전계효과 트랜지스터 제조 방법.

**청구항 4**

제3항에 있어서,  
 상기 (h)단계는,  
 상기 기판에 게이트 절연막 및 게이트층을 적층하는 단계;  
 상기 게이트 절연막 및 상기 게이트층을 패터닝하여 게이트 전극을 패터닝하는 단계;  
 상기 기판 위에 감광막을 형성하여 p+형 불순물 이온을 주입하여 소스 전극을 형성하는 단계; 및  
 상기 감광막 제거 후, 상기 기판 위에 다시 감광막을 형성하여 n+형 불순물 이온을 주입하여 드레인 전극을 형성하는 단계;를 포함하는 터널링 전계효과 트랜지스터 제조 방법.

**청구항 5**

제4항에 있어서,  
 상기 (h)단계는,  
 상기 나노와이어에 산화 실리콘을 증착한후 화학적-기계적 연마를 수행하는 단계;  
 상기 나노와이어가 존재하는 영역에 패터닝된 감광막을 형성하고, 상기 감광막의 패터닝에 의해 드러난 영역의 상기 산화 실리콘을 식각하여 트렌치(trench)를 형성하는 단계; 및  
 상기 감광막을 제거하고, 희생 산화(sacrificial oxidation)를 통해 상기 나노와이어의 단면의 크기를 제어하고, 식각 과정에서 발생한 손상을 치료하는 단계;를 더 포함하는 터널링 전계효과 트랜지스터 제조 방법.

**청구항 6**

제4항에 있어서,

상기 (h)단계는,

열처리를 통해 n+형 또는 p+형 불순물 이온을 활성화시키는 단계; 및

수소 어닐링을 통해 상기 나노와이어의 표면 거칠기를 완화하는 단계;를 더 포함하는 터널링 전계효과 트랜지스터 제조 방법.

**청구항 7**

제3항에 있어서,

상기 기판은 인트린식(Intrinsic)형 기판인 터널링 전계효과 트랜지스터 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 터널링 전계효과 트랜지스터 및 그의 제조 방법에 관한 것으로, 더욱 상세하게는, 복수의 수직 적층형 나노와이어를 가진 터널링 전계효과 트랜지스터 및 그의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 게이트 전압에 의해 형성된 채널과 드레인 전압에 의한 캐리어의 드리프트 형식으로 구동되는 금속산화물 반도체 전계효과 트랜지스터(metal oxide semiconductor field effect transistor, 이하, 'MOSFET'이라 함)에 기반한 반도체 기술은 혁신적인 성장을 이루어왔다.

[0003] 최근에는 밴드간 터널링을 이용한 터널링 전계효과 트랜지스터(tunneling field effect transistor, 이하, 'TFET'이라 함)가 활발히 연구되고 있다. TFET은 게이트 전압과 드레인 전압에 의한 에너지 밴드 특성을 기반으로 한 캐리어의 터널링 현상으로 동작하며, MOSFET과 비교하여, SS(sub-threshold slope) 특성이 매우 뛰어나다는 특성을 지닌다. 이는 트랜지스터의 스위치로서의 성능을 평가하는 지표로서, SS값이 낮을수록 대기전력 소모량이 적다. 기존의 MOSFET은 60mV/dec이지만, TFET은 이보다 낮은 값을 갖는다.

[0004] 하지만, 드리프트 메커니즘(도 14a 및 14b)을 이용하는 MOSFET과 달리, 터널링 메커니즘(도 15a 및 15b)을 이용하는 TFET은 낮은 구동전류를 가진다는 한계를 갖고 있다. 구동전류는 트랜지스터의 동작 속도와 관련이 있고, 높은 구동전류를 가질수록 빠른 스위치 기능을 수행하게 된다.

[0005] TFET의 낮은 구동전류의 문제점을 해결하기 위한 한 가지 방법으로 게이트 길이를 짧게 하는 방법이 있다. 하지만, TFET의 게이트 길이를 짧게 하면 단채널 효과라는 새로운 문제가 발생한다.

[0006] 또 다른 방법으로, TFET의 채널 면적을 증가시키는 방법이 있다. 이는, 채널의 면적을 증가시켜, 구동전류를 증가시키는 방법이다. 하지만, 이 방법은 트랜지스터의 소형화 및 반도체 칩의 집적도가 증가하는 현재의 추세에 역행한다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명은 상기 문제점을 감안하여 안출된 것으로, 본 발명의 목적은 게이트 길이와 채널의 면적(집적도)을 변화시키지 않고도 더 높은 구동전류를 구현할 수 있는 터널링 전계효과 트랜지스터 및 그의 제조 방법을 제공함에 있다.

**과제의 해결 수단**

[0008] 상기 목적을 달성하기 위한, 본 발명에 따른 터널링 전계효과 트랜지스터는, 기판; 상기 기판상에 형성되고, p+형 불순물 이온이 주입된 소스; 상기 기판상에 형성되고, n+형 불순물 이온이 주입된 드레인; 상기 기판상에 형성된 복수의 수직 적층형 나노와이어 채널; 상기 복수의 나노와이어 채널에 형성된 게이트 절연막; 및 상기 게이트 절연막상에 형성된 게이트;를 포함한다.

- [0009] 또한, 상기 기판은 인트린식(Intrinsic)형 기판일 수 있다.
- [0010] 한편, 상기 목적을 달성하기 위한 본 발명에 따른 터널링 전계효과 트랜지스터 제조 방법은, (a) 기판에 하드마스크를 증착하는 단계; (b) 상기 기판에 감광막을 형성하고, 상기 감광막의 적어도 일부를 패터닝하여, 상기 하드마스크를 노출시키는 단계; (c) 상기 노출된 하드마스크를 식각하고 상기 감광막을 제거하는 단계; (d) 이방성 식각을 이용하여, 상기 기판에 채널을 패터닝하는 단계; (e) 상기 기판에 보호막을 형성하는 단계; (f) 등방성 식각을 이용하여, 상기 기판에 나노와이어를 형성하는 단계; (g) 상기 (d)단계 내지 (f)단계를 반복하여, 복수의 나노와이어를 형성하는 단계; 및 (h) 상기 복수의 나노와이어를 구비한 터널링 전계효과 트랜지스터를 제조하는 단계;를 포함한다.
- [0011] 또한, 상기 (h)단계는, 상기 기판에 게이트 절연막 및 게이트층을 적층하는 단계; 상기 게이트 절연막 및 상기 게이트층을 패터닝하여 게이트 전극을 패터닝하는 단계; 상기 기판 위에 감광막을 형성하여 p+형 불순물 이온을 주입하여 소스 전극을 형성하는 단계; 및 상기 감광막 제거 후, 상기 기판 위에 다시 감광막을 형성하여 n+형 불순물 이온을 주입하여 드레인 전극을 형성하는 단계;를 포함할 수 있다.
- [0012] 그리고, 상기 (h)단계는, 상기 나노와이어가 존재하는 영역을 패터닝한 후 상기 산화 실리콘을 식각하여 트렌치(trench)를 형성하는 단계; 및 희생 산화(sacrificial oxidation)를 통해 상기 나노와이어의 단면의 크기를 제어하고, 식각 과정에서 발생한 손상을 치료하는 단계;를 더 포함할 수 있다.
- [0013] 또한, 상기 (h)단계는, 열처리를 통해 n+형 또는 p+형 불순물 이온을 활성화시키는 단계; 및 수소 어닐링을 통해 상기 나노와이어의 표면 거칠기를 완화하는 단계;를 더 포함할 수 있다.
- [0014] 또한, 상기 기판은 인트린식(Intrinsic)형 기판일 수 있다.

**발명의 효과**

- [0015] 상기 구성에 따른 터널링 전계효과 트랜지스터 및 그의 제조 방법에 의하면, 게이트 길이와 채널의 면적(집적도)을 변화시키지 않고도 더 높은 구동전류를 구현할 수 있다.

**도면의 간단한 설명**

- [0016] 도 1은 본 발명에 따른 터널링 전계효과 트랜지스터의 사시도이다.
- 도 2a 내지 도 2e는 본 발명에 따른 터널링 전계효과 트랜지스터의 제조 방법을 나타낸다.
- 도 3a 내지 도 3c는 본 발명에 따른 터널링 전계효과 트랜지스터의 제조 방법을 나타낸다.
- 도 4a 및 도 4b는 본 발명에 따른 터널링 전계효과 트랜지스터의 수직 적층형 나노와이어의 구조를 나타내는 개략도이다.
- 도 4c 및 도 4d는 본 발명에 따른 터널링 전계효과 트랜지스터의 수직 적층형 나노와이어의 주사전자현미경 사진이다.
- 도 5 내지 도 11은 본 발명에 따른 터널링 전계효과 트랜지스터 제조 방법을 설명하기 위한 도면이다.
- 도 12는 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터 제조 방법을 나타내는 흐름도이다.
- 도 13은 본 발명의 다른 실시예에 따른 터널링 전계효과 트랜지스터 제조 방법을 나타내는 흐름도이다.
- 도 14a 및 도 14b는 MOSFET의 드리프트 메커니즘을 도식화한 도면이다.
- 도 15a 및 도 15b는 TFET의 터널링 메커니즘을 도식화한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 실시 가능한 특정 실시예를 도시한 첨부 도면을 참조하면서 본 발명이 설명된다. 해당 실시예는 당업자가 본 발명을 실시하기에 충분하게 설명된다. 본 발명의 다양한 실시예는 상이하지만 상호 배타적일 필요는 없다. 예를 들어, 이하에 기재된 형상, 구조나 특성은 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다른 실시예로 구현될 수 있다. 또한, 각 실시예에 기재된 개별 구성요소의 위치나 배치는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양하게 변경될 수 있다. 즉, 아래에서 설명하는 실시예는 본 발명을 이해하기 위한 예시에 불과하며, 본 발명의 구조, 사용, 응용 방식을 한정하려는 의도를 갖지 않는다. 본 발명의 실시예에 대한 설명

은 첨부된 도면과 연관되어 이해할 수 있고, 첨부된 도면은 본 발명에 대한 설명의 일부로 간주될 수 있다.

- [0018] 도 1은 본 발명의 일실시예에 따른 터널링 전계효과 트랜지스터(1000)의 사시도이다.
- [0019] 본 발명에 따른 터널링 전계효과 트랜지스터(1000)는, 도 1에 도시된 바와 같이, 복수의 나노와이어(100a 내지 100i)를 포함한다. 도 1에는 총 9개의 나노와이어가 수직 적층된 구성을 취하고 있지만, 이보다 적거나 많은 수의 나노 와이어를 포함할 수 있다. 나노와이어(100a 내지 100i)의 양단에 소스(200) 및 드레인(300)이 형성되고, 복수의 수직 적층형 나노와이어(100a 내지 100i)를 둘러싸는 게이트(400)가 구비된다.
- [0020] 이때, 소스(200)는 기판(100) 위에 p형 불순물 이온을 주입하여 형성되며, 드레인(300)은 기판(10) 위에 n형 불순물 이온을 주입하여 형성된다. 또, 기판(10)은 인트린식(Intrinsic)형 기판인 것이 바람직하다.
- [0021] 복수의 나노와이어(100a 내지 100i)는 등간격으로 이격될 수 있지만, 반드시 이에 한정되는 것은 아니다. 또한, 복수의 나노와이어(100a 내지 100i)는 각각 개별적인 채널로서 동작할 수 있다.
- [0022] 이하에서는, 도 2a 내지 도 10을 참조하면서, 본 발명에 따른 터널링 전계효과 트랜지스터(1000)의 제조 방법을 설명하기로 한다.
- [0023] 먼저, 도 2a에 도시된 바와 같이 기판(substrate)(10)을 제공한다. 제공되는 기판(10)은 인트린식형 기판인 것이 바람직하다.
- [0024] 기판(10)이 제공되면, 도 2b에 도시된 바와 같이, 하드마스크(110)를 적층한 뒤, 감광막(photoresist)(105)을 패터닝하여, 제1 나노와이어(100a)를 형성하기 위한 준비를 한다.
- [0025] 이어서, 도 2c에 도시된 바와 같이, 적층된 감광막(105)을 보호막으로 하여 하드마스크(105)를 식각(etch)하고 잔존하는 감광막(105)을 제거한다. 이와 같은 과정을 거친 상태가 도 2c에 도시되어 있다.
- [0026] 감광막(105)이 모두 제거된 상태에서, 도 2d에 도시된 바와 같이, 이방성 식각(anisotropic etching)을 통해, 제1 나노와이어(100a)가 될 영역을 형성하고, 이어서 보호막(passivation layer)(120a)을 형성한다.
- [0027] 이때, 이방성 식각에는 염소( $Cl_2$ ) 기체가 이용될 수 있고, 보호막(120a)은 폴리머(polymer) 계열의  $C_xF_y$  가스일 수 있고, 그 중 하나인 옥타플루오로시클로부탄( $C_4F_8$ )일 수 있다.
- [0028] 그 다음, 도 2e에 도시된 바와 같이, 등방성 식각(isotropic etching)을 이용하여, 기판(10)과 분리된 제1 나노와이어(100a)를 형성한다. 이때, 등방성 식각에는 육불화황( $SF_6$ )이 이용될 수 있다.
- [0029] 도 3a는 내지 도 3c는, 상기 과정에 의해 형성된 제1 나노와이어(100a)의 하부에 제2 나노와이어(100b)를 형성하는 과정을 도시한다.
- [0030] 도 3a에 도시된 바와 같이, 제1 나노와이어(100a)가 형성되면, 이방성 식각 과정을 다시 수행한다. 이때, 이방성 식각에는 염소( $Cl_2$ ) 기체가 이용될 수 있다.
- [0031] 그 다음, 도 3b에 도시된 바와 같이, 폴리머(polymer) 계열의 옥타플루오로시클로부탄( $C_4F_8$ )을 이용하여 보호막(120b)을 형성하고, 마지막으로, 육불화황( $SF_6$ )을 이용하여 등방성 식각 과정을 거치면, 제2 나노와이어(100b)가 형성된다.
- [0032] 이와 같은 과정을 n번 거치게 되면, n개의 수직 적층형 나노와이어가 형성된다.
- [0033] 도 4a는 상기 과정을 거쳐 총 9개의 나노와이어가 형성된 기판의 사시도이고, 도 4b는 9개의 수직 적층형 나노와이어의 단면도이며, 도 4c 및 4d는 그에 대한 주사전자현미경 사진이다.
- [0034] 도 4a 내지 4d에 도시된 바와 같이, 인트린식형 기판(10) 상에 9개의 수직 적층된 나노와이어(100a 내지 100i)가 형성된 것을 볼 수 있다. 이때, 도 4c 및 4d에 기재된 수치는 구현 가능한 실시예일 뿐이고, 본 발명이 그 수치에 한정되는 것은 아니다.
- [0035] 도 4a 내지 도 4d와 같이 수직 적층된 복수의 나노와이어(100a 내지 100i)가 기판상에 형성되면, 게이트 절연막 및 게이트층을 패터닝하여 게이트 전극을 패터닝한다. 이후, 기판 위에 감광막을 형성하여 p형 불순물 이온을 주입하여 소스(200)를 형성한다. 소스(200)가 형성되면, 소스(200) 형성시 이용했던 감광막을 제거하고, 다른 감광막을 소스(200)가 위치한 영역에 형성한 뒤, 그 반대편 영역에 n형 불순물 이온을 주입하여 드레인(300)을

형성한다. 이와 같은 방식으로, 터널링 전계효과 트랜지스터(1000)를 제조할 수 있게 된다.

- [0036] 이하에서는, 도 5 내지 10을 참조하면서 본 발명에 따른 터널링 전계효과 트랜지스터(1000)의 제조 방법을 더욱 구체적으로 설명하기로 한다.
- [0037] 수직 적층형 나노와이어(100a 내지 100i)가 형성된 eIn, 산화 실리콘(140)을 증착하고 화학적-기계적 연마(chemical-mechanical polishing)를 수행하면, 도 5와 같은 형상이 만들어진다.
- [0038] 이후, 수직 적층형 나노와이어(100a 내지 100i)가 존재하는 영역에 패터닝된 감광막을 형성하고, 감광막의 패터닝에 의해 드러난 영역의 산화 실리콘을 식각하여, 트렌치(trench)(도 6의 A영역)를 형성한다. 이에 따라, 수직 적층형 나노와이어(100a 내지 100i)가 존재하는 영역이 드러난다.
- [0039] 이후, 감광막 제거와 희생 산화(sacrificiaial oxidation)를 통해 수직 적층형 나노와이어(100a 내지 100i)의 단면의 크기를 조절하고, 식각 과정에서 발생한 손상(damage)을 치료(curing)하는 단계가 더 이루어질 수 있다.
- [0040] 이어, 도 7에 도시된 바와 같이, 트렌치(A) 형성을 통해 드러난 나노와이어에 게이트 절연막(130)을 형성시키고, 게이트 절연막(130)상에 게이트층(150)을 형성한다.
- [0041] 여기서, 게이트 절연막(130)은 실리콘 산화막 또는 고유전막(High-K)일 수 있다. 더욱 구체적으로, 게이트 절연막(130)은 산화 실리콘(silicon oxide), 질화막, 산화 알루미늄(aluminum oxide), 산화 하프늄(hafnium oxide), 산화질화 하프늄(hafnium oxynitride), 산화 아연(zinc oxide), 란타늄 옥사이드(lanthanum oxide), 하프늄 실리콘 옥사이드(hafnium silicon oxide) 등으로 이루어질 수 있지만, 이에 한정되지 않는다.
- [0042] 한편, 게이트층(150)은 금속 또는 폴리 실리콘으로 이루어질 수 있다. 즉, 게이트층(150)은 폴리 실리콘, 알루미늄(Al), 몰리브덴(Mo), 마그네슘(Mg), 크롬(Cr), 팔라듐(Pd), 금(Au), 백금(Pt), 타이타늄(Ti)과 같은 금속성 물질로 이루어질 수 있다. 다만, 본 발명은 이에 한정되지 않는다.
- [0043] 이후, 도 8a에 도시된 바와 같이, 포토 리소그래피(photolithography) 공정을 통해 산화 실리콘(140) 및 게이트층(150)을 패터닝한 결과이다. 이때, 산화 실리콘(140) 및 게이트층(150)에서 제거될 영역은 소스와 드레인 형성될 영역이므로, 이를 고려하여, 적절한 패터닝을 수행한다.
- [0044] 도 8b는 도 8a의 a-a'선을 따라 절개한 단면도이다. 도 8a에 도시된 바와 같이, 복수의 나노와이어(100a 내지 100i)가 수직 적층된 영역에는 게이트 절연막(130)이 존재하며, 양 측면에 산화 실리콘(140)이 형성되어 있고, 게이트층(150)이 존재한다.
- [0045] 이후, 도 9에 도시된 바와 같이, 게이트층(150) 및 기관(10)의 일부 영역(드레인(300)이 형성될 영역)에 다시 감광막(105)을 패터닝하고, 감광막(105)이 존재하지 않는 영역(소스(200)가 형성될 영역)에 고농도 p형 불순물 이온(원자 주기율표 3족 원소)을 주입한다.
- [0046] 그리고, 상기 감광막(105)을 제거한 뒤, 도 10에 도시된 바와 같이, 게이트층(150) 및 기관(10)의 일부 영역(소스(200)가 형성되는 영역)에 다시 감광막(105)을 패터닝하고, 감광막(105)이 존재하지 않는 영역(드레인(200)이 형성될 영역)에 고농도 n형 불순물 이온(원자 주기율표 5족 원소)을 주입한다.
- [0047] 이렇게 제조된 터널링 전계효과 트랜지스터(1000)가 도 11에 도시되어 있고, 인트린식형 기관(10)을 열처리하여, 주입된 이온들을 활성화(activation)시키면, 소스(200)와 드레인(300) 영역이 접합 영역(junction)이 된다. 이때, 폴리 실리콘에 고농도 n-형 이온(원자 주기율표 5족)을 주입한 것을 게이트층으로 이용하는 대신, 금속을 이용할 수도 있다.
- [0048] 마지막으로, 수소 어닐링(hydrogen annealing)을 거쳐 수직적층형 나노와이어(100a 내지 100i) 형상의 표면 거칠기를 완화한다.
- [0049] 본 발명의 일실시예에 따른 터널링 전계효과 트랜지스터(1000)의 제조 방법에 의하면, 게이트 길이와 채널의 면적(집적도)을 변화시키지 않고도 더 높은 구동전류를 구현할 수 있다.
- [0050] 또한, 트렌치 형성을 통한 전면 게이트 전극 형성 방법으로, 게이트 물질의 증착과 식각이 용이하여, 안정적인 전극 형성이 가능해진다. 이에 의하면, 표면 거칠기 산란이 야기하는 이동도 감소에 따른 전류 감소를 다채널로 극복함과 동시에 단채널 효과를 억제하여 소자의 성능을 향상시킬 수 있게 된다.
- [0051] 도 12는 본 발명의 일실시예에 따른 터널링 전계효과 트랜지스터(1000)의 제조 방법을 나타내는 흐름도이다.
- [0052] 먼저, 인트린식형 기관에 하드마스크를 증착하고(S500), 감광막(photoresist)을 형성한 뒤, 감광막의 일부영역

을 패터닝하여 하드마스크를 노출시킨다(S510). 패터닝되는 상기 일부영역은 불필요한 하드마스크를 제거하기 위함이다.

- [0053] 감광막에 의해 노출되는 일부영역의 하드마스크가 식각 과정을 거친 뒤, 감광막이 제거된다(S520). 남겨진 하드마스크 영역은 이어 진행되는 복수의 수직 적층형 나노와이어가 형성되는 영역이다.
- [0054] 이어서, 염소( $Cl_2$ ) 기체를 이용하여 이방성 식각을 통해 제1 나노와이어를 패터닝한다. 염소( $Cl_2$ ) 기체를 이용한 건식 식각(dry etching)으로, 기판(10) 면에 대해 수직 방향으로 식각이 진행되게 된다. 여기서는, 염소( $Cl_2$ ) 기체를 이용하는 것으로 상정하여 설명했지만, 다른 실시예에서는, 염소( $Cl_2$ ) 기체 이외의 다른 할로겐화물 등의 화학적 활성 가스를 이용할 수 있다.
- [0055] 이방성 식각으로 인트린식형 기판(10)에 수직인 방향으로 제1 나노와이어의 측면이 패터닝되면, 보호막을 기판(10) 위에 형성시킨다. 이때, 보호막은 옥타플루오로시클로부탄( $C_4F_8$ )을 이용할 수 있다. 물론, 보호막 기능을 가지는 다른 물질을 이용할 수도 있다. 이는 당업자에 의해 적절히 선택될 수 있을 것이다.
- [0056] 보호막 형성 후에는 등방성 식각이 수행된다(S550). 등방성 식각은 모든 방향에 대해 동일한 식각비를 갖기 때문에, 제1 나노와이어의 하부면을 형성시킬 수 있게 된다. 등방성 식각에는 육불화황( $SF_6$ )이 이용될 수 있다. 이와 같이, 이방성 식각-패시베이션(passivation)-등방성 식각이 순서대로 이루어지면, 제1 나노와이어가 형성된다.
- [0057] 한편, S530 내지 S540 단계를 n번 반복하여 수행하면, n의 수직 적층형 나노와이어가 소정의 이격 거리를 갖고 수직 적층될 수 있다.
- [0058] 이후, 게이트 절연막 및 게이트층을 적층시키고(S570), 게이트 절연막과 게이트층을 패터닝하여 게이트 전극을 형성시킨다(S580).
- [0059] 그리고, 게이트층 및 기판 위에 감광막을 형성시킨다. 구체적으로, 기판 위의 일부 영역에 감광막을 패터닝하고, 감광막이 존재하지 않는 영역에 고농도 p+형 불순물 이온(원자 주기율표 3족 원소)을 주입하여 소스 전극을 형성시킨다(S590).
- [0060] 그리고, 감광막을 제거한 뒤, 기판 위에 다시 감광막을 패터닝하고, 감광막이 존재하지 않는 영역에 고농도 n+형 불순물 이온을 주입하여 드레인 전극을 형성시킨다(S595). 이에 따라, 본 발명에 따른 터널링 전계효과 트랜지스터가 제조된다.
- [0061] 한편, 도 13은 본 발명에 따른 터널링 전계효과 트랜지스터 제조 방법을 더욱 구체적으로 나타내는 흐름도이다. S605 내지 S635 단계는 도 12의 S500 내지 S560 단계와 동일하므로, 설명을 생략하기로 한다.
- [0062] S620 내지 S630 단계를 반복하여, 복수의 수직 적층형 나노와이어가 형성되면(S635), 나노와이어에 산화 실리콘을 증착한 후 화학적-기계적 연마를 수행한다(S640).
- [0063] 이어, 감광막을 형성하고, 나노와이어가 존재하는 영역을 패터닝한 뒤, 산화 실리콘을 식각하여 트렌치(trench)를 형성한다(S645). 여기서 트렌치란, 도 6의 A영역을 말하는 것으로, 수직 적층된 나노와이어만을 드러내기 위한 공동(空洞)을 의미한다.
- [0064] 이어, 감광막을 제거하고, 희생 산화(sacrificial oxidation)를 통해 나노와이어의 단면의 크기를 제어한 뒤, 식각 과정에서 발생한 손상을 치료한다(S650).
- [0065] 그 다음, 트렌치에 게이트 절연막을 적층시키고, 게이트 절연막 위에 게이트층을 적층시킨다. 이 과정은 순차적으로 이루어진다(S655). 또한, 게이트 절연막 및 게이트층에 화학적-기계적 연마를 수행한다(S660).
- [0066] 화학적-기계적 연마가 수행된 게이트 절연막 및 게이트층을 패터닝하여 게이트 전극을 형성한다(S665).
- [0067] 그리고, 게이트층 및 기판 위에 감광막을 형성시킨다. 구체적으로, 기판 위의 일부 영역에 감광막을 패터닝하고, 감광막이 존재하지 않는 영역에 고농도 p+형 불순물 이온(원자 주기율표 3족 원소)을 주입하여 소스 전극을 형성시킨다(S670).
- [0068] 그리고, 감광막을 제거한 뒤, 기판 위에 다시 감광막을 패터닝하고, 감광막이 존재하지 않는 영역에 고농도 n+형 불순물 이온을 주입하여 드레인 전극을 형성시킨다(S675). 이렇게, 소스, 드레인 및 게이트 전극이 형성되면, 열처리를 통해 n+형 또는 p+형 불순물 이온을 활성화시킨다(S685). 마지막으로, 수소 어닐링을 통해

나노와이어의 표면 거칠기를 완화(S670)시키는 것으로, 본 발명에 따른 터널링 전계효과 트랜지스터(1000)가 제조된다.

[0069] 이때, S640 내지 S690 중 일부 단계가 생략될 수도 있고, 필요하다면 또 다른 단계가 추가될 수도 있을 것이다.

[0070] 본 발명에 따르면, 무접합 구조의 전면 게이트 수직 적층형 실리콘 나노와이어를 포함한 터널링 전계효과 트랜지스터의 제작이 가능하고, 이는 소자의 소형화에 따른 단채널 효과를 효율적으로 제어할 수 있을 뿐만 아니라, 게이트 길이와 채널의 면적(집적도)을 변화시키지 않고도 더 높은 구동전류를 구현할 수 있다.

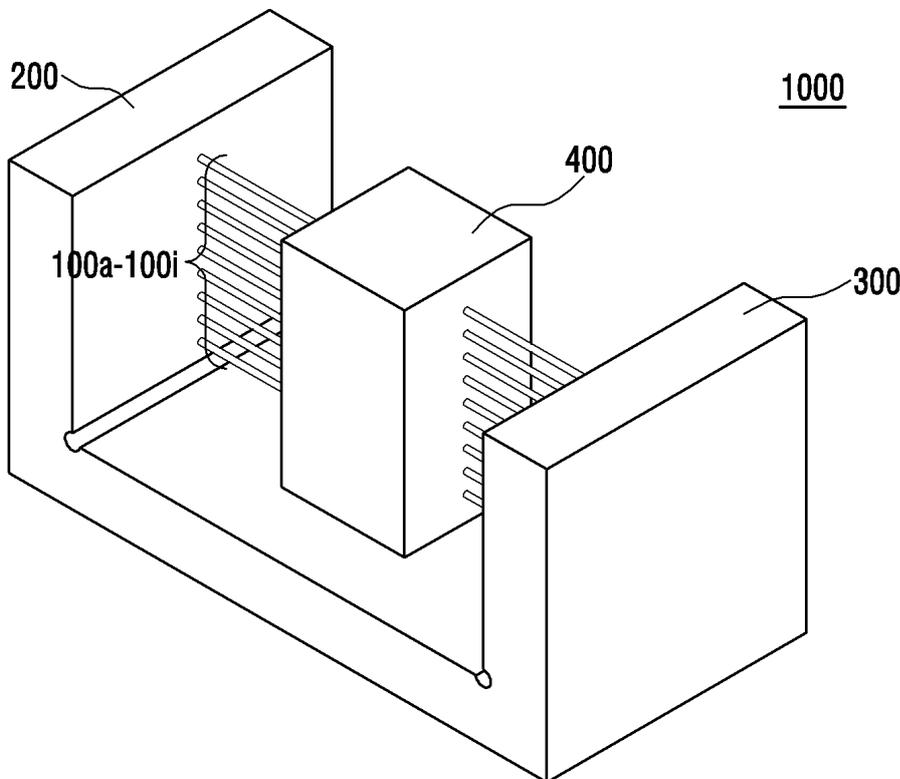
[0071] 상술한 설명과 첨부된 도면은 본 발명의 가능한 실시예를 보여주고 있지만, 본 발명의 권리범위는 오로지 첨부된 특허청구범위에 의해 정의된다. 즉, 특허청구범위에 기재된 본 발명의 범위나 사상으로부터 벗어나지 않는 한 다양한 부가, 변형 및 대체가 이루어질 수 있고, 다른 특정 형태, 구조, 배치, 성분, 크기로 구현되거나, 기타 요소, 물질, 부품과 함께 구현될 수 있을 것이다. 또한, 본 발명의 기본적인 원리를 벗어나지 않으면서 특정 환경이나 동작 조건에 적용될 수 있을 것이며, 이는 당업자에 자명할 것이다.

**부호의 설명**

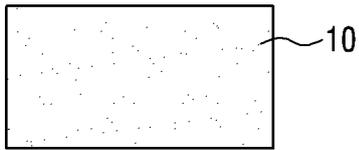
- [0072] 1000.....터널링 전계효과 트랜지스터
- 100a~100i.....나노와이어
- 200.....소스(전극)
- 300.....드레인(전극)
- 400.....게이트(전극)

**도면**

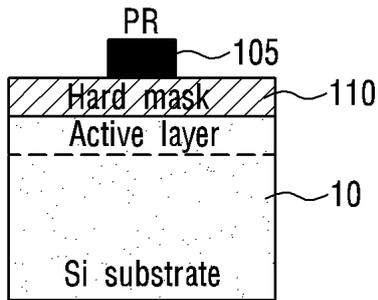
**도면1**



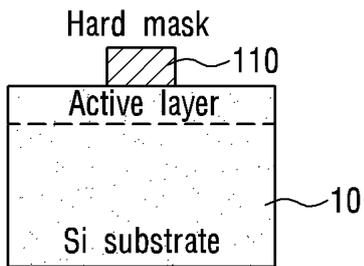
도면2a



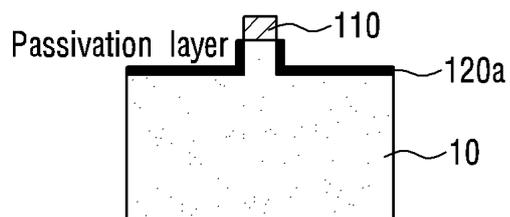
도면2b



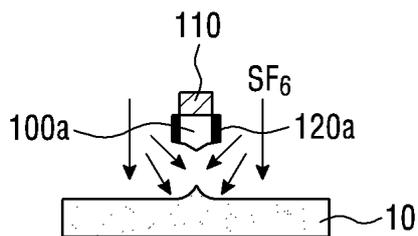
도면2c



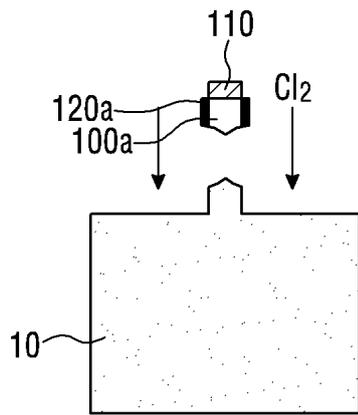
도면2d



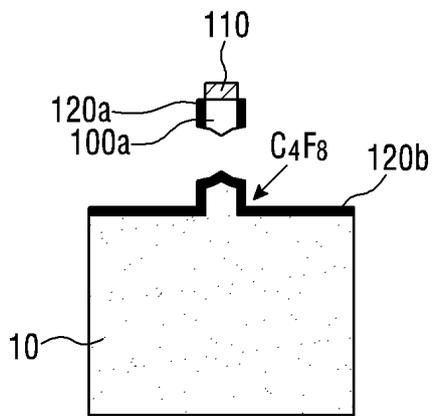
도면2e



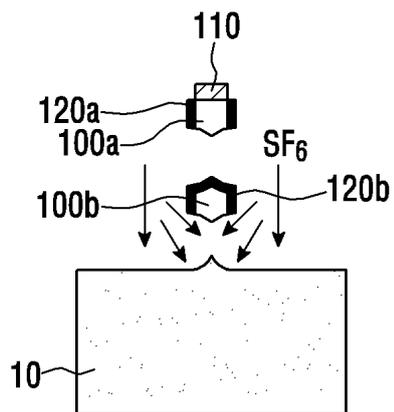
도면3a



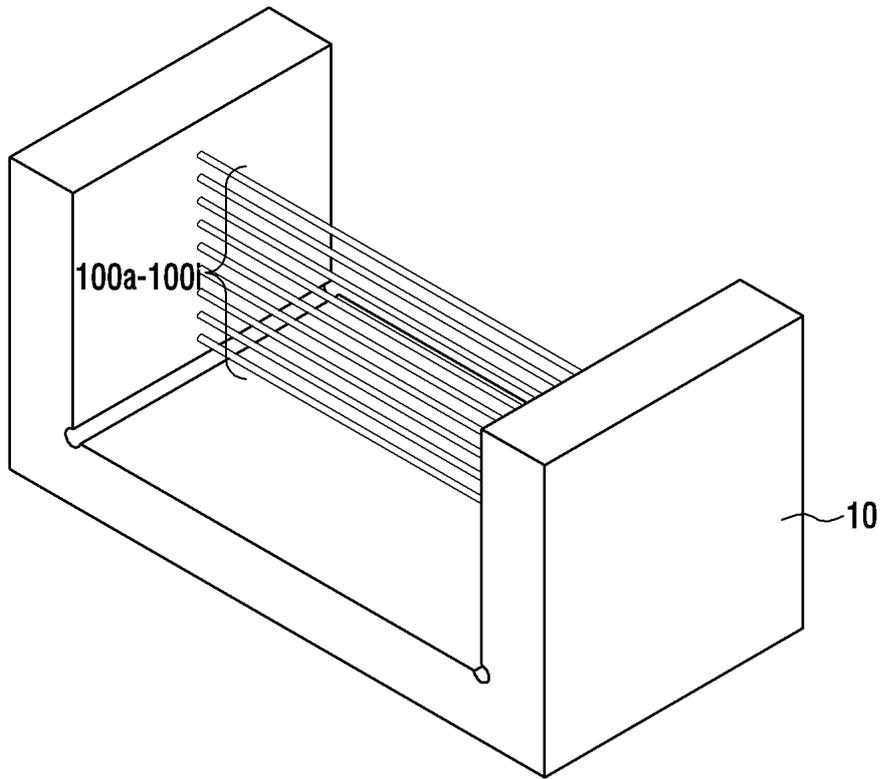
도면3b



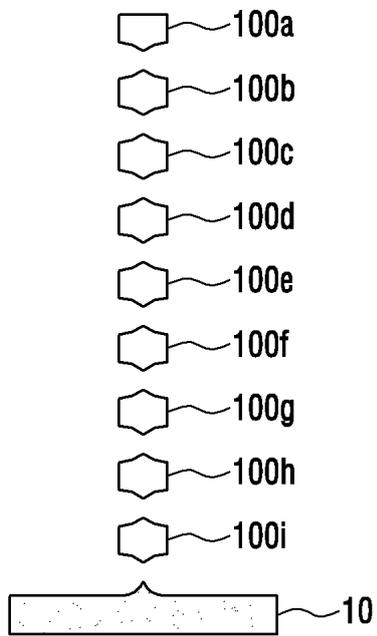
도면3c



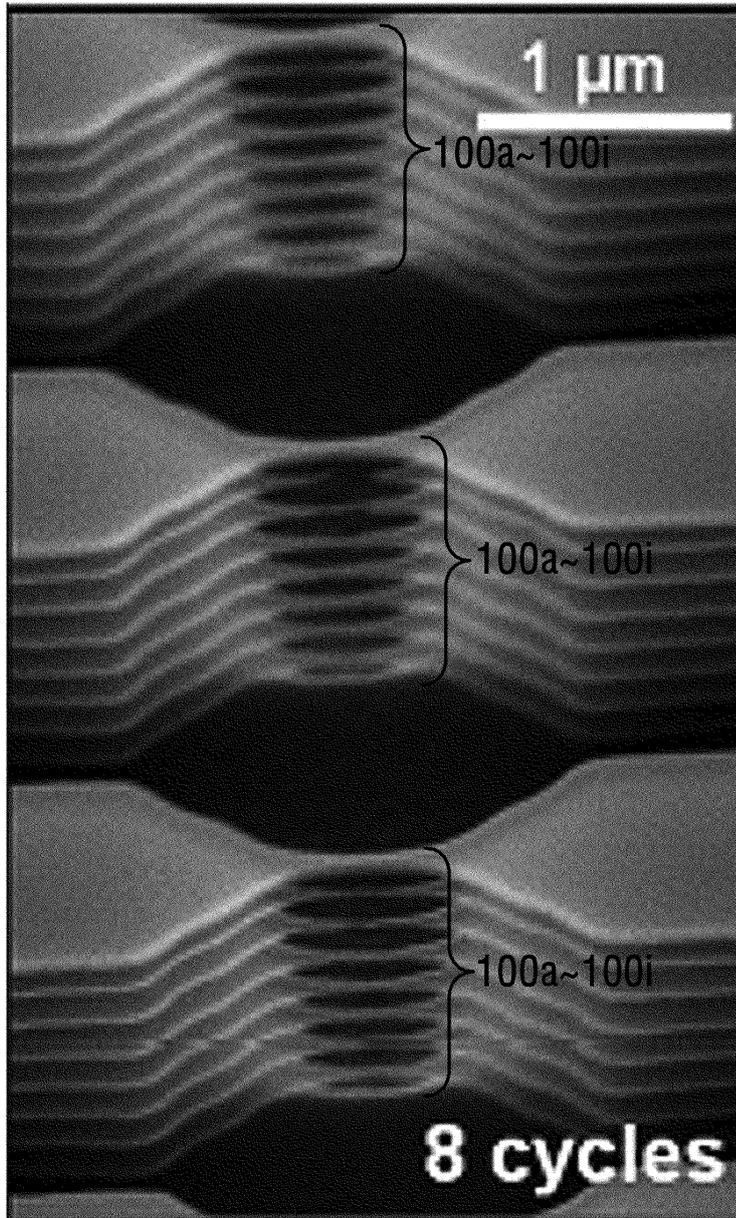
도면4a



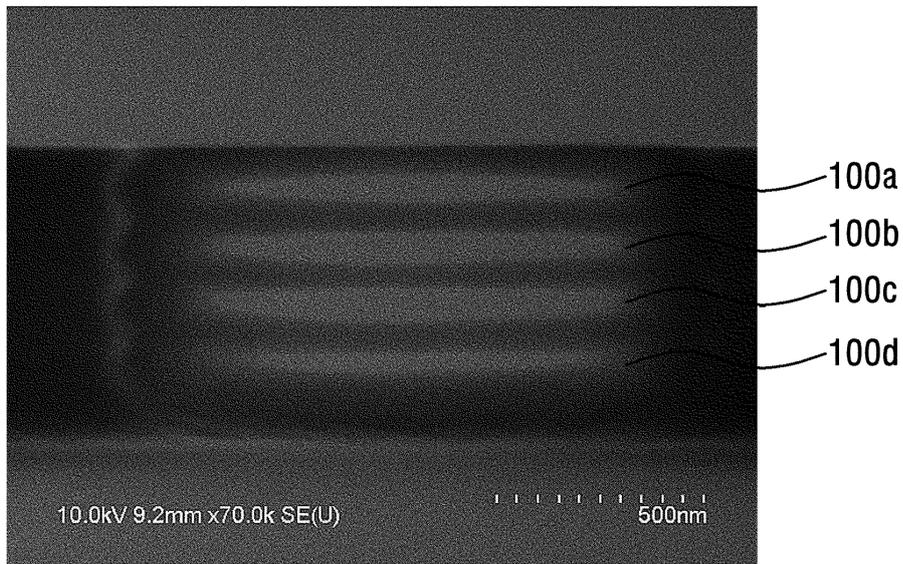
도면4b



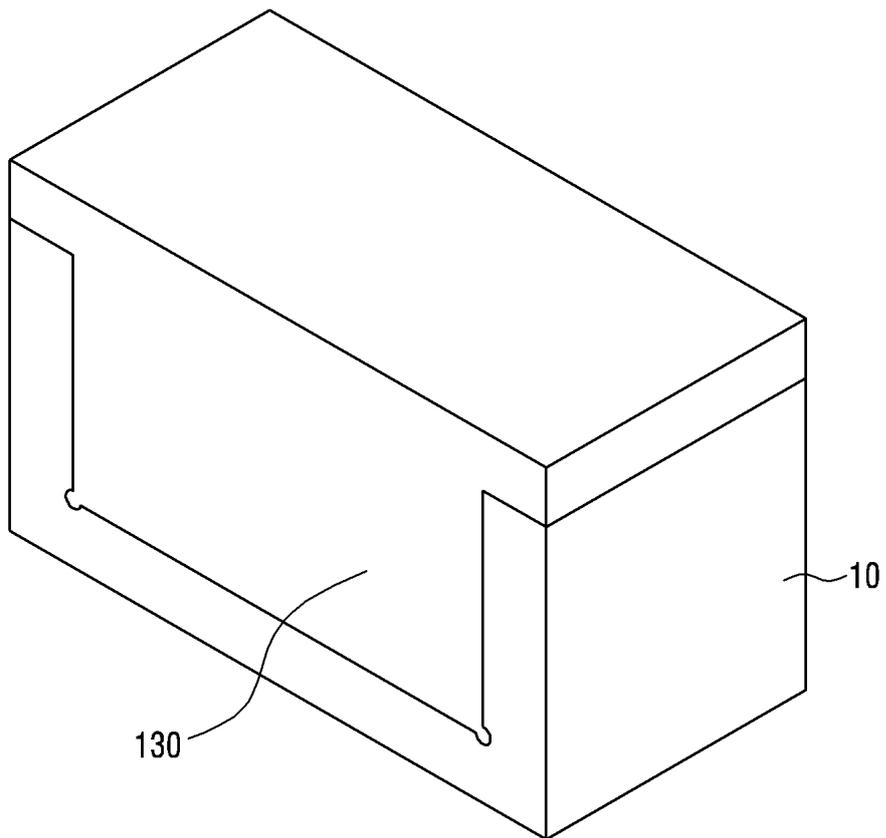
도면4c



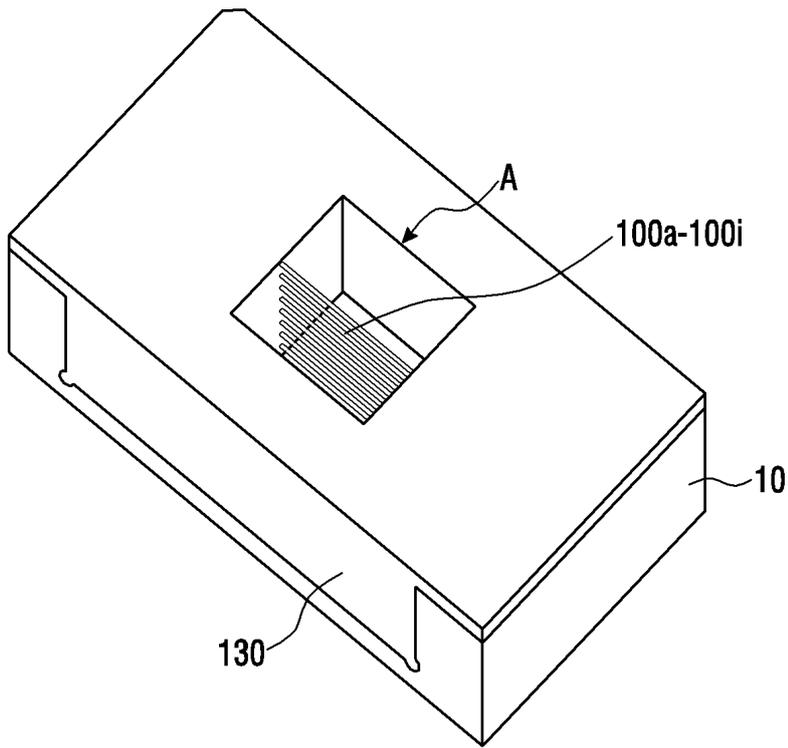
도면4d



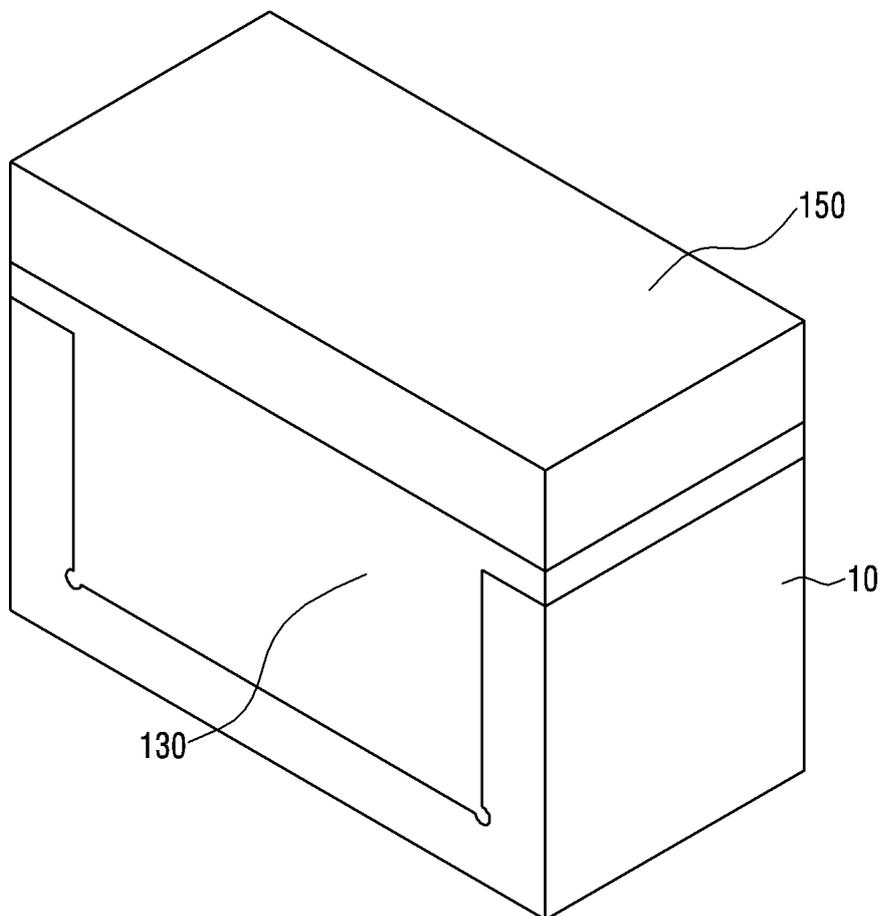
도면5



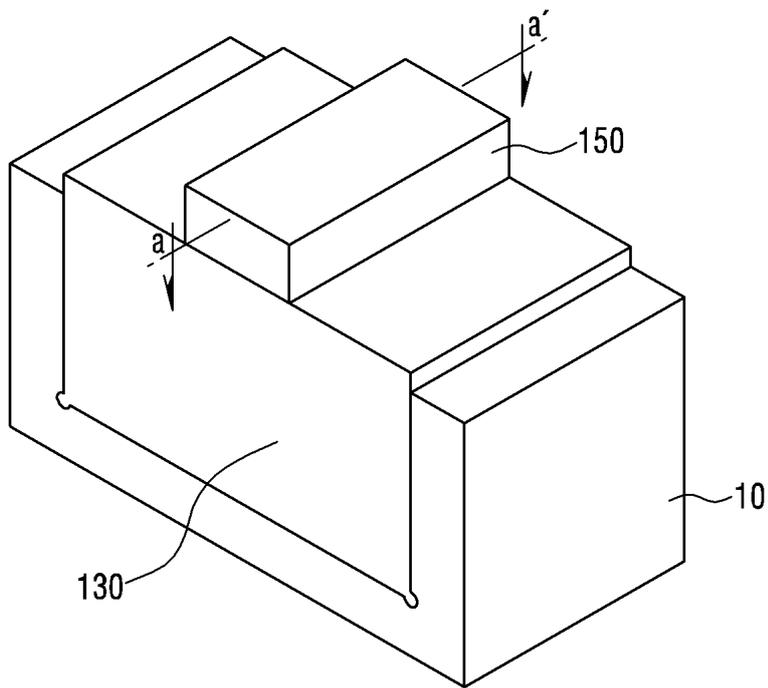
도면6



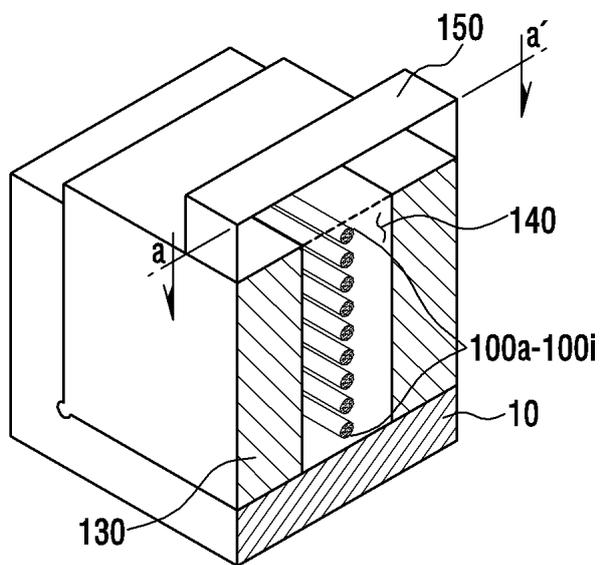
도면7



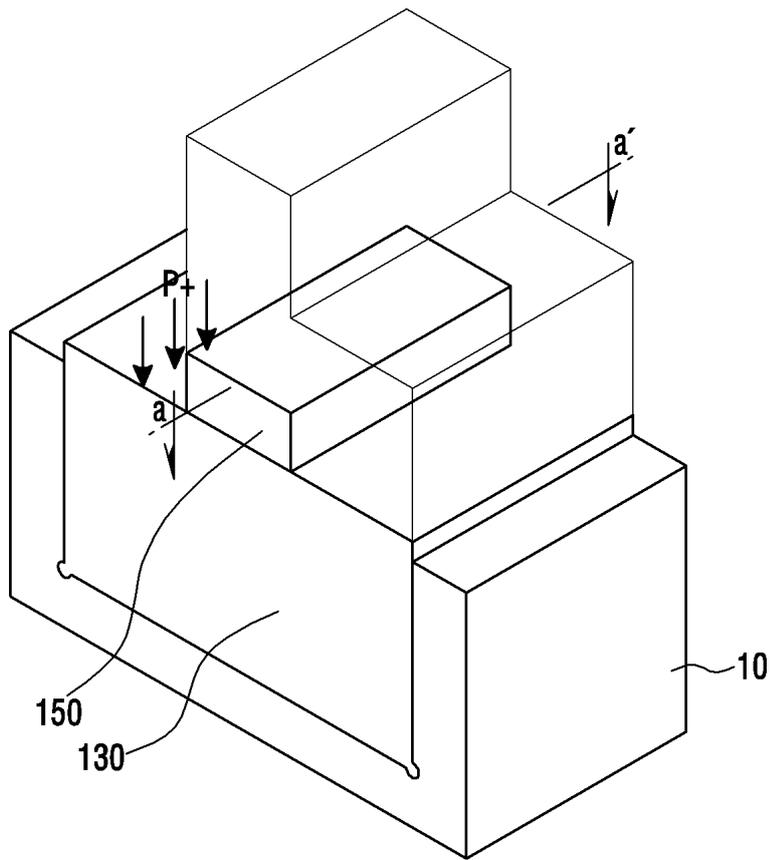
도면8a



도면8b

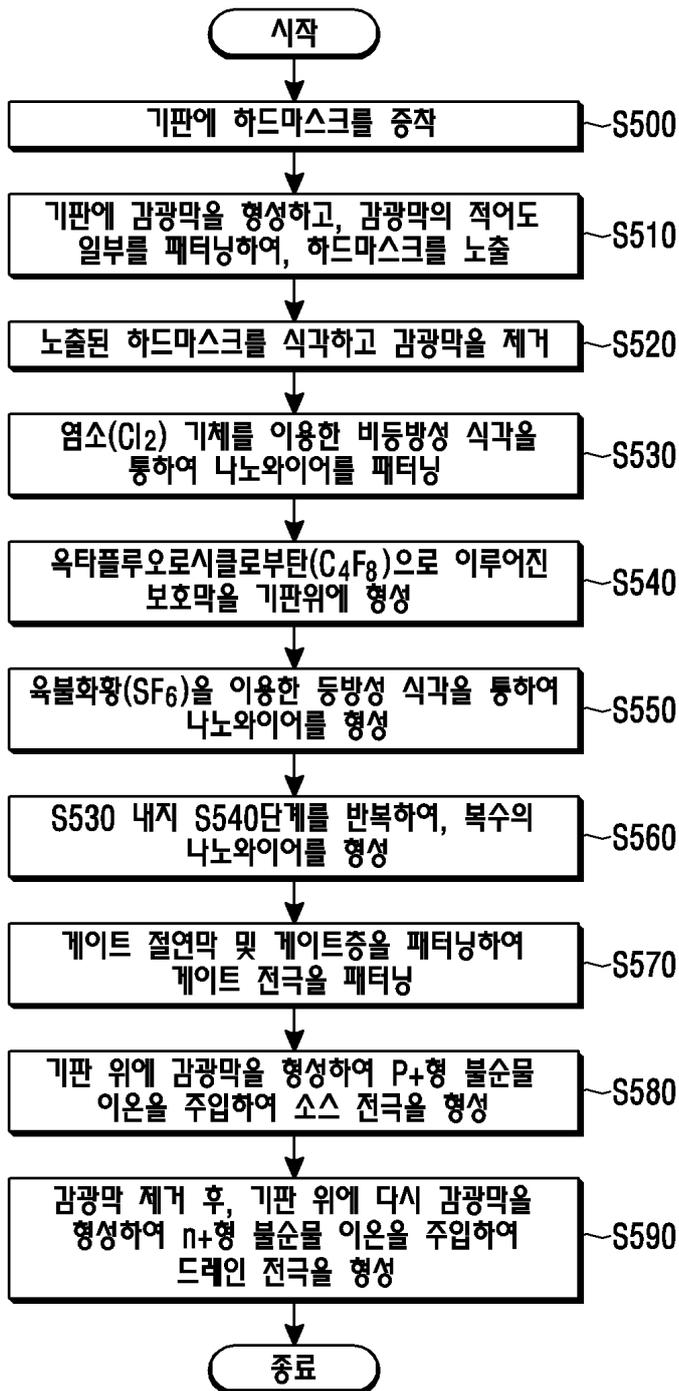


도면9

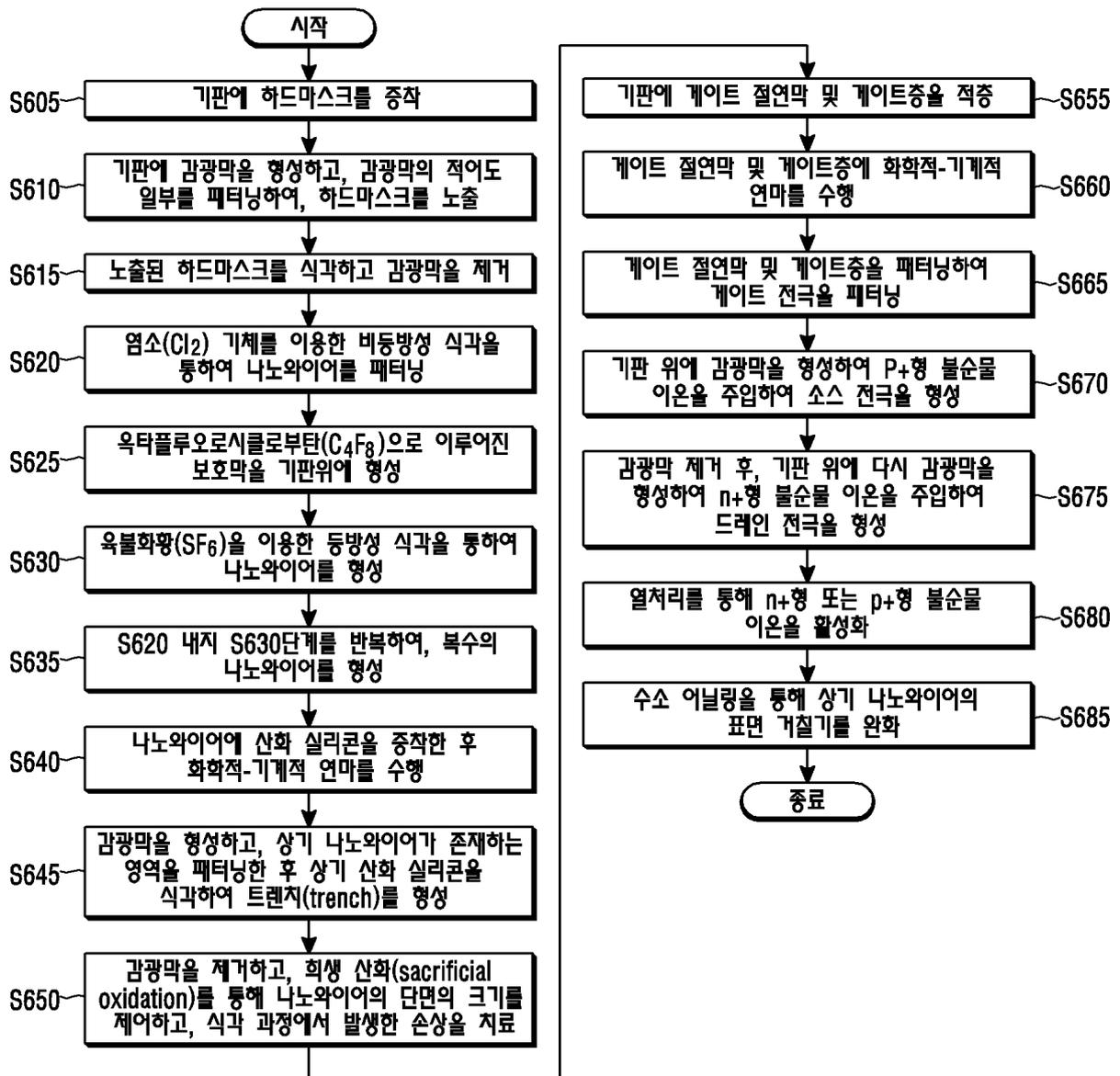




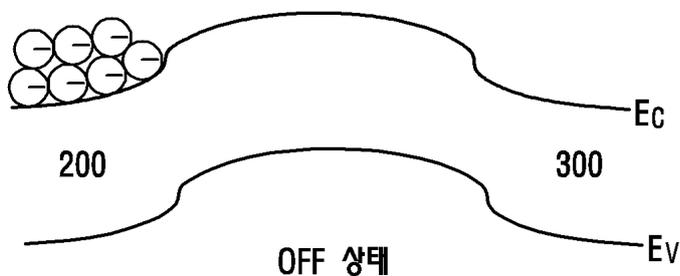
도면12



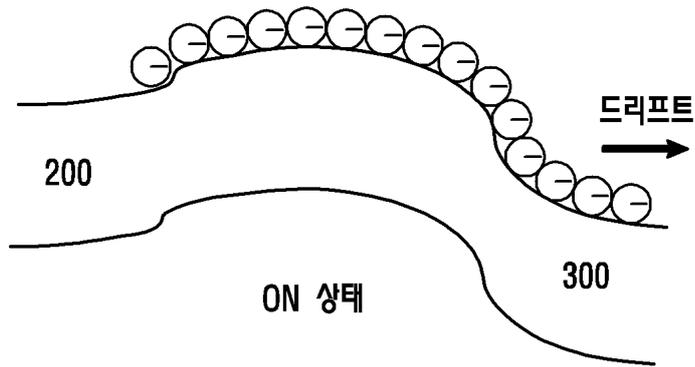
도면13



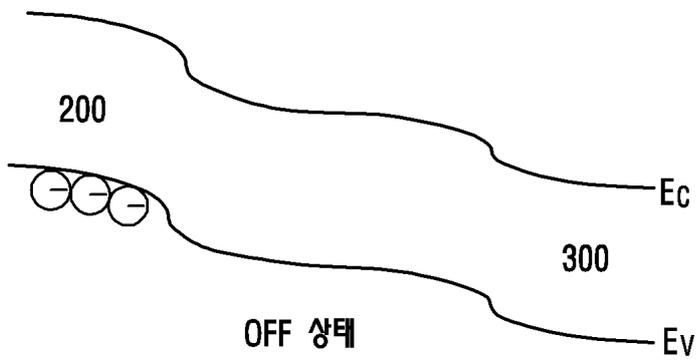
도면14a



도면14b



도면15a



도면15b

