

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4528460号  
(P4528460)

(45) 発行日 平成22年8月18日(2010.8.18)

(24) 登録日 平成22年6月11日(2010.6.11)

(51) Int.Cl. F I  
**HO 1 L 29/78 (2006.01)**  
 HO 1 L 29/78 6 5 3 A  
 HO 1 L 29/78 6 5 2 J  
 HO 1 L 29/78 6 5 2 M  
 HO 1 L 29/78 6 5 2 S

請求項の数 8 (全 27 頁)

(21) 出願番号 特願2001-144730 (P2001-144730)  
 (22) 出願日 平成13年5月15日(2001.5.15)  
 (65) 公開番号 特開2002-83963 (P2002-83963A)  
 (43) 公開日 平成14年3月22日(2002.3.22)  
 審査請求日 平成17年6月27日(2005.6.27)  
 (31) 優先権主張番号 特願2000-200130 (P2000-200130)  
 (32) 優先日 平成12年6月30日(2000.6.30)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100109900  
 弁理士 堀口 浩  
 (72) 発明者 大村 一郎  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝 マイクロエレクトロニクス  
 センター内  
 (72) 発明者 小倉 常雄  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝 マイクロエレクトロニクス  
 センター内

最終頁に続く

(54) 【発明の名称】 半導体素子

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、  
 前記半導体基板の一方の面に形成された第1導電型のドリフト層と、  
 前記ドリフト層の表面に選択的に形成された第2導電型のウェル層と、  
 前記ウェル層の表面に選択的に形成された第1導電型のソース層と、  
 前記ソース層の表面から前記ウェル層を貫いて少なくとも前記ドリフト層内に至るまで形  
 成されたトレンチ溝と、  
 前記トレンチ溝内の前記ドリフト層から前記半導体基板に至る領域に、第1の絶縁膜を介  
 して形成された第1の部分、及び、前記第1の部分に連続し、前記第1の部分から終端部  
 で前記トレンチ溝よりも外側まで引き出された第2の部分<sup>10</sup>を有する埋め込み電極と、  
 前記トレンチ溝内の前記ソース層から前記ウェル層を通り前記ドリフト層に至る領域に、  
 第2の絶縁膜を介して前記埋め込み電極と絶縁して形成された制御電極と、  
 前記半導体基板の他方の面に形成された第1の主電極と、  
 前記ソース層及び前記ウェル層に接続する第2の主電極と、  
 を具備し、前記ドリフト層の濃度が前記トレンチ溝の側壁付近で高くなっていることを特  
 徴とする半導体素子。

【請求項2】

前記第1の絶縁膜の膜厚は、素子の静耐圧に20 を乗じた値よりも厚くなっているこ  
 とを特徴とする請求項1に記載の半導体素子。<sup>20</sup>

## 【請求項 3】

前記第 1 の絶縁膜は、前記第 2 の絶縁膜の膜厚よりも厚くなっていることを特徴とする請求項 1 または 2 に記載の半導体素子。

## 【請求項 4】

前記ドリフト層の濃度は、前記半導体基板側に近づくに従って高くなっていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体素子。

## 【請求項 5】

前記トレンチ溝は、ストライプ状であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体素子。

## 【請求項 6】

前記トレンチ溝は、平面視で六角形状を残した溝であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体素子。

## 【請求項 7】

前記埋め込み電極は、前記第 1 の主電極または前記第 2 の主電極に電気的に接続されていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体素子。

## 【請求項 8】

前記埋め込み電極は、フローティングにすることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体素子。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、電力用半導体スイッチング素子に係わり、特に低いオン抵抗の半導体素子に関する。

## 【0002】

## 【従来の技術】

最近、自動車内の電源、コンピュータ機器の電源、モータ制御電源などに電力用 MOSFET (パワー MOSFET) が広く用いられるようになってきた。これらの電源では、効率と小ささが重要視されている。

## 【0003】

一般的に広く用いられているいわゆるスイッチング電源では、パワー MOSFET が従来のダイオードの役割もしているため (シンクロナス整流)、パワー MOSFET の特性が非常に重要になってきている。特に、オン抵抗とスイッチングの速度との 2 つの特性が重要である。オン抵抗が低ければ、電流が流れている間のパワー MOSFET で消費されるエネルギーが減少するため、電源の効率が向上する。また、スイッチングの速度が向上すれば、スイッチングの周波数があげられ、トランスなどの磁気回路を小さくできるため、電源の小型化が進められるとともに、磁気回路の効率も向上する。

## 【0004】

図 4 4 は、従来の縦型パワー MOSFET の断面図を示している。

## 【0005】

図 4 4 に示すように、n 型の半導体基板 1 1 1 の一方の面に n 型のドリフト層 1 1 2 がエピタキシャル成長により形成され、このドリフト層 1 1 2 の表面に MOS 形成用の p 型のウェル層 1 1 3 が選択的に形成され、このウェル層 1 1 3 の表面に n 型のソース層 1 1 4 が選択的に形成されている。このソース層 1 1 4 の表面からウェル層 1 1 3 を貫いてドリフト層 1 1 2 内に至るまでトレンチ溝 1 1 5 が形成されている。このトレンチ溝 1 1 5 内に、シリコン酸化膜 1 1 8 を介してゲート電極 1 1 9 が形成されている。さらに、半導体基板 1 1 1 の他方の面にはドレイン電極 1 2 0 が形成され、ウェル層 1 1 3 上にソース層 1 1 4 及びウェル層 1 1 3 と接続するソース電極 1 2 1 が形成されている。

## 【0006】

この種のパワー MOSFET の特性は、理想的な設計の場合でも、常に耐圧とオン抵抗が式 (1) の関係を満たす必要があるため、これ以上の特性は得られないと考えられていた

10

20

30

40

50

。ここで、式(1)において、 $V_b$ は静耐圧、 $R_{on}$ はオン抵抗をそれぞれ示している。

【0007】

$$R_{on} < 2.2 \times 10^{-5} V_b^{2.25} \dots (1)$$

ところが、最近、ドリフト層112中にp型拡散層を埋め込んで形成し、上限の特性限界を越えることが可能であると発表された。この埋め込み拡散層を有する構造によれば、確かにオン抵抗を低減するが、接合の距離(面積)が長い(広い)ため、接合容量が大きく、スイッチングの時間が遅いという問題がある。また、同じ理由から、素子内部に内蔵されている逆導通ダイオードでのキャリアの注入が多すぎ、ダイオードの逆回復時に素子が破壊しやすいという問題がある。

【0008】

従って、実際、この構造による素子の用途は限られていた。さらに、素子形成の際、エピタキシャル成長とイオン注入を繰り返して多層のエピタキシャル層を形成するため、コストが増大するという問題もあった。

【0009】

【発明が解決しようとする課題】

以上述べたように、従来のPOWER MOSFETでは、オン抵抗の低減が難しく、たとえオン抵抗を低減できても、スイッチングの速度や逆導通ダイオードの特性が悪化するという問題、さらにコストの増大という問題があった。

【0010】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、オン抵抗を低減できるとともに、耐圧を向上することができる半導体素子を提供することにある。

【0011】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0013】

本発明の半導体素子は、第1導電型の半導体基板と、前記半導体基板の一方の面に形成された第1導電型のドリフト層と、前記ドリフト層の表面に選択的に形成された第2導電型のウェル層と、前記ウェル層の表面に選択的に形成された第1導電型のソース層と、前記ソース層の表面から前記ウェル層を貫いて少なくとも前記ドリフト層内に至るまで形成されたトレンチ溝と、前記トレンチ溝内の前記ドリフト層から前記半導体基板に至る領域に、第1の絶縁膜を介して形成された第1の部分、及び、前記第1の部分に連続し、前記第1の部分から終端部で前記トレンチ溝よりも外側まで引き出された第2の部分を有する埋め込み電極と、前記トレンチ溝内の前記ソース層から前記ウェル層を通り前記ドリフト層に至る領域に、第2の絶縁膜を介して前記埋め込み電極と絶縁して形成された制御電極と、前記半導体基板の他方の面に形成された第1の主電極と、前記ソース層及び前記ウェル層に接続する第2の主電極とを具備し、前記ドリフト層の濃度が前記トレンチ溝の側壁付近で高くなっていることを特徴とする。

【0016】

前記半導体素子では、前記第1の絶縁膜の膜厚は、素子の静耐圧に20 を乗じた値よりも厚くなっていることが望ましい。

【0017】

また、前記第1の絶縁膜は、前記第2の絶縁膜の膜厚よりも厚くなっていることが好ましい。

【0018】

また、前記ドリフト層の濃度は、前記半導体基板側に近づくに従って高くなっていることが望ましい。

【0019】

また、前記トレンチ溝は、ストライプ状に形成されてもよい。

【0020】

10

20

30

40

50

また、前記トレンチ溝は、平面視で六角形状を残した溝に形成されてもよい。

【0021】

また、前記埋め込み電極は、前記第1の主電極または前記第2の主電極に電氣的に接続されていることが望ましい。

【0023】

また、前記埋め込み電極は、フローティングに形成されてもよい。

【0029】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。

【0030】

[第1の実施形態]

第1の実施形態は、埋め込み型のパワーMOSFETの例である。

【0031】

まず、第1の実施形態における第1の特徴について説明する。第1の特徴は、ドリフト層中にトレンチ溝が形成され、このトレンチ溝の内部にゲート電極の電圧とは独立した電圧が与えられている埋め込み電極が形成されていることである。

【0032】

図1は、本発明の第1の実施形態に係る半導体素子の終端部までの平面図を示す。図2は、図1の2-2線に沿った断面図を示す。図3は、図1の3-3線に沿った終端部及び終端部の外側を含む断面図を示す。図4は、第1の実施形態に係る半導体素子の斜視図を示す。

【0033】

図1に示すように、半導体基板11内にストライプ状(帯状)の複数のトレンチ溝15が形成されている。また、素子の終端部においては、終端トレンチ溝15aが形成されている。

【0034】

図2に示すように、n型の半導体基板11の一方の面にn型のドリフト層12がエピタキシャル成長により形成され、このドリフト層12の表面にMOS形成用のp型のウェル層13が選択的に形成され、このウェル層13の表面にn型のソース層14が選択的に形成されている。

【0035】

このソース層14の表面からウェル層13及びドリフト層12を貫いて半導体基板11内に至るまでトレンチ溝15が形成されている。このトレンチ溝15内のドリフト層12から半導体基板11に至る領域に、第1の絶縁膜16を介して埋め込み電極17が形成されている。また、トレンチ溝15内のソース層14からウェル層13を通りドリフト層12に至る領域に、第2の絶縁膜18を介して埋め込み電極17と電氣的に絶縁されて制御電極となるゲート電極19が形成されている。

【0036】

さらに、半導体基板11の他方の面には第1の主電極となるドレイン電極20が形成され、ウェル層13上にソース層14及びウェル層13と接続する第2の主電極となるソース電極21が形成されている。

【0037】

このような構造の半導体素子においては、図3、図4に示すように、埋め込み電極17はソース電極21と接続されている。また、ゲート電極19は、層間絶縁膜22により埋め込み電極17及びソース電極21と絶縁され、上層の引き出しゲート電極23に接続されている。また、図4に示すように、終端部において、図1に示す終端トレンチ溝15aが形成されている。

【0038】

上記埋め込み型のパワーMOSFETにおいて、埋め込み電極17の電圧は、素子の耐圧とオン抵抗のトレードオフが最適になるように制御されている。

10

20

30

40

50

## 【0039】

また、ドリフト層12の濃度を上げ、オン抵抗を低減する場合には、図2、図3に示すように、埋め込み電極17をソース電極21に接続してソース電位に固定するのが望ましい。尚、埋め込み電極17は、ドレイン電極20に接続してドレイン電位に固定してもよいし、電氣的に接続されていなくてもよい。

## 【0040】

また、トレンチ溝15は、半導体基板11に至るまで形成されていなくてもよい。

## 【0041】

また、第1、第2の絶縁膜16、19は例えばシリコン酸化膜(SiO<sub>2</sub>膜)のような同一の絶縁膜であってもよいが、第1、第2の絶縁膜16、19が異なる絶縁膜であってもよい。この場合、第1の絶縁膜16は例えばSiO<sub>2</sub>膜からなり、第2の絶縁膜19は例えばSiO<sub>2</sub>膜/Si<sub>3</sub>N<sub>4</sub>膜/SiO<sub>2</sub>膜(ONO膜)からなる。

10

## 【0042】

また、第1の絶縁膜16は第2の絶縁膜19の膜厚よりも厚くすることが望ましい。この第1の絶縁膜16の膜厚は耐圧で決定し、第2の絶縁膜19の膜厚はしきい値電圧で決定するとよい。例えば、第1の絶縁膜16の膜厚は、素子の静耐圧に20 を乗じた値よりも厚くすることが望ましく、例えば3000 にするとよい。また、第2の絶縁膜19の膜厚は、例えば400乃至450 にするとよい。

## 【0043】

尚、上述するドリフト層12とは、ドレイン電圧の上昇とともに空乏化が進み、印加電圧を主に保持する半導体層を意味する。

20

## 【0044】

次に、図5乃至図13を参照して、上記第1の実施形態における埋め込み型のパワーMOSFETの形成方法について以下に説明する。

## 【0045】

まず、図5に示すように、n型の半導体基板11の表面にn型のドリフト層12がエピタキシャル成長により形成され、このドリフト層12の表面にp型のウェル層13が選択的に形成され、このウェル層13の表面にn型のソース層(図示せず)が選択的に形成される。

## 【0046】

次に、図6に示すように、例えばRIE(Reactive Ion Etching)により、ソース層の表面からウェル層13及びドリフト層12を貫いて半導体基板11内に至るまでトレンチ溝15が形成される。

30

## 【0047】

次に、図7に示すように、例えば熱酸化により、トレンチ溝15の露出された面及び半導体基板11の表面に、例えば3000 の膜厚を有する第1の絶縁膜16が形成される。

## 【0048】

次に、図8に示すように、全面に第1のポリシリコン膜17aが形成され、トレンチ溝15が埋め込まれる。

## 【0049】

次に、図9に示すように、第1のポリシリコン膜17aがエッチバックされ、このエッチバックされた第1のポリシリコン膜17aの表面がウェル層13の表面より下に位置される。その後、図10に示すように、エッチバックされた第1のポリシリコン膜17aの表面まで、第1の絶縁膜16がエッチングされる。尚、第1のポリシリコン膜17a及び第1の絶縁膜16の除去は、同時に行われてもよい。

40

## 【0050】

次に、図11に示すように、例えば熱酸化により、トレンチ溝15の露出された面及び第1のポリシリコン膜17aの表面に、例えば400乃至450 の膜厚を有する第2の絶縁膜18が形成される。尚、第2の絶縁膜18は堆積により形成されてもよい。

## 【0051】

50

次に、図 1 2 に示すように、全面に第 2 のポリシリコン膜 1 9 a が形成され、トレンチ溝 1 5 が埋め込まれる。

【 0 0 5 2 】

次に、図 1 3 に示すように、第 2 のポリシリコン膜 1 9 a がエッチバックされ、第 2 の絶縁膜 1 8 の表面が露出される。その結果、トレンチ溝 1 5 内に、埋め込み電極 1 7 と、この埋め込み電極 1 7 と絶縁されたゲート電極 1 9 とが形成される。

【 0 0 5 3 】

以上のように、本発明の第 1 の特徴は、ドリフト層 1 2 の中にトレンチ溝 1 5 が形成され、このトレンチ溝 1 5 の内部にゲート電極 1 9 の電圧とは独立した電圧が与えられている埋め込み電極 1 7 が形成されていることである。

10

【 0 0 5 4 】

通常、ドリフト層の濃度が高い場合、わずかな空乏化で大量の空間電荷が生じてしまう。このため、ドレイン電圧を上げるにつれて電界が急峻に強くなり、この電界が臨界値を越えて素子が破壊されてしまう。

【 0 0 5 5 】

しかし、上記第 1 の特徴によれば、ドリフト層 1 2 で発生する正電荷と埋め込み電極 1 7 の表面に誘起される負電荷とが打ち消し合うため、ドリフト層 1 2 を大きく空乏化させることができる。従って、ドリフト層 1 2 の濃度が高くても、高い耐圧が実現できる。これにより、高い耐圧を保ちながら、オン抵抗の低いパワー MOS F E T が実現できる。従って、電流が流れている間のパワー MOS F E T で消費されるエネルギーが減少するため、

20

電源の効率を向上することができる。

【 0 0 5 6 】

尚、上記第 1 の特徴により、例えば、表 1 に示すようなドリフト層 1 2 の濃度であっても

高い耐圧が実現できる。

【 0 0 5 7 】

【表 1】

表 1

耐圧 (V)	濃度 ( $\times 10^{16}$ atom/cm <sup>3</sup> )
50	5.0
100	2.5
200	1.2

30

【 0 0 5 8 】

また、表 2 は、ドリフト層 1 2 の幅と最高濃度との関係を示している。表 2 に示すように、ドリフト層 1 2 の最高濃度は、トレンチ溝 1 5 の相互間のドリフト層 1 2 の幅で決まる。尚、ドリフト層 1 2 の最高濃度とは、素子の最高耐圧で空乏化が進んだ部分での濃度をいう。

【 0 0 5 9 】

40

【表 2】

表2

ドリフト層の幅( $\mu\text{m}$ )	濃度 ( $\times 10^{16}/\text{cm}^3$ )
6.0	0.8
4.0	1.4
2.0	3.0
1.0	7.0
0.8	9.0
0.6	13.0
0.4	22.0
0.2	60.0

10

## 【0060】

このように、トレンチ溝15の相互間のドリフト層12の幅を小さくすることにより、ドリフト層12の最高濃度を高めることができる。これにより、さらにオン抵抗の低減を図ることができる。

## 【0061】

次に、第1の実施形態における第2の特徴について説明する。第2の特徴は、従来半導体層だけで保持していた電圧を、トレンチ溝内の埋め込み電極表面の第1の絶縁膜にも分担させていることである。

20

## 【0062】

図14は、トレンチ溝の相互間のドリフト層と電圧との関係を示している。図14に示すように、埋め込み電極17は、トレンチ溝15内において第1の絶縁膜16を介して形成され、この第1の絶縁膜16は上述したように厚く形成されている。また、トレンチ溝15内の第1の絶縁膜16において、ドリフト層12中の電圧Vを低減させている。さらに、第1の絶縁膜16中で高い電界Eを発生させている。

## 【0063】

上記第2の特徴によれば、従来半導体層だけで保持していた電圧を、トレンチ溝15内の埋め込み電極17表面の第1の絶縁膜16にも分担させている。従って、半導体層にかかる電圧は、全ドレイン電圧より大幅に低減でき、耐圧を向上させることが可能となる。特に、上述したようなドリフト層12中の正電荷を埋め込み電極17の負電荷で打ち消す際に発生する両者間の高い電界を、第1の絶縁膜16中で発生させることができる。このため、半導体層中では比較的弱い電界に抑えることができる。

30

## 【0064】

また、半導体基板11としてシリコン基板を用い、第1の絶縁膜16として酸化膜を用いた場合、酸化膜の誘電率はシリコンの誘電率の約3分の1なので、シリコンより3倍高い電圧を保持することが可能となる。このように、半導体基板11の誘電率より、埋め込み電極17を取り囲む第1の絶縁膜16の誘電率を低くすれば、さらに耐圧を向上することができる。

40

## 【0065】

次に、第1の実施形態における第3の特徴について説明する。第3の特徴は、ドリフト層の濃度に分布を付けることである。

## 【0066】

図15は、第1の実施形態におけるドリフト層の第1の濃度分布を示している。この第1の濃度分布では、図15に示すように、基板11側に近づくに従ってドリフト層12の濃度が高くなっている。

## 【0067】

上記第1の濃度分布によれば、基板11側に近づくに従ってドリフト層12の電位が上昇

50

し、埋め込み電極 17 との電位差が大きく、埋め込み電極 17 中の負電荷も多くなる。このため、基板 11 側に近づくに従ってドリフト層 12 の濃度を濃くすることができる。これにより、ドリフト層 12 の濃度が均一な構造に比べ、オン電圧を低くすることができる。

【0068】

尚、ドリフト層 12 の濃度は、基板 11 側に近づくに従って一様に高くなるようにする必要はない。例えば、図 16 (a) に示すように、ドリフト層 12 の濃度は、基板 11 側に近づくに従って平均的に高ければよい。また、図 16 (b) に示すように、基板 11 側に近づくに従ってドリフト層 12 の濃度が高くなるように、ガス濃度を変化しながらエピタキシャル成長させて、階段状にドリフト層 12 の濃度を変化させてもよい。また、図 16 (c) に示すように、エピタキシャル成長とイオン注入を繰り返した後に熱拡散をして、基板 11 側に近づくに従ってドリフト層 12 の濃度が高くなるように、階層的にドリフト層 12 の濃度を変化させてもよい。これらの場合も、上記と同様に、ドリフト層 12 の濃度が均一な構造に比べ、オン電圧を低くすることができる。

【0069】

また、上記のように、ドリフト層 12 の濃度を変化させる代わりに、埋め込み電極 17 の表面の第 1 の絶縁膜 16 の膜厚を、基板 11 側に近づくに従って厚くしてもよい。この場合も、上記と同様の効果を得ることができる。

【0070】

図 17 は、第 1 の実施形態におけるドリフト層の第 2 の濃度分布を示している。この第 2 の濃度分布では、図 17 に示すように、トレンチ溝 15 の側壁付近において、ドリフト層 12 の濃度が高い高濃度領域 12 a が形成されている。この高濃度領域 12 a は、トレンチ溝 15 を形成した後、トレンチ溝 15 の側壁付近にイオン注入を斜めに行うことにより形成される。

【0071】

上記第 2 の濃度分布によれば、ドリフト層 12 の濃度は一定の値で本発明の効果が期待できるが、トレンチ溝 15 の側壁付近にドリフト層 12 の高濃度領域 12 a を形成することによって、さらに効果を高めることができる。また、このような構造では、先述したドリフト層 12 の最高濃度を高くすることができる。従って、オン抵抗をさらに低減できる。

【0072】

尚、ドリフト層 12 の中心線での濃度が、ドリフト層 12 の平均濃度より低くなっていればよい。特に、トレンチ溝 15 の側壁表面のごく薄い部分のみに、高濃度領域 12 a が形成されると非常に効果的である。

【0073】

以上のように、第 3 の特徴によれば、ドリフト層 12 の濃度に分布を付けることにより、ドリフト層 12 の濃度が均一な構造に比べ、オン電圧をさらに低くすることができ、かつオン抵抗もさらに低減できる。

【0074】

上記第 1 乃至第 3 の特徴を有する第 1 の実施形態によれば、オン抵抗を低減できるとともに、耐圧を向上できる。さらに、オン電圧の低減も図ることができる。

【0075】

尚、上記第 1 の実施形態において、埋め込み電極 17 がゲート電極 19 に接続されてもよい。この場合、上記実施形態よりも、さらにオン抵抗と耐圧の改善が望める。これは、オン状態では、埋め込み電極 17 も MOS ゲートとして働き、ドリフト層 12 とトレンチ溝 15 の界面に電子の蓄積層ができ、電子の導通を促進するからである。さらに、この構造において、埋め込み電極 17 は、ゲートの high の電圧又はそれより高い電圧に固定することにより、ゲートの帰還容量が増加し、スイッチングの速度が遅くなることを回避できる。

【0076】

[ 第 2 の実施形態 ]

10

20

30

40

50

第2の実施形態は、第1の実施形態における第1乃至第3の特徴をプレーナ型のパワーMOSFETに適用した例である。第2の実施形態において、上記第1の実施形態と共通する部分には共通する参照符号を付す。以下、第1の実施形態と共通する構造については説明を省略し、異なる構造のみ説明する。

【0077】

図18は、本発明の第2の実施形態に係る半導体素子の断面図を示す。

【0078】

図18に示すように、n型の半導体基板11の一方の面にn型のドリフト層12がエピタキシャル成長により形成され、このドリフト層12の表面にMOS形成用のp型のウェル層13が選択的に形成され、このウェル層13の表面にn型のソース層14が選択的に形成されている。

10

【0079】

また、ドリフト層12の表面からドリフト層12を貫いて半導体基板11内に至るまでトレンチ溝15が形成されている。このトレンチ溝15内に、第1の絶縁膜16を介して埋め込み電極17が形成されている。また、ドリフト層12上にゲート絶縁膜24を介して制御電極となるゲート電極19が形成されている。

【0080】

さらに、半導体基板11の他方の面には第1の主電極となるドレイン電極20が形成されている。また、ゲート電極19と絶縁して、ウェル層13上にソース層14及びウェル層13と接続する第2の主電極となるソース電極21が形成されている。

20

【0081】

ここで、第1の絶縁膜16は、上記第1の実施形態と同様に、比較的厚く形成されており、例えばSiO<sub>2</sub>膜からなる。また、埋め込み電極17は、ドレイン電極20又はソース電極21に接続されていてもよいし、電気的に接続されていなくてもよい。また、トレンチ溝15は、半導体基板11に至るまで形成されていなくてもよい。

【0082】

上記第2の実施形態によれば、第1の実施形態と同様の効果が得られる。さらに、埋め込み型と比べて、プレーナ型には、トレンチ溝15内にゲート電極19を形成しないため、製造プロセスが容易になるという利点がある。

【0083】

尚、プレーナ型のパワーMOSFETは以下に示す構造でも、上記図18に示すパワーMOSFETと同様の効果が得られる。

30

【0084】

例えば、図19に示すように、トレンチ溝15の両上端にウェル層13及びソース層14が形成され、トレンチ溝15上にソース電極21が形成されていてもよい。この場合、図18に示すパワーMOSFETよりも微細化を図ることができる。

【0085】

また、図20に示すように、トレンチ溝15の片方の上端にウェル層13及びソース層14が形成され、トレンチ溝15上にソース電極21が形成されていてもよい。この場合、トレンチ溝15の相互間を狭くすることができる。従って、図18に示すパワーMOSFETよりもドリフト層12の濃度を高くすることができるため、オン抵抗をさらに低減できる。加えて、図20に示す構造によれば、図18に示すパワーMOSFETよりも微細化を図ることができる。

40

【0086】

[第3の実施形態]

第3の実施形態は、第1の実施形態における第1乃至第3の特徴をショットキーバリアダイオードに適用した例である。第3の実施形態において、上記第1の実施形態と共通する部分には共通する参照符号を付す。以下、第1の実施形態と共通する構造については説明を省略し、異なる構造のみ説明する。

【0087】

50

図 2 1 は、第 3 の実施形態に係る半導体素子の断面図を示している。

【 0 0 8 8 】

図 2 1 に示すように、n 型の半導体基板 1 1 の一方の面に n 型のドリフト層 1 2 がエピタキシャル成長により形成され、このドリフト層 1 2 の表面からドリフト層 1 2 を貫いて半導体基板 1 1 内に至るまでトレンチ溝 1 5 が形成されている。このトレンチ溝 1 5 内に、第 1 の絶縁膜 1 6 を介して埋め込み電極 1 7 が形成されている。

【 0 0 8 9 】

さらに、半導体基板 1 1 の他方の面には第 1 の主電極となるアノード電極 3 1 が形成されている。また、ドリフト層 1 2 上に第 2 の主電極となるカソード電極 3 2 が形成されている。

10

【 0 0 9 0 】

ここで、第 1 の絶縁膜 1 6 は、上記第 1 の実施形態と同様に、比較的厚く形成されており、例えば SiO<sub>2</sub> 膜からなる。また、埋め込み電極 1 7 は、アノード電極 3 1 又はカソード電極 3 2 に接続されていてもよいし、電氣的に接続されていなくてもよい。さらに、トレンチ溝 1 5 は、半導体基板 11 に至るまで形成されていなくてもよい。

【 0 0 9 1 】

上記第 3 の実施形態によれば、第 1 の実施形態と同様の効果が得られる。さらに、ショットキーバリアダイオードでは、スイッチング電源において、MOSFET によるシンクロナス整流を、構造の簡単なダイオードに置き換えることが可能になる。

【 0 0 9 2 】

尚、本発明は、例えば、IGBT (Insulated Gate Bipolar Transistor)、SIT (Static Induction Transistor) 等にも適用できる。

20

【 0 0 9 3 】

[ 第 4 の実施形態 ]

第 4 の実施形態は、上記第 1 乃至第 3 の実施形態におけるトレンチ溝の形状について説明する。上記第 1 乃至第 3 の実施形態におけるトレンチ溝は上述するようなストライプ状でもよいが、以下に説明するような形状であってもよい。尚、第 4 の実施形態において、上記第 1 の実施形態と共通する部分には共通する参照符号を付す。

【 0 0 9 4 】

図 2 2 は、第 4 の実施形態に係る円形状のトレンチ溝の平面図を示す。図 2 3 は、第 4 の実施形態に係る終端部分のトレンチ溝の平面図及び断面図を示す。尚、図 2 2 においては、簡単のために、トレンチ溝の平面位置のみを模式的に示している。

30

【 0 0 9 5 】

図 2 2 に示すように、半導体基板 1 1 において、正三角形の格子の頂点に円形状の複数のトレンチ溝 4 1 が形成されている。

【 0 0 9 6 】

図 2 3 に示すように、本実施形態では、ガードリング構造を本発明に適用しており、また、終端部分においては n 型拡散層 4 2 が形成されている。尚、終端部分の埋め込みゲート 1 7 は、素子領域 1 1 a の埋め込みゲート 1 7 と電氣的に接続するか、若しくはフローティングにしてもよい。

40

【 0 0 9 7 】

このように、上記第 4 の実施形態に係る円形状のトレンチ溝 4 1 によれば、構造の等方性が高く、平面的な均一性を保てる。このため、平面方向の電界のアンバランスが起き難く、高電界による破壊の可能性が低くなる。また、半導体基板 (シリコン基板) 1 1 に穴をあける構造なので、ストライプ状にトレンチ溝 1 5 を形成する構造に比べ、トレンチを微細化した場合、トレンチ溝 1 5 の形成時にできるシリコン柱の倒れなどのトラブルを防ぐことができる。

【 0 0 9 8 】

尚、図 2 4 に示すように、四角形状のトレンチ溝 4 3 でもよい。この場合、半導体基板 1 1 において、正四角形の格子の頂点に四角形状のトレンチ溝 4 3 を形成すると、平面的な

50

均一性を保てる。これにより、上記円形状のトレンチ溝 4 1 の場合と同様の効果を得られる。

【 0 0 9 9 】

図 2 5 は、第 4 の実施形態に係る六角形状の半導体基板を残して周囲に形成されたトレンチ溝の平面図を示す。図 2 6 は、図 2 5 に示す 2 6 - 2 6 線に沿った断面を有する斜視図を示す。図 2 7 は、六角形状を残したトレンチ溝の斜視図を示す。尚、図 2 5 においては、簡単のために、トレンチ溝の平面位置のみを模式的に示している。

【 0 1 0 0 】

図 2 5 に示すように、半導体基板 1 1 において、亀の子のような六角形状を残して周囲にトレンチ溝 4 4 が形成されている。また、図 2 6 に示すように、図 3 と同様に、トレンチ溝 4 4 内の埋め込み電極 1 7 はソース電極 2 1 と接続されている。

10

【 0 1 0 1 】

また、図 2 7 に示すように、トレンチ溝 4 4 が p 型のウエル層 1 3 及び n 型のソース層 1 4 などの素子部分を囲む構造になっている。従って、この構造における終端部分では、トレンチ溝 4 4 が自然に終端している。尚、終端部分での埋め込み電極 1 7 の電位は、素子領域での埋め込み電極 1 7 の電位と同じにしておくことが望ましい。

【 0 1 0 2 】

このように、上記第 4 の実施形態に係る六角形状を残したトレンチ溝 4 4 によれば、トレンチ溝 4 4 に挟まれたドリフト層 1 2 の幅が広くても、実質的にドリフト層 1 2 の幅を狭くした場合と同等の効果がある。このため、素子の微細化を行わずに、素子の性能を向上できる。

20

【 0 1 0 3 】

[ 第 5 の実施形態 ]

第 5 の実施形態は、埋め込み型のパワー MOSFET の例で、第 1 の実施形態とは、第 1 の特徴の点で異なり、第 2 及び第 3 の特徴は同じである。即ち、第 1 の実施形態では、ゲート電極と該ゲート電極と独立した電圧が与えられている埋め込み電極とがドリフト層中に形成された同じトレンチ溝の内部に形成されているのに対して、本実施形態では、ゲート電極と埋め込み電極とを別個のトレンチ溝に、各々、形成してなる点で異なる。なお、第 5 の実施形態において、上記第 1 の実施形態と共通する部分には共通する参照符号を付し、以下、第 1 の実施形態と共通する構造については詳細な説明を省略する。

30

【 0 1 0 4 】

図 2 8 は、本発明の第 5 の実施形態に係わる半導体素子の平面図で、図中、ソース電極及び絶縁膜等を省略している。図 2 9 は、図 2 8 の 2 8 - 2 8 線に沿った斜視図を示す。

【 0 1 0 5 】

図 2 8 及び図 2 9 に示すように、n + 型の半導体基板 1 1 の一方の面に n 型のドリフト層 1 2 が形成され、このドリフト層 1 2 の表面に p 型のウエル層 1 3 が形成され、このウエル層 1 3 の表面にストライプ状の n + 型のソース層 1 4 が水平方向（紙面上の左右方向）に選択的に形成されている。

【 0 1 0 6 】

このソース層 1 4 の表面からウエル層 1 3 を貫いてドリフト層 1 2 内の半導体基板 1 1 近辺に至るまでストリップ状の第 1 のトレンチ溝 5 1 が垂直方向（紙面上の上下方向）に複数形成されている。この第 1 のトレンチ溝 5 1 内には、耐圧を保持するための第 1 の絶縁膜 5 2 を介して埋め込み電極 5 3 が形成されている。

40

【 0 1 0 7 】

また、ソース層 1 4 の表面からウエル層 1 3 を貫いてドリフト層 1 2 内に至るまでストリップ状の第 2 のトレンチ溝 6 1 が第 1 のトレンチ溝 5 1 と交差、例えば直交するに複数形成されている。この第 2 のトレンチ溝 6 1 は、第 1 のトレンチ溝 5 1 よりも浅く形成されていることが望ましい。そして、この第 2 のトレンチ溝 6 1 内には、チャンネルを形成するための第 2 の絶縁膜 6 2 を介して制御電極となるゲート電極 6 3 が形成されている。

【 0 1 0 8 】

50

さらに、半導体基板 11 の他方の面には、ドレイン電極 20 が形成され、ウエル層 13 上にソース層 14 及びウエル層 13 と接続するソース電極 21 が形成されている。

【0109】

また、埋め込み電極 53 は、ソース電極 21 と接続され、ゲート電極 63 は、層間絶縁膜により埋め込み電極 53 及びソース電極 21 と絶縁され、上層の引き出しゲート電極（図示省略）に接続されている。

【0110】

そして、上記第 1 の実施形態と同様に、埋め込み電極 53 の電圧は、素子の耐圧とオン抵抗のトレードオフが最適になるように制御される。

【0111】

また、第 1、第 2 の絶縁膜 52、62 は、例えばシリコン酸化膜（ $\text{SiO}_2$  膜）のような同一の絶縁膜であってもよいが、第 1、第 2 の絶縁膜 52、62 が異なる絶縁膜であってもよい。この場合、第 1 の絶縁膜 52 は例えば  $\text{SiO}_2$  膜、第 2 の絶縁膜 62 は例えば  $\text{SiO}_2$  膜 /  $\text{Si}_3\text{N}_4$  /  $\text{ONO}$  膜からなる。

【0112】

また、第 1 の絶縁膜 52 は第 2 の絶縁膜 62 の膜厚よりも厚くすることが望ましい。この第 1 の絶縁膜 52 の膜厚は耐圧で決定し、第 2 の絶縁膜 62 の膜厚はしきい値電圧で決定するとよい。

【0113】

また、ドリフト層 12 の濃度を半導体基板 11 に近づくに従って高くすることが望ましい。

【0114】

次に、図 30 乃至図 37 を参照して、上記第 5 の実施形態における埋め込み型のパワー MOSFET の形成方法について以下に説明する。

【0115】

まず、第 30 に示すように、 $n+$  型の半導体基板 11 の表面に  $n$  型のドリフト層 12 がエピタキシャル成長により形成され、このドリフト層 12 の表面に  $p$  型のウエル層 13 が形成され、図 31 に示すように、このウエル層 13 の表面にストライプ状の  $n+$  型のソース層 14 が水平方向に所定間隔をおいて選択的に拡散形成される。

【0116】

次に、図 32 に示すように、例えば RIE により、ストライプ状の複数の第 1 のトレンチ溝 51 がソース層 14 を横切って垂直方向に形成される。この第 1 のトレンチ溝 51 は、ウエル層 13 の表面からウエル層 13 を貫いてドリフト層 12 内の半導体基板 11 近傍に至る深さに形成される。

【0117】

次に、図 33 に示すように、例えば熱酸化により、第 1 のトレンチ溝 51 の内側面及び底面に、例えば 3000 ~ 30000 の膜厚を有する第 1 の絶縁膜 52 が形成される。

【0118】

次に、図 34 に示すように、第 1 のトレンチ溝 51 を含むウエル層 13 の表面にポリシリコン膜が形成され、第 1 のトレンチ溝 51 が埋め込まれる。続いて、このポリシリコン膜がエッチバックされ、このエッチバックされたポリシリコン膜の表面が、ウエル層 13 の表面と同じ高さになるように形成される。その後、例えば熱酸化により、第 1 のトレンチ溝 51 上部のポリシリコン膜の表面に第 1 の絶縁膜 52 が形成される。尚、この第 1 のトレンチ溝 51 上部の第 1 の絶縁膜 52 は、堆積により形成されてもよい。その結果、第 1 のトレンチ溝 51 内に、ポリシリコンからなる埋め込み電極 53 が形成される。

【0119】

次に、図 35 に示すように、例えば RIE により、第 1 のトレンチ溝 51 間に、この第 1 のトレンチ溝 51 と交差、例えば直交する方向、即ち、水平方向に複数の第 2 のトレンチ溝 61 が形成される。尚、ソース層 14 は、図 31 に示した様にストライプ状にせず全面に形成して、第 2 のトレンチ溝 61 で図 35 の様に形成することも当然可能である。

10

20

30

40

50

の第2のトレンチ溝61は、ソース層14の表面からウエル層13を貫いてドリフト層12内に至る深さで、第1のトレンチ溝51よりは浅く形成される。また、この第2のトレンチ溝61は、第1のトレンチ溝51と必ずしも接するように形成される必要はない。

【0120】

次に、図36に示すように、例えば熱酸化により、第2のトレンチ溝61の側面及び底面に、例えば400乃至450の膜厚を有する第2の絶縁膜62が形成される。

【0121】

次に、図37に示すように、第2のトレンチ溝61を含むウエル層13の表面にポリシリコン膜が形成され、第2のトレンチ溝61が埋め込まれる。続いて、このポリシリコン膜がエッチバックされ、このエッチバックされたポリシリコン膜の表面が、ウエル層13の表面と同じ高さになるように形成される。その後、例えば熱酸化により、第2のトレンチ溝61上部のポリシリコン膜の表面に第2の絶縁膜62が形成される。尚、この第2のトレンチ溝61上部の第2の絶縁膜62は、堆積により形成されてもよい。その結果、第2のトレンチ溝61内に、ポリシリコンからなるゲート電極63が形成される。

10

【0122】

上記第5の実施形態においても、第1の実施形態と同様の効果が得られる。さらに、埋め込み電極及びゲート電極を、各々、別個のトレンチ溝内に形成しているので、第1の実施形態のように同一のトレンチ溝内に形成する場合に比べて、製造プロセスが容易になるという利点がある。

尚、上記の製造工程の例では、深いトレンチ溝を形成した後に、浅いトレンチ溝（後で述べるようにプレーナ構造でもよい）によるゲート構造を形成したが、逆にゲート構造を形成した後に、例えば電極工程の直前に深いトレンチ溝を形成して埋めてもよい。

20

上記第5の実施形態では、第2のトレンチ溝を第1のトレンチ溝と交差するように形成したが、第1のトレンチ溝に沿って形成し、ソース層を第2のトレンチ溝に接するように形成してもよい。

【0123】

また、上記第5の実施形態では、ゲート電極63間のソース層14は、前記ゲート電極63に一端部が接し、且つ隣接する他端部が互に接触しないように離間して設けているが、隣接する前記ソース層14の他端部を互に接触させてもよく、この場合には、図31において、ソース層14をウエル層13の表面全面に形成し、図35に示すように、トレンチ溝61で自己整合形成すればよい。

30

【0124】

さらにまた、上記第5の実施形態では、第1のトレンチ溝及び第2のトレンチ溝の双方がストライプ状で且つそれぞれが直交しているが、本発明では、耐圧を出すための第1のトレンチ溝とゲートを形成する第2のトレンチ溝が独立していることが特徴であり、溝の構造がストライプ構造でなく先に述べた様に円形状、四角形状、六角形状等のいずれでも良く、また、それぞれの位置関係も直交以外の並列、60度で交わる等いかなる形状も採りうることは明らかである。

【0125】

また、トレンチ溝51は、半導体基板11に至るまで形成してもよい。

40

【0126】

[第6の実施形態]

図38は、本発明の第6の実施形態に係わるパワ-MOSFET（半導体素子）の要部を示す断面図である。

【0127】

本実施形態は、上記第5の実施形態と埋め込みゲート電極の構造が異なる以外は、同じであり、上記第5の実施形態と共通する部分には共通する参照符号を付し、以下、第5の実施形態と共通する構造については詳細な説明を省略する。

【0128】

図38に示すように、本実施形態では、第2のトレンチ溝51の底面を除いた内側面に、

50

S i O<sub>2</sub>等の絶縁膜55を形成し、そのトレンチ溝51内にS I P O Sのような半絶縁性膜56を埋め込むことにより、上記第6の実施形態における埋め込み電極と同じ機能を有する埋め込み電極を形成している。

【0129】

上記第6の実施形態においても、第5の実施形態と同様の効果が得られる。

【0130】

[第7の実施形態]

図39は、本発明の第7の実施形態に係わるパワ - M O S F E T (半導体素子)の要部を示す断面図である。

【0131】

本実施形態は、上記第5の実施形態とゲート電極の構造が異なる以外は、同じであり、上記第5の実施形態と共通する部分には共通する参照符号を付し、以下、第5の実施形態と共通する構造については詳細な説明を省略する。

【0132】

図39に示すように、本実施形態では、ゲート電極にプレーナ構造を採用している。第5の実施形態における第2の絶縁膜62の代わりにゲート絶縁膜622、ゲート電極63の代わりにゲート電極633を形成している。即ち、ドリフト層12の表面にストライプ状のp型のウエル層13が水平方向に選択的に形成され、このウエル層13の表面にストライプ状のn+型のソース層14が選択的に形成されている。そして、ストリップ状のトレンチ溝51が、ストリップ状のウエル層13及びソース層と直交するように垂直方向に形成され、このトレンチ溝51内に第1の絶縁膜52を介して埋め込み電極53が形成されている。一方、隣接する一方のソース層14から他方のソース層14に至るウエル層13及びドリフト層12の表面にゲート絶縁膜(第2の絶縁膜)622を介してゲート電極633が形成されている。

上記第7の実施形態においても、第5の実施形態と同様の効果が得られる。

【0133】

尚、上記第7の実施形態では、前記ウエル層及び前記ソース層は、前記トレンチ溝に対して交差するように形成したが、前記トレンチ溝に沿って形成してもよい。

【0134】

さらにまた、上記実施形態では、トレンチ溝及びゲート電極の双方がストライプ状で且つそれぞれが直交しているが、本発明では、耐圧を出すための第1のトレンチ溝とゲート電極が独立していることが特徴であり、トレンチ溝の構造がストライプ構造でなく先に述べた様に円形状、四角形状、六角形状等のいずれでも良く、また、それぞれの位置関係も直交以外の並列、60度で交わる等いかなる形状も採りうることは明らかである。

【0135】

また、トレンチ溝51は、半導体基板11に至るまで形成されてもよい。

【0136】

[第8の実施形態]

図40は、本発明の第8の実施形態に係わるパワ - M O S F E Tの要部を示す斜視図である。

【0137】

本実施形態は、上記第5の実施形態と埋め込みゲート電極の構造が異なる以外は、同じであり、上記第5の実施形態と共通する部分には共通する参照符号を付し、以下、第5の実施形態と共通する構造については詳細な説明を省略する。

【0138】

図40に示すように、本実施形態では、n+型の半導体基板11の一方の面にn型のドリフト層12が形成され、このドリフト層12の表面にp型のウエル層13が形成されている。

【0139】

このソース層14の表面からウエル層13を貫いてドリフト層12内の半導体基板11近

10

20

30

40

50

辺に至る深さにストリップ状の埋め込み電極となる p 型の埋め込み拡散層 70 が垂直方向（紙面上の上下方向）に複数形成されている。

【0140】

そして、ウエル層 13 には、埋め込み拡散層 70 と交差、例えば直交する方向、即ち水平方向に n + 型のソース層 14 が所定間隔をおいて選択的に拡散形成されている。

【0141】

また、ソース層 14 の表面からウエル層 13 を貫いてドリフト層 12 内に至るまでストリップ状の第 2 のトレンチ溝 61 が埋め込み拡散層 70 と交差、例えば直交するように複数形成されている。この第 2 のトレンチ溝 61 は、埋め込み拡散層 70 よりも浅く形成されていることが望ましい。そして、この第 2 のトレンチ溝 61 内には、チャンネルを形成するための第 2 の絶縁膜 62 を介して制御電極となるゲート電極 63 が形成されている。

10

【0142】

尚、埋め込み拡散層 70 上にゲート電極 63 及びソース層 14 が存在しても、この部分は MOSFET の動作に関係ないため支障がない。また、埋め込み拡散層 70 間の領域にのみ選択的にゲート電極 63 及びソース層 14 を形成することが好ましいが、この場合には、製造プロセスが若干複雑になる。

【0143】

さらに、半導体基板 11 の他方の面には、ドレイン電極 20 が形成され、ウエル層 13 上にソース層 14 及びウエル層 13 と接続するソース電極 21 が形成されている。

【0144】

また、埋め込み拡散層 70 は、ソース電極 21 と接続され、ゲート電極 63 は、埋め込み拡散層 70 及びソース電極 21 と絶縁され、上層の引き出しゲート電極（図示省略）に接続されている。

20

【0145】

上記第 8 の実施形態においても、第 5 の実施形態と同様の効果が得られる。

【0146】

[第 9 の実施形態]

図 41 は、本発明の第 9 の実施形態に係わるパワ - MOSFET（半導体素子）の要部を示す断面図である。

【0147】

本実施形態は、上記第 8 の実施形態と埋め込み拡散層の構造が異なる以外は、同じであり、上記第 8 の実施形態と共通する部分には共通する参照符号を付し、以下、第 8 の実施形態と共通する構造については詳細な説明を省略する。

30

【0148】

図 41 に示すように、本実施形態では、上記 5 の実施形態と同様に第 1 のトレンチ溝 51 を形成し、例えば斜めインプラにより、第 1 のトレンチ溝 51 の内側面に p 型の不純物を注入した後、再拡散させて埋め込み電極となる p 型の埋め込み拡散層 70 を形成し、さらに、この第 1 のトレンチ溝 51 内に SiO<sub>2</sub> 等の絶縁膜 72 を埋め込んでいる。

【0149】

上記第 9 の実施形態においても、第 5 の実施形態と同様の効果が得られる。

40

【0150】

[第 10 の実施形態]

図 42 は、本発明の第 10 の実施形態に係わるパワ - MOSFET（半導体素子）の要部を示す断面図である。

【0151】

本実施形態は、上記第 8 の実施形態と埋め込み拡散層の構造が異なる以外は、同じであり、上記第 8 の実施形態と共通する部分には共通する参照符号を付し、以下、第 8 の実施形態と共通する構造については詳細な説明を省略する。

【0152】

図 42 に示すように、本実施形態では、上記 5 の実施形態と同様に第 1 のトレンチ溝 51

50

を形成し、例えば斜めインプラにより、第1のトレンチ溝51の内側面にp型及びn型の不純物を注入した後、再拡散させてトレンチ溝51側にn型拡散層72、このn型拡散層72とドリフト層12との間に埋め込み電極となるp型の埋め込み拡散層70を形成し、さらに、この第1のトレンチ溝51内にSiO<sub>2</sub>等の絶縁膜72を埋め込んでいる。

上記第10の実施形態においても、第5の実施形態と同様の効果が得られる。

以上述べた本発明の第5乃至第10の実施形態においては、耐圧を出すための深いトレンチ領域と独立に、チャンネル領域を形成していることが構造上の特徴である。すなわち、深いトレンチ領域を埋める材料や深いトレンチの構造に無関係にチャンネル構造(例では、トレンチ構造及びプレーナ構造)を別の領域に形成することが特徴である。

【0153】

10

[第11の実施形態]

図43は、本発明の第11の実施形態に係わるパワ-MOSFET(半導体素子)の要部を示す断面である。

【0154】

図43に示すように、n+型の半導体基板11の一方の面にn型のドリフト層12が形成され、このドリフト層12の表面から半導体基板11近傍に至る深さにストリップ状の埋め込み電極となるp型の埋め込み拡散層80が所定間隔をおいて垂直方向に複数形成されている。この埋め込み拡散層80を含むドリフト層12の表面には、p型のウエル層13が形成されている。

【0155】

20

この埋め込み拡散層80間のウエル層13部分には、ストライプ状のn+型ソース層14が埋め込み拡散層80に沿って選択的に拡散形成されている。

【0156】

また、ソース層14の表面からウエル層13を貫いてドリフト層12内に至る深さにストリップ状の第2のトレンチ溝61が埋め込み拡散層80に沿って形成されている。この第2のトレンチ溝61は、埋め込み拡散層70よりも浅く形成されていることが望ましい。そして、この第2のトレンチ溝61内には、チャンネルを形成するための第2の絶縁膜62を介して制御電極となるゲート電極63が形成されている。

【0157】

さらに、半導体基板11の他方の面には、ドレイン電極20が形成され、ウエル層13上にソース層14及びウエル層13と接続するソース電極21が形成されている。

30

【0158】

また、埋め込み拡散層80は、ウエル層13を介してソース電極21と接続され、ゲート電極63は、埋め込み拡散層80及びソース電極21と絶縁され、上層の引き出しゲート電極(図示省略)に接続されている。

【0159】

上記第11の実施形態においても、第5の実施形態と同様の効果が得られる。

さらに、ゲート電極及びソース層と埋め込み拡散電極とを同一方向に形成するため、交差させる構造の実施形態に比べて、製造プロセスが容易であるという利点がある。

【0160】

40

以上のように、第1乃至第11の実施形態によれば、オン抵抗を低減できるとともに、耐圧を向上することができる。さらに、オン電圧の低減や素子の微細化を図ることもできる。

【0161】

尚、本発明の構造によれば、オン抵抗の低減を実現するために、従来のように埋め込み拡散層を形成する必要がない。このため、スイッチングの速度や、逆導通ダイオードの特性が悪化するという問題は生じないことは言うまでもない。さらに、埋め込み拡散層を有する構造に比べて、本発明はコストの低減を図ることができる。

【0162】

その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能であ

50

る。

【0163】

【発明の効果】

以上説明したように本発明によれば、オン抵抗を低減できるとともに、耐圧を向上することができる半導体素子を提供できる。

【図面の簡単な説明】

【図1】図1は、本発明の第1の実施形態に係わる半導体素子の終端部までを示す平面図。

【図2】図2は、図1の2-2線に沿った半導体素子の断面図。

【図3】図3は、図1の3-3線に沿った終端部及び終端部の外側を含む半導体素子の断面図。 10

【図4】図4は、本発明の第1の実施形態に係わる半導体素子を示す斜視図。

【図5】図5は、本発明の第1の実施形態に係わる半導体素子の製造工程を示す断面図。

【図6】図6は、本発明の第1の実施形態に係わる半導体素子の製造工程を示す断面図。

【図7】図7は、本発明の第1の実施形態に係わる半導体素子の製造工程を示す断面図。

【図8】図8は、本発明の第1の実施形態に係わる半導体素子の製造工程を示す断面図。

【図9】図9は、本発明の第1の実施形態に係わる半導体素子の製造工程を示す断面図。

【図10】図10は、本発明の第1の実施形態に係わる半導体素子の製造工程を示す断面図。

【図11】図11は、本発明の第1の実施形態に係わる半導体素子の製造工程を示す断面図。 20

【図12】図12は、本発明の第1の実施形態に係わる半導体素子の製造工程を示す断面図。

【図13】図13は、本発明の第1の実施形態に係わる半導体素子の製造工程を示す断面図。

【図14】図14は、トレンチ溝の相互間のドリフト層と電圧との関係を示す図。

【図15】図15は、第1の実施形態におけるドリフト層の第1の濃度分布を示す図。

【図16】図16は、第1の実施形態におけるドリフト層の第1の濃度分布の他の例を示す図。

【図17】図17は、第1の実施形態におけるドリフト層の第2の濃度分布を示す図。 30

【図18】図18は、本発明の第2の実施形態に係わる半導体素子を示す断面図。

【図19】図19は、本発明の第2の実施形態に係わる他の半導体素子を示す断面図。

【図20】図20は、本発明の第2の実施形態に係わる他の半導体素子を示す断面図。

【図21】図21は、本発明の第3の実施形態に係わる半導体素子を示す断面図。

【図22】図22は、第4の実施形態に係わる円形状のトレンチ溝を示す平面図。

【図23】図23は、第4の実施形態に係わる円形状のトレンチ溝を示す平面図及び断面図。

【図24】図24は、第4の実施形態に係わる四角形状のトレンチ溝を示す平面図。

【図25】図25は、第4の実施形態に係わる六角形状の半導体基板を残して周囲に形成されたトレンチ溝を示す平面図。 40

【図26】図26は、図25の26-26線に沿った断面を有する斜視図。

【図27】図27は、第4の実施形態に係わる六角形状を残したトレンチ溝の一部を示す斜視図。

【図28】図28は、本発明の第5の実施形態に係わる半導体素子を示す平面図。

【図29】図29は、図28の28-28線に沿った半導体素子の斜視図。

【図30】図30は、本発明の第5の実施形態に係わる半導体素子の製造工程を示す斜視図。

【図31】図31は、本発明の第5の実施形態に係わる半導体素子の製造工程を示す斜視図。

【図32】図32は、本発明の第5の実施形態に係わる半導体素子の製造工程を示す斜視 50

図。

【図 3 3】図 3 3 は、本発明の第 5 の実施形態に係わる半導体素子の製造工程を示す斜視図。

【図 3 4】図 3 4 は、本発明の第 5 の実施形態に係わる半導体素子の製造工程を示す斜視図。

【図 3 5】図 3 5 は、本発明の第 5 の実施形態に係わる半導体素子の製造工程を示す斜視図。

【図 3 6】図 3 6 は、本発明の第 5 の実施形態に係わる半導体素子の製造工程を示す斜視図。

【図 3 7】図 3 7 は、本発明の第 5 の実施形態に係わる半導体素子の製造工程を示す斜視図。 10

【図 3 8】図 3 8 は、本発明の第 6 の実施形態に係わる半導体素子の要部を示す断面図。

【図 3 9】図 3 9 は、本発明の第 7 の実施形態に係わる半導体素子を示す斜視図。

【図 4 0】図 4 0 は、本発明の第 8 の実施形態に係わる半導体素子を示す斜視図。

【図 4 1】図 4 1 は、本発明の第 9 の実施形態に係わる半導体素子の要部を示す断面図。

【図 4 2】図 4 2 は、本発明の第 1 0 の実施形態に係わる半導体素子の要部を示す断面図。

。

【図 4 3】図 4 3 は、本発明の第 1 1 の実施形態に係わる半導体素子を示す平面図。

【図 4 4】図 4 4 は、従来技術による半導体素子を示す断面図。

【符号の説明】 20

1 1 ...半導体基板、

1 1 a ...素子領域、

1 2 ... n 型ドリフト層、

1 2 a ... ドリフト層の高濃度領域、

1 3 ... p 型ウェル層、

1 4 ... n 型ソース層、

1 5 ... ストライプ状のトレンチ溝、

1 5 a ... 終端トレンチ溝、

1 6、5 2 ... 第 1 の絶縁膜、

1 7、5 3 ... 埋め込み電極、 30

1 8、6 2 ... 第 2 の絶縁膜、

1 9、6 3 ... ゲート電極、

2 0 ... ドレイン電極、

2 1 ... ソース電極、

2 2 ... 層間絶縁膜、

2 3 ... 引き出しゲート電極、

2 4 ... ゲート絶縁膜、

3 1 ... アノード電極、

3 2 ... カソード電極、

4 1 ... 円形状のトレンチ溝、 40

4 2 ... n 型拡散層、

4 3 ... 四角形状のトレンチ溝、

4 4 ... 六角形状を残したトレンチ溝

5 1 ... 第 1 のトレンチ溝、

6 1 ... 第 2 のトレンチ溝、

7 0、8 0 ... 埋め込み拡散層、

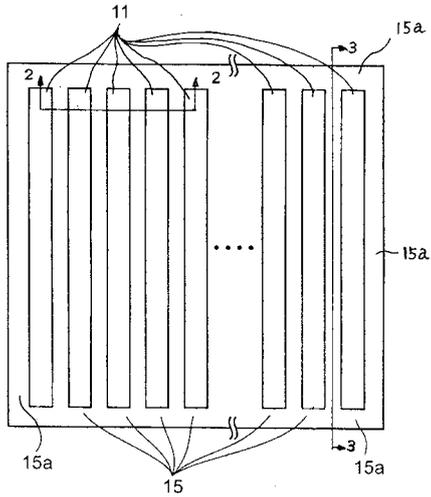
7 1 ... 絶縁膜、

7 2 ... 拡散層、

6 2 2 ... ゲート絶縁膜、

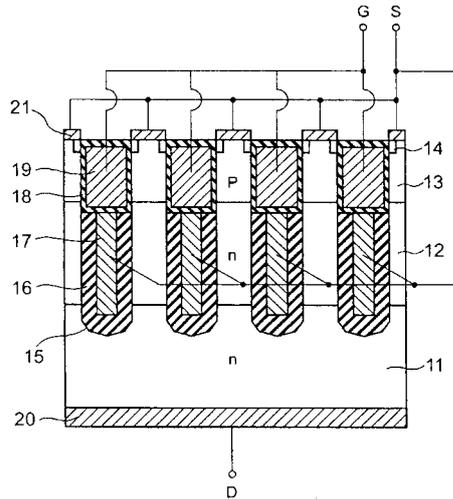
6 3 3 ... ゲート電極 50

【図1】



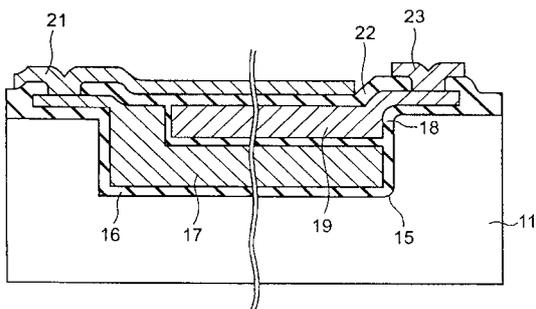
11…半導体基板 15…ストライプ状のトレンチ溝 15a…終端トレンチ溝

【図2】



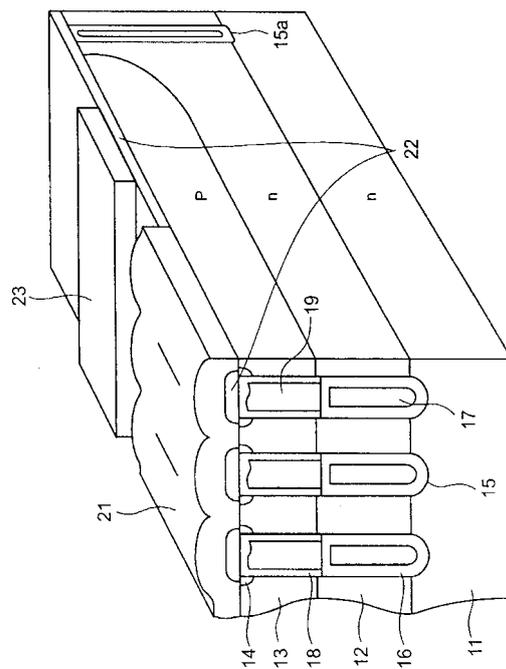
11…半導体基板 12…n型ドリフト層 13…p型ウェル層  
14…n型ソース層 15…ストライプ状のトレンチ溝 16…第1の絶縁膜  
17…埋め込み電極 18…第2の絶縁膜 19…ゲート電極  
20…ドレイン電極 21…ソース電極

【図3】

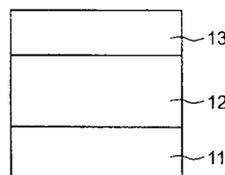


22…層間絶縁膜 23…引き出しゲート電極

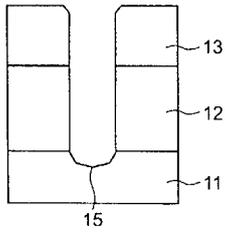
【図4】



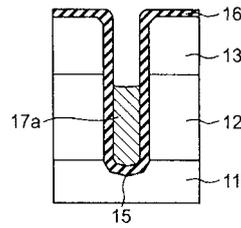
【図5】



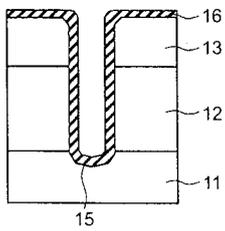
【図6】



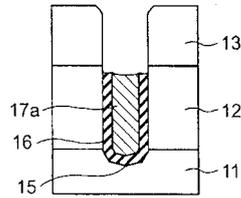
【図9】



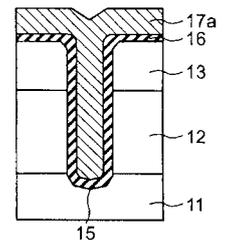
【図7】



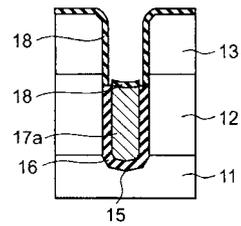
【図10】



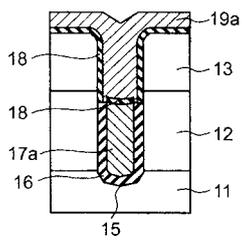
【図8】



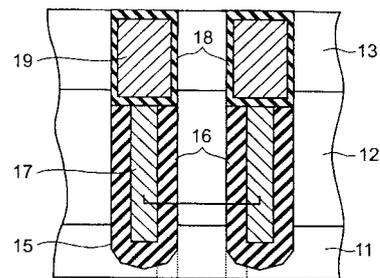
【図11】



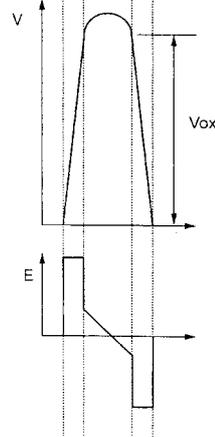
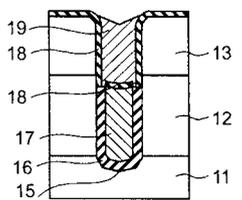
【図12】



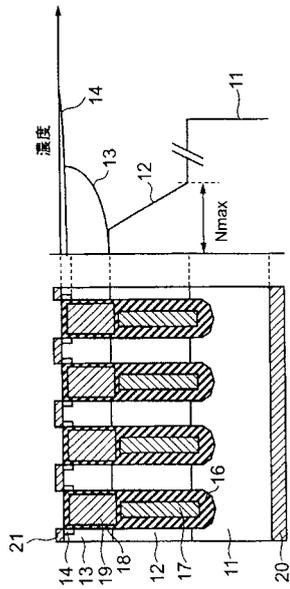
【図14】



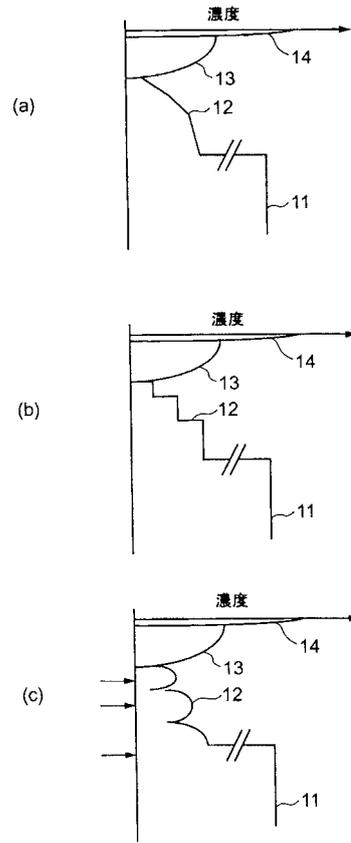
【図13】



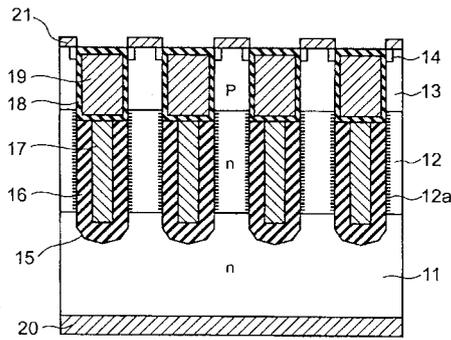
【図15】



【図16】

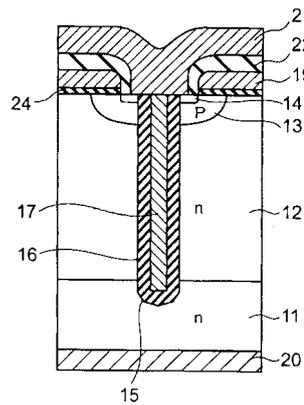


【図17】

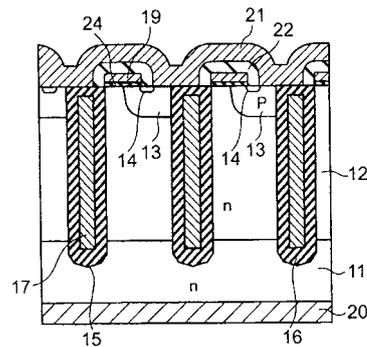


12a...ドリフト層の高濃度領域

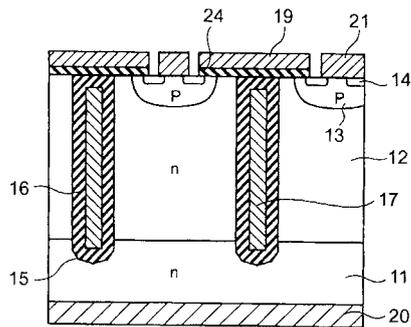
【図19】



【図20】

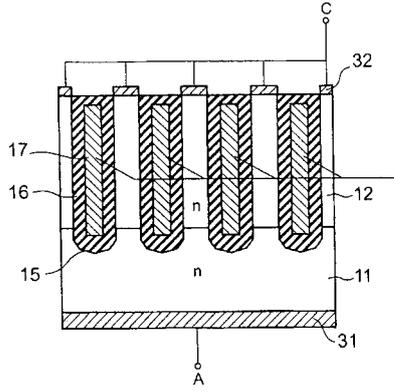


【図18】



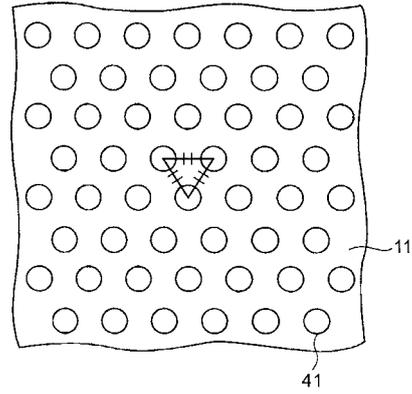
24...ゲート絶縁膜

【図 2 1】



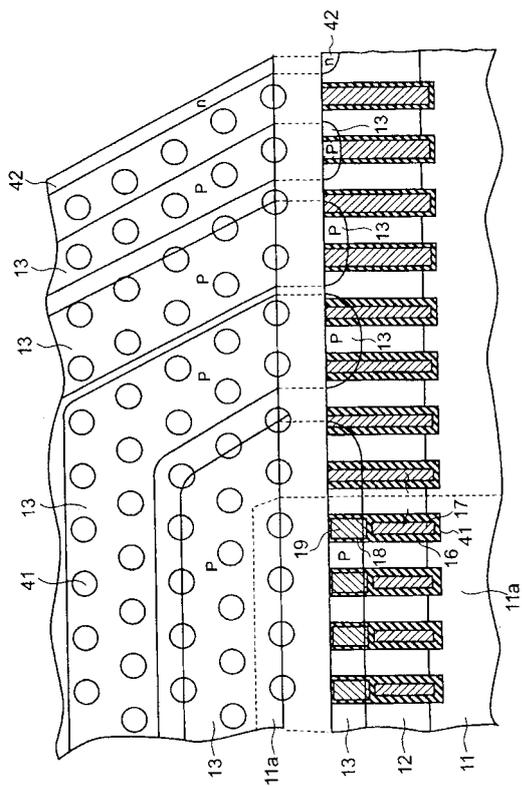
31…アノード電極 32…カソード電極

【図 2 2】



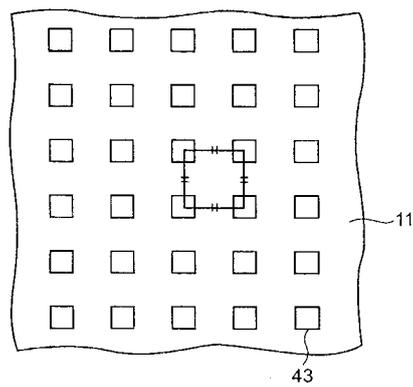
41…円形のトレンチ溝

【図 2 3】



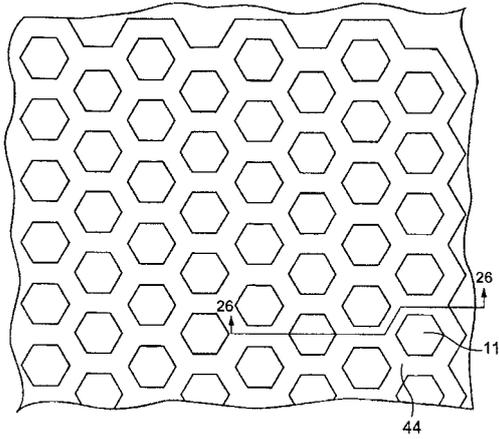
42…n型拡散層

【図 2 4】



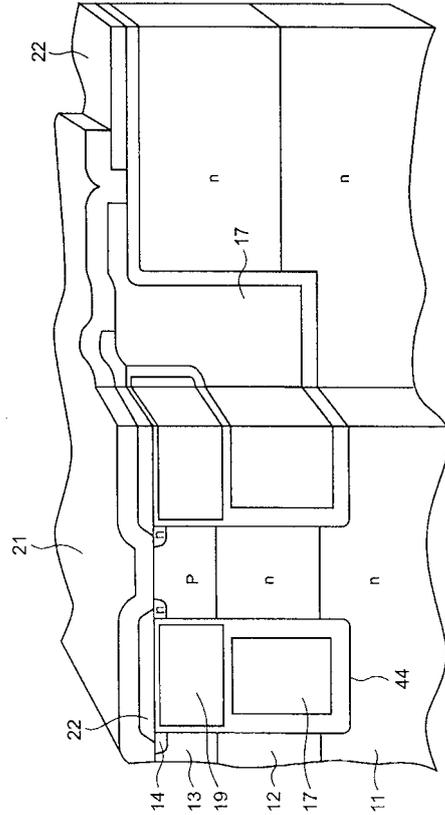
43…四角形状のトレンチ溝

【図25】

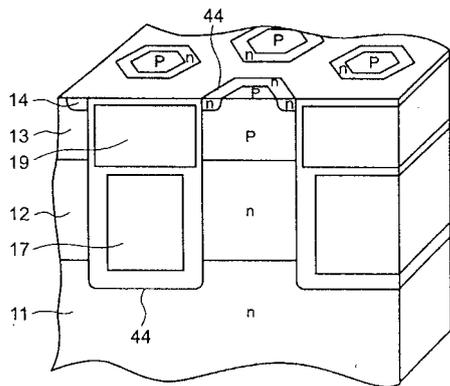


44...六角形状を残したトレンチ溝

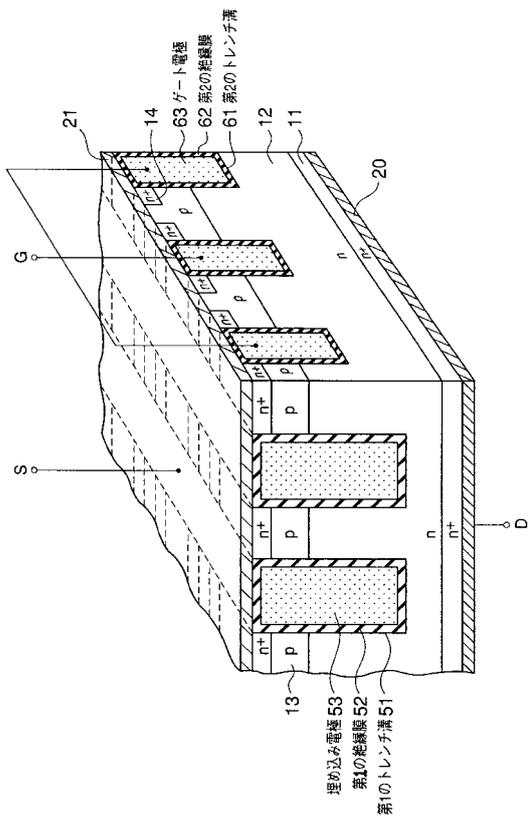
【図26】



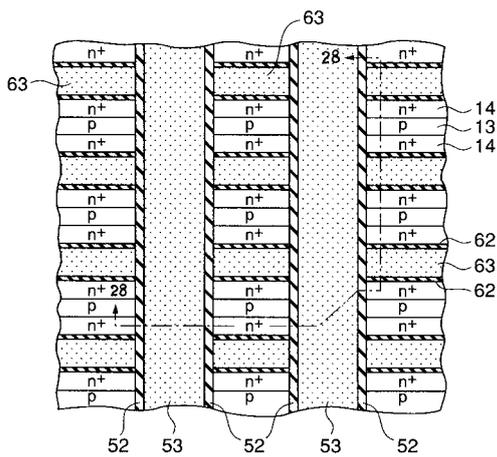
【図27】



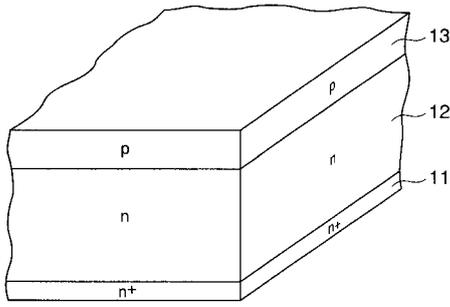
【図29】



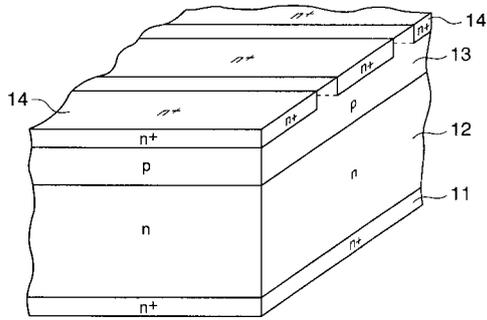
【図28】



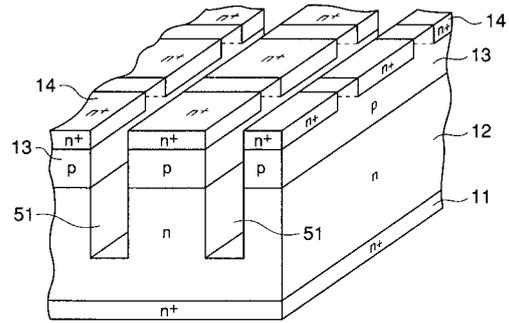
【図30】



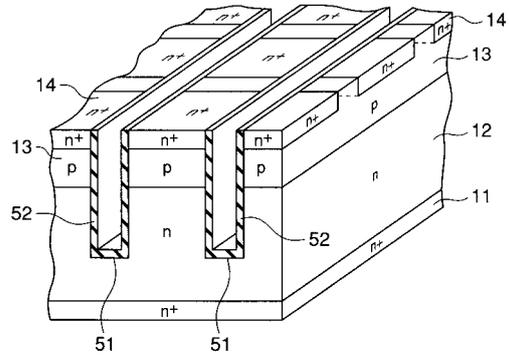
【図31】



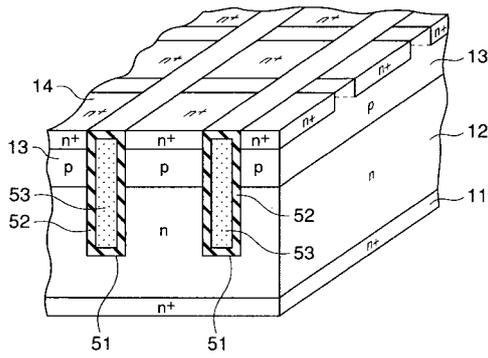
【図32】



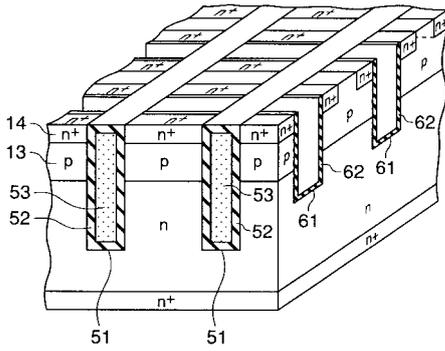
【図33】



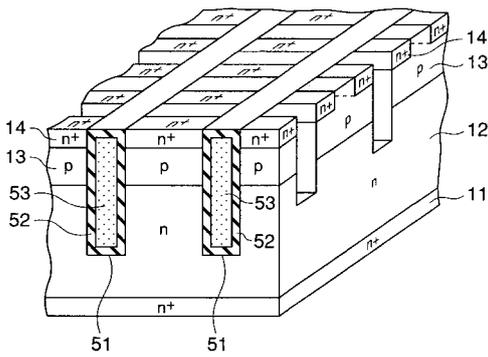
【図34】



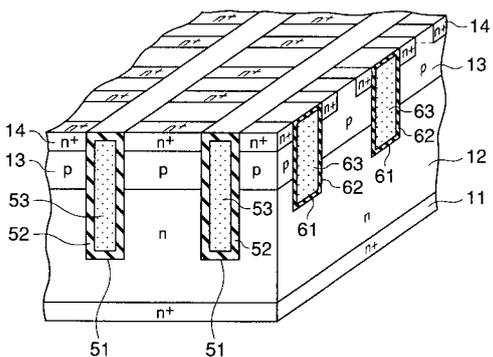
【図36】



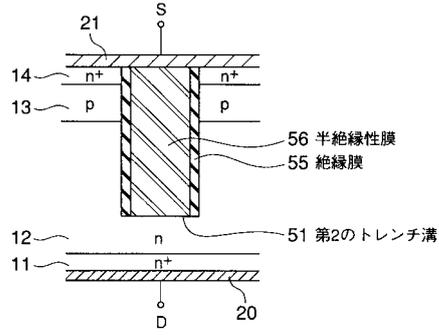
【図35】



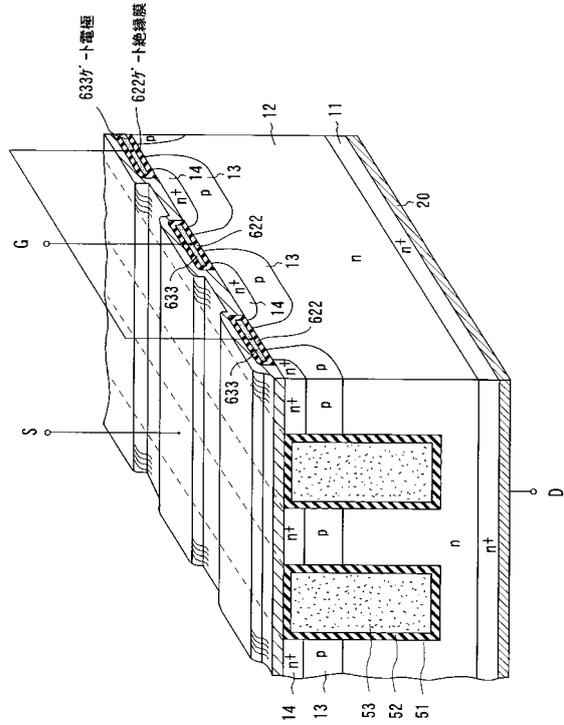
【図37】



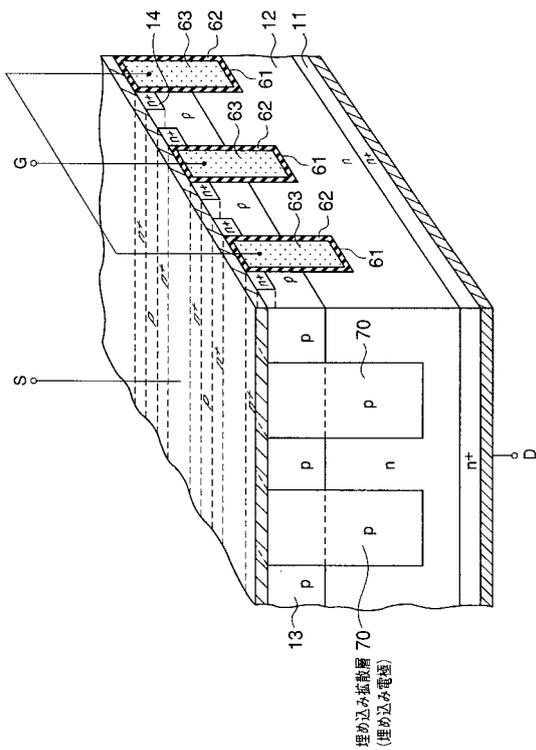
【図38】



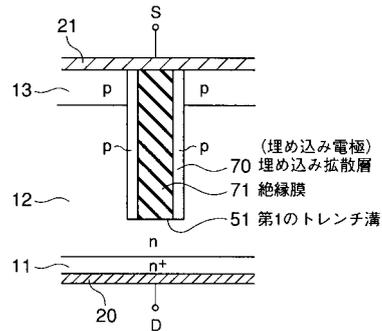
【図39】



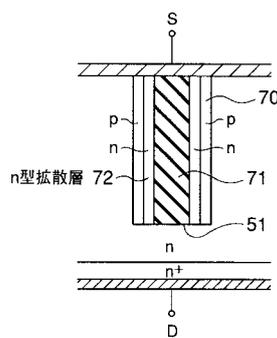
【図40】



【図41】



【図42】





## フロントページの続き

- (72)発明者 齋藤 渉  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 大橋 弘通  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 都鹿野 健一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 斉藤 芳彦  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 原 和秀

- (56)参考文献 特開昭63-296282(JP,A)  
特開平02-144971(JP,A)  
特開平04-229662(JP,A)  
特開平07-122745(JP,A)  
特開平08-167711(JP,A)  
特開平10-173170(JP,A)  
特開平10-290010(JP,A)  
特開平11-040808(JP,A)  
特開2000-156978(JP,A)  
国際公開第00/025365(WO,A1)  
国際公開第00/005767(WO,A1)  
特開2001-044424(JP,A)  
特開2002-026323(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78