



(12) 发明专利

(10) 授权公告号 CN 110498386 B

(45) 授权公告日 2022.09.27

(21) 申请号 201910805150.2

B81C 1/00 (2006.01)

(22) 申请日 2019.08.29

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 110498386 A

US 2001018236 A1, 2001.08.30

CN 103855173 A, 2014.06.11

CN 101964313 A, 2011.02.02

(43) 申请公布日 2019.11.26

US 2008284041 A1, 2008.11.20

(73) 专利权人 深迪半导体(绍兴)有限公司
地址 312030 浙江省绍兴市柯桥区柯桥经
济技术开发区柯北大道487号智能创
新中心5号楼

CN 101587886 A, 2009.11.25

CN 102569194 A, 2012.07.11

CN 101241864 A, 2008.08.13

CN 1551347 A, 2004.12.01

(72) 发明人 邹波

审查员 郭研岐

(74) 专利代理机构 上海剑秋知识产权代理有限
公司 31382

专利代理师 杨飞

(51) Int. Cl.

B81B 7/00 (2006.01)

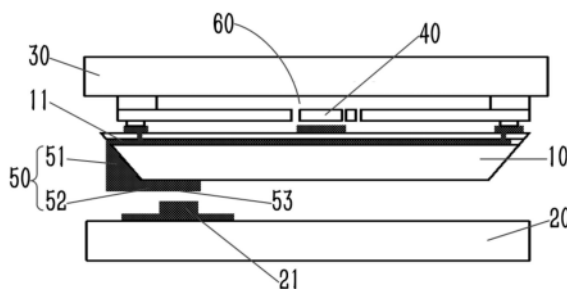
权利要求书1页 说明书9页 附图8页

(54) 发明名称

一种半导体芯片及其加工方法

(57) 摘要

本发明提供了一种半导体芯片及其加工方法,所述半导体芯片包括第一晶片,所述第一晶片设置有第一导电层,所述第一导电层延伸至所述第一晶片的边缘;所述半导体芯片还包括第二导电层,所述第二导电层与所述第一导电层相连接,所述第二导电层沿所述第一晶片的侧壁延伸至所述第一晶片的背面。



1. 一种半导体芯片的加工方法,其特征在于,包括第一晶圆,所述第一晶圆限定了划片区域;

所述第一晶圆设置有第一导电层,所述第一导电层延伸至所述划片区域;

从所述第一晶圆的背面沿所述划片区域对所述第一晶圆实施第一次切割,切割至所述第一导电层外露且不切断所述第一晶圆,从而形成切口;

淀积电介质层;

去除所述切口内的所述第一导电层上的所述电介质层,以使所述切口内的所述第一导电层外露;

电镀金属填充所述切口;

对所述第一晶圆的背面进行平坦化,使所述切口内保留金属填充而将所述第一晶圆的背面其余区域的金属去除;

电镀并图案化金属,从而形成切口外金属区,所述切口外金属区与填充所述切口的金属相连接并延伸至所述第一晶圆的背面;

从所述第一晶圆的背面沿所述划片区域对所述第一晶圆实施第二次切割,将所述第一晶圆切断。

2. 一种半导体芯片的加工方法,其特征在于,包括第一晶圆,所述第一晶圆限定了划片区域;

所述第一晶圆设置有第一导电层,所述第一导电层延伸至所述划片区域;

从所述第一晶圆的背面沿所述划片区域对所述第一晶圆实施第一次切割,切割至所述第一导电层外露且不切断所述第一晶圆,从而形成切口;

淀积电介质层;

去除所述切口内的所述第一导电层上的所述电介质层,以使所述切口内的所述第一导电层外露;

在所述第一晶圆的背面溅射金属层;

在所述第一晶圆的背面制作硬掩模,所述硬掩模限定了第二导电层图案;

在所述第一晶圆的背面电镀金属并进行平坦化,直至去除所述第二导电层图案外在所述硬掩模上的金属;

去除所述硬掩模;

在所述第一晶圆的背面进行金属刻蚀,直至去除所述第二导电层图案外的金属,从而形成与所述第一导电层相连接的第二导电层,所述第二导电层延伸至所述第一晶圆的背面;

从所述第一晶圆的背面沿所述划片区域对所述第一晶圆实施第二次切割,将所述第一晶圆切断。

3. 如权利要求1或2所述的加工方法,其特征在于,所述第一晶圆的正面还依次层叠设置有敏感元件层和第三晶圆,所述第二次切割也将所述敏感元件层和所述第三晶圆切断。

一种半导体芯片及其加工方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种半导体芯片及其加工方法。

背景技术

[0002] MEMS (Micro Electro Mechanical System,微机电系统) 器件由于其体积小、成本低、集成性好等特点,已得以越来越广泛的应用在如消费电子、医疗、汽车等产品中。常见的MEMS器件包括但不限于压力传感器、磁传感器、麦克风、加速度计、陀螺仪、红外传感器等。

[0003] 在晶圆制作完毕要进行封装时,裸晶在封装需要打线进行电性的连结。为了要实现此目的,如图1所示,现有的一种封装结构包括裸晶一(通常为ASIC)和裸晶二(通常为惯性传感器,图1中由多层晶片键合组成),裸晶一和裸晶二都需要预留电性连接的接点(PAD),通过金属走线将裸晶一和裸晶二上相应的PAD进行电性连接。

[0004] 在MEMS惯性感测模块中,最常见的方式即如上述这种在组件的外侧制作用于打线的PAD,再通过金属走线进行连接,其不足之处在于,制作PAD使得芯片封装的面积变大。因此,为了降低芯片封装的面积,一些其它的技术被开发和应用,例如硅穿孔(TSV, Through Silicon Via)工艺,在形成TSV后,再利用穿越硅片厚度的导线(或者是硅本身)作为走线,将PAD引导至裸晶二的背面,当PAD被引导至裸晶二背面时,则可利用覆晶(Flip chip)工艺将裸晶一和裸晶二进行电性连接,形成封装结构,如图2所示,藉此可降低整体封装后的模块面积。

[0005] 上述通过TSV将PAD引导至背面的方式虽然能有效地降低芯片封装面积,然而TSV工艺的技术门槛高,需要多道光罩,并且硅蚀刻的工艺时间长,从而使得整个工艺的实现难度和成本均较高。

发明内容

[0006] 鉴于现有技术中的不足,本发明提供一种半导体芯片,包括第一晶片,所述第一晶片设置有第一导电层,所述第一导电层延伸至所述第一晶片的边缘;所述半导体芯片还包括第二导电层,所述第二导电层与所述第一导电层相连接,所述第二导电层沿所述第一晶片的侧壁延伸至所述第一晶片的背面。

[0007] 进一步地,在所述第二导电层上限定电性接点区域。

[0008] 进一步地,所述第二导电层包括沿所述第一晶片的侧壁延伸的第一延伸部,以及沿所述第一晶片的背面延伸的第二延伸部,在所述第二延伸部上限制了所述电性接点区域。

[0009] 进一步地,所述半导体芯片还包括第二晶片,所述第二晶片的表面设置有电性接点,所述电性接点与所述电性接点区域相配合,将所述第二晶片与所述第一晶片电连接。

[0010] 进一步地,所述第二晶片和所述第一晶片通过覆晶工艺实现电连接。

[0011] 进一步地,所述半导体芯片还包括第三晶片,所述第三晶片与所述第一晶片层叠设置,两者相配合限定了腔体,所述腔体内设置有敏感元件。

[0012] 本发明还提供了一种半导体芯片,包括第一晶片和第三晶片,所述第一晶片与所述第三晶片层叠设置,所述第一晶片设置有第一导电层,所述第一导电层延伸至所述第一晶片的边缘;所述半导体芯片还包括第二导电层,所述第二导电层与所述第一导电层相连接,所述第二导电层沿所述第三晶片的侧壁延伸至所述第三晶片的外表面。

[0013] 本发明还提供了一种半导体芯片的加工方法,包括第一晶圆,所述第一晶圆限定了划片区域;

[0014] 所述第一晶圆设置有第一导电层,所述第一导电层延伸至所述划片区域;

[0015] 从所述第一晶圆的背面沿所述划片区域对所述第一晶圆实施第一次切割,切割至所述第一导电层外露且不切断所述第一晶圆;

[0016] 形成与所述第一导电层相连接的第二导电层,所述第二导电层延伸至所述第一晶圆的背面。

[0017] 进一步地,在所述第二导电层完成后,从所述第一晶圆的背面沿所述划片区域对所述第一晶圆实施第二次切割,将所述第一晶圆切断。

[0018] 进一步地,所述第一晶圆的正面还层叠设置有第三晶圆层,所述第二次切割也将所述第三晶圆切断。

[0019] 进一步地,所述第一次切割和/或所述第二次切割采用刀片切割和/或激光切割。

[0020] 本发明还提供了一种半导体芯片的加工方法,包括第一晶圆和第三晶圆,所述第一晶圆与所述第三晶圆层叠设置,所述第一晶圆限定了划片区域;

[0021] 所述第一晶圆设置有第一导电层,所述第一导电层延伸至所述划片区域;

[0022] 从所述第三晶圆的外表面沿所述划片区域对所述第三晶圆和所述第一晶圆实施第一次切割,切割至所述第一导电层外露且不切断所述第一晶圆;

[0023] 形成与所述第一导电层相连接的第二导电层,所述第二导电层延伸至所述第三晶圆的外表面。

[0024] 进一步地,在所述第二导电层完成后,从所述第三晶圆的外表面沿所述划片区域对所述第三晶圆和所述第一晶圆实施第二次切割,直至将所述第一晶圆切断。

[0025] 进一步地,所述第一次切割和/或所述第二次切割采用刀片切割和/或激光切割。

[0026] 技术效果:

[0027] 本发明的半导体芯片及其加工方法,相比于现有技术,工艺简单、难度低、工艺窗口宽,利用常规工艺手段即可实现,并且加工时间相比于现有也大为缩短,适用性广可以兼容于目前的3D封装工艺中。

[0028] 以下将结合附图对本发明的构思、具体结构及产生的技术效果作进一步说明,以充分地了解本发明的目的、特征和效果。

附图说明

[0029] 图1是一种现有的芯片封装结构示意图;

[0030] 图2是另一种现有的芯片封装结构示意图;

[0031] 图3是本发明的一个较佳实施例的结构示意图;

[0032] 图4至图17是本发明的一个较佳实施例中加工过程中各结构示意图,其中图4、图5、图7、图9~图17是剖面结构示意图,图6和图8是第一晶圆100的背面局部正视图;

[0033] 图18是本发明的另一个较佳实施例的结构示意图；

[0034] 图19至图22是本发明的另一个较佳实施例中加工过程中各结构示意图。

具体实施方式

[0035] 在本发明的实施方式的描述中,需要理解的是,术语“上”、“下”、“前”、“后”、“左”、“右”、“垂直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对发明的限制。附图为原理图或者概念图,各部分厚度与宽度之间的关系,以及各部分之间的比例关系等等,与其实际值并非完全一致。

[0036] 实施例一

[0037] 如图3所示,本实施例的芯片结构中包括第一晶片10、第二晶片20、第三晶片30、敏感元件40,其中第一晶片10与第三晶片30层叠设置,两者相配合限定了腔体60,敏感元件40被设置与腔体60中。在一些实施例中,敏感元件40所在的晶片分别与位于其两侧的第一晶片10和第三晶片30键合,从而使敏感元件40被设置在由第一晶片10和第三晶片30所限定的腔体60中;在某一些实施例中,敏感元件40所在的晶片只与第一晶片10键合,第一晶片10与第三晶片30键合,从而使敏感元件40被设置在由第一晶片10和第三晶片30所限定的腔体60中。

[0038] 第一晶片10设置有第一导电层11,第一导电层11延伸至第一晶片10的边缘,第一导电层11用于作为第一晶片10的电信号引线来与第二晶片20实现电连接,作用类似于图1中的PAD。本实施例中第一导电层11通过第一晶片10制程工艺中的金属工艺形成,如金属Cu。

[0039] 本实施例的芯片结构还包括第二导电层50,第二导电层50与第一导电层11相连接,第二导电层50沿第一晶片10的侧壁延伸至第一晶片10的背面,本实施例中第二导电层50通过金属工艺形成,如金属Cu。

[0040] 具体地,第二导电层50包括沿第一晶片10的侧壁延伸的第一延伸部51,以及沿第一晶片10的背面延伸的第二延伸部52,第一延伸部51分别与第一导电层11和第二延伸部52相连接。

[0041] 第二晶片20的表面设置有电性接点21,用于与第一晶片10的引线连接,具体地是要与第一导电层11形成电连接。第二延伸部52的覆盖区域与电性接点21的位置相配合,即在第二延伸部52上限定了电性接点区域53,电性接点21与电性接点区域53相配合,通过电性接点21与电性接点区域53的连接,使得电性接点21与第一晶片10的第一导电层11也形成电连接,从而实现第二晶片20与第一晶片10的电连接,具体地是使两晶片间信号互连。本实施例中,采用覆晶工艺实现第一晶片10和第二晶片20的电连接,覆晶工艺中使电性接点21与电性接点区域53形成电连接。

[0042] 如前所述,第一导电层11用于作为第一晶片10的电信号引线来与第二晶片20实现电连接,作用类似于图1中的PAD,但其结构与图1中的PAD是有区别的。对于PAD来说,其后续需要打线连接,所以PAD必须是暴露于晶片的表面;而第一导电层11是通过延伸至第一晶片10来与第二导电层50连接,继而通过第二导电层50电性接点区域53的与第二晶片20的电性

接点21的连接,实现了与电性接点21的电连接,所以从结构上来说,其不必如PAD一样暴露于第一晶片10的表面,即不必打开PAD的窗口,而是处于介质层(如钝化层)下。

[0043] 另一方面,图1中示出了一对通过打线连接的PAD,在实际应用中,类似的PAD可能会有多对,每对PAD均通过打线进行连接。对于本实施例的芯片结构来说,第一导电层11也可以是相互间隔设置的若干条导线,分别都延伸到第一晶片10的边沿;相应地,第二导电层50具有与第一导电层11相配合的若干条相互间隔的导线,并分别与第一导电层11中对应的导线连接;相应地,第二晶片20也有若干用于互连的电性接点21,分别与第二导电层50中对应的导线连接,具体地是与各导线分别限定的电性接点区域相连接,从而使第一导电层11中的各导线分别与第二晶片20上对应的电性接点21形成电连接,即实现第一晶片10与第二晶片20的多引脚对接。

[0044] 图3的芯片结构中将第二导电层50制作于第一晶片10的左侧边缘(基于图3的视角),在另一些实施里中,第二导电层50也可制作于第一晶片10的右侧边缘,或是第一晶片10的两侧边缘。

[0045] 以下对本实施例中芯片结构的制作工艺做进一步说明。

[0046] 图4是根据现有工艺完成的多层晶圆,其中包括依次层叠设置的第一晶圆100、敏感元件层400和第三晶圆300,在一些实施例中,敏感元件层400分别与第三晶圆300和第一晶圆100键合连接,从而形成多层结构。晶圆平面上分布有若干相同的器件单元(Die),经切片后将各器件单元进行后续的封装工艺,各器件单元通过划片槽进行分隔,图4中示出了某一方向的划片槽700。第一晶圆100上已制备第一导电层11,本实施例中第一导电层11采用金属膜层,如金属Cu,第一导电层11延伸至划片槽700,本实施例中第一导电层11连续地穿过划片槽700所在区域。在图4结构的基础上继续执行以下工艺步骤:

[0047] 步骤1、在图4结构完成后,从第一晶圆100的背面沿划片槽700对第一晶圆100实施第一次切割,切割至第一导电层11外露且不切断第一晶圆100,形成切口800,如图5和图6所示,图6是第一晶圆100的背面局部正视图,其中示出了第一导电层11具有三条间隔设置的导线。

[0048] 步骤2、形成与第一导电层11相连接的第二导电层50,第二导电层50延伸至第一晶圆100的背面,如图7和图8所示,其中图8是第一晶圆100的背面局部正视图,此处填充于切口800内的即第二导电层50的第一延伸部51,覆盖在第一晶圆100背面的即第二导电层50的第二延伸部52。

[0049] 步骤3、在第二导电层50完成后,从第一晶圆100的背面沿划片槽700对第一晶圆100实施第二次切割,此次切割也要使第三晶圆300被切断,即传统意义上的芯片分割,形成各个被切割开的器件单元,如图9所示。

[0050] 在后续加工中,再将上述切割下来的器件单元与第二晶片20通过覆晶工艺进行电连接,形成如图3所示的芯片结构。

[0051] 上述的第一次切割需要对第一晶圆100切割至预定深度,以使第一导电层11暴露出来,对于切割的工艺精度可能会产生一定波动,可能的情况包括:

[0052] (1) 第一导电层11未暴露,其上仍残留介质层;

[0053] (2) 第一导电层11暴露出来,但有厚度上一些轻微损失;

[0054] (3) 第一导电层11暴露出来,但有厚度上有较大损失;

[0055] (4) 第一导电层11被完全切断。

[0056] 从工艺设计来说,情况(2)是最优工艺结果(第一导电层11暴露且完全没有损失仅仅是理想情况);但如果是情况(1)也仍可以通过一些刻蚀工艺来去除第一导电层11上残留的介质层;情况(3)和(4)类似,即切口800中的第一导电层11已所剩无几或完全损失,但即使是这样,鉴于后续的金属工艺(用于形成第二导电层50)仍会填充金属于切口800内,这样就可以确保填充的金属与切口800侧壁处的第一导电层11的相连接。可见,第一次切割工艺的工艺窗口是较大的。

[0057] 本实施例中的芯片切割采用刀片切割或激光切割。

[0058] 对于上述步骤2中的第二导电层50的形成,以下做进一步说明,其包括以下步骤:

[0059] 步骤2.1、切口800形成并清洗后,淀积电介质层(如 SiO_2),用于隔离切口800的侧壁,在某些工艺中第一晶圆100的背面可能也需要该电介质层进行隔离;

[0060] 步骤2.2、通过光刻/刻蚀工艺去除切口800内第一导电层11上的电介质层,使切口800内的第一导电层11外露;

[0061] 步骤2.3、电镀金属Cu,填充切口800;

[0062] 步骤2.4、对第一晶圆100背面通过CMP(化学机械抛光)进行平坦化,使切口800内保留Cu填充,第一晶圆100背面其余区域的Cu被去除;

[0063] 步骤2.5、电镀金属Cu;

[0064] 步骤2.6、通过光刻/刻蚀工艺,将金属图案化,形成如图7和图8所示的结构。

[0065] 以上工艺中由于采用了金属Cu将切口800填充满,由于电镀铜与硅热膨胀系数不同,因此容易产生较大的应力。该问题同样会出现背景技术中所述的采用TSV的工艺中(TSV内一般也会填充满金属),相比于TSV的结构和位置,切口800位于划片槽700区域,一般划片槽距离器件内的有效管芯有一定距离,并且划片槽相对来说宽度较大,从而使切口800有更多的工艺余量来远离有效管芯。但对于这个问题,仍可以通过相关工艺来进一步改进,如在上述步骤2.1淀积电介质前,先淀积一层应力补偿材料,如SiGe,以抵消后续因金属填充所引入的应力。

[0066] 如前所述,对于图3的芯片结构,如果第一导电层11是相互间隔设置的若干条导线(如图6所示第一导电层11具有三条导线),那么第二导电层50也需要具有与第一导电层11相配合的若干条相互间隔的导线,以分别与第一导电层11中对应的导线连接。那么在上述步骤2.6的金属刻蚀时,就需要对填充在切口800内的金属也进行刻蚀,从而形成第二导电层50中相互间隔设置的若干导线,由于切口800内的金属是填充满的,所以该步金属刻蚀会相对比较复杂。

[0067] 鉴于对以上问题的优化,对于上述步骤2中的第二导电层50的形成,提供另一种加工工艺,其包括以下步骤:

[0068] 步骤2.1a、切口800形成并清洗后,淀积电介质层(如 SiO_2),用于隔离切口800的侧壁,在某些工艺中第一晶圆100的背面可能也需要该电介质层进行隔离;

[0069] 步骤2.2a、通过光刻/刻蚀工艺去除切口800内第一导电层11上的电介质层,使切口800内的第一导电层11外露;

[0070] 步骤2.3a、按预定厚度电镀金属Cu,该步不需要填充满切口800,只需在切口800的底部和侧壁形成一定厚度的金属;

[0071] 步骤2.4a、通过光刻/刻蚀工艺,将金属图案化,形成如图10所示的结构。

[0072] 上述工艺中也可以如前所述的,增加应力补偿材料来抵消金属所引入的应力。

[0073] 鉴于目前一些制程工艺中对于厚度较厚的金属Cu的刻蚀存在一定难度,针对该问题以下提供一种形成第二导电层50的更优化的加工工艺,其包括以下步骤:

[0074] 步骤2.1b、切口800形成并清洗后,淀积介质层501,本实施例中淀积介质层501为Polyimide(聚酰亚胺),如图11所示;

[0075] 步骤2.2b、通过光刻/刻蚀工艺去除切口800内第一导电层11上的Polyimide,使切口800内的第一导电层11外露,如图12所示;

[0076] 步骤2.3b、溅射薄金属层502覆盖介质层501,本实施例中薄金属层502为Ti/Cu或TiW/Cu,如图13所示;

[0077] 步骤2.4b、制作硬掩模503,第二导电层50的图案由硬掩模503的图案区(具体是窗口打开的区域)限定,如图14所示。

[0078] 步骤2.5b、按预定厚度电镀金属Cu,再CMP进行平坦化,从而在硬掩模503打开的区域形成厚金属层504,如图15所示;

[0079] 步骤2.6b、去除硬掩模503,从而第一晶圆100的背面形成有厚金属区域(硬掩模503打开的区域)和薄金属区域(硬掩模503覆盖的区域),如图16所示;

[0080] 步骤2.7b、对第一晶圆100的背面的金属层进行刻蚀,直至刻净薄金属区域的金属,如图17所示,从而保留的厚金属层504(具体还包括位于其下的薄金属层)即第二导电层50。

[0081] 上述工艺中薄金属层和厚金属层的厚度差异较大(前者可以只有数百埃,后者可以是数千埃),从而可以在薄金属区域的金属被刻净时,厚金属区域仍可保留足够厚度的金属层,刻蚀工艺中仅仅需要刻蚀掉几百埃的金属Cu,极大地降低了工艺难度。

[0082] 实施例二

[0083] 如图18所示,本实施例的芯片结构中包括第一晶片10、第二晶片20、第三晶片30、敏感元件40,其中第一晶片10与第三晶片30层叠设置,两者相配合限定了腔体60,敏感元件40被设置与腔体60中。在一些实施例中,敏感元件40所在的晶片分别与位于其两侧的第一晶片10和第三晶片30键合,从而使敏感元件40被设置在由第一晶片10和第三晶片30所限定的腔体60中;在某一些实施例中,敏感元件40所在的晶片只与第一晶片10键合,第一晶片10与第三晶片30键合,从而使敏感元件40被设置在由第一晶片10和第三晶片30所限定的腔体60中。

[0084] 第一晶片10设置有第一导电层11,第一导电层11延伸至第一晶片10的边缘,第一导电层11用于作为第一晶片10的电信号引线来与第二晶片20实现电连接,作用类似于图1中的PAD。本实施例中第一导电层11通过第一晶片10制程工艺中的金属工艺形成,如金属Cu。

[0085] 本实施例的芯片结构还包括第二导电层50,第二导电层50与第一导电层11相连接,第二导电层50沿第三晶片30的侧壁延伸至第三晶片30的外表面,本实施例中第二导电层50通过金属工艺形成,如金属Cu。

[0086] 具体地,第二导电层50包括沿第三晶片30的侧壁延伸的第一延伸部51,以及沿第三晶片30的外表面延伸的第二延伸部52,第一延伸部51分别与第一导电层11和第二延伸部

52相连接。

[0087] 第二晶片20的表面设置有电性接点21,用于与第一晶片10的引线连接,具体地是要与第一导电层11形成电连接。第二延伸部52的覆盖区域与电性接点21的位置相配合,即在第二延伸部52上限定了电性接点区域53,电性接点21与电性接点区域53相配合,通过电性接点21与电性接点区域53的连接,使得电性接点21与第一晶片10的第一导电层11也形成电连接,从而实现第二晶片20与第一晶片10的电连接,具体地是使两晶片间信号互连。本实施例中,采用覆晶工艺实现第一晶片10和第二晶片20的电连接,此时第二晶片20被设置在靠近第三晶片30的一侧,覆晶工艺中使电性接点21与电性接点区域53形成电连接。

[0088] 如前所述,第一导电层11用于作为第一晶片10的电信号引线来与第二晶片20实现电连接,作用类似于图1中的PAD,但其结构与图1中的PAD是有区别的。对于PAD来说,其后续需要打线连接,所以PAD必须是暴露于晶片的表面;而第一导电层11是通过延伸至第一晶片10来与第二导电层50连接,继而通过第二导电层50电性接点区域53的与第二晶片20的电性接点21的连接,实现了与电性接点21的电连接,所以从结构上来说,其不必一定像PAD一样需要暴露于第一晶片10的表面,即不必打开PAD的窗口,而是处于介质层(如钝化层)下;但是第一导电层11即使暴露于第一晶片10的表面,对于本实施例的结构来说也是可行的。

[0089] 另一方面,图1中示出了一对通过打线连接的PAD,在实际应用中,类似的PAD可能会有多对,每对PAD均通过打线进行连接。对于本实施例的芯片结构来说,第一导电层11也可以是相互间隔设置的若干条导线,分别都延伸到第一晶片10的边沿;相应地,第二导电层50具有与第一导电层11相配合的若干条相互间隔的导线,并分别与第一导电层11中对应的导线连接;相应地,第二晶片20也有若干用于互连的电性接点21,分别与第二导电层50中对应的导线连接,具体地是与各导线分别限定的电性接点区域相连接,从而使第一导电层11中的各导线分别与第二晶片20上对应的电性接点21形成电连接,即实现第一晶片10与第二晶片20的多引脚对接。

[0090] 图18的芯片结构中将第二导电层50制作于第三晶片30的左侧边缘(基于图9的视角),在另一些实施里中,第二导电层50也可制作于第三晶片30的右侧边缘,或是第三晶片30的两侧边缘。

[0091] 以下对本实施例中芯片结构的制作工艺做进一步说明。

[0092] 图4是根据现有工艺完成的多层晶圆,其中包括依次层叠设置的第一晶圆100、敏感元件层400和第三晶圆300,在一些实施例中,敏感元件层400分别与第三晶圆300和第一晶圆100键合连接,从而形成多层结构。晶圆平面上分布有若干相同的器件单元,经划片后将各器件单元进行后续的封装工艺,各器件单元通过划片槽进行分隔,图4中示出了某一方向的划片槽700。第一晶圆100上已制备第一导电层11,本实施例中第一导电层11采用金属膜层,如金属Cu,第一导电层11延伸至划片槽700,本实施例中第一导电层11连续地穿过划片槽700所在区域。在图4结构的基础上继续执行以下工艺步骤:

[0093] 步骤1、在图4结构完成后,从第三晶圆300的外表面沿划片槽700对第三晶圆300和第一晶圆100实施第一次切割,切割至第一导电层11外露且不切断第一晶圆100,形成切口800,如图19所示。

[0094] 步骤2、形成与第一导电层11相连接的第二导电层50,第二导电层50延伸至第三晶圆300的外表面,如图20所示,此处填充于切口800内的即第二导电层50的第一延伸部51,覆

盖在第三晶圆300背面的即第二导电层50的第二延伸部52。

[0095] 步骤3、在第二导电层50完成后,从第三晶圆300的外表面沿划片槽700对第三晶圆300和第一晶圆100实施第二次切割,此次切割也要使第一晶圆100被切断,即传统意义上的芯片分割,形成各个被切割开的器件单元,如图21所示。

[0096] 在后续加工中,再将上述切割下来的器件单元与第二晶片20通过覆晶工艺进行电连接,形成如图18所示的芯片结构。

[0097] 上述的第一次切割需要切割至预定深度,以使第一晶圆100的第一导电层11暴露出来,对于切割的工艺精度可能会产生一定波动,可能的情况包括:

[0098] (1) 第一导电层11未暴露,其上仍残留介质层;

[0099] (2) 第一导电层11暴露出来,但有厚度上一些轻微损失;

[0100] (3) 第一导电层11暴露出来,但有厚度上有较大损失;

[0101] (4) 第一导电层11被完全切断。

[0102] 从工艺设计来说,情况(2)是最优工艺结果(第一导电层11暴露且完全没有损失仅仅是理想情况);但如果是情况(1)也仍可以通过一些刻蚀工艺来去除第一导电层11上残留的介质层;情况(3)和(4)类似,即切口800中的第一导电层11已所剩无几或完全损失,但即使是这样,鉴于后续的金属工艺(用于形成第二导电层50)仍会填充金属于切口800内,这样就可以确保填充的金属与切口800侧壁处的第一导电层11的相连接。可见,第一次切割工艺的工艺窗口是较大的。

[0103] 另一种优化的方式是,将第一导电层11在划片槽700的区域引出至第一晶圆100的表面,或者在划片槽700的区域开一个窗口使第一导电层11露出(即如同PAD那样),这种情况下,第一次切割只需切断第三晶圆300即可,而可以完全不触及第一晶圆100,这样的切割工艺也更容易控制。

[0104] 本实施例中的芯片切割采用刀片切割或激光切割。

[0105] 对于上述步骤2中的第二导电层50的形成,以下做进一步说明,其包括以下步骤:

[0106] 步骤2.1、切口800形成并清洗后,淀积电介质层(如 SiO_2),用于隔离切口800的侧壁,在某些工艺中第三晶圆300的外表面可能也需要该电介质层进行隔离;

[0107] 步骤2.2、通过光刻/刻蚀工艺去除切口800内第一导电层11上的电介质层,使切口800内的第一导电层11外露;

[0108] 步骤2.3、电镀金属Cu,填充切口800;

[0109] 步骤2.4、对第一晶圆100背面通过CMP(化学机械抛光)进行平坦化,使切口800内保留Cu填充,第一晶圆100背面其余区域的Cu被去除;

[0110] 步骤2.5、电镀金属Cu;

[0111] 步骤2.6、通过光刻/刻蚀工艺,将金属图案化,形成如图20所示的结构。

[0112] 如前所述,以上工艺中由于采用了金属Cu将切口800填充满,由于电镀铜与硅热膨胀系数不同,因此容易产生较大的应力。该问题同样会出现背景技术中所述的采用TSV的工艺中(TSV内一般也会填充满金属),对于本实施例的结构,由于第三晶片300上基本不会制作器件,从而金属应力的引入基本不会影响器件性能,这是本实施例相对于实施例一的优势。但仍可以如实施例一一样,通过在上述步骤2.1淀积电介质前,先淀积一层应力补偿材料,如SiGe,以抵消后续因金属填充所引入的应力。

[0113] 如前所述,对于图18的芯片结构,如果第一导电层11是相互间隔设置的若干条导线(如图6所示第一导电层11具有三条导线),那么第二导电层50也需要具有与第一导电层11相配合的若干条相互间隔的导线,以分别与第一导电层11中对应的导线连接。那么在上述步骤2.6的金属刻蚀时,就需要对填充在切口800内的金属也进行刻蚀,从而形成第二导电层50中相互间隔设置的若干导线,由于切口800内的金属是填充满的,所以该步金属刻蚀会相对比较复杂。

[0114] 鉴于对以上问题的优化,对于上述步骤2中的第二导电层50的形成,提供另一种加工工艺,其包括以下步骤:

[0115] 步骤2.1a、切口800形成并清洗后,淀积电介质层(如 SiO_2),用于隔离切口800的侧壁,在某些工艺中第三晶圆300的外表面可能也需要该电介质层进行隔离;

[0116] 步骤2.2a、通过光刻/刻蚀工艺去除切口800内第一导电层11上的电介质层,使切口800内的第一导电层11外露;

[0117] 步骤2.3a、按预定厚度电镀金属Cu,该步不需要填充满切口800,只需在切口800的底部和侧壁形成一定厚度的金属;

[0118] 步骤2.4a、通过光刻/刻蚀工艺,将金属图案化,形成如图22所示的结构。

[0119] 为避免上述工艺中金属刻蚀的工艺难度,同样地,实施例一中步骤2.1b~2.7b的优化工艺也可应用于本实施例的结构中,在此不再赘述。

[0120] 以上各实施例中的技术方案是以MEMS芯片为例,但基于本发明的设计思想其同样也可以被应用于其它芯片的3D封装。

[0121] 以上详细描述了本发明的较佳具体实施例。应当理解,本领域的普通技术人员无需创造性劳动就可以根据本发明的构思作出诸多修改和变化。因此,凡本技术领域中技术人员依本发明的构思在现有技术的基础上通过逻辑分析、推理或者有限的实验可以得到的技术方案,皆应在由权利要求书所确定的保护范围内。

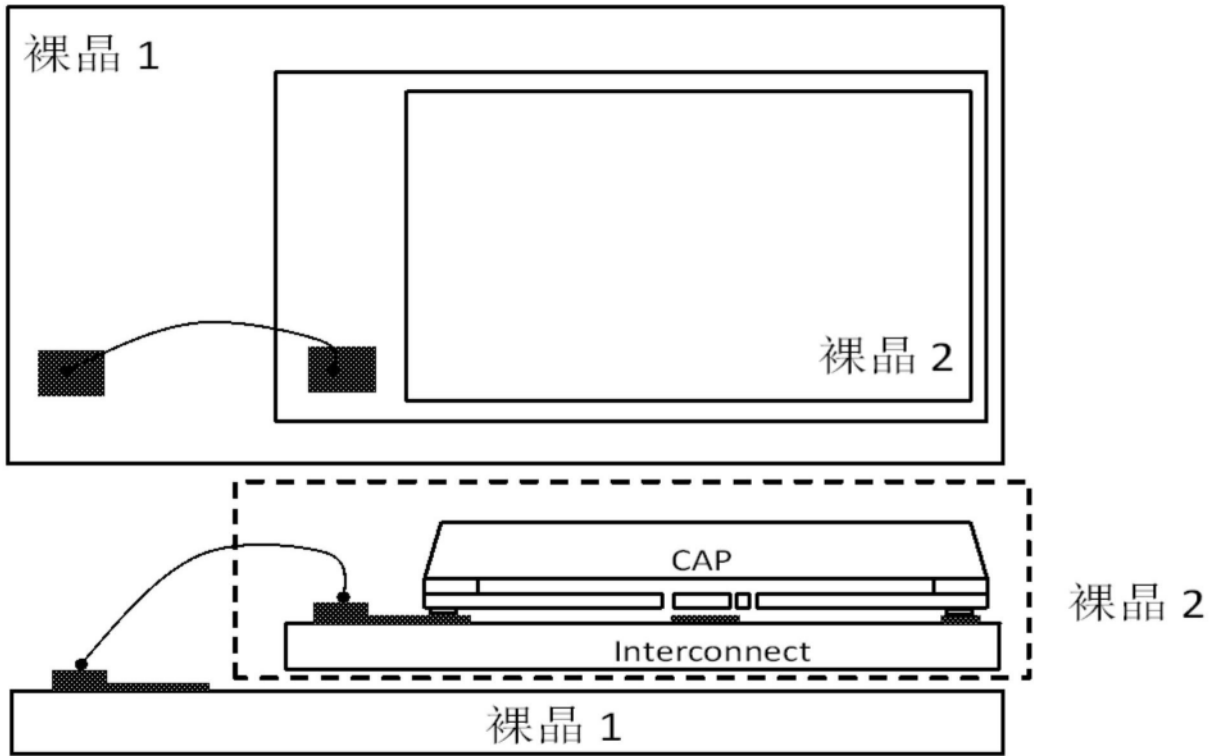


图1

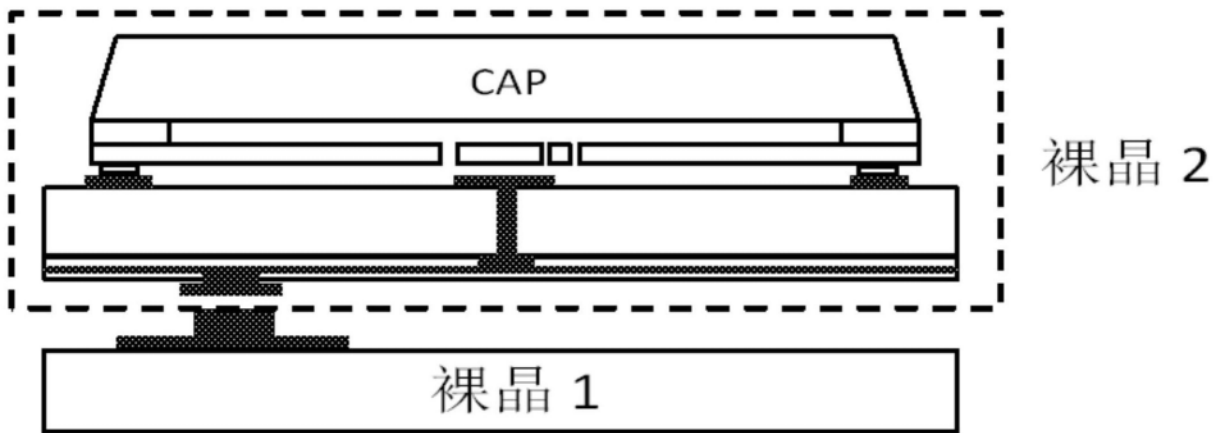


图2

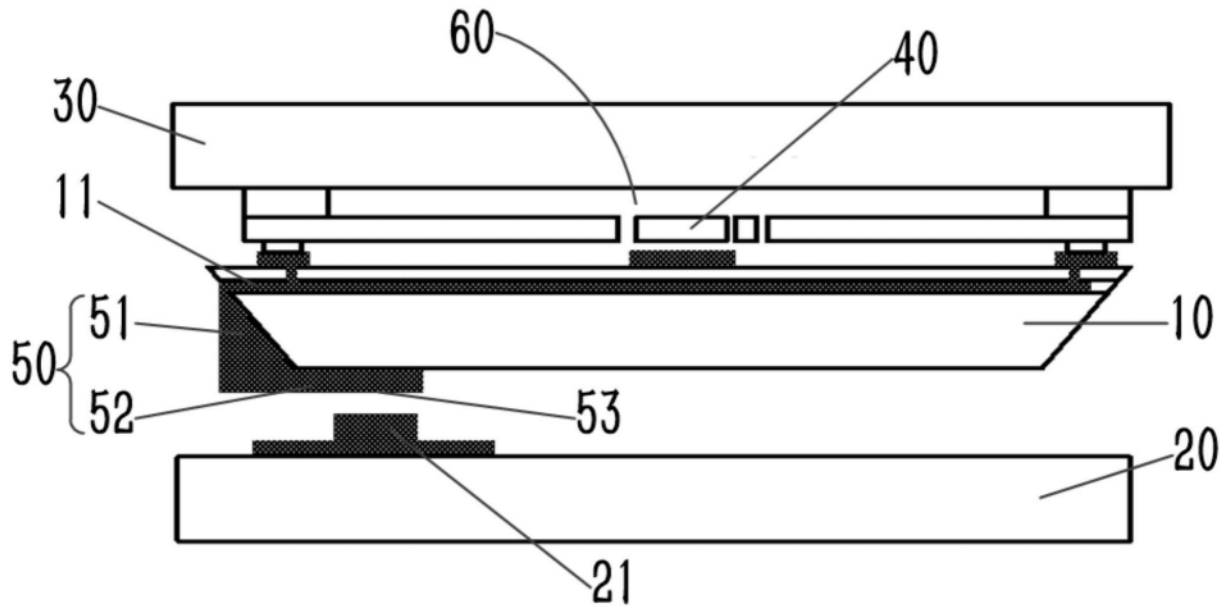


图3

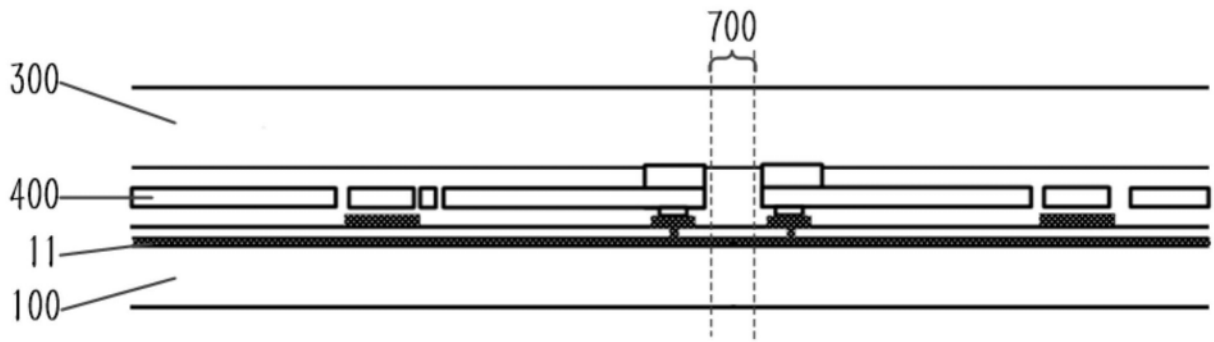


图4

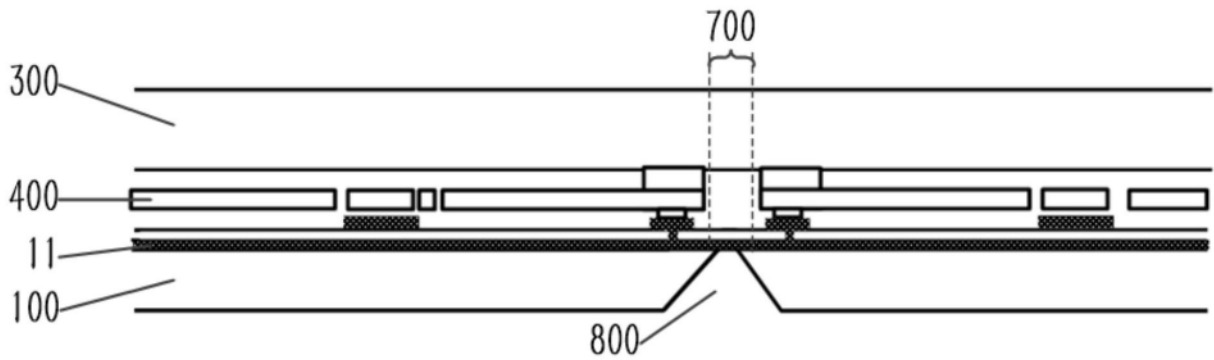


图5

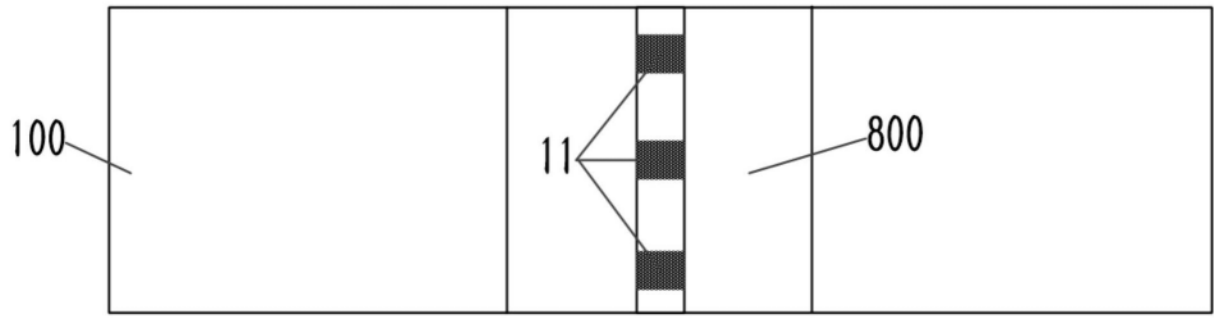


图6

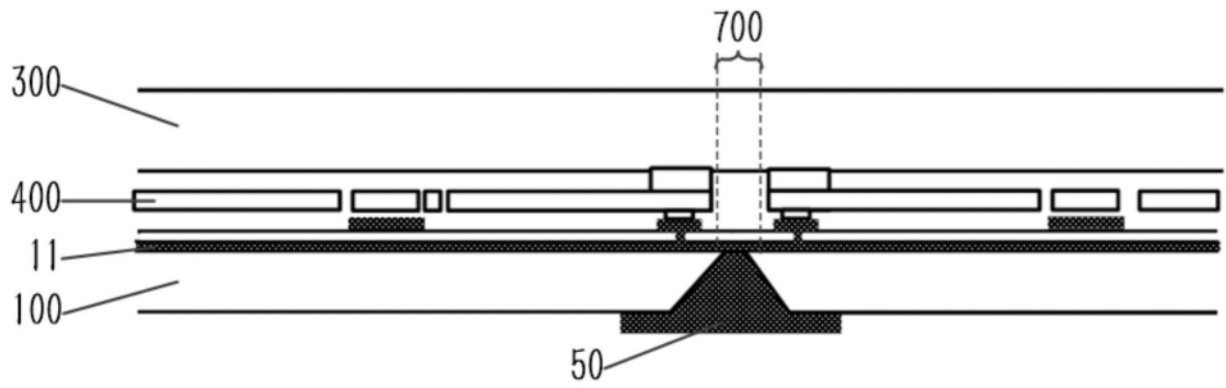


图7

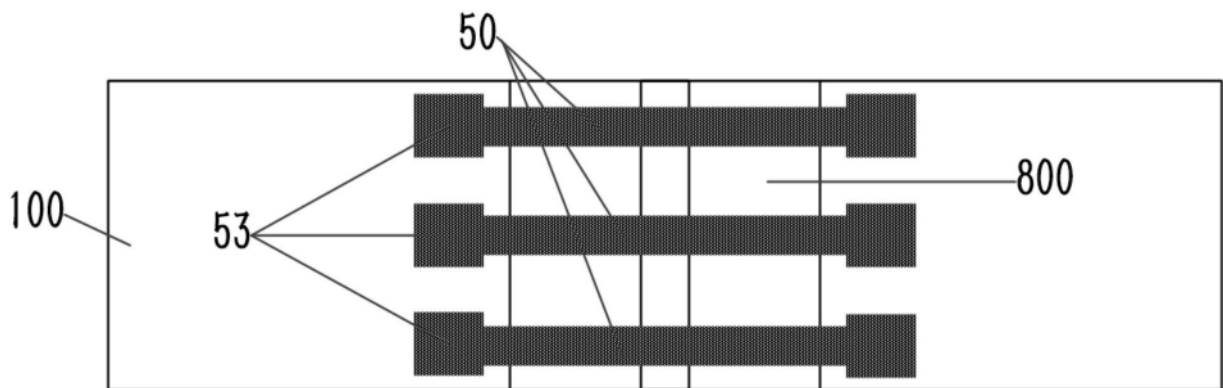


图8

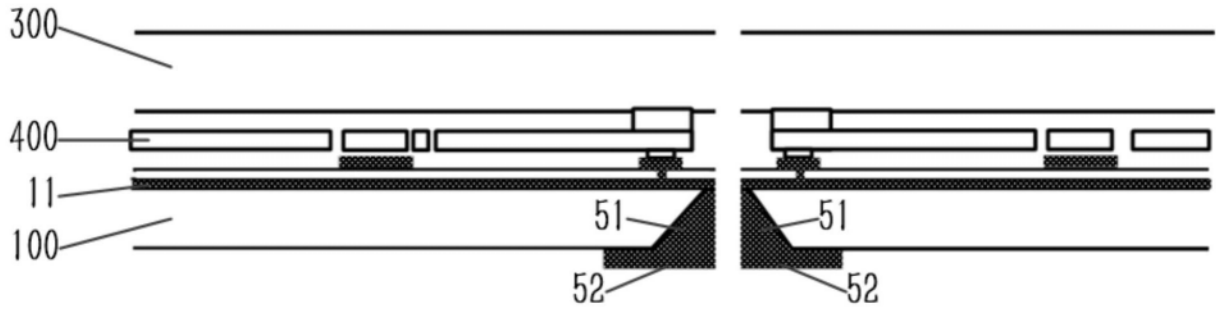


图9

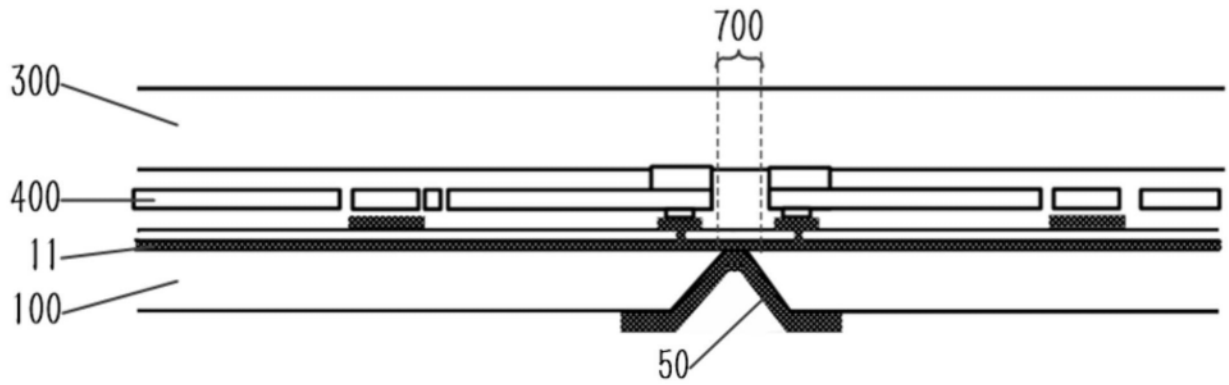


图10

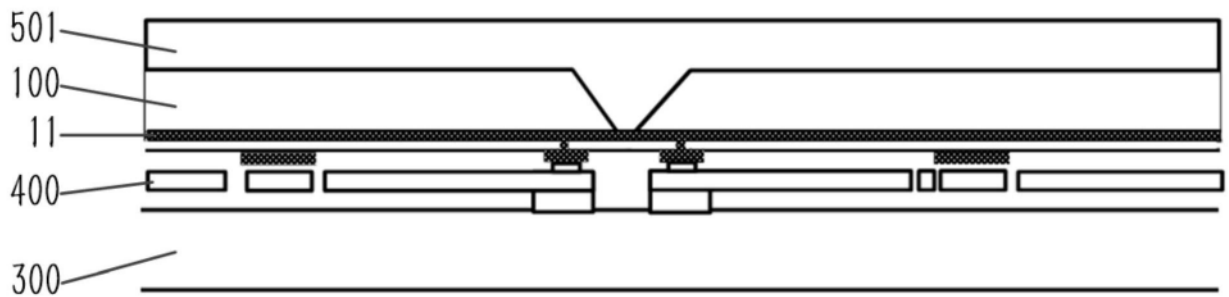


图11

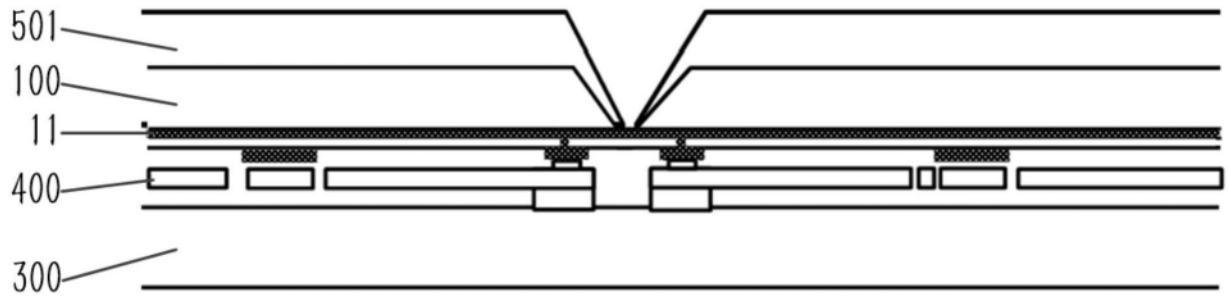


图12

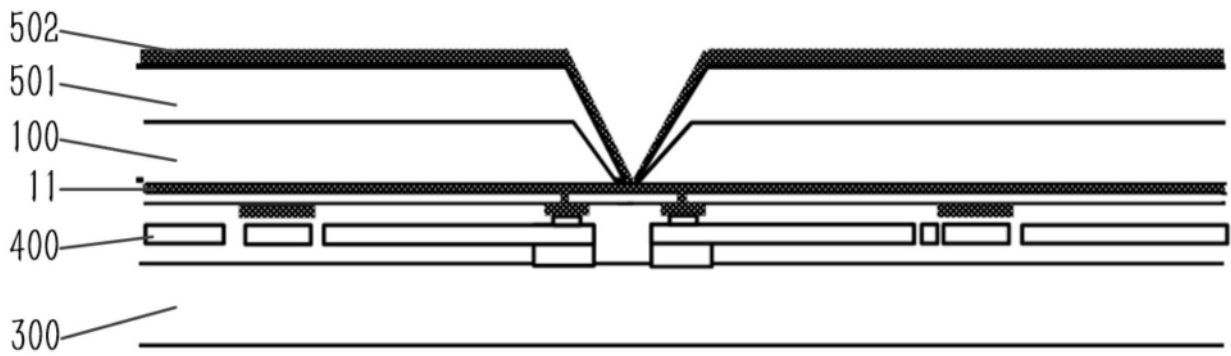


图13

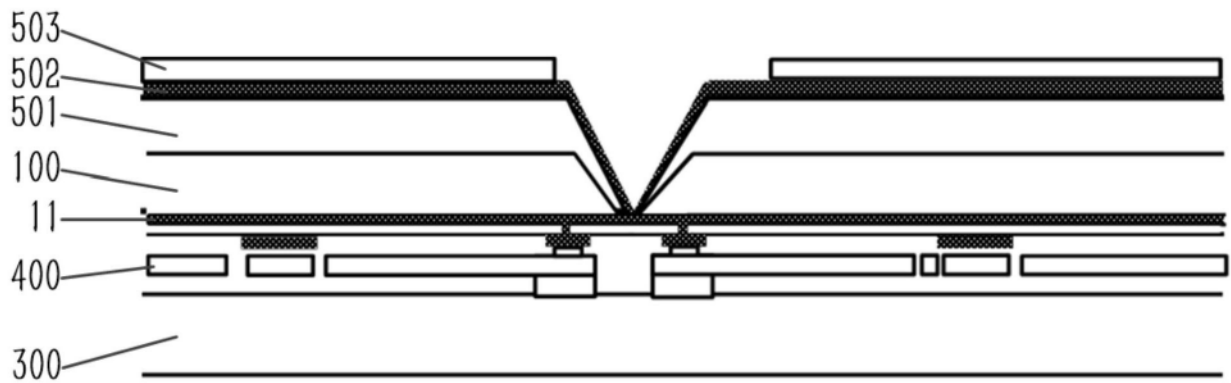


图14

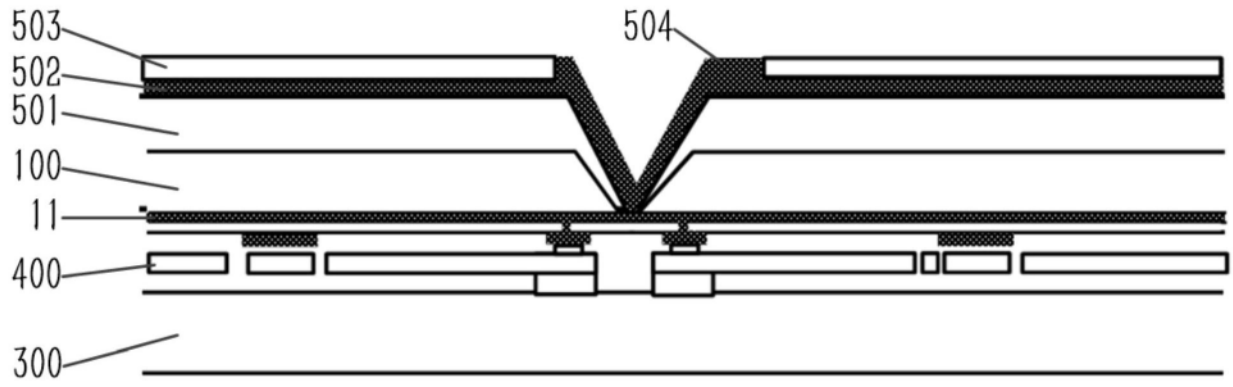


图15

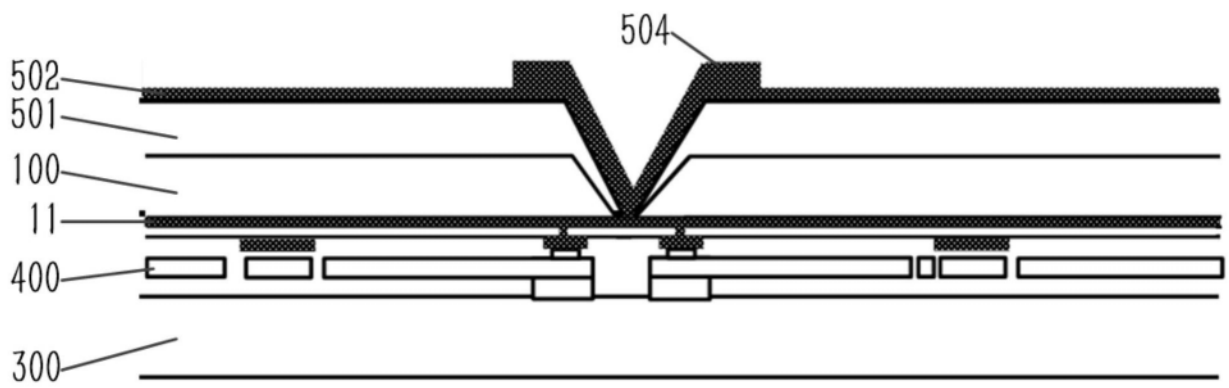


图16

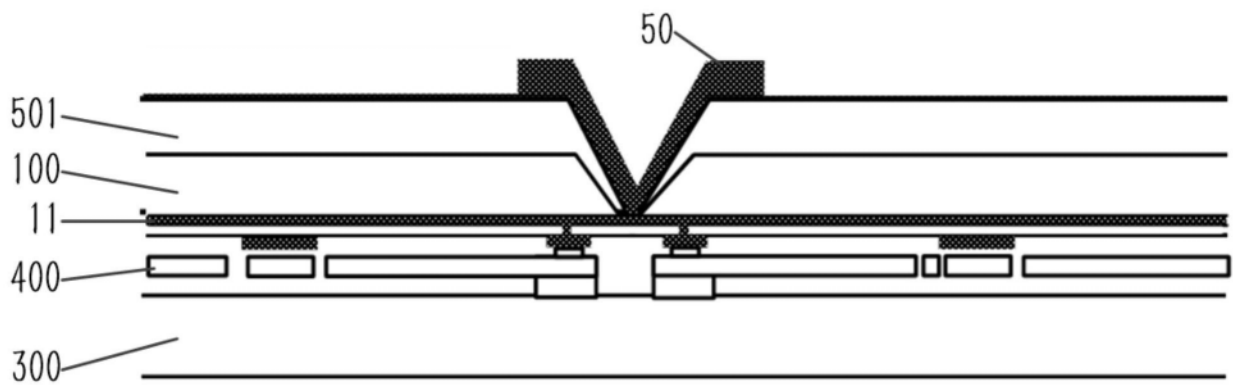


图17

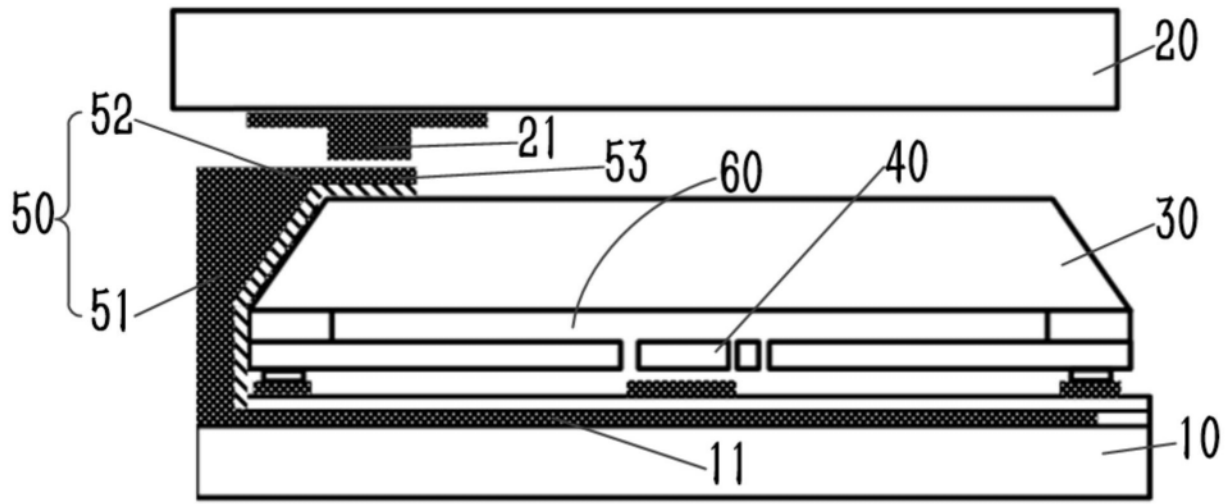


图18

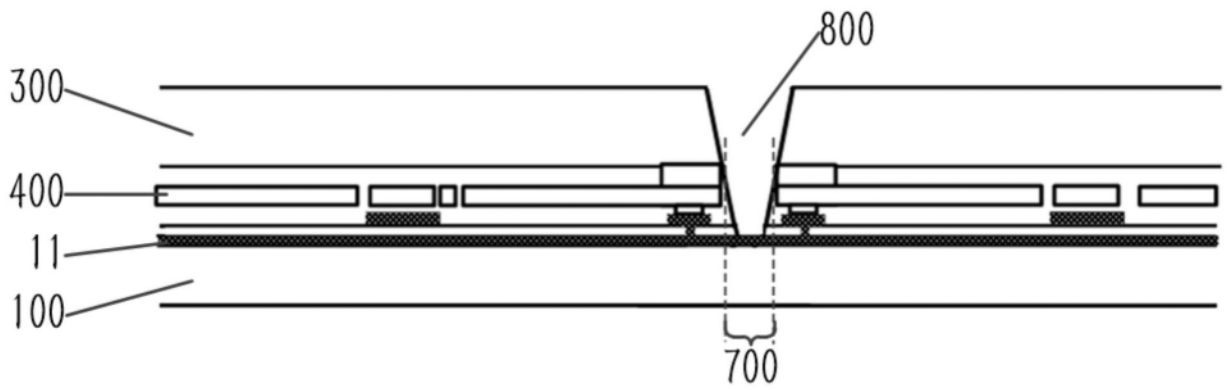


图19

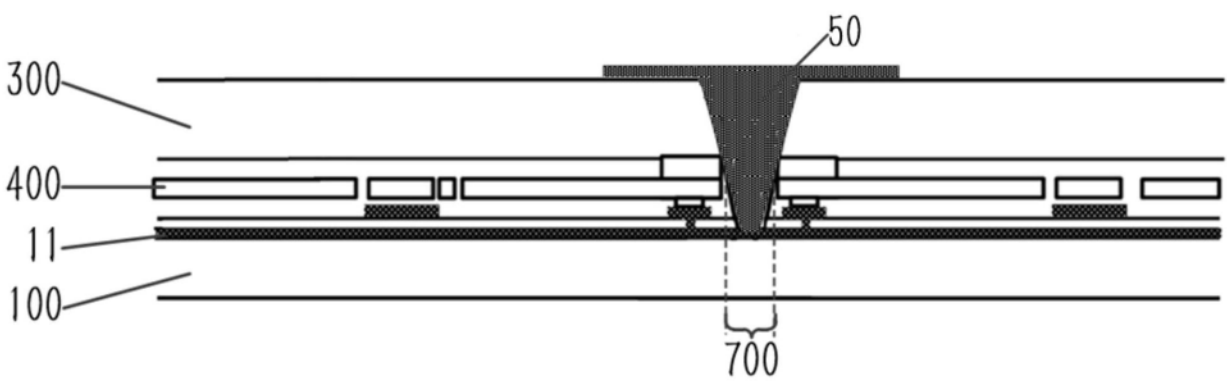


图20

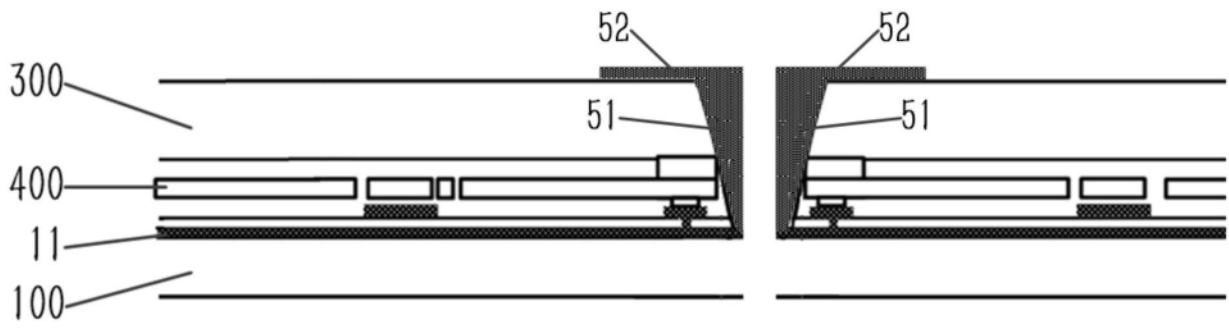


图21

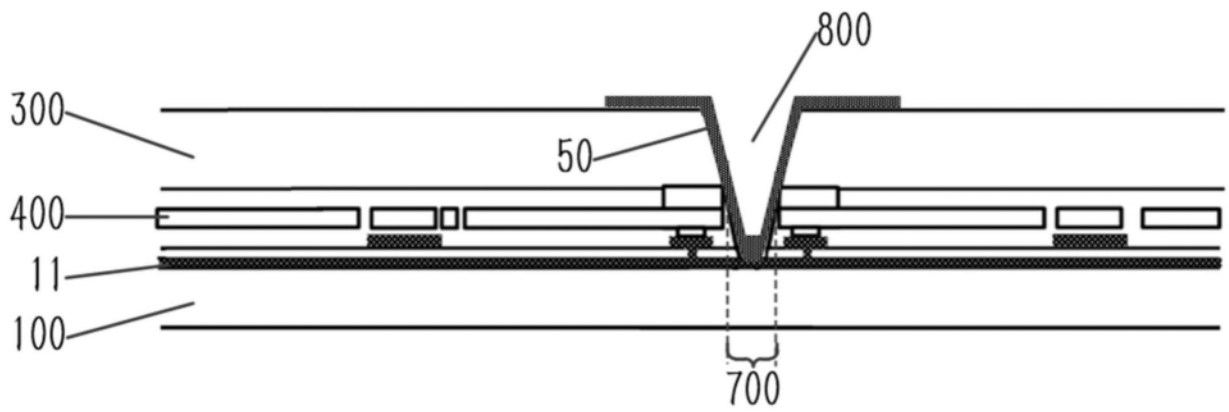


图22