



# (12)发明专利

(10)授权公告号 CN 104124272 B

(45)授权公告日 2017.09.26

(21)申请号 201410334651.4

B82Y 10/00(2011.01)

(22)申请日 2014.07.14

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 104124272 A

安蓓.非极性AlGa<sub>N</sub>/Ga<sub>N</sub>异质结二维电子气各向异性输运特性研究.《中国优秀硕士学位论文全文数据库》.2014,(第1期),第6页1.3.2、第33-36页3.6.

(43)申请公布日 2014.10.29

Xingfu Wang et al.Highly ordered GaN-based nanowire arrays grown on patterned (100) silicon and their optical properties.《Chem. Commun》.2013,(第50期),Page682-684.

(73)专利权人 华南师范大学

地址 510275 广东省广州市天河区中山大道西55号

(72)发明人 李述体 李凯 于磊 王幸福

(74)专利代理机构 广州嘉权专利商标事务有限公司 44205

审查员 张玉萍

代理人 郑莹

(51)Int.Cl.

H01L 29/778(2006.01)

H01L 21/335(2006.01)

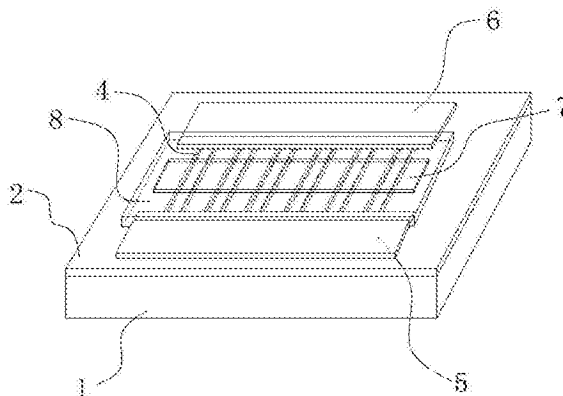
权利要求书1页 说明书7页 附图3页

(54)发明名称

集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管及其制备方法

(57)摘要

本发明公开了集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管及其制备方法,包括衬底和位于衬底上的绝缘介质层,所述绝缘介质层上刻蚀有多个间隔排列的凹槽,所述多个凹槽内分别生长有异质结纳米线,所述绝缘介质层上形成有源极和漏极,所述源极和漏极分别位于异质结纳米线的两端并与分别与各异质结纳米线连接,所述源极和漏极之间形成有栅极,所述栅极与异质结纳米线之间设有栅介质层。本发明能将外延生长与器件的制备有机统一,大大简化了工艺步骤,优化了工艺方法。本发明解决了当前纳米线晶体管采用溶液稀释涂覆带来的不可控性及无序性,有效提高了纳米线晶体管制备的成功率。本发明可广泛应用于半导体领域。



1. 集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管,其特征在于:包括衬底和位于衬底上的绝缘介质层,所述绝缘介质层上刻蚀有多个凹槽,所述多个凹槽内分别生长有异质结纳米线,所述绝缘介质层上形成有源极和漏极,所述源极和漏极分别位于异质结纳米线的两端并分别与各异质结纳米线连接,所述源极和漏极之间形成有栅极,所述栅极与异质结纳米线之间设有栅介质层,所述栅介质层为由二氧化硅或high-K 介质材料中任意一种材料所构成的单层结构,或者是由二氧化硅或high-K 介质材料中任意几种材料所构成的多层结构。

2. 根据权利要求1所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管,其特征在于:所述异质结纳米线位于凹槽侧壁,并呈三棱柱结构。

3. 根据权利要求2所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管,其特征在于:所述异质结纳米线包括纳米核芯、用于包裹纳米核芯的壳层和位于纳米核芯和凹槽侧壁的缓冲层。

4. 根据权利要求1所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管,其特征在于:所述多个凹槽呈等间隔排列。

5. 根据权利要求1所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管,其特征在于:所述异质结纳米线横向尺寸为500nm~3 $\mu$ m。

6. 根据权利要求1所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管,其特征在于:所述异质结纳米线的长度与所述凹槽侧壁的长度相同。

7. 集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管制备方法,其特征在于:包括以下步骤:

A、提供半导体衬底结构,所述半导体衬底结构包括衬底和位于衬底上的绝缘介质层;

B、在绝缘介质层上刻蚀形成多个凹槽;

C、在各凹槽侧壁上外延生长形成非极性Ga<sub>N</sub>的异质结纳米线;

D、在位于异质结纳米线两侧的绝缘介质层上形成源极和漏极,并使源极和漏极均分别与各异质结纳米线连接;

E、在源极和漏极之间形成栅极结构,所述栅极结构包括栅极和位于栅极与异质结纳米线之间的栅介质层。

8. 根据权利要求7所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管制备方法,其特征在于:所述步骤B包括:

B1、在绝缘介质层表面涂上光刻胶层;

B2、在光刻胶层上定义凹槽图形;

B3、对绝缘介质层进行湿法刻蚀;

B4、去除剩余的光刻胶;

B5、湿法刻蚀凹槽底面和凹槽侧壁。

## 集成非极性GaN纳米线高电子迁移率晶体管及其制备方法

### 技术领域

[0001] 本发明涉及半导体器件技术领域,尤其涉及一种集成非极性GaN纳米线高电子迁移率晶体管及其制备方法。

### 背景技术

[0002] 微电子集成电路与技术是现代电子信息技术迅猛发展的关键因素和核心技术。随着微电子集成技术的发展,以Si材料为主的微电子器件的集成度越来越高,器件的特征尺寸要求越来越小。当最小特征尺寸为10nm时,达到微电子器件的物理极限,摩尔定律不再成立。这是因为达到这个尺寸的纳米半导体器件,其工作机理、材料和工艺技术都不同于微电子器件。

[0003] 纳电子器件被称为第三代电子器件,它使光电信息传输、储存、处理、运算和显示等方面的性能大大提高,将构成超高密度集成,是未来个人计算机、高性能计算机和自动器的基础,将是信息社会职能工具的主要组件。

[0004] 发展纳米半导体器件有两种途径:一是将Si、Ge、GaAs和GaN等为主的无机半导体器件尺寸小下去,即“自上而下”技术;二是将给予无机半导体的原子、分子和有机高分子和生物学材料组装的功能器件尺寸大起来,即“自下而上”技术。但“自上而下”技术是受到刻蚀工艺分辨率、加工带来的边缘损伤和杂质污染等条件限制,导致器件的性能与理论的预期值相差甚远。而以半导体应变自组装和气-液-固(V-L-S)等为代表的所谓“自下而上”的生长技术,在制备无缺陷的纳米半导体器件方面获得了巨大成功,展示了潜在的应用前景。

[0005] 但目前纳米线晶体管的集成制备还不成熟,制备高性能纳米线晶体管的方法,先是在衬底上通过气-液-固的方法生长纳米线,随后利用剥离技术将纳米线从原衬底上剥离,并用溶液稀释,形成纳米线悬浊液,进而涂覆在另一新衬底上并沉积源漏电极,最后制作栅介质层和栅电极。此制备技术将纳米线外延生长与器件制备分离,增加了工艺复杂程度。采用纳米线悬浊液涂覆的方式转移纳米线,使得纳米线排布不均、无序,且成品率较低,无法达到集成可控,批量生产的目的。

### 发明内容

[0006] 为了解决上述技术问题,本发明的目的是提供一种排布有序可控,且能提高成品率的一种集成非极性GaN纳米线高电子迁移率晶体管及其制备方法。

[0007] 本发明所采用的技术方案是:

[0008] 集成非极性GaN纳米线高电子迁移率晶体管,包括衬底和位于衬底上的绝缘介质层,所述绝缘介质层上刻蚀有多个凹槽,所述多个凹槽内分别生长有异质结纳米线,所述绝缘介质层上形成有源极和漏极,所述源极和漏极分别位于异质结纳米线的两端并与分别与各异质结纳米线连接,所述源极和漏极之间形成有栅极,所述栅极与异质结纳米线之间设有栅介质层。

[0009] 作为所述的集成非极性GaN纳米线高电子迁移率晶体管的进一步改进,所述异质

结纳米线位于凹槽侧壁,并呈三棱柱结构。

[0010] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述异质结纳米线包括纳米核芯、用于包裹纳米核芯的壳层和位于纳米核芯和凹槽侧壁的缓冲层。

[0011] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述多个凹槽呈等间隔排列。

[0012] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述异质结纳米线横向尺寸为500nm~3 $\mu$ m。

[0013] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述异质结纳米线的长度与所述凹槽侧壁的长度相同。

[0014] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述栅介质层为由二氧化硅、氮化硅或high-K 介质材料中任意一种材料所构成的单层结构,或者是由二氧化硅、氮化硅或high-K 介质材料中任意几种材料所构成的多层结构。

[0015] 集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管制备方法,包括以下步骤:

[0016] A、提供图形化半导体衬底结构,所述半导体衬底结构包括衬底和位于衬底上的绝缘介质层;

[0017] B、在绝缘介质层上刻蚀形成多个凹槽;

[0018] C、在各凹槽侧壁上外延生长形成异质结纳米线;

[0019] D、在位于异质结纳米线两侧的绝缘介质层上形成源极和漏极,并使源极和漏极均分别与各异质结纳米线连接;

[0020] E、在源极和漏极之间形成栅极结构,所述栅极结构包括栅极和位于栅极与异质结纳米线之间的栅介质层。

[0021] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管制备方法的进一步改进,所述步骤B包括:

[0022] B1、在绝缘介质层表面涂上光刻胶层;

[0023] B2、在光刻胶层上定义凹槽图形;

[0024] B3、对绝缘介质层进行湿法刻蚀;

[0025] B4、去除剩余的光刻胶;

[0026] B5、湿法刻蚀凹槽底面和凹槽侧壁。

[0027] 本发明的有益效果是:

[0028] 本发明集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管及其制备方法采用图形化衬底外延生长异质结纳米线进而制作电子器件,无需分步,通过先生长异质结纳米线,再转移衬底制备器件,从而能将外延生长与器件的制备有机统一,大大简化了工艺步骤,优化了工艺方法。本发明通过刻蚀凹槽从而在制备初期确定了异质结纳米线的排布和集成的数量,解决了当前纳米线晶体管采用溶液稀释涂覆带来的不可控性及无序性,有效提高了纳米线晶体管制备的成功率。

## 附图说明

[0029] 下面结合附图对本发明的具体实施方式作进一步说明:

[0030] 图1是本发明集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的结构示意图;

[0031] 图2是本发明集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管异质结纳米线的结构示意图；

[0032] 图3是本发明集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管制备方法的步骤流程图。

### 具体实施方式

[0033] 参考图1-图2,本发明集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管,包括衬底1和位于衬底1上的绝缘介质层2,所述绝缘介质层2上刻蚀有多个凹槽3,所述多个凹槽3内分别生长有异质结纳米线4,所述绝缘介质层2上形成有源极5和漏极6,所述源极5和漏极6分别位于异质结纳米线4的两端并与分别与各异质结纳米线4连接,所述源极5和漏极6之间形成有栅极7,所述栅极7与异质结纳米线4之间设有栅介质层8。

[0034] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述异质结纳米线4位于凹槽3侧壁31,并呈三棱柱结构。

[0035] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述异质结纳米线4包括纳米核芯41、用于包裹纳米核芯41的壳层42和位于纳米核芯41和凹槽3侧壁31的缓冲层43。

[0036] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述多个凹槽3呈等间隔排列。

[0037] 其中,凹槽3的排列图形是可以根据电路器件版图设计和电路功能来具体确定其排列图形种类、数目和纳米线方向。

[0038] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述异质结纳米线4横向尺寸为500nm~3μm。

[0039] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述异质结纳米线4的长度与所述凹槽3侧壁31的长度相同。

[0040] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管的进一步改进,所述栅介质层8为由二氧化硅、氮化硅或high-K 介质材料中任意一种材料所构成的单层结构,或者是由二氧化硅、氮化硅或high-K 介质材料中任意几种材料所构成的多层结构。

[0041] 参考图3,集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管制备方法,包括以下步骤:

[0042] A、提供图形化半导体衬底1结构,所述半导体衬底1结构包括衬底1和位于衬底1上的绝缘介质层2;

[0043] B、在绝缘介质层2上刻蚀形成多个凹槽3;

[0044] C、在各凹槽3侧壁31上外延生长形成异质结纳米线4;

[0045] D、在位于异质结纳米线4两侧的绝缘介质层2上形成源极5和漏极6,并使源极5和漏极6均分别与各异质结纳米线4连接;

[0046] E、在源极5和漏极6之间形成栅极7结构,所述栅极7结构包括栅极7和位于栅极7与异质结纳米线4之间的栅介质层8。

[0047] 作为所述的集成非极性Ga<sub>N</sub>纳米线高电子迁移率晶体管制备方法的进一步改进,所述步骤B包括:

[0048] B1、在绝缘介质层2表面涂上光刻胶层;

[0049] B2、在光刻胶层上定义凹槽3图形;

[0050] B3、对绝缘介质层2进行湿法刻蚀；

[0051] B4、去除剩余的光刻胶；

[0052] B5、湿法刻蚀凹槽3底面和凹槽3侧壁31。

[0053] 本发明的具体实施例如下：

[0054] 实施例1,结合参考图1~图3,执行步骤A,提供半导体衬底1结构,所述半导体衬底1结构包括衬底1、位于衬底1之上的绝缘介质层2。衬底1的材料为单晶硅;衬底1之上的绝缘介质层2的材料为二氧化硅层或氮化硅,但又不仅限于此两种介质层,可以是本领域技术人员公知的其他介质层。图形化所述半导体衬底1,形成阵列的矩形凹槽3。其中形成阵列的矩形凹槽3包括:在所述二氧化硅层表面涂布光刻胶层;在所述光刻胶层定义阵列的矩形凹槽3图形;湿法刻蚀所述二氧化硅层;去除光刻胶;湿法刻蚀所述凹槽3底面和凹槽3侧壁31。阵列的矩形凹槽3图形为间隔一致的纵向排列图形,凹槽3数目为20个,各凹槽3尺寸为 $3\mu\text{m}\times 5\mu\text{m}$ 。其中凹槽3长度即为纳米线的长度,凹槽3间距为 $2\mu\text{m}$ 。刻蚀所述凹槽3底面的深度为 $1\mu\text{m}$ 。

[0055] 在所述图形化半导体衬底1的阵列凹槽3中生长异质结纳米线4。图2为异质结纳米线4的局部剖面图。异质结纳米线4生长在凹槽3侧壁31上。其中所述的异质结纳米线45为三棱柱结构。异质结纳米线45的外延结构为AlN/GaN/AlGaN。但不仅限于此外延结构,可以是符合纳米线高电子迁移率晶体管特性的其他外延结构。其中壳层42为AlGaN材料,纳米核芯41为GaN材料。缓冲层43为AlN。本发明具体实施例中生长异质结纳米线4的方法为利用MOCVD外延技术生长异质结纳米线4,但不限于MOCVD外延技术,可以是本领域技术人员公知的其他外延技术。

[0056] 在所述生长有异质结纳米线4的图形化半导体衬底1上形成源极5和漏极6。所述的源极5和漏极6分别位于所述异质结纳米线4两侧,部分覆盖异质结纳米线4,使各阵列的异质结纳米线4联接。

[0057] 在所述源极5和漏极6之间形成栅极7结构,所述栅极7结构包括栅极7和位于所述栅极7和异质结纳米线4之间的栅介质层8。其中所述栅介质层8为由二氧化硅、氮化硅或high-K 介质材料中任意一种材料所构成的单层结构,或者是由二氧化硅、氮化硅或high-K 介质材料中任意几种材料所构成的多层结构。其中所述栅极7材料为重掺杂多晶硅或金属。

[0058] 实施例2,结合参考图1~图3,,提供半导体衬底1结构,所述半导体衬底1结构包括衬底1、位于衬底1之上的绝缘介质层2。衬底1的材料为单晶硅,衬底1之上的绝缘介质层2的材料为二氧化硅层或氮化硅,但又不仅限于此两种介质层,可以是本领域技术人员公知的其他介质层。图形化所述半导体衬底1,形成阵列的矩形凹槽3。其中形成阵列的矩形凹槽3包括:在所述二氧化硅层表面涂布光刻胶层;在所述光刻胶层定义阵列的矩形凹槽3图形;湿法刻蚀所述二氧化硅层;去除光刻胶;湿法刻蚀凹槽3底面和凹槽3侧壁31。阵列的矩形凹槽3图形为间隔一致的纵向排列图形,凹槽3数目为50个,各凹槽3尺寸为 $3\mu\text{m}\times 10\mu\text{m}$ 。其中凹槽3长度即为纳米线的长度,凹槽3间距为 $2\mu\text{m}$ 。刻蚀凹槽3底面衬底1的深度为 $2\mu\text{m}$ 。

[0059] 在所述图形化半导体衬底1的阵列凹槽3中生长异质结纳米线4。图2为异质结纳米线4的局部剖面图。异质结纳米线4生长在凹槽3侧壁31上。其中所述的异质结纳米线45为三棱柱结构。异质结纳米线45的外延结构为AlN/GaN/AlGaN。但不仅限于此外延结构,可以是符合纳米线高电子迁移率晶体管特性的其他外延结构。其中壳层42为AlGaN材料,纳米核

芯41为GaN材料。缓冲层43为AlN。本发明具体实施例中生长异质结纳米线4的方法为利用MOCVD外延技术生长异质结纳米线4,但不限于MOCVD外延技术,可以是本领域技术人员公知的其他外延技术。

[0060] 在所述生长有异质结纳米线4的图形化半导体衬底1上形成源极5和漏极6。所述的源极5和漏极6分别位于所述异质结纳米线4两侧,部分覆盖异质结纳米线4,使各阵列的异质结纳米线4联接。

[0061] 在所述源极5和漏极6之间形成栅极7结构,所述栅极7结构包括栅极7和位于所述栅极7和异质结纳米线4之间的栅介质层8。其中所述栅介质层8为由二氧化硅、氮化硅或high-K 介质材料中任意一种材料所构成的单层结构,或者是由二氧化硅、氮化硅或high-K 介质材料中任意几种材料所构成的多层结构。其中所述栅极7材料为重掺杂多晶硅或金属。

[0062] 实施例3,结合参考图1~图3,执行步骤A,提供半导体衬底1结构,所述半导体衬底1结构包括衬底1、位于衬底1之上的绝缘介质层2。衬底1的材料为单晶硅;衬底1之上的绝缘介质层2的材料为二氧化硅层或氮化硅,但又不仅限于此两种介质层,可以是本领域技术人员公知的其他介质层。图形化所述半导体衬底1,形成阵列的矩形凹槽3。其中形成阵列的矩形凹槽3包括:在所述二氧化硅层表面涂布光刻胶层;在所述光刻胶层定义阵列的矩形凹槽3图形;湿法刻蚀所述二氧化硅层;去除光刻胶;湿法刻蚀所述凹槽3底面和凹槽3侧壁31。阵列的矩形凹槽3图形为间隔一致的纵向排列图形,凹槽3数目为50个,各凹槽3尺寸为 $5\mu\text{m}\times 10\mu\text{m}$ 。其中凹槽3长度即为纳米线的长度,凹槽3间距为 $5\mu\text{m}$ 。刻蚀所述凹槽3底面的深度为 $1\mu\text{m}$ 。

[0063] 在所述图形化半导体衬底1的阵列凹槽3中生长异质结纳米线4。图2为异质结纳米线4的局部剖面图。异质结纳米线4生长在凹槽3侧壁31上。其中所述的异质结纳米线45为三棱柱结构。异质结纳米线45的外延结构为AlN/GaN/AlGaIn。但不仅限于此外延结构,可以是符合纳米线高电子迁移率晶体管特性的其他外延结构。其中壳层42为AlGaIn材料,纳米核芯41为GaIn材料。缓冲层43为AlN。本发明具体实施例中生长异质结纳米线4的方法为利用MOCVD外延技术生长异质结纳米线4,但不限于MOCVD外延技术,可以是本领域技术人员公知的其他外延技术。

[0064] 在所述生长有异质结纳米线4的图形化半导体衬底1上形成源极5和漏极6。所述的源极5和漏极6分别位于所述异质结纳米线4两侧,部分覆盖异质结纳米线4,使各阵列的异质结纳米线4联接。

[0065] 在所述源极5和漏极6之间形成栅极7结构,所述栅极7结构包括栅极7和位于所述栅极7和异质结纳米线4之间的栅介质层8。其中所述栅介质层8为由二氧化硅、氮化硅或high-K 介质材料中任意一种材料所构成的单层结构,或者是由二氧化硅、氮化硅或high-K 介质材料中任意几种材料所构成的多层结构。其中所述栅极7材料为重掺杂多晶硅或金属。

[0066] 实施例4,结合参考图1~图3,执行步骤A,提供半导体衬底1结构,所述半导体衬底1结构包括衬底1、位于衬底1之上的绝缘介质层2。衬底1的材料为单晶硅;衬底1之上的绝缘介质层2的材料为二氧化硅层或氮化硅,但又不仅限于此两种介质层,可以是本领域技术人员公知的其他介质层。图形化所述半导体衬底1,形成阵列的矩形凹槽3。其中形成阵列的矩形凹槽3包括:在所述二氧化硅层表面涂布光刻胶层;在所述光刻胶层定义阵列的矩形凹槽3图形;湿法刻蚀所述二氧化硅层;去除光刻胶;湿法刻蚀所述凹槽3底面和凹槽3侧壁31。阵

列的矩形凹槽3图形为间隔一致的纵向排列图形,凹槽3数目为100个,各凹槽3尺寸为 $5\mu\text{m}\times 15\mu\text{m}$ 。其中凹槽3长度即为纳米线的长度,凹槽3间距为 $5\mu\text{m}$ 。刻蚀所述凹槽3底面的深度为 $2\mu\text{m}$ 。

[0067] 在所述图形化半导体衬底1的阵列凹槽3中生长异质结纳米线4。图2为异质结纳米线4的局部剖面图。异质结纳米线4生长在凹槽3侧壁31上。其中所述的异质结纳米线45为三棱柱结构。异质结纳米线45的外延结构为AlN/GaN/AlGa<sub>N</sub>。但不仅限于此外延结构,可以是符合纳米线高电子迁移率晶体管特性的其他外延结构。其中壳层42为AlGa<sub>N</sub>材料,纳米核芯41为GaN材料。缓冲层43为AlN。本发明具体实施例中生长异质结纳米线4的方法为利用MOCVD外延技术生长异质结纳米线4,但不限于MOCVD外延技术,可以是本领域技术人员公知的其他外延技术。

[0068] 在所述生长有异质结纳米线4的图形化半导体衬底1上形成源极5和漏极6。所述的源极5和漏极6分别位于所述异质结纳米线4两侧,部分覆盖异质结纳米线4,使各阵列的异质结纳米线4联接。

[0069] 在所述源极5和漏极6之间形成栅极7结构,所述栅极7结构包括栅极7和位于所述栅极7和异质结纳米线4之间的栅介质层8。其中所述栅介质层8为由二氧化硅、氮化硅或high-K 介质材料中任意一种材料所构成的单层结构,或者是由二氧化硅、氮化硅或high-K 介质材料中任意几种材料所构成的多层结构。其中所述栅极7材料为重掺杂多晶硅或金属。

[0070] 实施例5,结合参考图1~图3,执行步骤A,提供半导体衬底1结构,所述半导体衬底1结构包括衬底1、位于衬底1之上的绝缘介质层2。衬底1的材料为单晶硅;衬底1之上的绝缘介质层2的材料为二氧化硅层或氮化硅,但又不仅限于此两种介质层,可以是本领域技术人员公知的其他介质层。图形化所述半导体衬底1,形成阵列的矩形凹槽3。其中形成阵列的矩形凹槽3包括:在所述二氧化硅层表面涂布光刻胶层;在所述光刻胶层定义阵列的矩形凹槽3图形;湿法刻蚀所述二氧化硅层;去除光刻胶;湿法刻蚀所述凹槽3底面和凹槽3侧壁31。阵列的矩形凹槽3图形为间隔一致的纵向排列图形,凹槽3数目为150个,各凹槽3尺寸为 $10\mu\text{m}\times 20\mu\text{m}$ 。其中凹槽3长度即为纳米线的长度,凹槽3间距为 $5\mu\text{m}$ 。刻蚀所述凹槽3底面的深度为 $5\mu\text{m}$ 。

[0071] 在所述图形化半导体衬底1的阵列凹槽3中生长异质结纳米线4。图2为异质结纳米线4的局部剖面图。异质结纳米线4生长在凹槽3侧壁31上。其中所述的异质结纳米线45为三棱柱结构。异质结纳米线45的外延结构为AlN/GaN/AlGa<sub>N</sub>。但不仅限于此外延结构,可以是符合纳米线高电子迁移率晶体管特性的其他外延结构。其中壳层42为AlGa<sub>N</sub>材料,纳米核芯41为GaN材料。缓冲层43为AlN。本发明具体实施例中生长异质结纳米线4的方法为利用MOCVD外延技术生长异质结纳米线4,但不限于MOCVD外延技术,可以是本领域技术人员公知的其他外延技术。

[0072] 在所述生长有异质结纳米线4的图形化半导体衬底1上形成源极5和漏极6。所述的源极5和漏极6分别位于所述异质结纳米线4两侧,部分覆盖异质结纳米线4,使各阵列的异质结纳米线4联接。

[0073] 在所述源极5和漏极6之间形成栅极7结构,所述栅极7结构包括栅极7和位于所述栅极7和异质结纳米线4之间的栅介质层8。其中所述栅介质层8为由二氧化硅、氮化硅或high-K 介质材料中任意一种材料所构成的单层结构,或者是由二氧化硅、氮化硅或high-K



介质材料中任意几种材料所构成的多层结构。其中所述栅极7材料为重掺杂多晶硅或金属。

[0074] 以上是对本发明的较佳实施进行了具体说明,但本发明创造并不限于所述实施例,熟悉本领域的技术人员在不违背本发明精神的前提下还可做作出种种的等同变形或替换,这些等同的变形或替换均包含在本申请权利要求所限定的范围内。

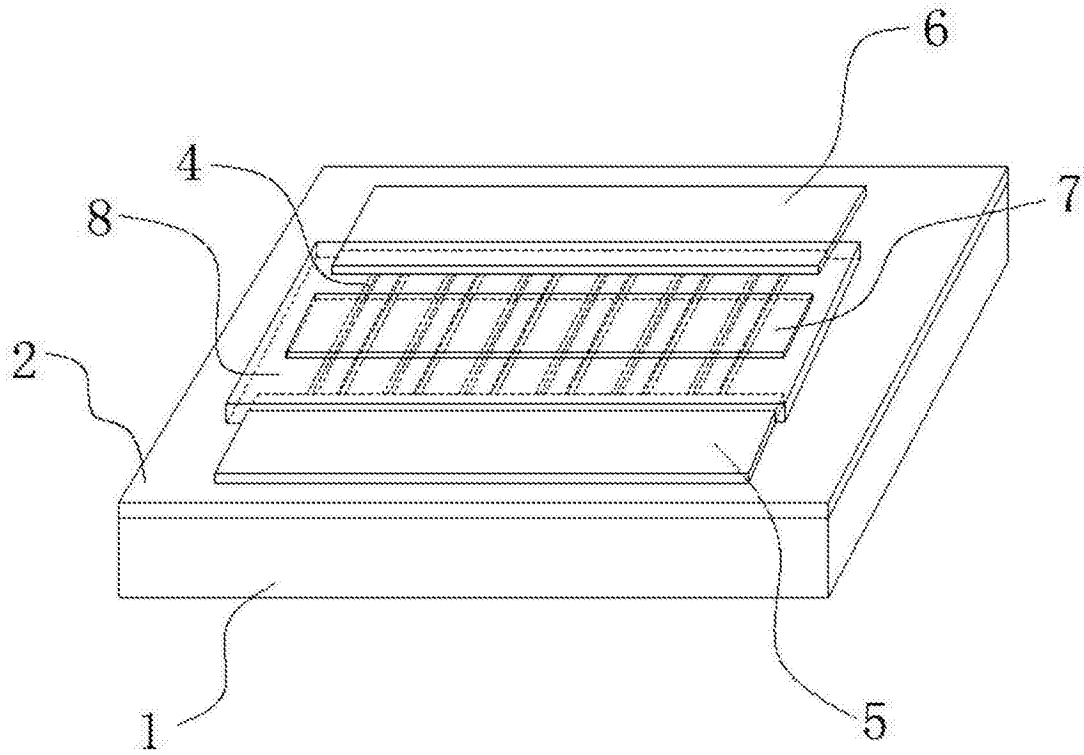


图1

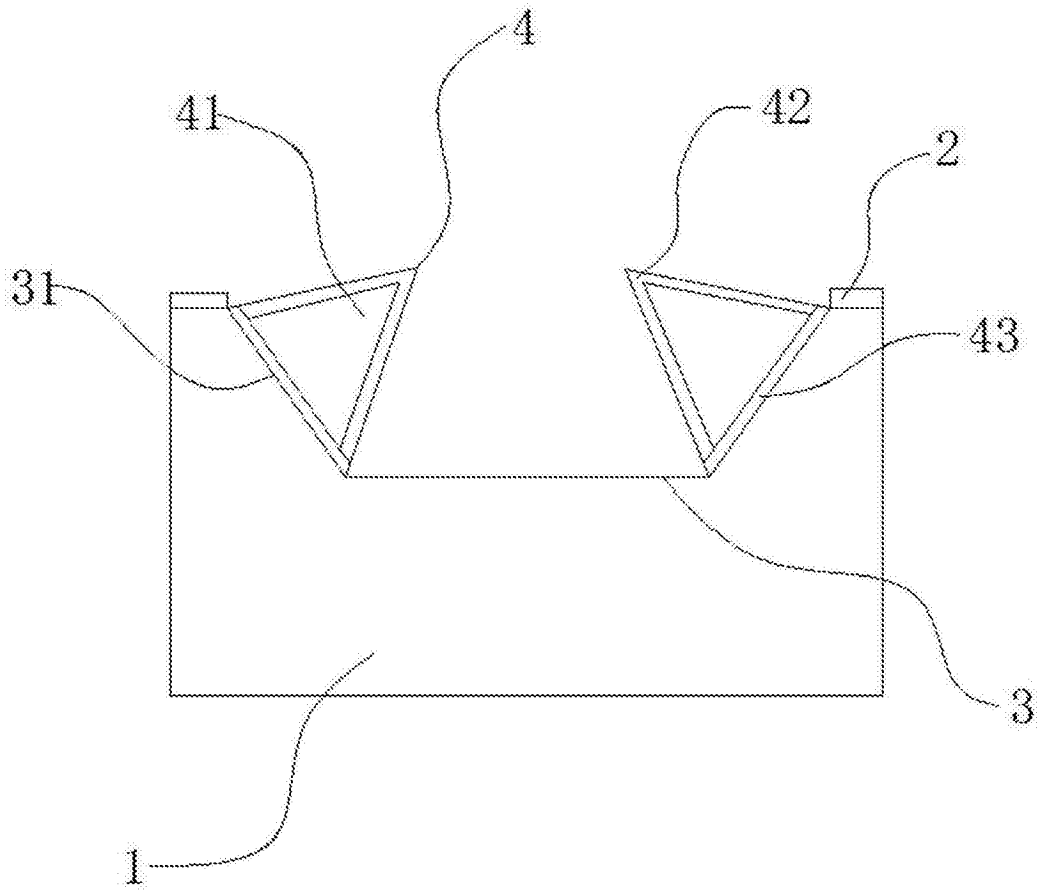


图2

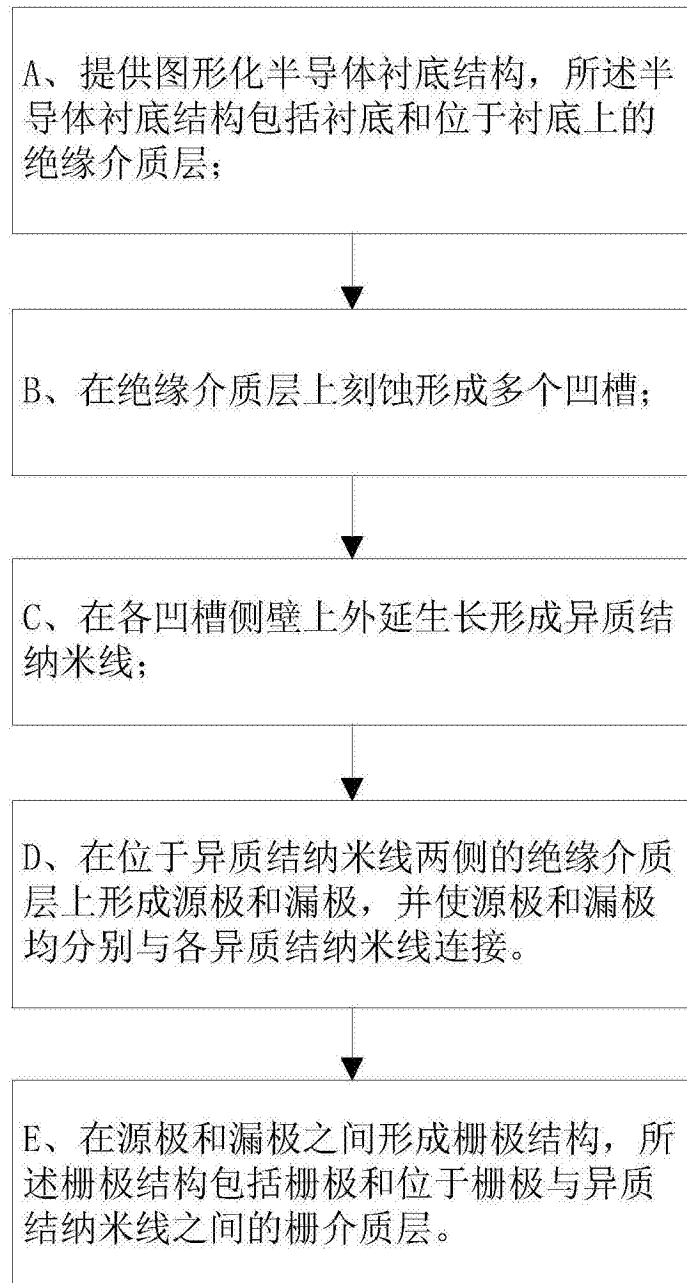


图3