



(12) 发明专利

(10) 授权公告号 CN 102842618 B

(45) 授权公告日 2015.02.11

(21) 申请号 201110173892.1

US 6072217 A, 2000.06.06,

(22) 申请日 2011.06.24

US 2010/0187643 A1, 2010.07.29,

(73) 专利权人 中国科学院微电子研究所

CN 1487597 A, 2004.04.07, 全文.

地址 100029 北京市朝阳区北土城西路3号

US 2002/0063286 A1, 2002.05.30, 全文.

(72) 发明人 朱慧珑 梁擎擎 骆志炯 尹海洲

审查员 孙鹏

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

H01L 29/10(2006.01)

H01L 21/336(2006.01)

H01L 21/8238(2006.01)

(56) 对比文件

CN 1901228 A, 2007.01.24,

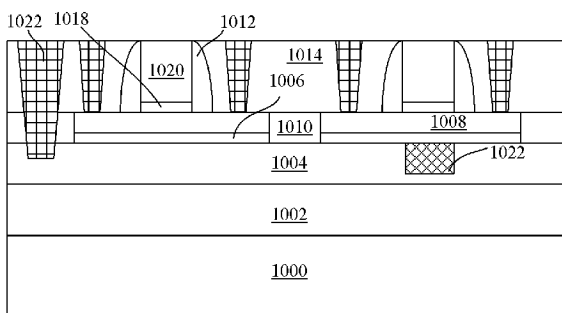
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种半导体结构及其制造方法

(57) 摘要

本申请公开了一种半导体结构及其制造方法。该半导体结构包括：SOI衬底和位于所述SOI衬底上的MOSFET；所述SOI衬底自上而下包括SOI层、第一绝缘埋层、半导体埋层、第二绝缘埋层以及半导体衬底，所述半导体埋层中包含背栅区，所述背栅区为所述半导体埋层掺杂了第一极性的杂质后形成的区域；所述MOSFET包括栅堆叠和源/漏区，所述栅堆叠位于所述SOI层上，所述源/漏区位于所述SOI层中且位于所述栅堆叠的两侧；其中，所述背栅区中包括反掺杂区，所述反掺杂区位于所述栅堆叠下方，且包含第二极性的杂质，所述第一极性与第二极性相反。本发明的实施例适用于MOSFET的阈值调节。



1. 一种半导体结构,包括:SOI 衬底和位于所述 SOI 衬底上的第一 MOSFET 和第二 MOSFET;

所述 SOI 衬底自上而下包括 SOI 层、第一绝缘埋层、半导体埋层、第二绝缘埋层以及半导体衬底,所述半导体埋层中包含背栅区,所述背栅区为所述半导体埋层掺杂了第一极性的杂质后形成的区域,在第一 MOSFET 和第二 MOSFET 下方延伸;

所述第一和第二 MOSFET 各自包括栅堆叠和源/漏区,所述栅堆叠位于所述 SOI 层上,所述源/漏区位于所述 SOI 层中且位于所述栅堆叠的两侧;

其中,所述背栅区中包括反掺杂区,所述反掺杂区自对准于所述第二 MOSFET 的栅堆叠,且包含第二极性的杂质掺杂,所述第一极性与第二极性相反,

该半导体结构还包括用于向所述背栅区施加背栅电压的接触部,其中,通过该背栅电压调节第一 MOSFET 和第二 MOSFET 的阈值电压。

2. 根据权利要求 1 所述的半导体结构,其中,所述半导体埋层由多晶 Si 或单晶 Si 形成。

3. 根据权利要求 1 所述的半导体结构,其中,所述栅堆叠包括高 k 栅介质层和金属层,所述金属层能够对所述 MOSFET 的阈值电压进行调节。

4. 根据权利要求 3 所述的半导体结构,其中,对于 pMOSFET,所述金属层包括:MoNx、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni3Si、Pt、Ru、Ir、Mo、HfRu、RuOx 中的任一种或多种的组合;

对于 nMOSFET,所述金属层包括 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax 中的任一种或多种的组合。

5. 根据权利要求 1 至 5 之一所述的半导体结构,其中,所述背栅区中第一极性的杂质的掺杂浓度为: $1e^{17}-1e^{21}/cm^3$ 。

6. 根据权利要求 1 至 5 之一所述的半导体结构,其中,所述反掺杂区中第二极性的杂质的掺杂浓度为: $1e^{17}-1e^{21}/cm^3$ 。

7. 一种半导体结构的制造方法,包括:

提供 SOI 衬底,所述 SOI 衬底自上而下包括 SOI 层、第一绝缘埋层、半导体埋层、第二绝缘埋层以及半导体衬底;

在所述半导体埋层中掺杂第一极性的杂质以形成背栅区;

在所述 SOI 层上形成 MOSFET,所述 MOSFET 包括牺牲栅和源/漏区,所述牺牲栅位于所述 SOI 层上,在所述牺牲栅外侧环绕有侧墙,所述源/漏区位于所述 SOI 层中且位于所述牺牲栅的两侧;

去除所述牺牲栅以在所述侧墙内形成开口;

向所述开口中注入第二极性的杂质,从而自对准于所述开口在所述背栅区中形成反掺杂区,所述第二极性与第一极性相反;

在所述开口中形成替代栅堆叠。

8. 根据权利要求 7 所述的方法,其中,所述半导体埋层由多晶 Si 或单晶 Si 形成。

9. 根据权利要求 7 所述的方法,其中,所述向所述开口中注入第二极性的杂质之后,所述方法进一步包括:

进行退火以激活所述第一极性的杂质和第二极性的杂质。

10. 根据权利要求 9 所述的方法,其中,所述退火的温度为  $800 \sim 1200^{\circ}\text{C}$ 。
11. 根据权利要求 7 所述的方法,其中所述在所述开口中形成替代栅堆叠的步骤包括:  
在所述开口中形成栅介质层;  
在所述栅介质层上形成金属层,所述金属层能够对所述 MOSFET 的阈值电压进行调节。
12. 根据权利要求 11 所述的方法,对于 pMOSFET,所述金属层包括:MoN<sub>x</sub>、TiSiN、TiCN、TaAlC、TiAlN、Ta<sub>2</sub>N、PtSi<sub>x</sub>、Ni<sub>3</sub>Si、Pt、Ru、Ir、Mo、HfRu、RuO<sub>x</sub> 中的任一种或多种的组合;  
对于 nMOSFET,所述金属层包括 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax 中的任一种或多种的组合。
13. 根据权利要求 7 至 12 之一所述的方法,其中,所述在所述半导体埋层中掺杂第一极性的杂质以形成背栅区的步骤包括:  
进行第一极性的杂质注入,杂质注入的浓度为  $1\text{e}^{17}\text{--}1\text{e}^{21}/\text{cm}^3$ 。
14. 根据权利要求 7 至 12 之一所述的方法,其中,所述向所述开口注入第二极性的杂质的步骤中,杂质注入的浓度为  $1\text{e}^{17}\text{--}1\text{e}^{21}/\text{cm}^3$ 。

## 一种半导体结构及其制造方法

### 技术领域

[0001] 本发明涉及半导体制造领域,更具体地,涉及一种形成于超薄 SOI (Semiconductor on Insulator, 绝缘层上半导体) 上的半导体结构及其制造方法。

### 背景技术

[0002] 随着半导体器件的尺寸越来越小,器件的关键尺寸——栅长也变得越来越短。当金属氧化物半导体场效应晶体管 (MOSFET, Metal Oxide Semiconductor Field Effect Transistor) 的栅长减小到 45nm 以下时, MOSFET 的短沟道效应 (SCE, Short Channel Effect) 会变得越来越明显,包括:器件的阈值电压发生漂移,载流子的迁移率降低,以及漏极感应势垒降低 (DIBL, Drain Induced Barrier Lower) 等现象。

[0003] 为了抑制短沟道效应,现有技术半导体衬底与 SOI 结构之间增加一层半导体层,并进行离子掺杂形成背栅结构,通过对该背栅的电压控制来达到对器件阈值电压的调整,从而达到抑制短沟道效应的目的。然而采用这种方法,对于 pMOS 器件和 nMOS 器件,需要在背栅上施加不同的电压值以调整阈值电压,要求 pMOS 器件和 nMOS 器件有不同的背栅接触,因而增大了背栅接触面积,影响了半导体器件集成度的进一步提高。

[0004] 有鉴于此,需要提供一种新颖的半导体结构及其制造方法,以达到能够分别调节 pMOSFET 和 nMOSFET 的阈值电压的目的,并进一步提高器件的集成度。

### 发明内容

[0005] 本发明的目的在于提供一种半导体结构及其制造方法,以克服上述现有技术中的问题,提高器件的集成度并能够分别调节 pMOSFET 和 nMOSFET 的阈值电压。

[0006] 根据本发明的一方面,提供了一种半导体结构,包括:SOI 衬底和位于所述 SOI 衬底上的 MOSFET;所述 SOI 衬底自上而下包括 SOI 层、第一绝缘埋层、半导体埋层、第二绝缘埋层以及半导体衬底,所述半导体埋层中包含背栅区,所述背栅区为所述半导体埋层掺杂了第一极性的杂质后形成的区域;所述 MOSFET 包括栅堆叠和源/漏区,所述栅堆叠位于所述 SOI 层上,所述源/漏区位于所述 SOI 层中且位于所述栅堆叠的两侧;其中,所述背栅区中包括反掺杂区,所述反掺杂区位于所述栅堆叠下方,且包含第二极性的杂质,所述第一极性与第二极性相反。

[0007] 根据本发明的另一方面,提供了一种半导体结构的制造方法,包括以下步骤:提供 SOI 衬底,所述 SOI 衬底自上而下包括 SOI 层、第一绝缘埋层、半导体埋层、第二绝缘埋层以及半导体衬底;在所述半导体埋层中掺杂第一极性的杂质以形成背栅区;在所述 SOI 层上形成 MOSFET,所述 MOSFET 包括牺牲栅和源/漏区,所述牺牲栅位于所述 SOI 层上,在所述牺牲栅外侧环绕有侧墙,所述源/漏区位于所述 SOI 层中且位于所述牺牲栅的两侧;去除所述牺牲栅以在所述侧墙内形成开口;向所述开口中注入第二极性的杂质,从而在所述开口下方的所述背栅区中形成反掺杂区,所述第二极性与第一极性相反;在所述开口中形成替代栅堆叠。

[0008] 本发明的实施例采用的半导体结构及其制造方法,通过在半导体埋层中形成的背栅结构中形成反掺杂区,该反掺杂区自对准于栅极,因而能够对不同的 MOSFET 的阈值电压进行调节。对于同一个半导体结构中同时具有 pMOSFET 或 nMOSFET 的情况,可以对部分器件的阈值电压通过反掺杂区进行调节,则能够达到通过一个背栅接触同时控制 pMOSFET 或 nMOSFET 的阈值电压的目的,大大提高了半导体制造的集成度。

#### 附图说明

[0009] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0010] 图 1 ~ 10 示出了根据本发明实施例制造半导体结构的流程中各步骤对应的剖面图。

#### 具体实施方式

[0011] 以下,通过附图中示出的具体实施例来描述本发明。但是应该理解,这些描述只是示例性的,而并非要限制本发明的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本发明的概念。

[0012] 在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的,其中为了清楚的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0013] 图 1 ~ 9 详细示出了根据本发明实施例制造半导体结构的流程中各步骤对应的剖面图。以下,将参照这些附图来对根据本发明实施例的各个步骤以及由此得到的半导体结构予以详细说明。

[0014] 首先,如图 1 所示,形成一个三叠层结构。具体地,首先提供一个常规的半导体衬底 1000,在该衬底 1000 上形成第二绝缘埋层 1002,例如可以采用淀积的方法形成氧化物埋层。接着在第二绝缘埋层 1002 上形成半导体埋层 1004,例如可以通过淀积的方法形成多晶 Si 层。这样就形成了一个包括:半导体埋层 1004/第二绝缘埋层 1002/半导体衬底 1000 的三叠层结构。

[0015] 在本发明的实施例中,所述半导体衬底 1000 例如可以包括任何适合的半导体衬底材料,具体可以是但不限于硅、锗、锗化硅、SOI(绝缘体上硅)、碳化硅、砷化镓或者任何 III/V 族化合物半导体等。根据现有技术公知的设计要求(例如 p 型衬底或者 n 型衬底),衬底 1000 可以包括各种掺杂配置。此外,衬底 1000 可以可选地包括外延层,可以被应力改变以增强性能。所述半导体埋层还可以是单晶 Si。形成半导体埋层 1004 的办法还可以是:在所述第二绝缘埋层 1002 上键和一层 SOI 结构。

[0016] 然后,如图 2 所示,在所述的三叠层结构上形成第一绝缘埋层 1006 和 SOI 层 1008。可以采用本领域普通技术人员熟知的智能剥离(SmartCut™)方法在图 1 所示的结构上形成一 SOI 层 1008。智能剥离技术具体为:如图 3 所示,准备一硅片 A,将一定剂量的氢离子注入所述硅片 A,将该硅片 A 中注入氢离子的表面与图 1 所示的三叠层结构的上表面通过键合

技术结合,在随后的热处理过程中,在注入氢离子的硅片 A 的投影射程处将形成微空腔层,并在该硅片 A 的表面形成 SOI 层。进一步将上述的 SOI 层从该表面射程处剥离,使该 SOI 层转移到图 1 所示的三叠层结构的表面上,从而得到如图 2 所示的 SOI 衬底。该 SOI 层 1008 的厚度可以通过氢注入能量来控制。这个步骤与本发明的实质内容无关,可以查看当前现有技术以获取具体的步骤和参数。形成半导体埋层 1004 的办法也可以参考智能剥离技术。

[0017] 这样就形成了如图 2 所示的 SOI 衬底,自上而下包括 SOI 层 1008、第一绝缘埋层 1006、半导体埋层 1004、第二绝缘埋层 1002 以及半导体衬底 1000。

[0018] 接着,如图 4 所示,将离子注入到半导体埋层 1004,这样就形成了背栅区。在这一个注入步骤中,采用的是第一极性的杂质。

[0019] 具体地,在离子注入步骤中注入的杂质类型和掺杂分布取决于 MOSFET 的类型以及阈值电压的目标值。如果希望提高器件的阈值电压,对于 n 型 MOSFET,可以采用 p 型杂质,例如硼 (B 或  $\text{BF}_2$ )、镉 (In) 或其组合;对于 p 型 MOSFET,可以则采用 n 型杂质,例如砷 (As)、磷 (P) 或其组合。如果希望减小器件的阈值电压,对于 n 型 MOSFET,可以采用 n 型杂质,例如砷 (As)、磷 (P) 或其组合;对于 p 型 MOSFET,可以则采用 p 型杂质,例如硼 (B 或  $\text{BF}_2$ )、镉 (In) 或其组合。

[0020] 离子注入步骤完成之后,可以按照常规方法形成 STI 结构 1010,形成 STI 结构的步骤这里不进行赘述。

[0021] 杂质的注入剂量也可以根据半导体埋层 1004 的厚度来选择,例如约为  $1\text{e}^{17}\text{--}1\text{e}^{21}/\text{cm}^3$ ,例如  $1\text{e}^{17}$ 、 $1\text{e}^{18}$ 、 $1\text{e}^{19}$ 、 $1\text{e}^{20}$ 、 $1\text{e}^{21}$ 。

[0022] 然后如图 5 所示,可以进行标准的 CMOS 工艺,包括形成牺牲栅 1010,环绕牺牲栅 1010 形成侧墙 1012,再进行源/漏注入,以在 SOI 层 1008 中形成源区和漏区(未示出),在整个半导体结构上形成层间介质层 1014,并对层间介质层 1014 进行平坦化处理至所述牺牲栅 1010 露出。在本发明的实施例中,该牺牲栅 1010 优选为多晶 Si 栅。

[0023] 下面进行替代栅工艺。如图 7 所示,采用常规的方法去除牺牲栅 1010 从而在侧墙 1012 内壁形成开口 1016,例如可以采用反应离子刻蚀工艺去除多晶 Si 栅。

[0024] 如图 8 所示,用光刻胶 B 覆盖左侧的 MOSFET,并在右侧的开口 1016 内进行杂质注入。在这个步骤中注入的是第二极性的杂质,第二极性与图 4 注入中采用的第一极性是相反的。例如在图 4 中注入了 n 型杂质,这时就需要注入 p 型杂质。注入的第二极性的杂质的浓度可以为: $1\text{e}^{17}\text{--}1\text{e}^{21}/\text{cm}^3$ ,例如  $1\text{e}^{17}$ 、 $1\text{e}^{18}$ 、 $1\text{e}^{19}$ 、 $1\text{e}^{20}$ 、 $1\text{e}^{21}$ 。

[0025] 如图 9 所示,进行快速退火以激活第一杂质和第二杂质,这样就形成了如图 9 所示的反掺杂区 1022。在这个步骤中,退火的温度优选为  $800\sim 1200^\circ\text{C}$ 。形成的反掺杂区 1022 能够对 p 型或 n 型的 MOSFET 的阈值电压进行调节。

[0026] 以下以一个较为详细的实施例来说明本发明的应用原理。假设左侧的为 nMOSFET,右侧的为 pMOSFET。在第一次离子注入中,掺杂的是 p 型的杂质,nMOSFET 的阈值增大,但是 pMOSFET 的阈值反而减小了。为了增大 pMOSFET 的阈值,在第二次的离子注入中,掺杂的是 n 型的杂质,这样就能够达到通过一个背栅电压同时调节多个 MOSFET 的阈值的目的。

[0027] 接着如图 9 所示,将光刻胶 B 去除,并形成替代栅堆叠。具体地,首先在开口内形成栅介质层 1018,可以采用高 k 栅介质材料。所述高 k 栅介质层可以是  $\text{HfO}_2$ 、 $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfTaO}$ 、 $\text{HfTiO}$ 、 $\text{HfZrO}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{La}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{LaAlO}$  其中任一种或多种,例如可以淀

积  $\text{HfO}_2$  2-4nm。然后在栅介质层 1018 上形成金属层 1020。所述金属层 1020 能够对所述 MOSFET 的阈值电压进行调节,对于 pMOSFET,所述金属层 1020 可以包括:  $\text{MoN}_x$ 、 $\text{TiSiN}$ 、 $\text{TiCN}$ 、 $\text{TaAlC}$ 、 $\text{TiAlN}$ 、 $\text{TaN}$ 、 $\text{PtSix}$ 、 $\text{Ni}_3\text{Si}$ 、 $\text{Pt}$ 、 $\text{Ru}$ 、 $\text{Ir}$ 、 $\text{Mo}$ 、 $\text{HfRu}$ 、 $\text{RuO}_x$  中的任一种或多种的组合;对于 nMOSFET,所述金属层可以包括  $\text{TaC}$ 、 $\text{TiN}$ 、 $\text{TaTbN}$ 、 $\text{TaErN}$ 、 $\text{TaYbN}$ 、 $\text{TaSiN}$ 、 $\text{HfSiN}$ 、 $\text{MoSiN}$ 、 $\text{RuTax}$ 、 $\text{NiTax}$  中的任一种或多种的组合。这些金属具有不同的功函数,可以根据器件需要调整的阈值电压选择不同材料的金属层。

[0028] 最后在整个半导体结构上形成接触 1022,包括源/漏接触,栅极接触以及背栅接触。如图 10 所示,对于半导体衬底上同时有 nMOSFET 和 pMOSFET 的情况,只需要一个背栅接触,在对 nMOSFET 和 pMOSFET 施加相同的背栅电压的情况下,就能够实现对 nMOSFET 和 pMOSFET 不同的阈值电压进行控制的目的。

[0029] 如图 10 所示,为根据本发明的一个实施例得到的一个半导体结构剖视图。该半导体结构包括:SOI 衬底和位于所述 SOI 衬底上的 MOSFET。

[0030] 所述 SOI 衬底自上而下包括 SOI 层 1008、第一绝缘埋层 1006、半导体埋层 1004、第二绝缘埋层 1002 以及半导体衬底 1000,所述半导体埋层 1004 中包含背栅区,所述背栅区为所述半导体埋层 1004 掺杂了第一极性的杂质后形成的区域。

[0031] 所述 MOSFET 包括栅堆叠和源/漏区,所述栅堆叠位于所述 SOI 层 1008 上,所述源/漏区位于所述 SOI 层中且位于所述栅堆叠的两侧(图中未示出)。

[0032] 其中,所述背栅区中包括反掺杂区 1022,所述反掺杂区 1022 位于所述栅堆叠下方,且包含第二极性的杂质,所述第一极性与第二极性相反。

[0033] 其中,所述半导体埋层 1004 由多晶 Si 或单晶 Si 形成。

[0034] 其中,所述栅堆叠包括高 k 栅介质层 1018 和金属层 1020。所述高 k 栅介质层可以是  $\text{HfO}_2$ 、 $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfTaO}$ 、 $\text{HfTiO}$ 、 $\text{HfZrO}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{La}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{LaAlO}$  其中任一种或多种。所述金属层能够对所述 MOSFET 的阈值电压进行调节,对于 pMOSFET,所述金属层可以包括:  $\text{MoN}_x$ 、 $\text{TiSiN}$ 、 $\text{TiCN}$ 、 $\text{TaAlC}$ 、 $\text{TiAlN}$ 、 $\text{TaN}$ 、 $\text{PtSix}$ 、 $\text{Ni}_3\text{Si}$ 、 $\text{Pt}$ 、 $\text{Ru}$ 、 $\text{Ir}$ 、 $\text{Mo}$ 、 $\text{HfRu}$ 、 $\text{RuO}_x$  中的任一种或多种的组合;对于 nMOSFET,所述金属层可以包括  $\text{TaC}$ 、 $\text{TiN}$ 、 $\text{TaTbN}$ 、 $\text{TaErN}$ 、 $\text{TaYbN}$ 、 $\text{TaSiN}$ 、 $\text{HfSiN}$ 、 $\text{MoSiN}$ 、 $\text{RuTax}$ 、 $\text{NiTax}$  中的任一种或多种的组合。

[0035] 其中,所述背栅区中第一极性的杂质掺杂浓度优选为为:  $1\text{e}^{17}$ - $1\text{e}^{21}/\text{cm}^3$ ,例如  $1\text{e}^{17}$ 、 $1\text{e}^{18}$ 、 $1\text{e}^{19}$ 、 $1\text{e}^{20}$ 、 $1\text{e}^{21}$ 。所述反掺杂区中第二极性的杂质掺杂浓度为:  $1\text{e}^{17}$ - $1\text{e}^{21}/\text{cm}^3$ ,例如  $1\text{e}^{17}$ 、 $1\text{e}^{18}$ 、 $1\text{e}^{19}$ 、 $1\text{e}^{20}$ 、 $1\text{e}^{21}$ 。

[0036] 从图 10 中可以看出,如果半导体衬底上同时有 nMOSFET 和 pMOSFET 的情况,由于其中的一个 MOSFET 的背栅区中加入了反掺杂区,那么只需要一个背栅接触,在对 nMOSFET 和 pMOSFET 施加相同的背栅电压的情况下,就能够实现对 nMOSFET 和 pMOSFET 不同的阈值电压进行控制的目的,进一步提高了半导体制造的集成度。在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过现有技术中的各种手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。

[0037] 以上参照本发明的实施例对本发明予以了说明。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围,本领域技术人员可以做出多种替换和修改,这些替换和修改都应落

在本发明的范围之内。



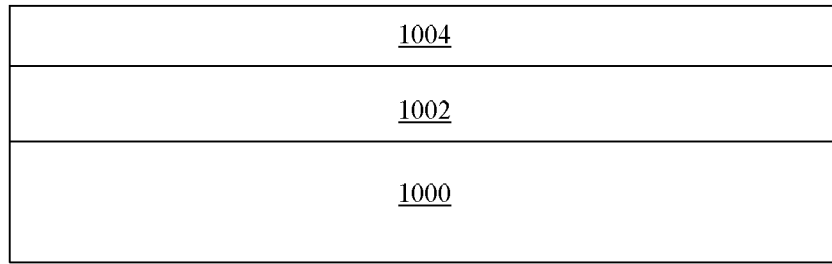


图 1

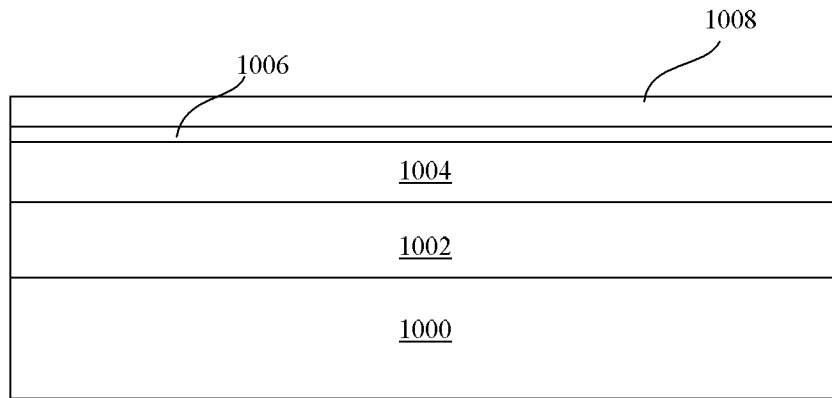


图 2

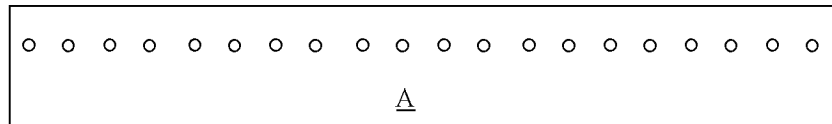


图 3

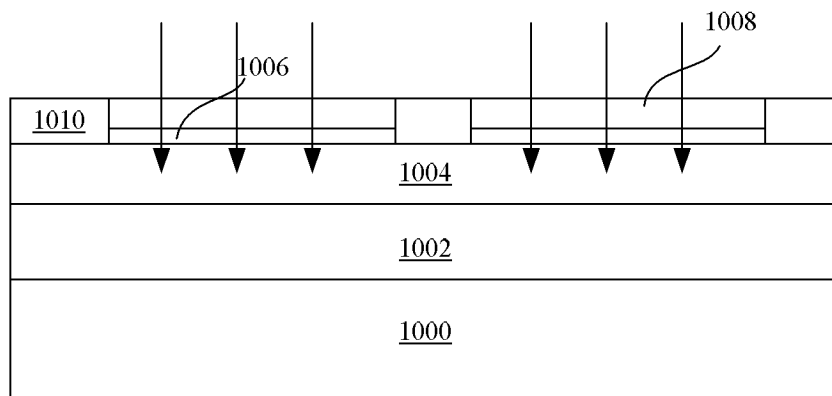


图 4

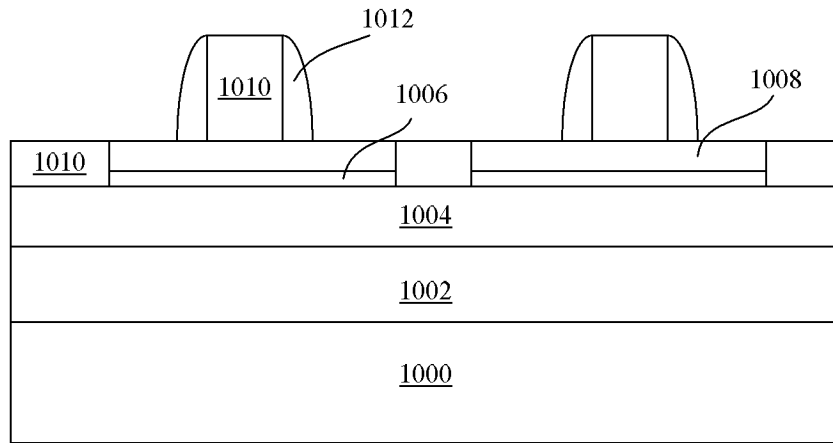


图 5

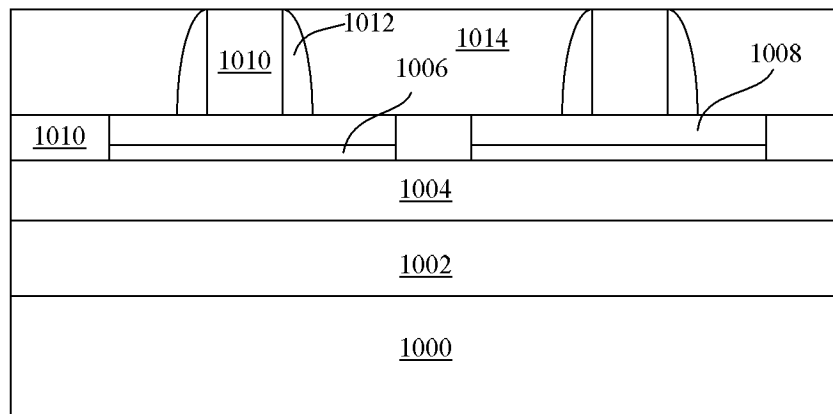


图 6

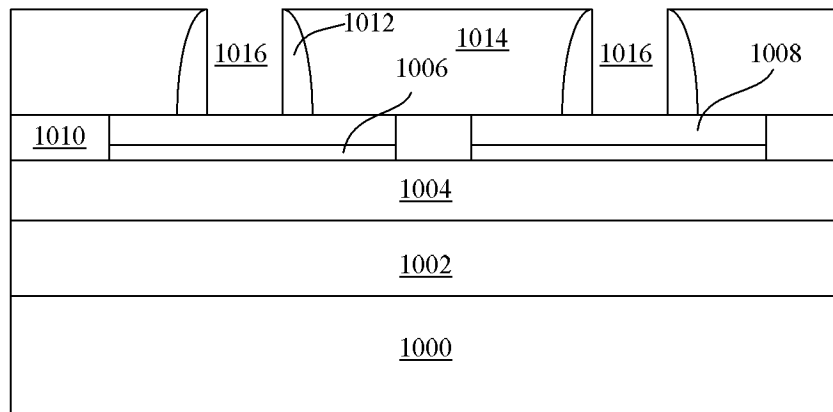


图 7

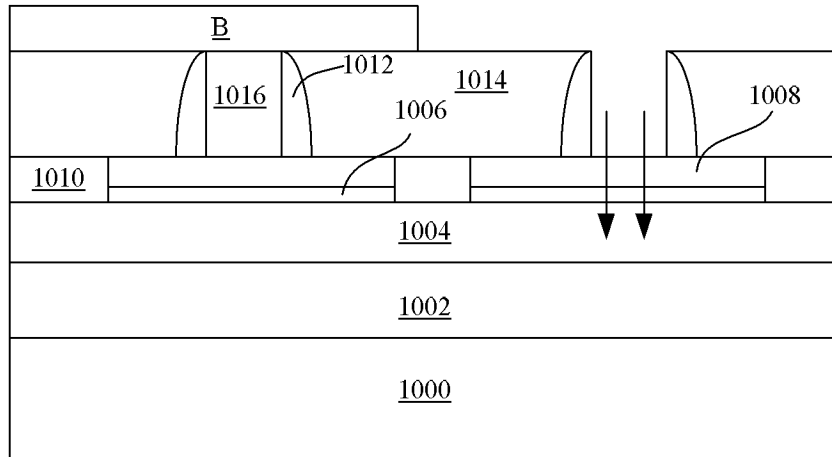


图 8

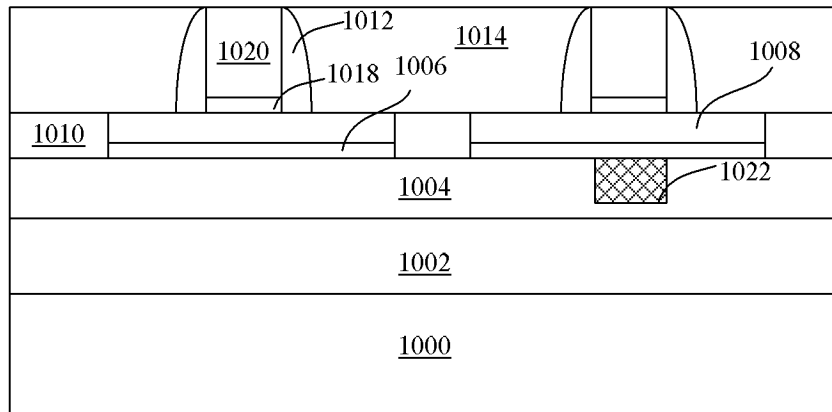


图 9

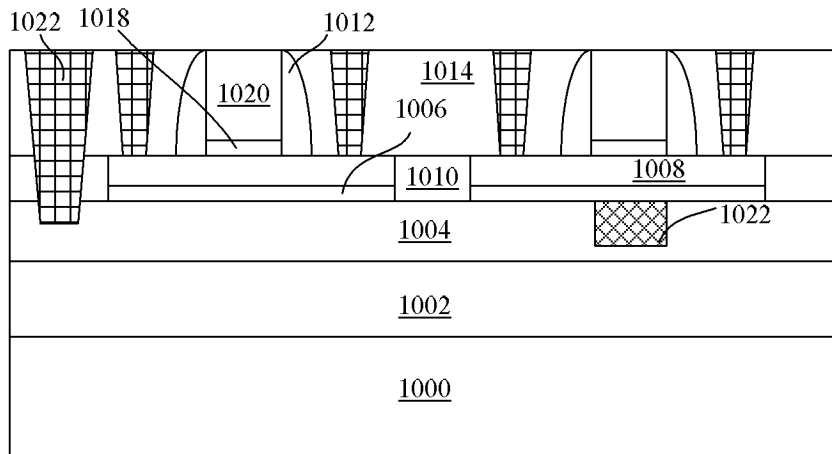


图 10