



[12] 发明专利申请公布说明书

[21] 申请号 200710171787.8

[43] 公开日 2008年5月14日

[11] 公开号 CN 101178933A

[22] 申请日 2007.12.5
 [21] 申请号 200710171787.8
 [71] 申请人 苏州壹世通科技有限公司
 地址 215021 江苏省苏州工业园区机场路328号国际科技园4F-9单元
 [72] 发明人 舒曼·拉菲扎德 保罗·威尔曼
 林贻基 胡英

[74] 专利代理机构 上海专利商标事务所有限公司
 代理人 陈亮

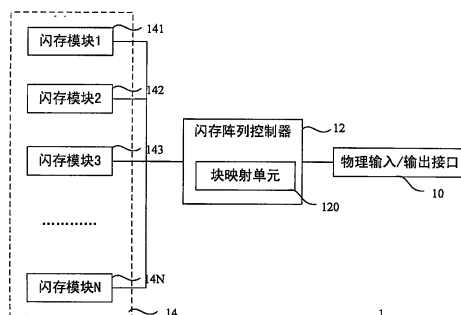
权利要求书1页 说明书3页 附图1页

[54] 发明名称

一种闪存阵列装置

[57] 摘要

本发明公开了一种闪存阵列装置，加大存储容量、加快存取速度、降低了功耗。其技术方案为：闪存阵列装置包括：物理输入/输出接口，与外界进行数据传输；多个闪存模块组成的闪存阵列；闪存阵列控制器，设置在该物理输入/输出接口和该闪存阵列之间，进一步包括：块映射单元，在该物理输入/输出接口与外界之间数据传输的逻辑地址、该物理输入/输出接口与该闪存阵列之间数据传输的物理地址之间进行地址映射。本发明应用于存储设备领域。



1、一种闪存阵列装置，包括：
物理输入/输出接口，与外界进行数据传输；
多个闪存模块组成的闪存阵列；
闪存阵列控制器，设置在该物理输入/输出接口和该闪存阵列之间，进一步包括：

块映射单元，在该物理输入/输出接口与外界之间数据传输的逻辑地址、该物理输入/输出接口与该闪存阵列之间数据传输的物理地址之间进行地址映射。

2、根据权利要求1所述的闪存阵列装置，其特征在于，该闪存阵列中的该些闪存模块是并列的。

3、根据权利要求2所述的闪存阵列装置，其特征在于，该物理输入/输出接口包括USB接口、SATA接口、eSATA接口、ATA接口其中之一。

4、根据权利要求1所述的闪存阵列装置，其特征在于，该装置还包括容纳该闪存阵列控制器的印刷电路板。

5、根据权利要求1所述的闪存阵列装置，其特征在于，该装置还包括一外壳。

6、根据权利要求2所述的闪存阵列装置，其特征在于，该块映射单元是通过将该些闪存模块组成的阵列作为线性的可寻址块的独立阵列来映射地址的。

7、根据权利要求2所述的闪存阵列装置，其特征在于，该块映射单元是通过同时平行存取该些闪存模块来映射地址的。

一种闪存阵列装置

技术领域

本发明涉及闪存装置，尤其涉及一种将闪存模块以阵列形式设置的存储装置。

背景技术

闪存（flash memory）存储技术，如 NAND 闪存，相对于传统的基于磁盘的存储具有明显的电力消耗和可靠性的优势，在便携式和嵌入式系统中特别有利，可以最大限度减少包括二级存储在内的系统组件的电力消耗。传统的磁盘在低功耗和高性能之间的交替运作，会过早磨损它们转动的部件，使得整个存储系统无法工作。因此可以尝试使用闪存存储来代替传统的比如硬盘存储的磁盘存储。

但是，在尝试作替代的过程中遇到这一问题，闪存存储与传统的磁盘存储相比，其容量受到了限制，使得闪存存储在高容量性价比中每单位存储要比磁盘花费更多的成本。而且，当闪存容量变大时，其存取速度会随着容量的变大而减小。

发明内容

本发明的目的在于解决上述问题，提供了一种闪存阵列装置，加大存储容量、加快存取速度、降低了功耗。

本发明的技术方案为：本发明揭示了一种闪存阵列装置，包括：

物理输入/输出接口，与外界进行数据传输；

多个闪存模块组成的闪存阵列；

闪存阵列控制器，设置在该物理输入/输出接口和该闪存阵列之间，进一步包括：

块映射单元，在该物理输入/输出接口与外界之间数据传输的逻辑地址、该物理输入/输出接口与该闪存阵列之间数据传输的物理地址之间进行地址映射。

上述的闪存阵列装置，其中，该闪存阵列中的该些闪存模块是并列的。

上述的闪存阵列装置，其中，该物理输入/输出接口包括 USB 接口、SATA 接

口、eSATA 接口、ATA 接口其中之一。

上述的闪存阵列装置，其中，该装置还包括容纳该闪存阵列控制器的印刷电路板。

上述的闪存阵列装置，其中，该装置还包括一外壳。

上述的闪存阵列装置，其中，该块映射单元是通过将该些闪存模块组成的阵列作为线性的可寻址块的独立阵列来映射地址的。

上述的闪存阵列装置，其中，该块映射单元是通过同时平行存取该些闪存模块来映射地址的。

本发明对比现有技术有如下的有益效果：本发明通过将多个闪存模块并列成一个闪存阵列，并通过建立接口与外部通信的逻辑地址和内部物理地址之间的映射，相较于传统的闪存装置（比如闪存卡），其具有更大的存储容量，相较于传统的磁盘存储装置，其具有更快的存取速度和更低的功耗。

附图说明

图 1 是本发明的闪存阵列装置的较佳实施例的原理图。

具体实施方式

下面结合附图和实施例对本发明作进一步的描述。

图 1 示出了本发明的闪存阵列装置的较佳实施例的原理。请参见图 1，闪存阵列装置 1 包括物理输入/输出接口 10、闪存阵列控制器 12、闪存阵列 14。当然，阵列装置还可以包括容纳闪存阵列控制器 12 的印刷电路板（未图示）和外壳（未图示）。闪存阵列控制器 12 内设置块映射单元 120。闪存阵列 14 由闪存模块 141、闪存模块 142……闪存模块 14N 等多个闪存模块组成，可以是如图 1 所示的平行并列，也可以是其他的排列方式。

物理输入/输出接口 10 与外界进行数据传输，这种数据传输是基于逻辑地址进行的。外界包括存储设备、读写设备、总线结构等。物理输入/输出接口 10 包括 USB 接口、SATA 接口、IDE 接口、eSATA 接口、ATA 接口其中之一。例如当装置 1 同计算机连接时，接口 10 与主机的物理存储总线相互作用，并在运行期把主机的输入/输出请求转换成逻辑的读写命令。接口 10 也处理总线特定命令，如那些发现

和初始化设备的命令。一旦收到存储总线的读写命令，它们将被装置的接口 10 翻译。物理输入/输出接口 10 的具体接口形式不限制本发明的范围。

从物理输入/输出接口 10 以逻辑地址接收到的数据，需要存储在闪存阵列 14 的其中一个闪存模块中。由于接口 10 与内部的各个闪存模块是基于物理地址寻址的，闪存阵列控制器 12 中的块映射单元 120 负责将该逻辑地址映射到物理地址。数据基于映射后的物理地址存储在对应的闪存模块上。类似的，当存储在某一闪存模块的数据通过接口 10 向外传输时，也需要通过块映射单元 120 将内部的物理地址映射到外部的逻辑地址。

块映射单元 120 的映射方式有两种。块映射单元 120 可以把并列的闪存模块所组成的闪存阵列作为线性的可寻址块的独立阵列。例如，假设每个闪存模块的容量为 256 个物理块，则第一个逻辑块包括逻辑地址 0~255，第二个逻辑块包括逻辑地址 256~511，依此类推。但对于大批量线性数据转移来说，其总体性能受到其中任何一个独立存储模块的吞吐量的限制。

块映射单元 120 可同时平行存储闪存模块。例如，假设装置 1 使用 4 个平行的闪存模块（即 $N=4$ ），把第一个逻辑块放在第一个闪存模块中，第二个逻辑块放在第二个闪存模块中，第三个逻辑块放在第三个闪存模块中，第四个逻辑块放在第四个闪存模块中。这样装置能支持的有效吞吐量是每个单独闪存模块的 4 倍。假设 N 是闪存模块的数目，逻辑地址 A 对应的物理块位置是在闪存模块 $(A \bmod N)$ 中。这一映射技术已经在硬盘中使用。

本发明可通过闪存存储来替代磁盘存储以获得更低的功耗。本发明通过将多个闪存模块组织成阵列，加大了闪存存储的容量。本发明中的闪存阵列可以从每个闪存模块中平行读写数据，例如，它可以在读写部分闪存模块的同时中止另一些闪存模块上的数据读写，这样可以加快闪存存储的速度。

上述实施例是提供给本领域普通技术人员来实现或使用本发明的，本领域普通技术人员可在不脱离本发明的发明思想的情况下，对上述实施例做出种种修改或变化，因而本发明的保护范围并不被上述实施例所限，而应该是符合权利要求书提到的创新性特征的最大范围。

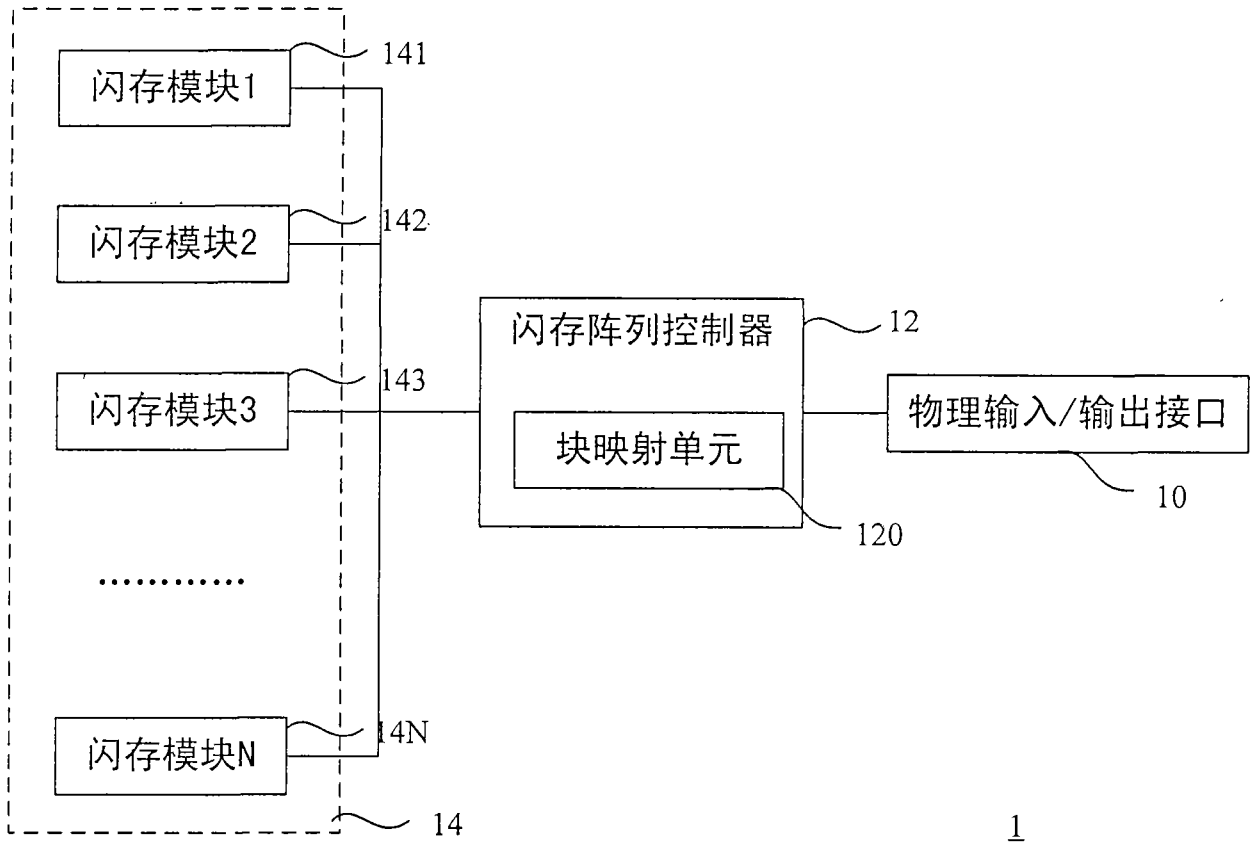


图 1