

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4256099号
(P4256099)

(45) 発行日 平成21年4月22日(2009.4.22)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int. Cl.	F I
G09G 3/28 (2006.01)	G09G 3/28 H
G09G 3/20 (2006.01)	G09G 3/28 E
	G09G 3/28 J
	G09G 3/20 611A
	G09G 3/20 612G
	請求項の数 4 (全 27 頁) 最終頁に続く

(21) 出願番号	特願2002-24493 (P2002-24493)	(73) 特許権者	599132708
(22) 出願日	平成14年1月31日(2002.1.31)		日立プラズマディスプレイ株式会社
(65) 公開番号	特開2003-228318 (P2003-228318A)		宮崎県東諸県郡国富町大字田尻1815番地1
(43) 公開日	平成15年8月15日(2003.8.15)	(74) 代理人	100090273
審査請求日	平成17年1月11日(2005.1.11)		弁理士 園分 孝悦
		(72) 発明者	佐野 勇司
			神奈川県川崎市高津区坂戸3丁目2番1号
			富士通日立プラズマディスプレイ株式会社
			社内
		(72) 発明者	河田 外與志
			神奈川県川崎市高津区坂戸3丁目2番1号
			富士通日立プラズマディスプレイ株式会社
			社内
			最終頁に続く

(54) 【発明の名称】 ディスプレイパネル駆動回路及びプラズマディスプレイ

(57) 【特許請求の範囲】

【請求項1】

ディスプレイパネルに接続される複数のアドレス電極及び複数の走査電極と、
前記複数のアドレス電極を駆動する第1の駆動回路と、
前記複数の走査電極を駆動する第2の駆動回路と
を有するディスプレイパネル駆動回路であって、
前記複数の走査電極は第1のアドレス期間で走査パルスが印加される第1の走査電極群
と第2のアドレス期間で走査パルスが印加される第2の走査電極群から構成され、
前記第2の駆動回路は前記複数の走査電極のうち、走査パルスを印加する電極とその前
後の電極のみを接続状態にし、前記第1のアドレス期間では、前記第2の走査電極群への
電圧の供給を遮断することにより前記第2の走査電極群の出力インピーダンスを上昇させ
、前記第2のアドレス期間では、前記第1の走査電極群への電圧の供給を遮断すること
により前記第1の走査電極群の出力インピーダンスを上昇させることを特徴とするディス
プレイパネル駆動回路。

【請求項2】

前記第1のアドレス期間または前記第2のアドレス期間において、走査パルスを印加す
る前記複数の走査電極を接続状態にし、走査パルスを印加しない前記複数の走査電極を遮
断状態にすることを特徴とする請求項1に記載のディスプレイパネル駆動回路。

【請求項3】

前記第2の駆動回路は前記複数の走査電極を駆動する複数の駆動ICを有することを特

徴とする請求項 1 に記載のディスプレイパネル駆動回路。

【請求項 4】

請求項 1 に記載のディスプレイパネル駆動回路と、

前記ディスプレイパネル駆動回路の前記複数の走査電極及び前記複数のアドレス電極に接続されるプラズマディスプレイパネルと

を有することを特徴とするプラズマディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ディスプレイパネルの駆動回路に関し、特に容量性負荷となるプラズマディスプレイやエレクトロルミネッセンス、液晶ディスプレイ(LCD)などのディスプレイパネルを駆動する際の消費電力を削減できる回路構成とその駆動回路を適用した表示装置に関するものである。

10

【0002】

【従来の技術】

図15は三電極面放電交流駆動型プラズマディスプレイパネルを概略的に示すブロック図であり、図16は図15に示すプラズマディスプレイパネルの電極構造を説明するための断面図である。図15及び図16において、参照符号207は放電セル(表示セル)、210は背面ガラス基板、211, 221は誘電体層、212は蛍光体、213は隔壁、214はアドレス電極(A1~Ad)、220は前面ガラス基板、そして、222はX電極(X1~XL)又はY電極(Y1~YL)を示している。なお、参照符号Caはアドレス電極における隣接電極間の容量を示し、また、Cgはアドレス電極における対向電極(X電極及びY電極)間の容量を示している。

20

【0003】

プラズマディスプレイパネル201は、背面ガラス基板210及び前面ガラス基板220の2枚のガラス基板により構成され、前面ガラス基板220には、維持電極(BUS電極と透明電極を含む)として構成されるX電極(X1, X2, ~XL)及びY電極(走査電極: Y1, Y2, ~YL)が配設されている。

【0004】

背面ガラス基板210には、維持電極(X電極及びY電極)222と直交するようにアドレス電極(A1, A2, ~Ad)214が配置されており、これらの電極により放電発光を発生する表示セル207が、維持電極の同じ番号のX電極及びY電極で挟まれ(Y1-X1, Y2-X2, ...)、且つ、アドレス電極と交差する領域にそれぞれ形成される。

30

【0005】

図17は図15に示すプラズマディスプレイパネルを用いたプラズマディスプレイ装置の全体構成を示すブロック図であり、表示パネルに対する駆動回路の主要部を示している。

【0006】

図17に示されるように、三電極面放電交流駆動型プラズマディスプレイ装置は、表示パネル201と、外部より入力されるインターフェイス信号により表示パネルの駆動回路を制御するための制御信号を形成する制御回路205と、この制御回路205からの制御信号によりパネル電極を駆動するためのX共通ドライバ(X電極駆動回路)206と、走査電極駆動回路(走査ドライバ)203及びY共通ドライバ204と、アドレス電極駆動回路(アドレスドライバ)202とにより構成される。

40

【0007】

X共通ドライバ206は維持電圧パルスを発生し、また、Y共通ドライバ204も同じく維持電圧パルスを発生し、そして、走査ドライバ203は各走査電極(Y1~YL)を独立に駆動して走査する。また、アドレスドライバ202は、各アドレス電極(A1~Ad)に対して表示データに対応したアドレス電圧パルスを印加する。

【0008】

制御回路205は、クロックCLK及び表示データDATAを受け取ってアドレスドライ

50

バ 2 0 2 にアドレス制御信号を供給する表示データ制御部 2 5 1、及び、垂直同期信号 V_{sync} 及び水平同期信号 H_{sync} を受け取って、走査ドライバ 2 0 3 を制御する走査ドライバ制御部 2 5 3 並びに共通ドライバ (X 共通ドライバ 2 0 6 及び Y 共通ドライバ 2 0 4) を制御する共通ドライバ制御部 2 5 4 を備えている。なお、表示データ制御部 2 5 1 は、フレームメモリ 2 5 2 を備えている。

【 0 0 0 9 】

図 1 8 は図 1 7 に示すプラズマディスプレイ装置の駆動波形の一例を示す図であり、主として、全面書き込み期間 (A W)、全面消去期間 (A E)、アドレス期間 (A D D) 及びサステイン期間 (維持放電期間 : S U S) における各電極への印加電圧波形の概略を示している。

10

【 0 0 1 0 】

図 1 8 において、画像表示に直接係わる駆動期間は、アドレス期間 A D D とサステイン期間 S U S であり、アドレス期間 A D D において表示する画素を選択し、次のサステイン期間において選択された画素を維持発光させることで、所定の明るさでの画像表示を行うようになっている。なお、図 1 8 は、1 フレームを複数のサブフレーム (サブフィールド) で構成した場合の各サブフレームにおける駆動波形を示すものである。

【 0 0 1 1 】

まず、アドレス期間 A D D において、走査電極である Y 電極 (Y 1 ~ Y L) に対して一斉に中間電位である $-V_{my}$ を印加した後、順次、 $-V_y$ レベルの走査電圧パルスを切り換えて印加する。このとき、それぞれの Y 電極への走査パルスの印加に同期させて各アドレス電極 (A 電極 : A 1 ~ A d) に対して $+V_a$ レベルのアドレス電圧パルスを印加することで各走査ライン上の画素選択を行う。

20

【 0 0 1 2 】

次のサステイン期間 S U S においては、全ての走査電極 (Y 1 ~ Y L) 及び X 電極 (X 1 ~ X L) に対して共通の $+V_s$ レベルの維持電圧パルスを交互に印加することで、先に選択された画素に対して維持発光を生じさせ、この連続印加により所定の輝度による表示を行う。また、このような一連の駆動波形の基本動作を組み合わせることで、濃淡の階調表示を行うことも可能になる。

【 0 0 1 3 】

ここで、全面書き込み期間 A W は、パネルの全ての表示セルに対して書き込み電圧パルスを印加することで、各表示セルを活性化し表示特性を均一に保つためのものであり、ある一定の周期で挿入される。また、全面消去期間 A E は、画像表示を行うためのアドレス動作とサステイン動作を新たに開始する前に、パネルの全ての表示セルに消去電圧パルスを印加することで、以前の表示内容を消しておくためのものである。

30

【 0 0 1 4 】

図 1 9 は図 1 7 に示すプラズマディスプレイ装置に使用する I C の一例を示すブロック回路図である。

例えば、表示パネルの Y 電極 (Y 1 ~ Y L) の数が 5 1 2 本の場合、Y 電極に接続するドライブ I C を 6 4 ビット出力とすると、合計で 8 個のドライブ I C を使用する。一般的に、この 8 個のドライブ I C は複数のモジュールに分けて実装され、各モジュールが複数の I C を搭載している。

40

【 0 0 1 5 】

図 1 9 は、6 4 ビット分の出力回路 (2 3 4 : O U T 1 ~ O U T 6 4) を備えたドライブ I C チップ 2 3 0 の内部回路構成を示している。各出力回路 2 3 4 は、最終出力段のプッシュプル型 F E T 2 3 4 1 及び 2 3 4 2 を挟んで高圧電源配線 V H とグランド配線 G N D が接続されて構成される。このドライブ I C 2 3 0 は、さらに、両 F E T を制御するためのロジック回路 2 3 3、6 4 ビットの出力回路を選択するためのシフトレジスタ回路 2 3 1、及び、ラッチ回路 2 3 2 を備える。

【 0 0 1 6 】

これら制御用の信号は、シフトレジスタ 2 3 1 のクロック信号 C L O C K、データ信号 D

50

A T A 及びラッチ回路 2 3 2 のラッチ信号 L A T C H と、ゲート回路制御用のストロープ信号 S T B で構成されている。図 1 9 においては、最終出力段が C M O S 構成 (2 3 4 1 , 2 3 4 2) になっているが、同一極性の M O S F E T から成るトーテンポール構成も適用することができる。

【 0 0 1 7 】

次に、上記のドライブ I C チップに対する実装方法の例を説明する。例えば、ドライブ I C チップをリジットプリント基板上に搭載し、ドライブ I C チップの電源、信号及び出力用パッド端子とプリント基板上の相対応する端子とをワイヤボンディング接続して結線する。

【 0 0 1 8 】

I C チップからの出力配線はプリント基板の端面側に引き出して出力端子が設けられ、同様の端子が設けられたフレキシブル基板と熱圧着接続して一つのモジュールを形成する。このフレキシブル基板の先端には、パネル表示電極と接続するための端子が設けられており、パネル表示電極に対し熱圧着等の手法により接続して使用する。

【 0 0 1 9 】

上記の各電極の駆動端子は、パネル端部のダミー電極を除いて全て回路のグランド電位から直流的には絶縁されており、駆動回路の負荷としては容量性インピーダンスが支配的となる。容量性負荷のパルス駆動回路の低消費電力化技術としては、共振現象による負荷容量とインダクタンスとの間のエネルギーの受け渡しを応用した電力回収回路が知られている。アドレス電極駆動回路のように、個々の負荷電極を表示映像に応じて相互に独立した電圧で駆動するために、負荷容量が大きく変化する駆動回路に適した電力回収技術の例としては、図 2 0 に示す特開平 5 - 2 4 9 9 1 6 に記載の低電力駆動回路が挙げられる。

【 0 0 2 0 】

図 2 0 に示す従来例においては、共振用インダクタンス 1 1 2 P 及び 1 1 2 N を備えた電力回収回路 1 1 0 を用いてアドレスドライブ I C 1 2 0 の電源端子 1 2 1 を駆動することによって消費電力を抑えている。電力回収回路 1 1 0 は、プラズマディスプレイパネルのアドレス電極にアドレス放電を誘起せしめるタイミングにおいては通常の一定アドレス駆動電圧を出力する。そして、アドレスドライブ I C 内の出力回路 1 2 2 のスイッチング状態が切替わる前に電源端子 1 2 1 の電圧をグランドレベルまで落とす。その際、電力回収回路 1 1 0 内の共振用インダクタンス 1 1 2 P 及び 1 1 2 N とハイレベルに駆動されている任意の数 (例えば最大 n 個) のアドレス電極の合成負荷容量 (例えば最大では $C L \times n$) との間に共振が生じて、アドレスドライブ I C 内出力回路 1 2 2 の出力素子における消費電力は大きく抑制される。

【 0 0 2 1 】

アドレスドライブ I C の電源電圧を一定にした従来駆動法においては、スイッチング前後での負荷容量 $C L$ の蓄積エネルギーの変化分の全てが、充放電電流経路中の抵抗性インピーダンス部分において消費されていた。電力回収回路 1 1 0 を用いた場合には、出力電圧の共振中心となるアドレス駆動電圧の中間電位を基準として負荷容量に蓄えられた位置エネルギー量が、電力回収回路 1 1 0 内の共振インダクタンス 1 1 2 P , 1 1 2 N を介して維持される。電源電圧がグランドにある最中に出力回路のスイッチング状態を切替えた後、再びアドレスドライブ I C の電源電圧を共振を経て通常の一定駆動電圧まで立ち上げ、これにより電力消費を抑えている。

【 0 0 2 2 】

また、容量性負荷のパルス駆動回路のもう一つの低消費電力化技術として、図 2 1 に示す特願 2 0 0 0 - 3 0 1 0 1 5 に記載の容量性負荷駆動回路がある。この回路においては、駆動回路 3 中の駆動素子 6 における電力消費を、抵抗や定電流回路から成る電力分散手段 3 0 に分散することによって抑えている。これは、駆動素子 6 に流れる駆動電流を直列接続された電力分散手段 3 0 にも流すことによって、これらの間の電圧分圧比に応じた分担で電力消費が分散される原理に基づいている。さらには駆動電源 1 を n 段階で上げ下げすることによって、駆動電源 1 から駆動回路 3 への投入電力と駆動回路 3 の各部の消費電力

10

20

30

40

50

も $1/n$ に削減できる。上記の電力回収技術と比較した場合、高い Q を示す共振現象を誘起する必要がないので、駆動回路 3 の駆動素子 6 の消費電力を同等に抑えながらも大きな負荷容量 5 を高速に駆動でき、回路コストが大幅に削減できる利点がある。

【 0 0 2 3 】

【発明が解決しようとする課題】

上記の図 2 0 に示す従来の駆動回路は、共振現象を利用して消費電力の削減を図るものであるが、近年のプラズマディスプレイパネルにおける高精細化や大画面化に伴い消費電力の抑制効果が大幅に損なわれるという問題があった。高精細化に伴って駆動回路の出力周波数を上げた場合には、プラズマディスプレイパネルの制御性能を維持すべく上記の共振時間の削減が必要になる。その際、電力回収回路に設けた共振用インダクタンスの値のみを小さくせねばならず、共振の Q の低下に伴い電力抑制効果は減少してしまう。また、大画面化に伴いアドレス電極の寄生容量が増加しても上記の共振時間の増加を抑えるためには、やはり上記の共振用インダクタンス値の減少によって電力抑制効果が減少してしまう。さらには駆動回路の出力周波数の上昇に伴って、高電圧パルスによってプラズマディスプレイパネルを駆動する回数の増加に伴う消費電力も大きくなり、駆動回路（ドライビ C）における発熱が大きな問題となる。

10

【 0 0 2 4 】

また、図 2 1 に示した電力分散方式を用いた容量性負荷駆動回路においても、駆動電源 1 から駆動回路 3 への投入電力をさらに下げることが出来れば、電源回路も含めた全体システムの発熱を抑えることができ、さらなるコスト削減が可能になる。

20

【 0 0 2 5 】

駆動回路 3 の消費電力が十分に抑制出来ない場合、ディスプレイ各部の放熱コストや部品コストが増大してしまう。また、ディスプレイ装置自体の放熱限界により発光輝度が抑えられたり、フラットパネルディスプレイの持ち味である薄型軽量化が充分には発揮出来なくなる恐れが生じる。

【 0 0 2 6 】

本発明の目的は、上述した従来技術の課題に鑑み、駆動回路における電力消費（発熱）が抑制できると共に、ディスプレイ各部のコスト増加を抑えることもできるディスプレイパネル駆動回路及びこれを用いたディスプレイ装置を提供することにある。

【 0 0 2 7 】

【課題を解決するための手段】

本発明の一観点によれば、ディスプレイパネルに接続される複数のアドレス電極及び複数の走査電極と、前記複数のアドレス電極を駆動する第 1 の駆動回路と、前記複数の走査電極を駆動する第 2 の駆動回路とを有するディスプレイパネル駆動回路であって、前記複数の走査電極は第 1 のアドレス期間で走査パルスが印加される第 1 の走査電極群と第 2 のアドレス期間で走査パルスが印加される第 2 の走査電極群から構成され、前記第 2 の駆動回路は前記複数の走査電極のうち、走査パルスを印加する電極とその前後の電極のみを接続状態にし、前記第 1 のアドレス期間では、前記第 2 の走査電極群への電圧の供給を遮断することにより前記第 2 の走査電極群の出力インピーダンスを上昇させ、前記第 2 のアドレス期間では、前記第 1 の走査電極群への電圧の供給を遮断することにより前記第 1 の走査電極群の出力インピーダンスを上昇させることを特徴とするディスプレイパネル駆動回路が提供される。

30

40

【 0 0 2 9 】

第 1 の走査電極群または第 2 の走査電極群の出力インピーダンスを上昇させることによって、ディスプレイパネル内に存在する寄生容量を第 1 の駆動回路の負荷容量から排除できる。この負荷容量の削減効果によって、第 1 の駆動回路の電力消費を削減することができる。

【 0 0 3 5 】

【発明の実施の形態】

（第 1 の実施形態）

50

図1は、本発明の第1の実施形態によるプラズマディスプレイ装置の全体構成のブロック図を示す。このプラズマディスプレイ装置は、パネル駆動回路の負荷容量を削減することができる。また、このプラズマディスプレイ装置は、プラズマディスプレイパネル201と、外部より入力されるインターフェイス信号により表示パネルの駆動回路を制御するための制御信号を形成する制御回路205と、この制御回路205からの制御信号によりパネル電極を駆動するためのX共通ドライバ(X電極駆動回路)206odd, 206evenと、走査電極駆動回路(走査ドライバ)203odd, 203even及びY共通ドライバ204odd, 204evenと、アドレス電極駆動回路(アドレスドライバ)202とにより構成される。

【0036】

X共通ドライバ206odd, 206evenは維持電圧パルスを発生し、また、Y共通ドライバ204odd, 204evenも同じく維持電圧パルスを発生する。走査ドライバ203odd, 203evenは、各走査電極(Y1~YL)を独立に駆動して走査する。また、アドレスドライバ202は、各アドレス電極(A1~Ad)に対して表示データに対応したアドレス電圧パルスを印加する。

【0037】

制御回路205は、表示データ制御部251、走査ドライバ制御部253及び共通ドライバ制御部254を有する。表示データ制御部251は、クロックCLK及び表示データDATAを受け取ってアドレスドライバ202にアドレス制御信号を供給する。走査ドライバ制御部253は、垂直同期信号Vsync及び水平同期信号Hsyncを受け取って、走査ドライバ203odd, 203evenを制御する。共通ドライバ制御部254は、垂直同期信号Vsync及び水平同期信号Hsyncを受け取って、共通ドライバ(X共通ドライバ206odd, 206even及びY共通ドライバ204odd, 204even)を制御する。なお、表示データ制御部251は、フレームメモリを備えている。

【0038】

プラズマディスプレイパネル201は、放電セル(表示セル)207を有し、図15及び図16の構成を有する。プラズマディスプレイ装置の駆動波形は、図18と同様である。

【0039】

走査ドライバは、プラズマディスプレイパネル201の奇数ライン用走査ドライブモジュール203oddと偶数ライン用走査ドライブモジュール203evenから構成される。この走査ドライバは、駆動シーケンスのアドレス期間ADD(図18)に奇数ラインと偶数ラインとを分けてスキャンパルスを印加することによって、隣接ライン間の干渉によるアドレスの誤制御の発生を防いでいる。例えば、奇数ラインのスキャン直後に偶数ライン間でスキャンパルスを転送し、アドレスドライバ202の出力もこれに同期させている。また、図1の場合、奇数ライン用及び偶数ライン用走査ドライブモジュール203odd, 203evenには、それぞれ4個のスキャンドライブIC(IC1~IC4、IC5~IC8)が搭載されている。その8個のスキャンドライブIC間では、内部のシフトレジスタをシリーズに接続して走査パルスに相当するデータ信号を転送している。この動作に伴ってY共通ドライバも奇数ライン用のドライバ204oddと偶数ライン用のドライバ204evenの2種が必要となる。同様に、X共通ドライバにも奇数ライン用のドライバ206oddと偶数ライン用のドライバ206evenの2種が必要となる。

【0040】

Y電極及びX電極の駆動回路は、内部の駆動素子を遮断することによりインピーダンスを高くし、アドレスドライバ202の負荷容量の削減による低消費電力化を図ることができる。例えば、Y共通ドライバ204odd, 204even及びX共通ドライバ206odd, 206evenは、奇数ラインのアドレス時には偶数ライン用ドライバを、偶数ラインのアドレス時には奇数ライン用ドライバを駆動素子の遮断制御によって高出力インピーダンス状態にする。もちろん、対象となるX電極とY電極の駆動電位の制御ために、上記の高出力インピーダンス状態とする前後に適宜、駆動素子の制御が必要となることは言うまでもない。

10

20

30

40

50

【 0 0 4 1 】

ただし、アドレスドライバ 2 0 2 の出力が遷移するタイミングにおいては、X 電極及び Y 電極をできる限り上記の高出力インピーダンス状態としたい。従って、走査パルスを印加しているラインを含む奇数又は偶数ライン用のドライバ内においても、走査パルスを印加していないラインやそれを含むモジュールやフレキシブル基板の単位で、それらの駆動回路を高出力インピーダンス状態とする。その詳細は、後に図 2 を参照しながら説明する。

【 0 0 4 2 】

ここで、図 1 に示した走査ドライバ 2 0 3 o d d , 2 0 3 e v e n に搭載された 8 個のドライブ IC には、制御信号 Y o d d 1 ~ Y o d d 4 と Y e v e n 1 ~ Y e v e n 4 が入力され、IC 単位で上記の高出力インピーダンス状態への制御ができるようになっている。

10

【 0 0 4 3 】

図 2 は、走査ドライバ 2 0 3 o d d , 2 0 3 e v e n 内のドライブ IC 2 3 0 の内部回路の回路図の一例を示す。X 共通ドライバ 2 0 6 o d d , 2 0 6 e v e n 内のドライブ IC の回路構成も同様である。このドライブ IC 2 3 0 は、6 4 ビット分の出力回路 2 3 4 (O U T 1 ~ O U T 6 4) を備えている。出力回路 2 3 4 は、最終出力段のプッシュプル型 F E T 2 3 4 1 及び 2 3 4 2 を挟んで高圧電源 V H とグランド G N D に接続される。このドライブ IC 2 3 0 は、さらに、両 F E T を制御するためのロジック回路 2 3 3、6 4 ビットの出力回路を選択するためのシフトレジスタ回路 2 3 1、及び、ラッチ回路 2 3 2 を備える。

【 0 0 4 4 】

これら制御用の信号は、シフトレジスタ 2 3 1 のクロック信号 C L O C K、データ信号 D A T A、ラッチ回路 2 3 2 のラッチ信号 L A T C H、ロジック回路用電源 V c c、ゲート回路制御用のストロープ信号 S T B、及びトライステート制御信号 T S C で構成されている。

20

【 0 0 4 5 】

シフトレジスタ 2 3 1 は、データ信号 D A T A を入力し、6 4 ビットのデータシフトを行う。ラッチ 2 3 2 は、シフトレジスタ 2 3 1 の出力をラッチし、6 4 ビットのデータ O T 1 等を出力する。

【 0 0 4 6 】

否定論理積 (N A N D) 回路 2 3 4 5 は、出力データ O T 1 及びストロープ信号 S T B を入力し、否定論理積を出力する。論理否定 (N O T) 回路 2 3 4 6 は、N A N D 回路 2 3 4 5 の出力の論理反転データを出力する。否定論理和 (N O R) 回路 2 3 4 7 は、N O T 回路 2 3 4 6 の出力及びトライステート制御信号 T S C を入力し、否定論理和を出力する。N O R 回路 2 3 4 9 は、トライステート制御信号 T S C 及び N A N D 回路 2 3 4 5 の出力を入力し、否定論理和を出力する。

30

【 0 0 4 7 】

N チャンネル M O S (m e t a l o x i d e s e m i c o n d u c t o r) F E T (電界効果トランジスタ) 2 3 4 8 は、ゲートが N O R 回路 2 3 4 7 の出力に接続され、ソースがグランド G N D に接続される。抵抗 2 3 5 0 は、N チャンネル M O S F E T 2 3 4 8 のドレイン及び P チャンネル M O S F E T 2 3 4 1 のゲート間に接続される。抵抗 2 3 5 1 は、P チャンネル M O S F E T 2 3 4 1 のゲート及び高圧電源 V H 間に接続される。P チャンネル M O S F E T 2 3 4 1 は、ソースが高圧電源 V H に接続され、ドレインが出力線 O U T 1 に接続される。N チャンネル M O S F E T 2 3 4 2 は、ゲートが N O R 回路 2 3 4 9 の出力に接続され、ソースがグランド G N D に接続され、ドレインが出力線 O U T 1 に接続される。ダイオード 2 3 4 3 は、アノードが出力線 O U T 1 に接続され、カソードが高圧電源 V H に接続される。ダイオード 2 3 4 4 は、アノードがグランド G N D に接続され、カソードが出力線 O U T 1 に接続される。以上は、6 4 ビット中の 1 ビットについて説明したが、他のビットの回路も同様である。

40

【 0 0 4 8 】

この走査ドライバは、図 1 8 に示した駆動波形をプラズマディスプレイパネルに印加する

50

際に、アドレス期間ADDにおいて高出カインピーダンスにする。X共通ドライバも同様に高出カインピーダンスにする。ただし、走査パルスを印加するラインの走査ドライバ及びX共通ドライバは低出カインピーダンスで駆動する。

【0049】

トリステート制御信号TSCをハイレベルにすることによって、各回路ブロック内のハイスайд側駆動素子2341とローサイド側駆動素子2342を共に遮断することができる。よって、走査ドライブモジュール203odd, 203even単位で駆動回路の出力カインピーダンスを制御するのであれば、各モジュール203odd, 203evenに搭載された全ドライブICのトリステート制御信号TSCを共通にする。また、走査ドライバ203odd, 203evenの走査パルスの印加ラインとその前後のラインを駆動していないドライブICのみを上記の高出カインピーダンスとする場合には、各ドライブICごとに異なったタイミングのトリステート制御信号TSCを入力する。

10

【0050】

図3は、ドライブIC230の他の回路例を示す。このドライブIC230は、アドレスドライバ202(図1)の負荷容量を最大限に削減すべく、走査ドライバ203odd, 203evenの走査パルスの印加ラインとその前後のラインのみを低い出カインピーダンスで駆動できる。図2の回路と異なる点を説明する。

【0051】

シフトレジスタ231は、66ビットのシフトレジスタである。ラッチ232は、66ビットのラッチである。NAND回路2352は、出力データOT2及びOT3を入力し、否定論理積を出力する。NOR回路2353は、NAND回路2352の出力及びNAND回路2345の出力を入力し、否定論理和を出力する。NOR回路2347は、NOR回路2353の出力及びトリステート制御信号TSCを入力し、否定論理和をMOSFET2348のゲートに出力する。

20

【0052】

トリステート制御信号TSCによる全出力の高出カインピーダンス制御に加え、走査パルスの出力端子とその隣接端子以外の出力端子が強制的に高出カインピーダンスに制御されるようになっている。走査パルスの出力端子とその少なくとも一方の隣接端子のみを低出カインピーダンスにできるドライブICの一回路例を図3に示した。しかし、図3に示した回路例以外にも、駆動素子の制御回路に順序回路を用いたり、出力カインピーダンス状態に対応したシフトレジスタを付け加えたりするなど、同分野の技術者であれば同機能の実現方法は容易に見出されることは言うまでもない。

30

【0053】

図4は、図1に示す走査ドライブモジュール203odd, 203even及びY共通ドライバ204odd, 204evenを含むY電極駆動回路の例を示す。このY電極駆動回路は、実際に図18に示した駆動波形をプラズマディスプレイパネルに印加する際に、アドレス期間ADDにおいて高出カインピーダンスにする。ただし、走査パルスを印加するラインのY電極駆動回路及びX電極駆動回路(X共通ドライバ)は低出カインピーダンスで駆動する。

【0054】

以下、走査ドライブモジュール203odd, 203evenのすべて又は個々を、走査モジュール203という。また、Y共通ドライバ204odd, 204evenのすべて又は個々をY共通ドライバ204という。また、X共通ドライバ206odd, 206evenのすべて又は個々をX共通ドライバ206という。

40

【0055】

まず、走査ドライブモジュール203の構成を説明する。NチャンネルMOSFET2341は、寄生ダイオード203Hを有し、ゲートがドライブ回路2012の出力に接続され、ソースが出力端子OUTに接続され、ドレインが電源端子VHに接続される。寄生ダイオード203Hは、アノードがMOSFET2341のソースに接続され、カソードがMOSFET2341のドレインに接続される。NチャンネルMOSFET2342は、寄生

50

ダイオード203Lを有し、ゲートがドライブ回路2013の出力に接続され、ソースが基準端子V_{GND}に接続され、ドレインが出力端子OUTに接続される。寄生ダイオード203Lは、アノードがMOSFET2342のソースに接続され、カソードがMOSFET2342のドレインに接続される。以上は、1ビットの出力端子OUTの回路について説明したが、他のビットの出力端子の回路も同様である。

【0056】

次に、Y共通ドライバ204について説明する。NチャンネルMOSFET2001は、ソースが電源端子V_Hに接続され、ドレインがノードN1に接続される。NチャンネルMOSFET2011は、ソースがノードN3に接続され、ドレインが基準端子V_{GND}に接続される。NチャンネルMOSFET2002は、ソースが基準端子V_{GND}に接続され、ドレインがノードN1に接続される。電源V_sは、正極がノードN1に接続され、負極がグラウンドGNDに接続される。電源V_{my}は、正極がグラウンドGNDに接続され、負極がノードN2に接続される。電源V_y - V_{my}は、正極がノードN2に接続され、負極がノードN3に接続される。

10

【0057】

NチャンネルMOSFET2003は、ドレインがグラウンドGNDに接続され、ソースがダイオード2004のアノードに接続される。ダイオード2004のカソードは、電源端子V_Hに接続される。ダイオード2005は、アノードが電源端子V_Hに接続され、カソードがNチャンネルMOSFET2006のドレインに接続される。MOSFET2006のソースは、グラウンドGNDに接続される。

20

【0058】

NチャンネルMOSFET2043は、ドレインがグラウンドGNDに接続され、ソースがダイオード2044のアノードに接続される。ダイオード2044のカソードは、基準端子V_{GND}に接続される。ダイオード2007は、アノードが基準端子V_{GND}に接続され、カソードがNチャンネルMOSFET2008のドレインに接続される。MOSFET2008のソースは、グラウンドGNDに接続される。

【0059】

NチャンネルMOSFET2009は、ドレインがノードN2に接続され、ソースがダイオード2010のアノードに接続される。ダイオード2010のカソードは、ダイオード2042のアノードに接続される。NチャンネルMOSFET2041は、ドレインがダイオード2042のカソードに接続され、ソースがノードN2に接続される。

30

【0060】

アドレス期間ADD(図18)にY電極駆動回路の出力端子は、Y電極ラインに走査パルス印加している出力(出力レベル - V_y)以外は全て - V_{my}レベルである。プラズマディスプレイパネルにおいてY電極と対向するアドレス電極の電圧が立ち下がる時には、図2や図3に示したようにY電極ドライブIC230を高出力インピーダンス化することによって、アドレスドライバ202の消費電力を抑えることができる。しかし、アドレス電極の電圧が立ち上がる時には、走査ドライブモジュール203中に実装されたY電極ドライブIC内のハイサイド側出力素子2341に並列接続されたダイオード203Hを通して出力電流が流れることによって高出力インピーダンスを維持できなくなって、アドレス駆動回路の消費電力が増加する恐れがある。

40

【0061】

並列接続されたダイオード203Hは、ハイサイド側出力素子2341がMOSFETである場合には、そのドレイン - ソース間の寄生ダイオードに相当する。ハイサイド側出力素子2341がMOSFET以外のIGBT(insulated gate bipolar transistor)やバイポーラトランジスタなどの場合でも、ダイオード203Hの位置にスキャン動作モード時以外に必要な並列ダイオードを付加することが一般的であるので、上記の懸念が残る。従って、その場合には、Y共通ドライバ204の中の駆動素子のうちで、走査ドライブモジュール203内の出力素子2341の並列ダイオード203Hと同方向の導通ダイオード2042に直列接続された駆動素子2041をアドレス期間ADDの少なくとも

50

アドレス出力の立上り時に遮断状態に制御する。このことによって、Y電極駆動回路の出力インピーダンスをアドレス期間ADDにおいて完全に高インピーダンス化して、アドレスドライバ202の消費電力を最大限に削減することができる。

【0062】

図18に示した駆動波形となる条件で駆動した場合においても同様に、ローサイド側の出力素子2342に並列接続されたダイオード203Lを介した出力電流の流出によって高出力インピーダンスの維持が困難になることがある。その際も同様に、Y共通ドライバ204内の同方向の導通ダイオード2044に接続された駆動素子2043を遮断状態に制御することが有効であることは言うまでもない。

【0063】

以上のように、アドレスドライバ202はアドレス電極を駆動し、Y共通ドライバ204及び走査ドライバ203はY電極を駆動し、X共通ドライバ206はX電極を駆動する。X電極及びY電極が表示放電電極である。表示放電電極ドライバは、Y共通ドライバ204、走査ドライバ203及びX共通ドライバ206を含む。Y電極は走査放電電極であり、Y共通ドライバ204及び走査ドライバ203は走査放電電極ドライバである。

【0064】

アドレスドライバ202がアドレス電極を駆動する際に、図2に示すように、表示放電電極ドライバは複数の表示放電電極のうちのすべてを駆動するために接続し、又は遮断することにより出力インピーダンスを上昇させる。また、図3に示すように、表示放電電極ドライバは複数の表示放電電極の一部を駆動するために接続し、又は遮断することにより出力インピーダンスを上昇させる。その際、Y電極ドライバ203、204は、走査パルスを印加するY電極を接続状態にし、走査パルスを印加しないY電極を接続状態又は遮断状態にする。X共通ドライバ206は、Y電極ドライバ203、204に対応して、ライン毎に同様の状態に制御する。

【0065】

表示放電電極のすべて又は一部を遮断状態に制御することによって、ディスプレイパネル内に存在する表示放電電極とアドレス電極間の寄生容量がアドレスドライバの負荷容量から排除できる。この負荷容量の削減効果によって、アドレスドライバの電力消費を削減することができる。

【0066】

(第2の実施形態)

図5は、本発明の第2の実施形態によるアドレスドライバ202の構成を示す。図21では2つの駆動素子6、7を使用するが、図5のアドレスドライバは、単一の駆動素子6を用いることによって回路コストを削減しつつ、電力消費(発熱)が抑制できる。

【0067】

駆動電源1は、基準端子9が基準電位(グランド)4に接続される。駆動回路3は、駆動素子6を有し、電源端子8が駆動電源1の電源端子11に接続され、出力端子10がプラズマディスプレイパネル201(図1)のアドレス電極に接続される。抵抗2及び容量5は、それぞれ、アドレス電極の抵抗及び容量であり、抵抗値RL及び容量値CLを有する。

【0068】

プラズマディスプレイパネルなどフラットディスプレイパネルの駆動電極のような負荷は、正確には寄生容量と寄生抵抗が集中的でなく分布した構造となっている。ここで分布抵抗2の両端間の抵抗値がRLである場合、駆動回路の出力端子10側から均等に電流が寄生容量5に漏れていって電極先端において零になると仮定すると、実効電極抵抗値Raは両端間抵抗値RLの1/3となる。駆動回路3の駆動素子は、一般的なプッシュプル回路構成に用いる2素子6、7(図21)とはしないで、駆動素子6のみに削減する。ここで駆動素子6として、駆動素子単独か或いは駆動素子と付加素子から成る合成回路を用いることにより、少なくとも一方向の電流に対するスイッチング機能と双方向導通機能を実現させる。

10

20

30

40

50

【 0 0 6 9 】

その際、駆動回路 3 によって、容量値 C L の負荷容量 5 の電圧を上げる方向に駆動する時に流れる駆動電流は、駆動電源から駆動回路 3 の駆動素子 6 を介して R a という低抗値を示す分布抵抗 2 に流れる。また、駆動電源 1 の出力電位を下げることによって、駆動回路 3 の電源端子 8 の電位を下げ、負荷容量 5 の電圧を立ち下げる場合に流れる駆動電流は、双方向導通特性を備えた駆動素子 6 と駆動電源 1 を介して基準電位 4 に流れ込む。その際、駆動素子 6 の導通インピーダンスを、駆動電源 1 の出力インピーダンスや上記の実効的電極抵抗値 R L に対して低く抑えることにより、駆動素子 6 における消費電力を低減することができる。また、上述のように駆動電源 1 に電力回収回路や多段上げ下げ回路を適用することにより、駆動素子 6 における消費電力をさらに低減することができる。

10

【 0 0 7 0 】

図 6 は、図 5 のアドレスドライバのより具体的な回路を示す。ドライブ I C 3 7 は、図 5 の駆動回路 3 に相当する。電力分散手段 3 0 は、例えば抵抗であり、ドライブ I C 3 7 の電源端子 8 及び駆動電源 1 の電源端子 1 1 の間に接続される。電力分散手段 3 0 をドライブ I C 3 7 の外部に設けることにより、ドライブ I C 3 7 内での発熱量を抑制し、ドライブ I C 3 7 の放熱のためのコストを下げる可以降低。

【 0 0 7 1 】

次に、駆動電源 1 の構成を説明する。電源 4 1 は、正極が電源 4 0 の負極に接続され、負極がグランドに接続される。スイッチ 4 2 は、電源 4 0 の正極及び電源端子 1 1 の間に接続される。スイッチ 4 3 は、電源 4 0 の負極及び電源端子 1 1 の間に接続される。スイッチ 4 4 は、グランド及び電源端子 1 1 の間に接続される。

20

【 0 0 7 2 】

次に、ドライブ I C 3 7 の構成を説明する。Pチャネル M O S F E T 6 0 1 は、寄生ダイオード 6 0 2 を有し、ゲートがドライブ回路 6 0 0 に接続され、ソースが電源端子 8 に接続され、ドレインが出力端子 1 0 に接続される。寄生ダイオード 6 0 2 は、アノードが M O S F E T 6 0 1 のドレインに接続され、カソードが M O S F E T 6 0 1 のソースに接続される。出力端子 1 0 は、アドレス電極の数だけ設けられ、外部のアドレス電極に接続される。アドレス電極は、抵抗 2 及び容量 5 を有する。各出力端子 1 0 は、それぞれ上記と同様の回路に接続される。

【 0 0 7 3 】

図 7 は、スイッチ 4 2 ~ 4 4 及びスイッチ (M O S F E T) 6 0 1 の制御及び電圧 V 8 の波形の例を示す。電圧 V 8 は、電源端子 8 の電圧波形である。

タイミング t 1 の前では、スイッチ 4 2 をオン、スイッチ 4 3 及び 4 4 をオフにする。電圧 V 8 は、V a になる。

次に、タイミング t 1 では、スイッチ 4 2 及び 4 4 をオフ、スイッチ 4 3 をオンにする。電圧 V 8 は、V a / 2 に下がる。

次に、タイミング t 2 では、スイッチ 4 2 及び 4 3 をオフ、スイッチ 4 4 をオンにする。電圧 V 8 は 0 V に下がる。

【 0 0 7 4 】

次に、タイミング t 3 では、スイッチ 4 2 及び 4 4 をオフ、スイッチ 4 3 をオンにする。電圧 V 8 は、V a / 2 に上がる。

次に、タイミング t 4 では、スイッチ 4 2 をオン、スイッチ 4 3 及び 4 4 をオフにする。電圧 V 8 は、V a に上がる。

次に、スイッチ (M O S F E T) 6 0 1 及び出力端子 1 0 の電圧の関係を説明する。タイミング t 2 の前では、スイッチ 6 0 1 のオン/オフが任意である。タイミング t 2 以降において、スイッチ 6 0 1 をオンにすると、出力端子 1 0 から電圧 H i が出力される。電圧 H i は、電圧 V 8 と同じである。一方、スイッチ 6 0 1 をオフにすると、出力端子 1 0 から電圧 L o が出力される。電圧 L o は 0 V である。この出力端子 1 0 の電圧は、図 1 8 のアドレス電極の電圧波形に相当する。

30

40

【 0 0 7 5 】

50

図6において、ドライブIC37の中の単一の駆動素子601は、寄生ダイオード602を伴うことにより、電源端子8から出力端子10に流れる電流方向へのスイッチング機能と、その逆方向の電流に対する導通機能とを備えている。図6では駆動素子にPチャネルMOSFET601が用いられているが、図9に示すように同様にダイオード602が寄生したNチャネルMOSFET603を適用することもできる。また、図8(C)に示すようにダイオード609を新たに並列付加したIGBT608やバイポーラトランジスタなどを用いることもできる。

【0076】

図6ではドライブIC37が電力分散手段30を介して2段階の電圧上げ下げ機能をもつ駆動電源1によって駆動されており、電源端子8の電位はグラウンドから電極駆動電圧の範囲で変化する。駆動電源1の2段階電圧上げ下げ回路の回路構成例を図10に示す。

10

【0077】

図10において、駆動電源1の構成を説明する。NチャネルMOSFET45は、スイッチ42(図6)に相当し、ソースが電源端子11に接続され、ドレインが電源40の正極に接続される。NチャネルMOSFET48は、スイッチ44(図6)に相当し、ソースがグラウンドに接続され、ドレインが電源端子11に接続される。

【0078】

次に、スイッチ43(図6)に相当する構成を説明する。NチャネルMOSFET46は、ソースが電源40の負極に接続され、ドレインがダイオード49のカソードに接続される。ダイオード49のアノードは、電源端子11に接続される。NチャネルMOSFET47は、ソースが電源端子11に接続され、ドレインがダイオード50のカソードに接続される。ダイオード50のアノードは、電源40の負極に接続される。

20

上記の駆動電源1内のMOSFETは、オン抵抗を有するので、図6の電力分散手段30の機能を有する。

【0079】

図11は、電力回収回路を用いた駆動電源110の構成例を示す。電力回収回路は、低消費電力化を図ることができる。PチャネルMOSFET113Pは、ソースが正電位Vaに接続され、ドレインが電源端子111に接続される。NチャネルMOSFET113Nは、ソースがグラウンドに接続され、ドレインが電源端子111に接続される。インダクタンス112Pは、ダイオード115Pのカソード及び電源端子111間に接続される。PチャネルMOSFET114Pは、ドレインがダイオード115Pのアノードに接続され、ソースがコンデンサ116の第1の電極に接続される。コンデンサ116の第2の電極は、グラウンドに接続される。インダクタンス112Nは、ダイオード115Nのアノード及び電源端子111間に接続される。NチャネルMOSFET114Nは、ドレインがダイオード115Nのカソードに接続され、ソースがコンデンサ116の第1の電極に接続される。

30

【0080】

次に、駆動電源(電力回収回路)110の動作を説明する。この駆動電源110は、図7の電圧V8と同じ電圧を生成することができる。タイミングt1の前では、FET113Pをオンし、FET113N、114N及び114Pをオフする。すると、電圧V8はVaになる。次に、タイミングt1では、FET114Nをオンし、FET113P、113N及び114Pをオフする。すると、インダクタンス112N及びコンデンサ116のLC共振により、コンデンサ116が充電されて電力が回収され、電圧V8が下がる。次に、タイミングt2では、FET113Nをオンし、FET113P、114P及び114Nをオフする。すると、電圧V8は0V(グラウンド)になる。次に、タイミングt3では、FET114Pをオンし、FET113P、113N及び114Nをオフする。すると、電圧V8が上昇する。次に、タイミングt4では、FET113Pをオンし、FET113N、114P及び114Nをオフする。すると、電圧V8はVaになる。

40

【0081】

図8(A)~(C)は、図6のドライブ回路600、FET601及びダイオード602

50

の具体的構成を示す。図6において、FET(駆動素子)601を広範囲の電位で導通状態及び遮断状態に維持するために、ドライブ回路600は電源端子8に接続された高圧回路にすることが多い。そこでドライブ回路600の回路コストを抑えるべく、ドライブ回路600を低圧回路で構成した例を図8(A)~(C)に示す。

【0082】

図8(A)では、安価な低耐圧素子から成るドライブ回路605から出力される制御電圧を、スイッチ回路606を介して駆動素子601のゲートに印加している。スイッチ回路606を導通させて駆動素子601の状態を制御した後に、スイッチ回路606を遮断した場合、入力端子対であるゲート-ソース間の寄生容量604に制御電圧が保持されるために駆動素子601の制御も維持される。このように入力端子が絶縁された電圧駆動素子を駆動素子601として用いた場合には、入力端子対の間の寄生容量604をホールドコンデンサとして利用することができる。これは、一般的に駆動素子601においては、その安定動作と低消費電力化のために、入力端子対間の寄生容量604が他の端子対間の寄生容量よりも大幅に大きく設計されていることを利用している。

10

【0083】

図8(B)の構成を説明する。NチャネルMOSFET(駆動素子)603は、寄生ダイオード602を有する。寄生ダイオード602は、アノードがFET603のソースに接続され、カソードがFET603のドレインに接続される。図8(A)のスイッチ回路606の代わりに、ダイオード6061及びNチャネルMOSFET607を用いる。

20

【0084】

図6のドライブIC37の出力端子10の電位(駆動素子603のソース端子電位と同じ電位)がグラウンドレベルまで下がっているタイミングにおいて、ドライブ回路605の出力をハイレベル(例えば5V)にすることで、駆動素子603は導通状態になる。その後、出力端子10が高電位になるとダイオード6061は遮断し、駆動素子603の導通状態は維持される。駆動素子603を遮断する時にはドライブ素子607を導通させる。入力端子対間の寄生容量604は、ホールドコンデンサとして機能する。

【0085】

図8(C)においては、並列ダイオード609を付加したIGBT608を駆動素子として用いると共に、NチャネルMOSFET6062のみを上記のスイッチ回路に用いる。FET6062は、寄生ダイオード609を有する。FET(スイッチ回路)6062の動作としては、ドライブ回路605の出力がハイレベルの時にNチャネルMOSFET6062の寄生ダイオード610を介して駆動素子608を導通させる。また、ドライブ回路605の出力をローレベルにすると共にNチャネルMOSFET6062のゲート電位をハイレベルにすることによって、駆動素子609を遮断させる。入力端子対間の寄生容量604は、ホールドコンデンサとして機能する。

30

図8(A)~(C)の各回路構成の組合せは任意であると共に、駆動波形に応じて逆極性の駆動素子を適用できることは言うまでもない。

【0086】

以上のように、図6において、駆動電源1は、周期的に昇降する電圧を供給可能である。FET601及び寄生ダイオード602は、第1のスイッチング素子を構成する。第1のスイッチング素子は、駆動電源1及び出力端子10の間に接続され、双方向導通可能であり少なくとも一方向の電流に対するスイッチング機能を有する。

40

【0087】

上記の少なくとも一方向の電流に対するスイッチング機能と双方向導通機能を有した回路を用いることによって、各出力端子10単位においてプッシュプル構成のために複数設けていた駆動素子の数を単一にして、回路コストを削減することができる。

【0088】

また、図8(A)に示すように、第1のスイッチング素子は高圧スイッチング素子であり、第1のスイッチング素子の制御端子は、第2のスイッチング素子606等を介して低圧駆動回路605に接続される。また、図8(B)、(C)に示すように、第2のスイッチ

50

ング素子は、ダイオード6061又はMOSFET6062を用いて構成してもよい。

【0089】

(第3の実施形態)

図12(A)は、本発明の第3の実施形態によるアドレスドライバ202(図1)の構成例を示す。このアドレスドライバ202は、負荷容量に充電されている電荷を出力切り換えの際に再利用することによって電力消費を抑制することができる。

【0090】

駆動回路3の電源端子8は、スイッチ回路80を介して駆動電源1に接続される。PチャネルMOSFET601a, 601b, 601cは、それぞれ寄生ダイオード602a, 602b, 602cを有し、ソースが電源端子8に接続され、ドレインが出力端子10a, 10b, 10cに接続される。寄生ダイオード602a~602cのアノード及びカソードは、それぞれFET601a~601cのドレイン及びソースに接続される。FET601a~601cのゲートは、ドライブ回路600の出力に接続される。

10

【0091】

NチャネルMOSFET701a, 701b, 701cは、それぞれ寄生ダイオード702a, 702b, 702cを有し、ソースがグランド端子4に接続され、ドレインが出力端子10a, 10b, 10cに接続される。寄生ダイオード702a~702cのアノード及びカソードは、それぞれFET701a~701cのソース及びドレインに接続される。FET701a~701cのゲートは、ドライブ回路700の出力に接続される。出力端子10a~10cには、アドレス電極の抵抗2及び容量5が接続されている。

20

【0092】

駆動回路3は、複数の出力端子10a~10cを備えている回路であれば、単一のドライブICであっても、複数のドライブICを搭載したドライブモジュールや複数のドライブモジュールを含んだドライブ回路であっても構わない。

【0093】

図12(B)の波形図は、スイッチ80の状態、出力端子10aの電圧Vo1、出力端子10bの電圧Vo2の波形を示す。電圧Vo1を0VからVaへ立ち上げ、電圧Vo2をVaから0Vへ立ち下げる場合を例に説明する。

【0094】

タイミングt1の前では、スイッチ80をオンし、FET601b及び701aをオン(導通)し、FET701b及び601aはオフ(遮断)する。電圧Vo1は0Vになり、電圧Vo2はVaになる。

30

次に、タイミングt1では、スイッチ80をオフにする。

【0095】

次に、タイミングt2では、ローサイド側出力端子であるFET701aをオフする。その後、ハイサイド側出力素子であるFET601aをオンし、FET601bをオフする。すると、出力端子10bの電圧Vo2は、寄生ダイオード602b及びFET601aを介して、出力端子10aに供給される。電圧Vo2は下がり、電圧Vo1は上がり、やがて両者は同じ電圧になる。この際、出力端子10bの負荷容量5に蓄えられていた電荷を出力端子10aの負荷容量に分配しておくことによって、その後の駆動電源1からの電荷供給量を削減して、電力消費を抑制することができる。

40

【0096】

次に、タイミングt3では、スイッチ80をオンし、ローサイド側出力素子であるFET701bをオンする。すると、電圧Vo1はVaに上がり、電圧Vo2は0Vに下がる。この場合、タイミングt2でハイサイド側出力素子であるFET601a, 601b、及びオフするローサイド側出力素子であるFET701aを切り替えた後、タイミングt3でオンするローサイド側出力素子であるFET701bを切り替えるようにドライブ回路600及び700を制御する。例えば、FET701bのドライブ回路700において、制御信号経路に抵抗とコンデンサから成るCR遅延回路を設けたり、能動素子の駆動能力を抑制したりすることによって、FET601a, 601b, 701aのドライブ回路6

50

00, 700の特性よりも大きな伝搬遅延時間を確保することができる。

【0097】

また、スイッチ80は、タイミングt1からt3までの間、オフするように設計する。この設計も図1に示した制御回路205に入力された各タイミング信号から容易に生成できる。このようにスイッチ80をオフして、各負荷容量に充電されていた電荷をまとめて、ハイレベルにすべき出力端子に分配することができる。その後、スイッチ80の導通時に、駆動電源1から供給される電荷量は上記の分配電荷の分だけ削減できるので、駆動電源1からの供給エネルギーも減り、結果的に駆動回路3の電力消費を削減することができる。

なお、駆動電源1と駆動回路3の間に設けられていたスイッチ回路80を、グランド端子4のグランド電位と駆動回路3の間に挿入することも可能である。

10

【0098】

図13は、図12(A)のスイッチ80をMOSFET81で構成した例を示す。MOSFET81は、NチャネルであってもPチャネルであっても良いし、他のスイッチング素子でも良いことは言うまでもない。また、MOSFET81のゲート-ソース間の駆動電圧を適切に調整するなどして、MOSFET81を定電流モード或いは高出力インピーダンス状態で使用することもできる。このように駆動することによって、MOSFET81への電力分散効果も大きくなり、駆動回路3のさらなる消費電力低減も可能となる。

【0099】

以上のように、図12(A)において、共通スイッチング素子80は、電源1に接続される。第1のスイッチング素子601a, 602a及び第2のスイッチング素子701a, 702aは、共通スイッチング素子80を介して電源1及び基準電位4の間に直列に接続される。第1の出力端子10aは、第1のスイッチング素子601a, 602a及び第2のスイッチング素子701a, 702aの間に接続される。

20

【0100】

第3のスイッチング素子601b, 602b及び第4のスイッチング素子701b, 702bは、第1のスイッチング素子601a, 602a及び第2のスイッチング素子701a, 702aに対して並列に、かつ共通スイッチング素子80を介して電源1及び基準電位4の間に直列に接続される。第2の出力端子10bは、第3のスイッチング素子601b, 602b及び第4のスイッチング素子701b, 702bの間に接続される。

30

【0101】

図12(B)において、タイミングt1の前で基準電位4の電圧を第2のスイッチング素子701a, 702aを介して第1の出力端子10aから出力し、その後、タイミングt1で共通スイッチング素子80を開き、タイミングt2で第2の出力端子10bの電圧を第1のスイッチング素子601a, 602a及び第3のスイッチング素子601b, 602bを介して第1の出力端子10aから出力し、その後、タイミングt3で電源1の電圧を共通スイッチング素子80及び第1のスイッチング素子601a, 602aを介して第1の出力端子10aから出力する。

【0102】

また、タイミングt1の前で電源1の電圧を共通スイッチング素子80及び第3のスイッチング素子601b, 602bを介して第2の出力端子10bから出力し、その後、タイミングt1で共通スイッチング素子80を開き、タイミングt2で第1の出力端子10aの電圧を第1のスイッチング素子601a, 602a及び第3のスイッチング素子601b, 602bを介して第2の出力端子10bから出力し、その後、タイミングt3で基準電位4の電圧を第4のスイッチング素子701b, 702bを介して第2の出力端子10bから出力する。

40

【0103】

上記の制御により、負荷容量に充電されている電荷を出力切換えの際に再利用できる。それによって、出力切換えの際に電源から供給されるエネルギーを減らして、駆動回路の電力消費を削減することができる。

50

【0104】

(第4の実施形態)

図14は、本発明の第4の実施形態によるアドレスドライバ202の構成例を示す。このアドレスドライバ202は、表示パネルが高精細化や大画面化されても消費電力の抑制効果が損なわれ難い電力回収回路を含む。

【0105】

アドレスドライバ202は、複数のドライブIC37を搭載したアドレスドライブモジュール370, 371~372に、それぞれ、共振用インダクタンス122P, 122Nと共振スイッチ123P, 123Nと交流接地用コンデンサ124から成る共振回路部を有する。そして、出力電圧の駆動電源121へ接続するためのスイッチ回路125を一つだけ複数のアドレスドライブモジュール370~372の間で共用している。

10

【0106】

インダクタンス122P(図11のインダクタンス112P)は、アドレスドライブモジュール370等の電源端子及びダイオード127P(図11のダイオード115P)のカソード間に接続される。スイッチ123P(図11のFET114P)は、ダイオード127Pのアノード及びコンデンサ124の第1の電極間に接続される。コンデンサ124の第2の電極は、グラウンドに接続される。

【0107】

また、インダクタンス122N(図11のインダクタンス112N)は、アドレスドライブモジュール370等の電源端子及びダイオード127N(図11のダイオード115N)のアノード間に接続される。スイッチ123N(図11のFET114N)は、ダイオード127Nのカソード及びコンデンサ124の第1の電極間に接続される。

20

【0108】

スイッチ125(図11のFET113P)は、駆動電源121の電源端子及びアドレスドライブモジュール370等の電源端子間に接続される。駆動電源121の基準端子は、グラウンドに接続される。スイッチ126(図11のFET113N)は、駆動電源121の基準端子及びアドレスドライブモジュール370等の電源端子間に設けられる。

【0109】

図示したように各アドレスドライブモジュールの370~372直近に共振回路部を設けることにより、共振電流経路の配線長を最短に短縮して寄生インダクタンスや寄生容量を削減することができる。このことによって共振周期を削減した高速駆動と、Q値上昇による電力回収効率の向上に伴う消費電力の削減が可能となる。

30

【0110】

さらに、共振周期を短縮したい場合や回路部品を削減する場合には、上記の共振用インダクタンス122P及び122Nを削除して上記の共振電流経路の配線に分布する寄生インダクタンスを用いて共振を起こしても良い。その際に、共振電流経路となる配線を、プリント基板などの平面導体パターンを用いた分布定数回路によって構成することもできる。

【0111】

また、共振特性への影響の小さい上記の電位固定用のスイッチ回路125, 126を単一の組みにすることによって、回路コストを最大限に削減することができる。共振回路部を各ドライブICごとに設けることによって、駆動速度を最大限に速めると共に消費電力を最大限に低減することができる。また、最大消費電力のみを低減して放熱コストを削減出来れば良く、平均的な消費電力の大幅抑制が不要である場合には、グラウンドへの電位固定用スイッチ回路126の排除により、さらなる回路コストの削減も可能である。

40

【0112】

以上のように、第1のスイッチング素子125, 126は、電源121に接続される。図11において、ドライブIC37は、電源110及び複数の出力端子10の間にそれぞれ接続される複数の第2のスイッチング素子601, 602を有する。図14において、共振回路は、一又は複数の第2のスイッチング素子毎に設けられ、基準電位に接続可能な共振用インダクタンス122P, 122N及びコンデンサ124を含み、第1のスイッチン

50

グ素子 1 2 5 , 1 2 6 の数よりも多く設けられる。

【 0 1 1 3 】

出力端子 1 0 から共振用インダクタンス 1 2 2 P , 1 2 2 N までの接続配線の寄生インダクタンスの大きさは、共振用インダクタンス 1 2 2 P , 1 2 2 N の大きさよりも小さいことが望ましい。共振用インダクタンス 1 2 2 P , 1 2 2 N は、出力端子 1 0 から共振回路の中の共振電流経路の配線寄生インダクタンスによって構成することができる。

【 0 1 1 4 】

複数の共振回路を駆動素子又は駆動回路（一又は複数の第 2 のスイッチング素子）単位に対応して設けることにより、共振回路の配線長を最短に短縮して、共振電流経路の寄生インダクタンスを削減することができる。このことによって共振周期を削減した高速駆動と、Q 値上昇による回収効率の向上に伴う消費電力の削減が図れる。また、共振への影響の小さい上記の電源電位固定用のスイッチ回路 1 2 5 , 1 2 6 の数を減らすことによって、回路コストを削減することができる。

10

【 0 1 1 5 】

上記の第 1 ~ 第 4 の実施形態によれば、ディスプレイパネル駆動回路における電力消費（発熱）が抑制できると共に、回路コストの増加を抑えることができる。また、負荷容量の大きい 4 0 型（インチ）クラス以上のプラズマディスプレイや、アドレス電極駆動パルスレートの高い SVGA（800 × 600 ドット）、XGA（1024 × 768 ドット）、SXGA（1280 × 1024）といった高解像度プラズマディスプレイ、TV・HDTV などといった高輝度高階調プラズマテレビの小型低消費電力化・低コスト化を推進することができる。また、動画表示中の偽輪郭対策に伴うアドレス電極駆動パルスレートの増加による消費電力の増加も抑えることができる。

20

【 0 1 1 6 】

上記のディスプレイパネル駆動回路は、プラズマディスプレイやエレクトロルミネッセンス、液晶ディスプレイ（LCD）などのフラットディスプレイパネル、及びその他のディスプレイに適用できる。

【 0 1 1 7 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

30

【 0 1 1 8 】

本発明の実施形態は、例えば以下のように種々の適用が可能である。

（付記 1）ディスプレイパネルに接続するためのそれぞれ複数の第 1 及び第 2 の電極と、前記第 1 の電極を駆動するための第 1 の駆動回路と、前記複数の第 2 の電極のうちのすべて若しくは一部を駆動するために接続し、又は遮断することにより出力インピーダンスを上昇させる第 2 の駆動回路とを有することを特徴とするディスプレイパネル駆動回路。

（付記 2）前記第 1 の駆動回路がプラズマディスプレイパネルのアドレス電極駆動回路であり、前記第 2 の駆動回路がプラズマディスプレイパネルの表示放電電極の駆動回路であることを特徴とする付記 1 記載のディスプレイパネル駆動回路。

40

（付記 3）前記第 2 の駆動回路がプラズマディスプレイパネルの奇数番目のライン又は偶数番目のラインの表示放電電極の駆動回路であることを特徴とする付記 2 記載のディスプレイパネル駆動回路。

（付記 4）前記表示放電電極は放電を行うための第 1 及び第 2 の表示放電電極の複数の組みを含み、

前記第 2 の駆動回路が前記第 1 及び第 2 の表示放電電極を駆動するための回路であることを特徴とする付記 2 記載のディスプレイパネル駆動回路。

（付記 5）前記第 1 の駆動回路がプラズマディスプレイパネルのアドレス電極駆動回路であり、前記第 2 の駆動回路がプラズマディスプレイパネルの走査放電電極の駆動回路であ

50

ることを特徴とする付記 1 記載のディスプレイパネル駆動回路。

(付記 6) 前記第 2 の駆動回路がプラズマディスプレイパネルの奇数番目のライン又は偶数番目のラインの走査放電電極の駆動回路であることを特徴とする付記 5 記載のディスプレイパネル駆動回路。

(付記 7) 前記第 2 の駆動回路が一つの駆動 IC であることを特徴とする付記 5 記載のディスプレイパネル駆動回路。

(付記 8) 前記第 2 の駆動回路は、走査パルスを印加する走査放電電極を接続状態にし、走査パルスを印加しない走査放電電極を接続状態又は遮断状態にすることを特徴とする付記 5 記載のディスプレイパネル駆動回路。

(付記 9) 付記 1 に記載のディスプレイパネル駆動回路と、
前記ディスプレイパネル駆動回路の第 1 及び第 2 の電極に接続されるプラズマディスプレイパネルとを有することを特徴とするプラズマディスプレイ。

10

(付記 10) 電圧を供給可能な電源と、
前記電源が供給する電圧を出力するための出力端子と、
前記電源及び前記出力端子の間に接続され、双方向導通可能であり少なくとも一方向の電流に対するスイッチング機能を有する第 1 のスイッチング素子とを有することを特徴とするディスプレイパネル駆動回路。

(付記 11) 前記第 1 のスイッチング素子は MOSFET を用いて構成されることを特徴とする付記 10 記載のディスプレイパネル駆動回路。

(付記 12) 前記第 1 のスイッチング素子は、IGBT 又はバイポーラトランジスタにダイオードを並列接続して構成されることを特徴とする付記 10 記載のディスプレイパネル駆動回路。

20

(付記 13) 前記第 1 のスイッチング素子は高圧スイッチング素子であり、
前記第 1 のスイッチング素子の制御端子は、第 2 のスイッチング素子を介して低圧駆動回路に接続されることを特徴とする付記 10 記載のディスプレイパネル駆動回路。

(付記 14) 前記第 2 のスイッチング素子は、ダイオード又は MOSFET を用いて構成されることを特徴とする付記 13 記載のディスプレイパネル駆動回路。

(付記 15) 付記 10 に記載のディスプレイパネル駆動回路と、
前記ディスプレイパネル駆動回路の出力端子に接続されるプラズマディスプレイパネルとを有することを特徴とするプラズマディスプレイ。

30

(付記 16) 電源に接続される共通スイッチング素子と、
前記共通スイッチング素子を介して電源及び基準電位の間に直列に接続される第 1 及び第 2 のスイッチング素子と、

前記第 1 及び第 2 のスイッチング素子の間に接続される第 1 の出力端子と、
前記第 1 及び第 2 のスイッチング素子に対して並列に、かつ前記共通スイッチング素子を介して電源及び基準電位の間に直列に接続される第 3 及び第 4 のスイッチング素子と、
前記第 3 及び第 4 のスイッチング素子の間に接続される第 2 の出力端子と、
前記共通スイッチング素子を開き、前記第 2 の出力端子の電圧を前記第 1 及び第 3 のスイッチング素子を介して前記第 1 の出力端子から出力し、その後、電源の電圧を前記共通スイッチング素子及び前記第 1 のスイッチング素子を介して前記第 1 の出力端子から出力する制御回路とを有することを特徴とするディスプレイパネル駆動回路。

40

(付記 17) 電源に接続される共通スイッチング素子と、
前記共通スイッチング素子を介して電源及び基準電位の間に直列に接続される第 1 及び第 2 のスイッチング素子と、

前記第 1 及び第 2 のスイッチング素子の間に接続される第 1 の出力端子と、
前記第 1 及び第 2 のスイッチング素子に対して並列に、かつ前記共通スイッチング素子を介して電源及び基準電位の間に直列に接続される第 3 及び第 4 のスイッチング素子と、
前記第 3 及び第 4 のスイッチング素子の間に接続される第 2 の出力端子と、
前記共通スイッチング素子を開き、前記第 1 の出力端子の電圧を前記第 1 及び第 3 のスイッチング素子を介して前記第 2 の出力端子から出力し、その後、基準電位の電圧を前記第

50

4のスイッチング素子を介して前記第2の出力端子から出力する制御回路とを有することを特徴とするディスプレイパネル駆動回路。

(付記18)前記制御回路は、前記共通スイッチング素子を開き、前記第1の出力端子の電圧を前記第1及び第3のスイッチング素子を介して前記第2の出力端子から出力し、その後、基準電位の電圧を前記第4のスイッチング素子を介して前記第2の出力端子から出力することを特徴とする付記16記載のディスプレイパネル駆動回路。

(付記19)前記制御回路は、基準電位の電圧を前記第2のスイッチング素子を介して前記第1の出力端子から出力し、その後、前記共通スイッチング素子を開き、前記第2の出力端子の電圧を前記第1及び第3のスイッチング素子を介して前記第1の出力端子から出力し、その後、電源の電圧を前記共通スイッチング素子及び前記第1のスイッチング素子を介して前記第1の出力端子から出力することを特徴とする付記16記載のディスプレイパネル駆動回路。

10

(付記20)前記制御回路は、電源の電圧を前記共通スイッチング素子及び前記第3のスイッチング素子を介して前記第2の出力端子から出力し、その後、前記共通スイッチング素子を開き、前記第1の出力端子の電圧を前記第1及び第3のスイッチング素子を介して前記第2の出力端子から出力し、その後、基準電位の電圧を前記第4のスイッチング素子を介して前記第2の出力端子から出力することを特徴とする付記17記載のディスプレイパネル駆動回路。

(付記21)前記共通スイッチング素子は、MOSFETを用いて構成されることを特徴とする付記16記載のディスプレイパネル駆動回路。

20

(付記22)前記共通スイッチング素子は、MOSFETを用いて構成されることを特徴とする付記17記載のディスプレイパネル駆動回路。

(付記23)付記16に記載のディスプレイパネル駆動回路と、前記ディスプレイパネル駆動回路の第1及び第2の出力端子に接続されるプラズマディスプレイパネルとを有することを特徴とするプラズマディスプレイ。

(付記24)付記17に記載のディスプレイパネル駆動回路と、前記ディスプレイパネル駆動回路の第1及び第2の出力端子に接続されるプラズマディスプレイパネルとを有することを特徴とするプラズマディスプレイ。

(付記25)電圧を供給可能な電源と、前記電源に接続される第1のスイッチング素子と、前記第1のスイッチング素子を介して前記電源の電圧を出力可能な複数の出力端子と、前記電源及び前記複数の出力端子の間にそれぞれ接続される複数の第2のスイッチング素子と、前記複数の第2のスイッチング素子のうちの一又は複数の第2のスイッチング素子毎に設けられ、基準電位に接続可能な共振用インダクタンス及びコンデンサを含み、前記第1のスイッチング素子の数よりも多く設けられる共振回路とを有することを特徴とするディスプレイパネル駆動回路。

30

(付記26)前記出力端子から前記共振用インダクタンスまでの接続配線の寄生インダクタンスの大きさが前記共振用インダクタンスの大きさよりも小さいことを特徴とする付記25記載のディスプレイパネル駆動回路。

40

(付記27)前記共振用インダクタンスは、前記出力端子から前記共振回路の中の共振電流経路の配線寄生インダクタンスによって構成されることを特徴とする付記25記載のディスプレイパネル駆動回路。

(付記28)付記25に記載のディスプレイパネル駆動回路と、前記ディスプレイパネル駆動回路の複数の出力端子に接続されるプラズマディスプレイパネルとを有することを特徴とするプラズマディスプレイ。

【0119】

【発明の効果】

第1の走査電極群または第2の走査電極群の出力インピーダンスを上昇させることによって、ディスプレイパネル内に存在する寄生容量を第1の駆動回路の負荷容量から排除で

50

きる。この負荷容量の削減効果によって、第1の駆動回路の電力消費を削減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態によるプラズマディスプレイを示すブロック図である。

【図2】本発明の第1の実施形態によるドライブICの回路構成を示す回路図である。

【図3】ドライブICの他の回路構成を示す回路図である。

【図4】走査ドライブモジュール及びY共通ドライバを含むY電極駆動回路の例を示す回路図である。

【図5】本発明の第2の実施形態によるアドレスドライバの構成を示す図である。

【図6】図5のアドレスドライバのより具体的な回路を示す図である。

10

【図7】スイッチの制御及びそれに対応する電圧波形の例を示す図である。

【図8】図8(A)～(C)は図6のドライブ回路、MOSFET及びダイオードの具体的な構成を示す図である。

【図9】図6のアドレスドライバの他の回路例を示す図である。

【図10】図6のアドレスドライバのさらに他の回路例を示す図である。

【図11】電力回収回路を用いた駆動電源の構成例を示す図である。

【図12】図12(A)及び(B)は本発明の第3の実施形態によるアドレスドライバの構成例を示す図及び波形図である。

【図13】図12(A)のスイッチをMOSFETで構成した例を示す図である。

【図14】本発明の第4の実施形態によるアドレスドライバの構成例を示す図である。

20

【図15】面放電AC型プラズマディスプレイパネルの平面模式図である。

【図16】面放電AC型プラズマディスプレイパネルの断面模式図である。

【図17】面放電AC型プラズマディスプレイパネル駆動回路を示すブロック図である。

【図18】面放電AC型プラズマディスプレイパネルの駆動電圧波形を示す波形図である。

。

【図19】ドライブICの回路構成を示す回路図である。

【図20】電力回収方式を用いた従来のプラズマディスプレイの駆動回路の一例を示すブロック図である。

【図21】電力分散方式を用いた従来のプラズマディスプレイの駆動回路の一例を示すブロック図である。

30

【符号の説明】

1 ... 駆動電源

2 ... 分布抵抗

3 ... 駆動回路

4 ... 基準電位点

5 ... 負荷容量

6, 7 ... 駆動素子

8 ... 駆動回路電源端子

9 ... 駆動回路基準電位端子

10 ... 駆動回路出力端子

40

30 ... 電力分散手段

37 ... アドレスドライブIC

110 ... 電力回収回路

120 ... プラズマディスプレイパネルドライブIC

121 ... アドレスドライブIC電源端子

122 ... アドレスドライブIC内出力回路

201 ... プラズマディスプレイパネル

202 ... アドレスドライブ回路

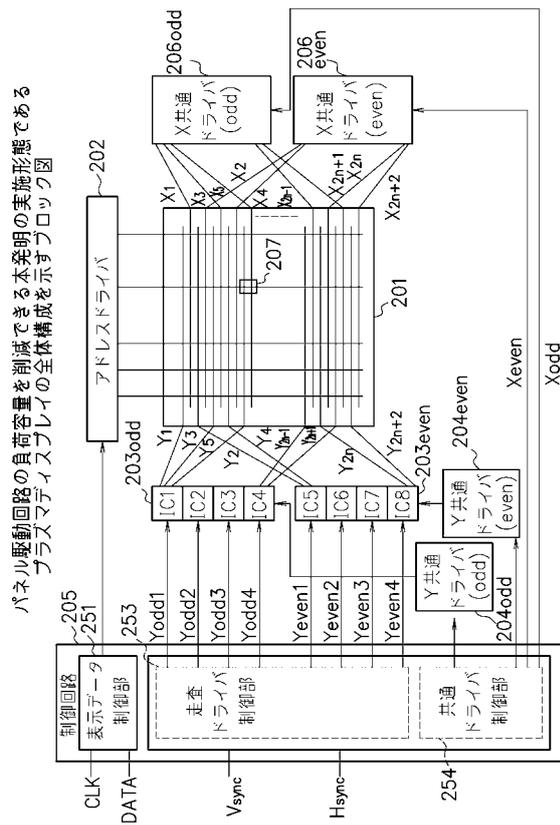
203 ... 走査ドライブ回路

203odd ... 奇数ライン用走査ドライブモジュール

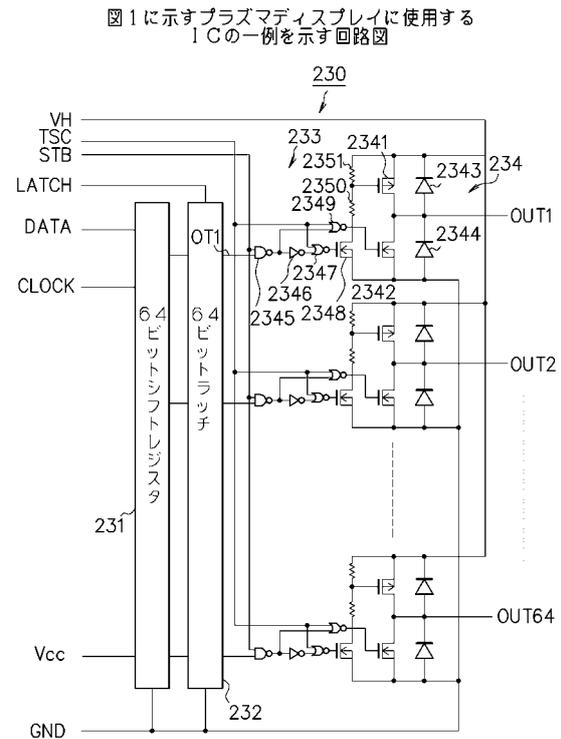
50

- 203 even... 偶数ライン用走査ドライブモジュール
- 205 ... 制御回路
- 206 ... X 共通ドライブ回路

【 図 1 】

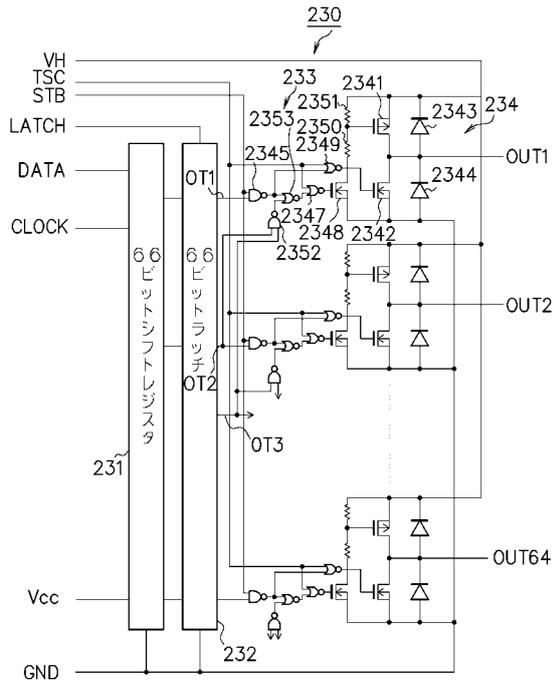


【 図 2 】



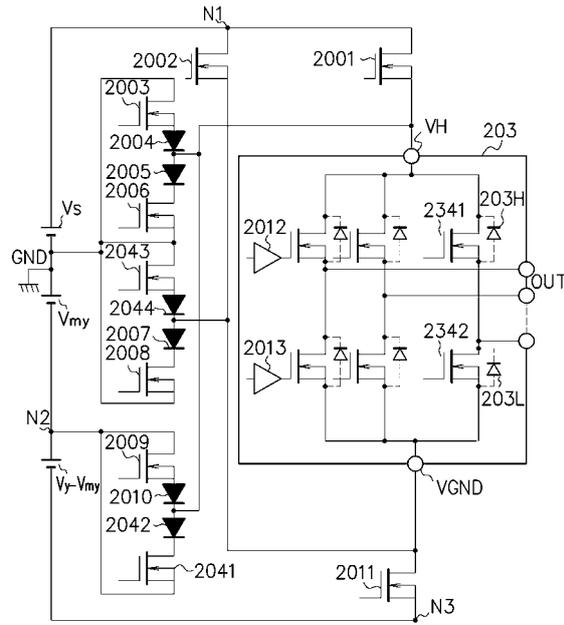
【図3】

図1に示すプラズマディスプレイに使用する1Cの一例を示す回路図

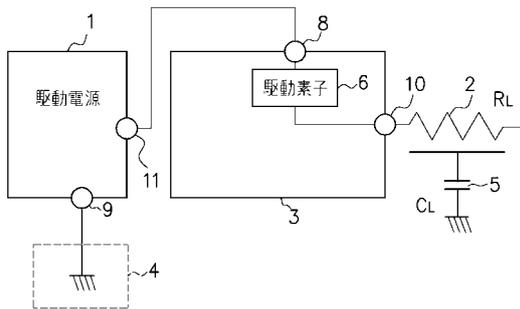


【図4】

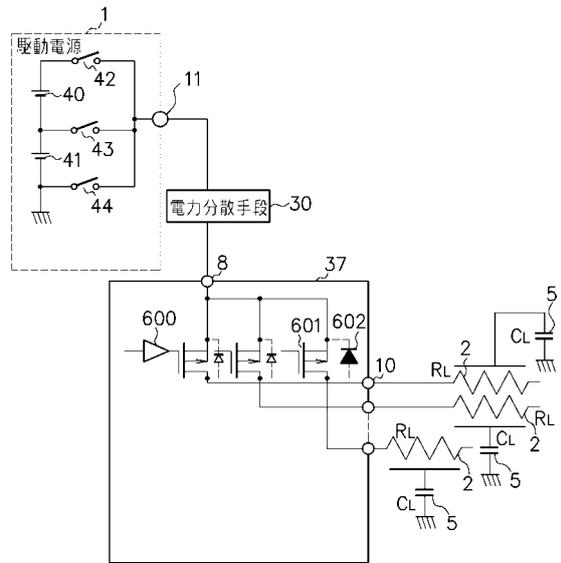
図1に示すプラズマディスプレイに使用する走査ドライブモジュールとY共通ドライバの一例を示す回路



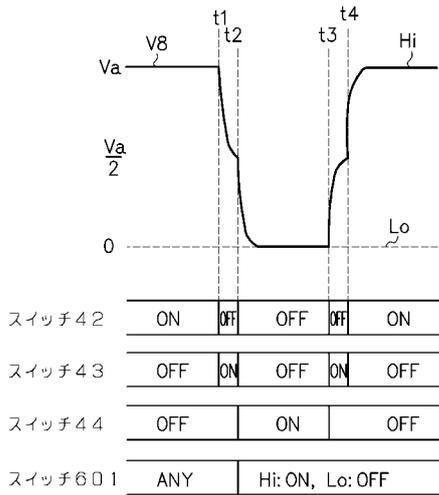
【図5】



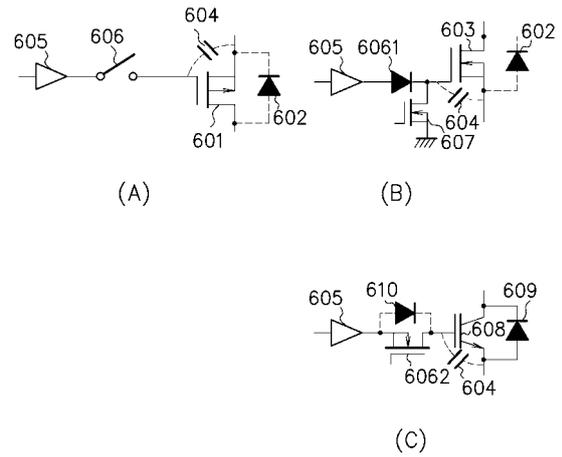
【図6】



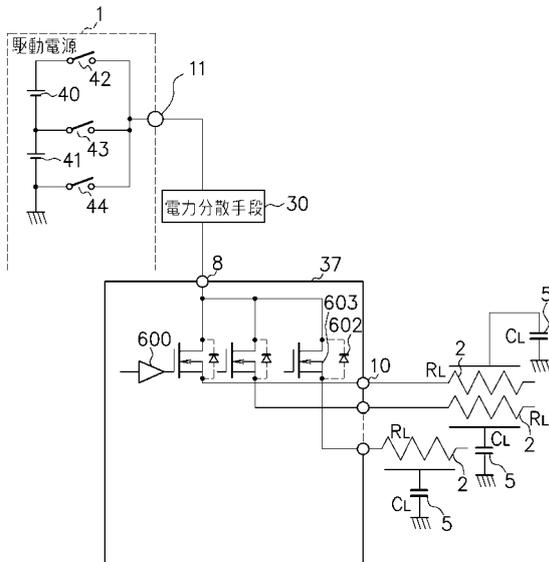
【図7】



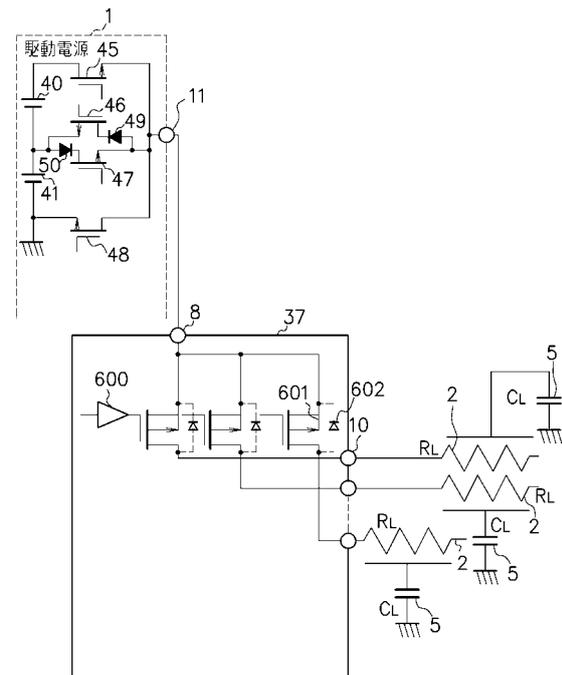
【図8】



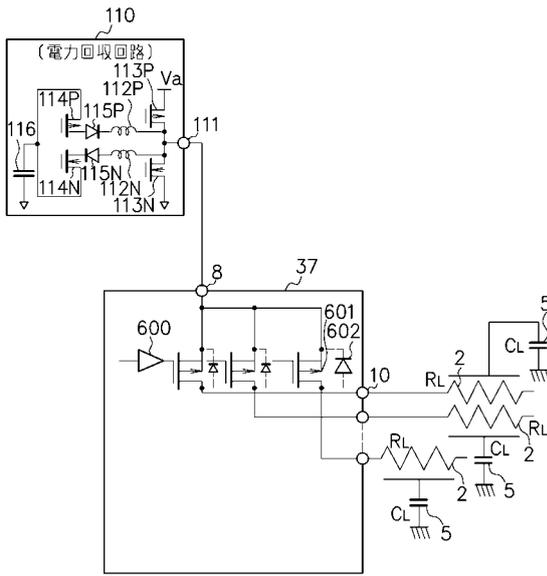
【図9】



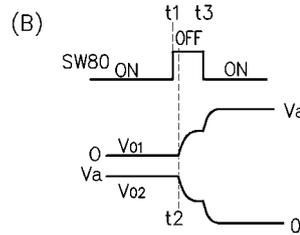
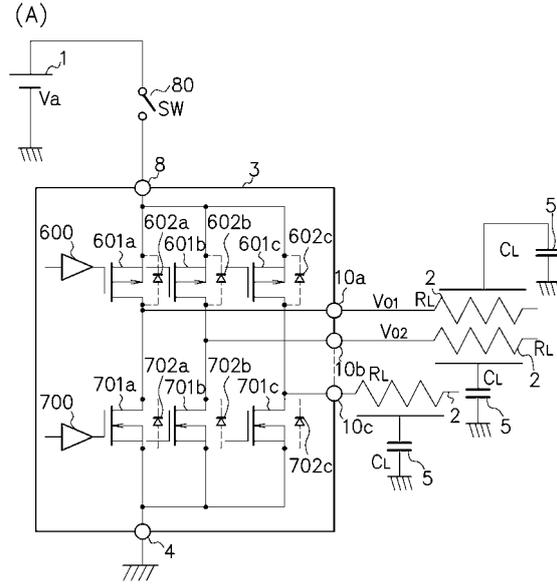
【図10】



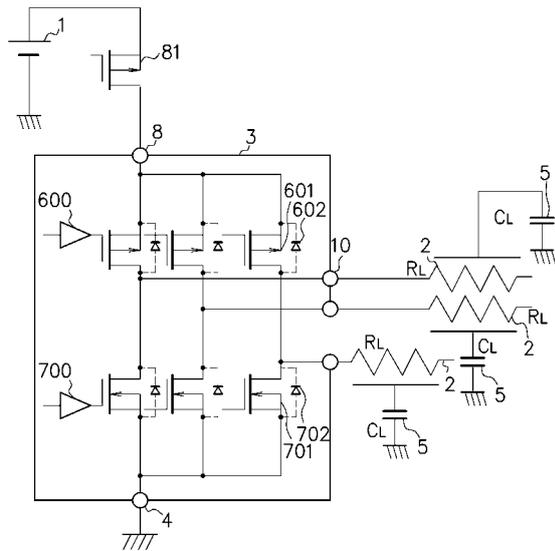
【図11】



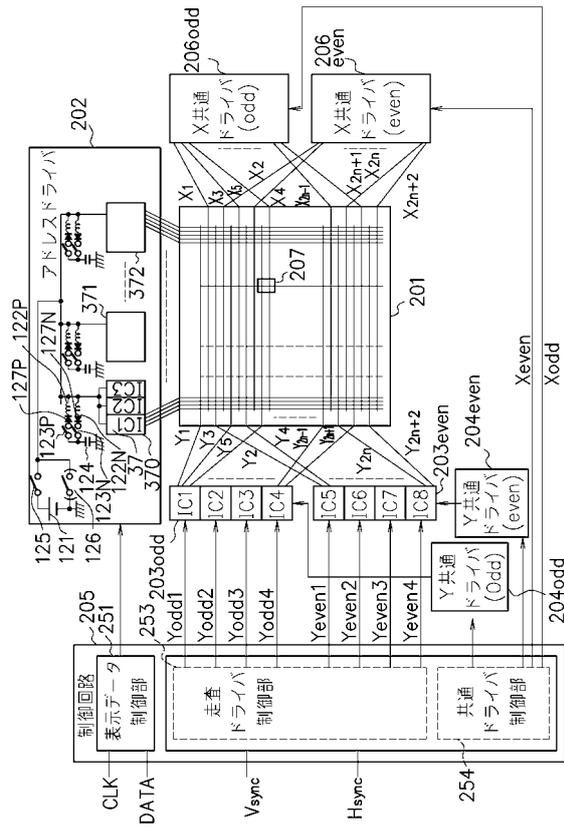
【図12】



【図13】

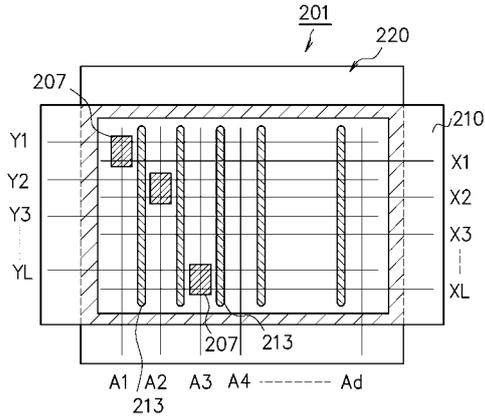


【図14】



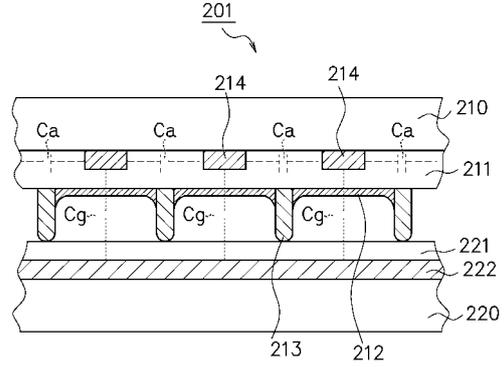
【図15】

三電極面放電交流駆動型プラズマディスプレイパネルを概略的に示すブロック図



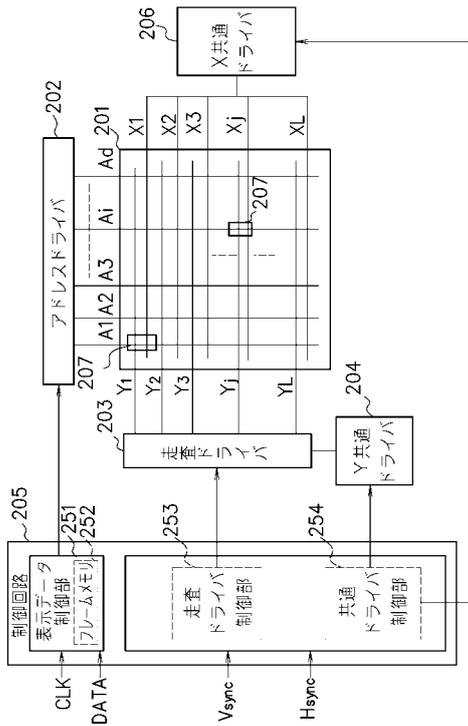
【図16】

プラズマディスプレイパネルの電極構造を説明するための断面図



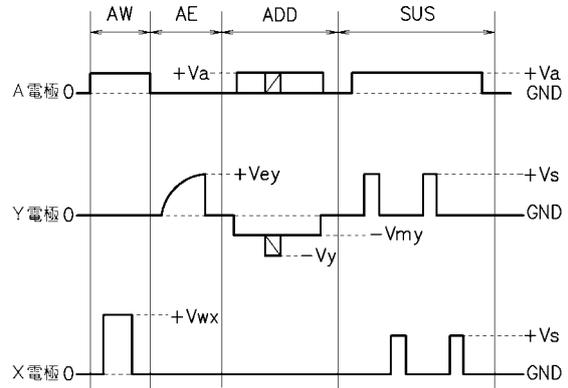
【図17】

プラズマディスプレイパネルを用いたプラズマディスプレイの全体構成を示すブロック図

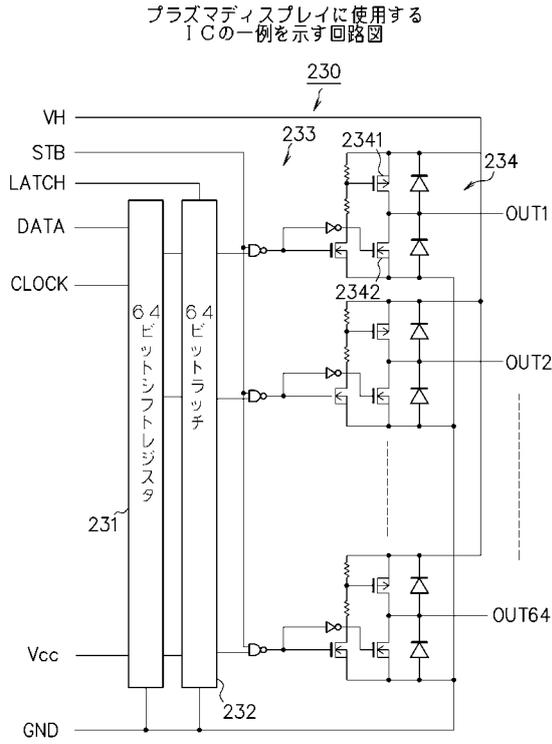


【図18】

プラズマディスプレイの駆動波形の一例を示す図

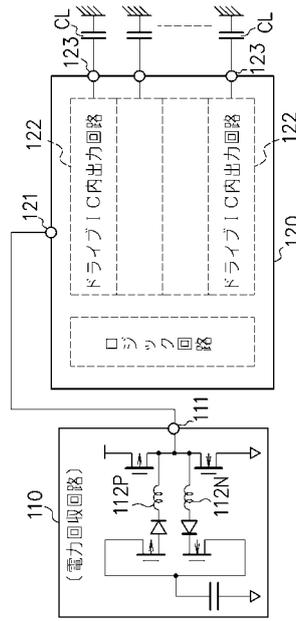


【図19】



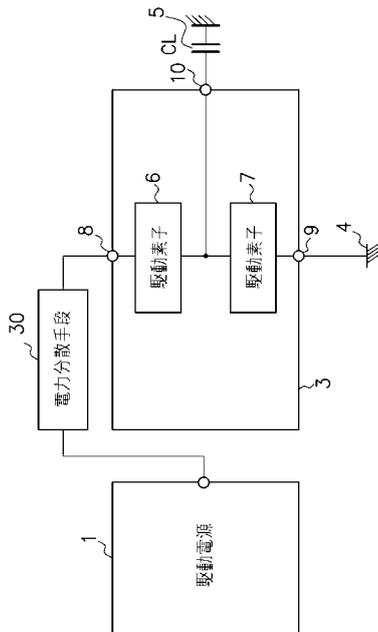
【図20】

電力回収方式を用いた従来のプラズマディスプレイパネルの
駆動回路の一例を示すブロック図



【図21】

電力分散方式を用いた従来のプラズマディスプレイパネルの駆動回路の
一例を示すブロック図



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 2 M
G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 4 P
G 0 9 G	3/20	6 2 1 G

審査官 橋本 直明

(56)参考文献 特開2000-250425(JP,A)
特開平08-227281(JP,A)
特開昭57-022289(JP,A)
特開2001-005422(JP,A)
特開2002-297090(JP,A)
特開2000-194320(JP,A)
特開平10-039827(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/28
G09G 3/20