

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-27148

(P2009-27148A)

(43) 公開日 平成21年2月5日(2009.2.5)

(51) Int.Cl.		F I			テーマコード (参考)
HO 1 G 4/12 (2006.01)		HO 1 G 4/12	3 5 2		5 E 0 0 1
HO 1 G 4/30 (2006.01)		HO 1 G 4/30	3 0 1 C		5 E 0 8 2

審査請求 未請求 請求項の数 13 O L (全 21 頁)

(21) 出願番号	特願2008-143056 (P2008-143056)	(71) 出願人	000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号
(22) 出願日	平成20年5月30日 (2008.5.30)	(74) 代理人	100085143 弁理士 小柴 雅昭
(31) 優先権主張番号	特願2007-160123 (P2007-160123)	(72) 発明者	板村 啓人 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
(32) 優先日	平成19年6月18日 (2007.6.18)	(72) 発明者	谷口 政明 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	川口 慶雄 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
		Fターム(参考)	5E001 AB03 AC02

最終頁に続く

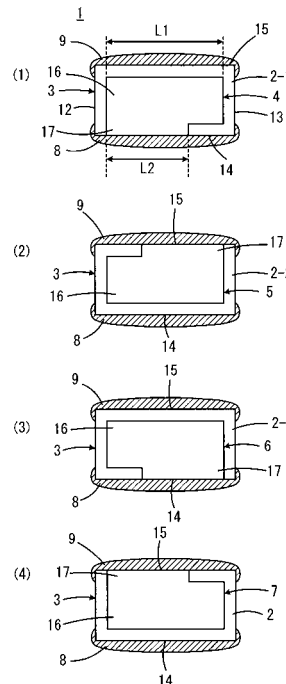
(54) 【発明の名称】 積層セラミックコンデンサ

(57) 【要約】

【課題】 抵抗成分を含有する外部端子電極を備える積層セラミックコンデンサにおいて、ESLを低く抑えたまま、ESR制御を行ないやすい構造を提供する。

【解決手段】 コンデンサ本体3の端面14, 15におけるセラミック層2の広がり方向の寸法が側面12, 13におけるセラミック層2の広がり方向の寸法より大きく、外部端子電極8, 9が抵抗成分を含有する、積層セラミックコンデンサ1において、第1~第4の内部電極4~7の各々において、引出し部17の幅方向寸法L2は容量部16の幅方向寸法L1より小さくされ、かつ、引出し部17は、第1および第3の内部電極4, 6同士ならびに第2および第4の内部電極5, 7同士については重ならないか、部分的に重なるように配置される。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

積層された第 1 ないし第 3 のセラミック層を含む複数のセラミック層をもって構成され、互いに対向する第 1 および第 2 の主面と互いに対向する第 1 および第 2 の側面と互いに対向する第 1 および第 2 の端面とを有する、直方体形状のコンデンサ本体と、

前記コンデンサ本体の内部に形成され、容量を形成するための容量部と前記容量部から前記第 1 の端面に引き出された引出し部とを有する、第 1 の内部電極と、

前記コンデンサ本体の内部に形成され、容量を形成するための容量部と前記容量部から前記第 2 の端面に引き出された引出し部とを有し、前記第 1 のセラミック層を介して前記第 1 の内部電極とは電氣的に絶縁されている、第 2 の内部電極と、

前記コンデンサ本体の内部に形成され、容量を形成するための容量部と前記容量部から前記第 1 の端面に引き出された引出し部とを有し、前記第 2 のセラミック層を介して前記第 2 の内部電極とは電氣的に絶縁され、前記セラミック層の積層方向において前記第 1 の内部電極とは異なる位置に配置されている、第 3 の内部電極と、

前記コンデンサ本体の前記第 1 の端面上に形成され、前記第 1 の内部電極および前記第 3 の内部電極と電氣的に接続される、第 1 の外部端子電極と、

前記コンデンサ本体の前記第 2 の端面上に形成され、前記第 2 の内部電極と電氣的に接続され、前記第 1 の外部端子電極とは異なる電位に接続される、第 2 の外部端子電極とを備え、

前記第 1 の端面および前記第 2 の端面における前記セラミック層の広がり方向の寸法が、前記第 1 の側面および前記第 2 の側面における前記セラミック層の広がり方向の寸法より大きく、

前記第 1 の外部端子電極および前記第 2 の外部端子電極が抵抗成分を含有する、積層セラミックコンデンサであって、

前記第 1 の内部電極および前記第 3 の内部電極において、前記引出し部の前記第 1 の端面に平行な方向に測定した幅方向寸法は、前記容量部の前記第 1 の端面に平行な方向に測定した幅方向寸法より小さく、

前記第 1 の内部電極の前記引出し部と前記第 3 の内部電極の前記引出し部とは、前記セラミック層の積層方向に向かって平面透視した際に重ならないか、あるいは部分的に重なるように配置されていることを特徴とする、積層セラミックコンデンサ。

【請求項 2】

前記第 1 の内部電極および前記第 3 の内部電極のうち少なくとも一方において、前記引出し部の前記第 1 の端面に平行な方向に測定した幅方向寸法が、前記容量部の前記第 1 の端面に平行な方向に測定した幅方向寸法の 39% 以上であることを特徴とする、請求項 1 に記載の積層セラミックコンデンサ。

【請求項 3】

前記第 1 の内部電極および前記第 3 の内部電極のうち少なくとも一方は、前記引出し部の引出し方向に沿った両側端のうち一方側端と前記容量部の一方側端とが実質的に一直線上でつながった L 字形状であることを特徴とする、請求項 1 または 2 に記載の積層セラミックコンデンサ。

【請求項 4】

前記第 1 の内部電極および前記第 3 の内部電極のうち少なくとも一方は、前記引出し部の引出し方向に沿った両側端のいずれもが前記容量部の両側端と一直線上でつながらない T 字形状であることを特徴とする、請求項 1 または 2 に記載の積層セラミックコンデンサ。

【請求項 5】

前記第 1 の内部電極および前記第 3 の内部電極は互いに鏡像の関係にある形状とされることを特徴とする、請求項 1 ないし 4 のいずれかに記載の積層セラミックコンデンサ。

【請求項 6】

前記コンデンサ本体の内部に形成され、容量を形成するための容量部と前記容量部から

前記第 2 の端面に引き出された引出し部とを有し、前記第 3 のセラミック層を介して前記第 3 の内部電極とは電氣的に絶縁され、前記セラミック層の積層方向において前記第 2 の内部電極とは異なる位置に配置され、前記第 2 の外部端子電極と電氣的に接続されている、第 4 の内部電極をさらに備え、

前記第 2 の内部電極および前記第 4 の内部電極において、前記引出し部の前記第 2 の端面に平行な方向に測定した幅方向寸法は、前記容量部の前記第 2 の端面に平行な方向に測定した幅方向寸法より小さく、

前記第 2 の内部電極の前記引出し部と前記第 4 の内部電極の前記引出し部とは、前記セラミック層の積層方向に向かって平面透視した際に重ならないか、あるいは部分的に重なるように配置されていることを特徴とする、請求項 1 ないし 5 のいずれかに記載の積層セラミックコンデンサ。

10

【請求項 7】

前記第 2 の内部電極および前記第 4 の内部電極のうち少なくとも一方において、前記引出し部の前記第 2 の端面に平行な方向に測定した幅方向寸法が、前記容量部の前記第 2 の端面に平行な方向に測定した幅方向寸法の 39% 以上であることを特徴とする、請求項 6 に記載の積層セラミックコンデンサ。

【請求項 8】

前記第 2 の内部電極および前記第 4 の内部電極のうち少なくとも一方は、前記引出し部の引出し方向に沿った両側端のうち一方側端と前記容量部の一方側端とが実質的に一直線上でつながった L 字形状であることを特徴とする、請求項 6 または 7 に記載の積層セラミックコンデンサ。

20

【請求項 9】

前記第 2 の内部電極および前記第 4 の内部電極のうち少なくとも一方は、前記引出し部の引出し方向に沿った両側端のいずれもが前記容量部の両側端と一直線上でつながらない T 字形状であることを特徴とする、請求項 6 または 7 に記載の積層セラミックコンデンサ。

【請求項 10】

前記第 2 の内部電極および前記第 4 の内部電極は互いに鏡像の関係にある形状とされることを特徴とする、請求項 6 ないし 9 のいずれかに記載の積層セラミックコンデンサ。

【請求項 11】

前記第 1 の内部電極および前記第 2 の内部電極が互いに同一形状であり、前記第 3 の内部電極および前記第 4 の内部電極が互いに同一形状であることを特徴とする、請求項 6 ないし 10 のいずれかに記載の積層セラミックコンデンサ。

30

【請求項 12】

前記第 1 の内部電極および前記第 4 の内部電極が互いに同一形状であり、前記第 2 の内部電極および前記第 3 の内部電極が互いに同一形状であることを特徴とする、請求項 6 ないし 10 のいずれかに記載の積層セラミックコンデンサ。

【請求項 13】

前記第 1 の外部端子電極および前記第 2 の外部端子電極に含有される前記抵抗成分は、金属酸化物からなることを特徴とする、請求項 1 ないし 12 のいずれかに記載の積層セラミックコンデンサ。

40

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、積層セラミックコンデンサに関するもので、特に、抵抗成分を含有する外部端子電極を備える積層セラミックコンデンサにおいて、等価直列抵抗 (ESR) の制御を容易にするための改良に関するものである。

【背景技術】

【0002】

電源回路においては、電源ラインやグラウンドに存在するインピーダンスによって、電

50

源ラインでの電圧変動が大きくなると、駆動する回路の動作が不安定になったり、電源回路を経由して回路間の干渉が起こったり、発振を起こしたりする。そこで、通常、電源ラインとグラウンドとの間には、デカップリングコンデンサが接続されている。デカップリングコンデンサは、電源ラインとグラウンドとの間のインピーダンスを低減し、電源電圧の変動や回路間の干渉を抑える役割を果たしている。

【0003】

さて、近年、携帯電話などの通信機器やパーソナルコンピュータなどの情報処理機器では、大量の情報を処理するために信号の高速化が進んでおり、使用されるICのクロック周波数も高周波化が進んでいる。このため、高調波成分を多く含むノイズが発生しやすくなり、IC電源回路においては、より強力なデカップリングを施す必要がある。

10

【0004】

デカップリング効果を高めるためには、インピーダンス周波数特性の優れたデカップリングコンデンサを用いることが有効であり、このようなデカップリングコンデンサとしては、積層セラミックコンデンサが挙げられる。積層セラミックコンデンサは、ESL（等価直列インダクタンス）が小さいため、電解コンデンサに比べて、広い周波数帯域にわたってノイズ吸収効果に優れている。

【0005】

デカップリングコンデンサのもう1つの役割は、ICへの電荷供給である。通常、デカップリングコンデンサはICの近傍に配置され、電源ラインに電圧変動が生じた際、デカップリングコンデンサからICに迅速に電荷が供給され、ICの立ち上がりが遅れるのを防止する。

20

【0006】

コンデンサに充放電が起こるときは、コンデンサには、式： $dV = L \cdot di / dt$ で示される逆起電力 dV が生じ、 dV が大きいと、ICへの電荷の供給が遅くなってしまう。ICのクロック周波数が高周波化する中で、単位時間当たりの電流変動量 di / dt は大きくなる傾向にある。すなわち、 dV を小さくするためには、インダクタンス L を小さくする必要がある。このため、コンデンサのESLをさらに低減することが望まれている。

【0007】

ESLがさらに低減された低ESL型の積層セラミックコンデンサとしては、たとえばLW逆転型の積層セラミックコンデンサが知られている。通常の積層セラミックコンデンサでは、外部端子電極が形成されているコンデンサ本体の端面におけるセラミック層の広がり方向の寸法（W寸法）は、コンデンサ本体の上記端面に隣接する側面におけるセラミック層の広がり方向の寸法（L寸法）より小さいが、LW逆転型の積層セラミックコンデンサでは、外部端子電極が形成されている端面におけるセラミック層の広がり方向寸法（W寸法）が、側面におけるセラミック層の広がり方向の寸法（L寸法）より大きくされている。このようなLW逆転型の積層セラミックコンデンサでは、コンデンサ本体内部の電流経路が広く短くなることにより、ESLが低減される。

30

【0008】

その他の低ESL型の積層セラミックコンデンサとしては、たとえば、多端子型の積層セラミックコンデンサが知られている。多端子型の積層セラミックコンデンサでは、コンデンサ本体の内部の電流経路が複数に分散されることにより、ESLが低減される。

40

【0009】

ところで、低ESL型の積層セラミックコンデンサでは、上記のように、電流経路が広く短くされたり、分散されたりするが、その結果、同時にESRも低減される。

【0010】

一方、積層セラミックコンデンサには大容量化の要求がある。積層セラミックコンデンサを大容量化するためには、セラミック層および内部電極の積層枚数を増やすことが考えられるが、この場合も、電流経路が増えることにより、ESRが低減される。

【0011】

つまり、低ESL化および大容量化の要求を受けて、積層セラミックコンデンサのES

50

Rはますます低下する傾向にある。

【0012】

しかし、コンデンサのESRが低くなりすぎると、回路においてインピーダンスの不整合が生じ、信号波形の立ち上がりが歪む「リングング」と呼ばれる減衰振動が生じやすくなることが知られている。リングングが生じると、乱れた信号により、ICが誤動作を起こすおそれがある。

【0013】

また、コンデンサのESRが低くなりすぎると、コンデンサのインピーダンス周波数特性が共振周波数近傍で急峻になりすぎる。すなわち、インピーダンスカーブの谷が深くなりすぎる。これにより、広い周波数帯域にわたってノイズを吸収することが困難になる場合がある。

10

【0014】

リングングを防止するため、あるいはインピーダンス周波数特性をブロード化するためには、ラインに直列に抵抗素子を接続すると良い。そして、近年、コンデンサ自体に抵抗成分を持たせることが要求されており、コンデンサのESRを制御する手段が注目されている。

【0015】

たとえば特許文献1および2では、内部電極と電氣的に接続される外部端子電極に抵抗成分を含有させることにより、ESRを制御することが提案されている。特に、特許文献2では、ITOなどの抵抗材料を含有する抵抗ペーストにコンデンサ本体を浸漬することによってコンデンサ本体上に付与された抵抗ペーストを焼き付けることにより、抵抗成分を含有する外部端子電極が形成された積層セラミックコンデンサが記載されている。

20

【0016】

特許文献1および2に記載のように、外部端子電極に抵抗成分を含有させる場合、コンデンサのESRを制御するためには、抵抗材料の比抵抗を調整する、もしくは抵抗ペーストの塗布厚を調整する、といった手段が考えられる。

【0017】

しかし、抵抗材料の比抵抗を調整すべく、数種類の抵抗ペーストを準備するのは煩雑である。また、比抵抗を調整するために抵抗ペーストの組成を変えると、内部電極との反応性やコンデンサ本体への固着力など、その他の因子に影響が出るおそれがある。

30

【0018】

また、抵抗ペーストの塗布厚を調整するためには、抵抗ペーストの粘度を調整する必要があり、この場合も、抵抗ペーストの組成を変える結果、その他の因子に影響が出るおそれがある。さらに、抵抗ペーストの厚付けには技術的に限界があるため、特にESRを高める方向での制御に制約が生じるという問題がある。

【特許文献1】特開2004-47983号公報

【特許文献2】国際公開第2006/022258号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0019】

そこで、この発明の目的は、抵抗成分を含有する外部端子電極を備える積層セラミックコンデンサにおいて、ESR制御を行ないやすい構造を提供しようとすることである。

40

【課題を解決するための手段】

【0020】

この発明に係る積層セラミックコンデンサは、積層された第1ないし第3のセラミック層を含む複数のセラミック層をもって構成され、互いに対向する第1および第2の主面と互いに対向する第1および第2の側面と互いに対向する第1および第2の端面とを有する、直方体形状のコンデンサ本体を備えている。

【0021】

上記コンデンサ本体の内部には、第1の内部電極と第2の内部電極と第3の内部電極と

50

が形成される。第1の内部電極は、容量を形成するための容量部と容量部から第1の端面に引き出された引出し部とを有する。第2の内部電極は、容量を形成するための容量部と容量部から第2の端面に引き出された引出し部とを有し、第1のセラミック層を介して第1の内部電極とは電氣的に絶縁されている。第3の内部電極は、容量を形成するための容量部と容量部から第1の端面に引き出された引出し部とを有し、第2のセラミック層を介して第2の内部電極とは電氣的に絶縁され、セラミック層の積層方向において第1の内部電極とは異なる位置に配置されている。

【0022】

コンデンサ本体の第1の端面上には、第1の内部電極および第3の内部電極と電氣的に接続される、第1の外部端子電極が形成され、第2の端面上には、第2の内部電極と電氣的に接続され、第1の外部端子電極とは異なる電位に接続される、第2の外部端子電極が形成される。

10

【0023】

第1の端面および第2の端面におけるセラミック層の広がり方向の寸法は、第1の側面および第2の側面におけるセラミック層の広がり方向の寸法より大きくされる。

【0024】

第1の外部端子電極および第2の外部端子電極は抵抗成分を含有する。

【0025】

このような構成を有する積層セラミックコンデンサにおいて、この発明では、前述した技術的課題を解決するため、次のような構成を備えることを特徴としている。

20

【0026】

すなわち、第1の内部電極および第3の内部電極において、引出し部の第1の端面に平行な方向に測定した幅方向寸法は、容量部の第1の端面に平行な方向に測定した幅方向寸法より小さく、第1の内部電極の引出し部と第3の内部電極の引出し部とは、セラミック層の積層方向に向かって平面透視した際に重ならないか、あるいは部分的に重なるように配置されていることを特徴としている。

【0027】

第1の内部電極および第3の内部電極のうち少なくとも一方において、引出し部の第1の端面に平行な方向に測定した幅方向寸法が、容量部の第1の端面に平行な方向に測定した幅方向寸法の39%以上であることが好ましい。

30

【0028】

この発明において、特定的な実施態様では、第1の内部電極および第3の内部電極のうち少なくとも一方は、引出し部の引出し方向に沿った両側端のうち一方側端と容量部の一方側端とが実質的に一直線上でつながったL形状とされるか、あるいは、引出し部の引出し方向に沿った両側端のいずれもが容量部の両側端と一直線上でつながらないT形状とされる。

【0029】

また、この発明のより具体的な実施態様では、第1の内部電極および第3の内部電極は互いに鏡像の関係にある形状とされることがある。

【0030】

40

この発明に係る積層セラミックコンデンサは、コンデンサ本体の内部に形成され、容量を形成するための容量部と容量部から第2の端面に引き出された引出し部とを有し、第3のセラミック層を介して第3の内部電極とは電氣的に絶縁され、セラミック層の積層方向において第2の内部電極とは異なる位置に配置され、第2の外部端子電極と電氣的に接続されている、第4の内部電極をさらに備えていてもよい。

【0031】

この場合、第2の内部電極および第4の内部電極において、引出し部の第2の端面に平行な方向に測定した幅方向寸法は、容量部の第2の端面に平行な方向に測定した幅方向寸法より小さく、また、第2の内部電極の引出し部と第4の内部電極の引出し部とは、セラミック層の積層方向に向かって平面透視した際に重ならないか、あるいは部分的に重なる

50

ように配置される。

【0032】

上記のように、第4の内部電極を備える場合、第2の内部電極および第4の内部電極のうち少なくとも一方において、引出し部の第2の端面に平行な方向に測定した幅方向寸法は、容量部の第2の端面に平行な方向に測定した幅方向寸法の39%以上であることが好ましい。

【0033】

また、第2の内部電極および第4の内部電極のうち少なくとも一方は、より特定的な実施態様では、引出し部の引出し方向に沿った両側端のうち一方側端と容量部の一方側端とが実質的に一直線上でつながったL字形状とされるか、あるいは、引出し部の引出し方向に沿った両側端のいずれもが容量部の両側端と一直線上でつながらないT字形状とされる。

10

【0034】

また、第2の内部電極および第4の内部電極は、より具体的な実施態様では、互いに鏡像の関係にある形状とされる。

【0035】

また、特定的な実施態様では、第1の内部電極および第2の内部電極が互いに同一形状であり、第3の内部電極および第4の内部電極が互いに同一形状である場合、あるいは、第1の内部電極および第4の内部電極が互いに同一形状であり、第2の内部電極および第3の内部電極が互いに同一形状である場合がある。

20

【0036】

この発明に係る積層セラミックコンデンサにおいて、第1の外部端子電極および第2の外部端子電極に含有される抵抗成分は、金属酸化物からなることが好ましい。

【発明の効果】

【0037】

この発明によれば、第1の内部電極および第3の内部電極において、引出し部の幅方向寸法が容量部の幅方向寸法より小さくされているので、まず、ESRを高めることができる。

【0038】

また、この発明によれば、上述のように、単に引出し部の幅方向寸法を狭くするだけでなく、同電位にある第1の内部電極の引出し部と第3の内部電極の引出し部とが重ならないか、あるいは部分的に重なるようにずらされているので、第1の端面上で見たときの内部電極露出部が分布する領域の周縁を広くすることができる。これにより、見かけ上、従来のLW逆転型の積層コンデンサにおける内部電極露出部が分布する領域と周縁の形態(広さ)を近似させることができる。高周波領域においては、表皮効果により電界は周縁に集中するため、内部電極露出部が分布する領域の周縁の形態が近似していれば、電流経路もほぼ同等となるため、ESLはあまり上昇しない。

30

【0039】

これらのことから、この発明に係る積層セラミックコンデンサによれば、ESLをなるべく上昇させずに、ESRを高めることが可能となる。そして、ESRの制御は、抵抗ペーストの組成や塗布厚を調整する方法に比べて簡便であり、ESR増幅効果が高い。

40

【0040】

引出し部の幅方向寸法が容量部の幅方向寸法の39%以上とされることにより、ESLが高くなりすぎることを防止することができる。

【0041】

内部電極の形状に関して、引出し部の一方側端と容量部の一方側端とが実質的に一直線上でつながったL字形状とされると、引出し部の一方側端をコンデンサ本体の側面に接近させることが容易である。そして、外部端子電極にあっては、側面に近づくほど厚みが薄くなるため、引出し部の一方側端から外部電極の表面までの距離を短くすることができ、ESLを低減させることができる。

50

【0042】

他方、内部電極の形状に関して、引出し部の両側端のいずれもが容量の両側端と一直線上でつながらないT字形状であると、引出し部を1対の側面間のできるだけ中央に寄せることが容易になる。その結果、引出し部から外部端子電極表面までの距離が長くなり、ESRをより高めることができる。

【0043】

第1の内部電極および第3の内部電極が互いに鏡像の関係にある形状とされると、コンデンサ本体の積層状態を安定にすることができる。

【0044】

この発明に係る積層コンデンサが、第4の内部電極をさらに備え、この第4の内部電極について、第1の内部電極と第3の内部電極との関係と同様の関係が第2の内部電極に対して有するようにされると、前述した第1の内部電極および第3の内部電極について得られた効果を倍増させることができる。

【発明を実施するための最良の形態】

【0045】

図1ないし図7を参照して、この発明の第1の実施形態について説明する。ここで、図1は、第1の実施形態による積層セラミックコンデンサ1の外観を示す斜視図であり、図2は、図1の線A-Aに沿って示した積層セラミックコンデンサ1の断面図である。

【0046】

積層セラミックコンデンサ1は、積層された第1のセラミック層2-1、第2のセラミック層2-2および第3のセラミック層2-3を含む複数のセラミック層2をもって構成されたコンデンサ本体3と、コンデンサ本体3の内部に形成された第1ないし第4の内部電極4ないし7と、コンデンサ本体3の外表面上であって互いに対向するように形成された第1および第2の外部端子電極8および9とを備えている。

【0047】

なお、以下の説明において、第1のセラミック層2-1、第2のセラミック層2-2および第3のセラミック層2-3の間で特に区別する必要がない場合は、セラミック層のための参照符号として、「2」を用いることにする。

【0048】

コンデンサ本体3において、セラミック層2は、たとえば、BaTiO₃、CaTiO₃、SrTiO₃、CaZrO₃などを主成分とする誘電体セラミックから構成される。なお、これら主成分に、Mn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物などの副成分が添加されていてもよい。また、セラミック層2の厚みは、たとえば1~10μmとされることが好ましい。

【0049】

コンデンサ本体3は、互いに対向する第1および第2の主面10および11と互いに対向する第1および第2の側面12および13と互いに対向する第1および第2の端面14および15とを有する、直方体形状をなしている。

【0050】

コンデンサ本体3において、第1の端面14および第2の端面15におけるセラミック層2の広がり方向の寸法(L寸法)は、第1の側面12および第2の側面13におけるセラミック層2の広がり方向寸法(W寸法)よりも大きい。L寸法は、W寸法の1.5~2.5倍とされることが好ましい。前述した第1および第2の外部端子電極8および9は、それぞれ、第1および第2の端面14および15上に形成されている。

【0051】

コンデンサ本体3の内部において、第2の内部電極5は、第1のセラミック層2-1を介して第1の内部電極4とは電氣的に絶縁されている。第3の内部電極6は、第2のセラミック層2-2を介して第2の内部電極5とは電氣的に絶縁され、セラミック層2の積層方向において第1の内部電極4とは異なる位置に配置されている。第4の内部電極7は、第3のセラミック層2-3を介して第3の内部電極6とは電氣的に絶縁され、セラミック

10

20

30

40

50

層 2 の積層方向において第 2 の内部電極 5 とは異なる位置に配置されている。

【 0 0 5 2 】

図 3 は、第 1 ないし第 4 の内部電極 4 ないし 7 がそれぞれ通る断面をもって積層セラミックコンデンサ 1 を示した図である。

【 0 0 5 3 】

図 3 に示すように、第 1 ないし第 4 の内部電極 4 ないし 7 は、容量を形成するための容量部 1 6 とこの容量部 1 6 から第 1 または第 2 の端面 1 4 または 1 5 に引き出された引出し部 1 7 とを有している。第 1 の内部電極について図 3 (1) に図示されるように、引出し部 1 7 の第 1 または第 2 の端面 1 4 または 1 5 に平行な方向に測定した幅方向寸法 L 2 は、容量部 1 6 の第 1 または第 2 の端面 1 4 または 1 5 に平行な方向に測定した幅方向寸法 L 1 より小さい。

10

【 0 0 5 4 】

第 1 の内部電極 4 の引出し部 1 7 と第 3 の内部電極 6 の引出し部 1 7 とは、セラミック層 2 の積層方向に向かって平面透視した際に部分的に重なるように配置されている。他方、第 2 の内部電極 5 の引出し部 1 7 と第 4 の内部電極 7 の引出し部 1 7 とについても、セラミック層 2 の積層方向に向かって平面透視した際に部分的に重なるように配置されている。

【 0 0 5 5 】

第 1 ないし第 4 の内部電極 4 ないし 7 において、引出し部 1 7 の幅方向寸法 L 2 は、容量部 1 6 の幅方向寸法 L 1 の 3 9 % 以上であることが好ましい。これが 3 9 % 未満になると、積層セラミックコンデンサ 1 の E S L が高くなりすぎる場合がある。

20

【 0 0 5 6 】

第 1 ないし第 4 の内部電極 4 ないし 7 は、引出し部 1 7 の引出し方向に沿った両側端のうち一方側端と容量部 1 6 の一方側端とが実質的に一直線上でつながった L 形状をなしている。その結果、引出し部 1 7 の一方側端は、コンデンサ本体 3 の側面 1 2 または 1 3 により接近させることが容易になる。詳細については後述するが、E S L の観点からすると、このように、引出し部 1 7 の一方側端がコンデンサ本体 3 の側面 1 2 または 1 3 に接近している方が好ましい。

【 0 0 5 7 】

第 1 の内部電極 4 と第 3 の内部電極 6 とは互いに鏡像の関係にある形状とされ、また、第 2 の内部電極 5 と第 4 の内部電極 7 とは互いに鏡像の関係にある形状とされる。このような構成が採用されることにより、コンデンサ本体 3 の積層状態が安定する。

30

【 0 0 5 8 】

第 1 の内部電極 4 と第 2 の内部電極 5 とは同一形状であり、第 3 の内部電極 6 と第 4 の内部電極 7 とは同一形状である。このように同一形状とすることにより、内部電極 4 ~ 7 となるべき導電性ペーストを印刷するために用いられる印刷版についてのパターンの種類を少なくすることができる。また、焼成後にセラミック層 2 となるセラミックグリーンシートを積層する際に、同一形状の導電性ペースト膜が印刷されたセラミックグリーンシートを回転させ、X Y 方向に所定距離ずらして積層すればよいので、多種類のセラミックグリーンシートを準備する必要がなく、量産効率が良い。

40

【 0 0 5 9 】

内部電極 4 ~ 7 に含まれる導電成分としては、たとえば、Ni、Cu、Ag、Pd、Ag - Pd 合金、Au などを用いることができる。また、内部電極 4 ~ 7 の各々の厚みは 1 ~ 1 0 μ m であることが好ましい。

【 0 0 6 0 】

図 4 (a) および (b) には、第 1 および第 2 の外部端子電極 8 および 9 が形成される前の状態にあるコンデンサ本体 3 の第 1 および第 2 の端面 1 4 および 1 5 をそれぞれ示す端面図である。他方、図 5 および図 6 は、それぞれ、第 1 および第 2 の比較例を説明するためのものである。図 5 および図 6 において、(a) は、図 4 (a) に対応し、(b) は図 3 (1) に対応している。図 5 および図 6 において、図 3 および図 4 に示した要素に相

50

当する要素には同様の参照符号を付し、重複する説明は省略する。

【0061】

図5には、従来のLW逆転型の積層セラミックコンデンサが示されている。この積層セラミックコンデンサでは、内部電極4等の引出し部17の幅方向寸法が容量部16の幅方向寸法と同一である。

【0062】

図6には、内部電極4等の引出し部17の幅方向寸法を容量部16の幅方向寸法より小さくしているが、第1の内部電極4の引出し部17と第3の内部電極6の引出し部17とを、セラミック層2の積層方向に向かって平面透視した際に完全に重なるように配置した積層セラミックコンデンサが示されている。なお、この積層セラミックコンデンサでは、10

【0063】

図4(a)、図5(a)および図6(a)の各々において、第1および第3の内部電極4および6の露出部が分布する領域の周縁18が破線で示されている。図4(b)には、第2および第4の内部電極5および7の露出部が分布する領域の周縁18が破線で示されている。なお、図4ならびに図5(a)および図6(a)では、セラミック層2や内部電極4~7の厚みや積層枚数をデフォルメして図示しており、実際には、内部電極4~7の各々間の距離は十分に短いことに注意すべきである。20

【0064】

図4(a)と図5(a)とを対比すればわかるように、この第1の実施形態における内部電極4および6の露出部が分布する領域の周縁18の形態は、従来のLW逆転型の積層セラミックコンデンサにおける内部電極4および6の露出部が分布する領域の周縁18の形態と近似する。これら周縁18は完全に同一になることはないが、前者は、図6に示した積層セラミックコンデンサのように、引出し部17を完全に重なるように配置した場合の周縁18に比べて、より広くなるのは明らかである。

【0065】

デカップリングコンデンサが使用される高周波帯域においては、表皮効果により電界は導体の周縁に集中する。すなわち、内部電極露出部が分布する領域の周縁の形態が近似していれば、電界集中のモードも近似する。したがって、この第1の実施形態による積層セラミックコンデンサ1によれば、従来のLW逆転型の積層セラミックコンデンサに近いレベルで、ESLを低減することが可能となる。30

【0066】

しかも、この第1の実施形態による積層セラミックコンデンサ1では、引出し部17の幅方向寸法L2が容量部17の幅方向寸法L1より小さくなっているため、ESRについては、従来のLW逆転型の積層セラミックコンデンサに比べて高くなる。つまり、この第1の実施形態による積層セラミックコンデンサ1によれば、ESLを低く保ったまま、ESRを高くすることが可能となる。

【0067】

なお、図6に示したような構造の積層セラミックコンデンサでは、ESRを高くすることができたとしても、ESLも高くなってしまいうため、目的とする低ESL型かつ高ESR型の積層セラミックコンデンサを実現することができない。40

【0068】

前述した第1および第2の外部端子電極8および9は抵抗成分を含有する。ここで、抵抗成分とは、一般的な外部端子電極に含まれる金属やガラスを除く比抵抗の比較的高い成分を指し、具体的には、ガラスを除く金属酸化物やグラファイトカーボン(黒鉛)などである。金属酸化物としては、たとえば、RuO₂、In-Sn複合酸化物(ITO)、La-Cu複合酸化物、Sr-Fe複合酸化物、Ca-Sr-Ru複合酸化物などが挙げられる。50

【 0 0 6 9 】

図 7 は、第 1 の実施形態による積層セラミックコンデンサ 1 に備える第 2 の外部端子電極 9 を部分的に拡大して示す断面図である。なお、第 1 の外部端子電極 8 については、特に図示しないが、第 2 の外部端子電極 9 と実質的に同様の構成を有している。

【 0 0 7 0 】

第 2 の外部端子電極 9 は、コンデンサ本体 3 の第 2 の端面 1 5 上に形成される第 1 層 1 9 と、その上に形成される第 2 層 2 0 と、その上に形成される第 3 層 2 1 と、その上に形成される第 4 層 2 2 とを備えている。

【 0 0 7 1 】

第 1 層 1 9 は、主に抵抗成分を含有するもので、抵抗成分を含有する抵抗ペーストを付与し、焼き付けることによって形成される。第 1 層 1 9 の形成により、積層セラミックコンデンサ 1 が与える容量に対して抵抗成分が直列に入ることになり、積層セラミックコンデンサ 1 の E S R を高くすることができる。

10

【 0 0 7 2 】

抵抗成分として使用できるものは、前述したとおりであるが、この第 1 の実施形態のように、第 1 層 1 9 が抵抗成分を含有し、他方、内部電極 5 等が Ni または Ni 合金を含有する場合、In - Sn 複合酸化物 (I T O)、La - Cu 複合酸化物、Sr - Fe 複合酸化物または Ca - Sr - Ru 複合酸化物を用いることが好ましい。これらの複合酸化物は、Ni との反応性が良好で、内部電極 4 ~ 7 と外部端子電極 8 および 9 との間での接合状態を良好なものとすることができる。

20

【 0 0 7 3 】

第 1 層 1 9 には、ガラスが添加されていることが好ましい。ガラスとしては、B - Si 系ガラス、B - Si - Zn 系ガラス、B - Si - Zn - Ba 系ガラス、B - Si - Zn - Ba - Ca - Al 系ガラスなどを用いることができる。ガラスを添加する場合、抵抗成分とガラスとの体積割合は、30 : 70 ~ 70 : 30 の範囲であることが好ましい。

【 0 0 7 4 】

第 1 層 1 9 には、Ni、Cu、Mo、Cr、Nb などの金属が添加されていてもよく、Al₂O₃、TiO₂、ZrO₂、ZnO₂ などの金属酸化物が添加されていてもよい。これらの物質は、第 1 層 1 9 が与える比抵抗を調整する機能を有し、かつ、緻密性を調整する機能を有する。すなわち、上記金属を添加した場合は、比抵抗が下がり、上記金属酸化物を添加した場合は、比抵抗が上がる。また、Ni、Cu、Al₂O₃ および TiO₂ は第 1 層 1 9 の緻密化を促進し、他方、Mo、Cr、Nb、ZrO₂ および ZnO₂ は第 1 層 1 9 の緻密化を抑制する。なお、緻密化抑制というのは、第 1 層 1 9 の過焼結によるブリスタ発生を防止するという意味合いがある。

30

【 0 0 7 5 】

第 1 層 1 9 の厚みは、最も厚い部分で 20 ~ 30 μm であることが好ましい。

【 0 0 7 6 】

次に、第 2 層 2 0 は、主に金属を含有するもので、金属粉末を含有する導電性ペーストを付与し、焼き付けることによって形成される。この第 2 層 2 0 を省略して、第 1 層 1 9 上に、直接、後述する第 3 層 2 1 を形成することも可能であるが、第 2 層 2 0 を形成することにより、第 1 層 1 9 についての耐湿性やめっき付与性を向上させることができる。

40

【 0 0 7 7 】

第 2 層 2 0 に含有される金属としては、たとえば、Cu、Ni、Ag、Pd、Ag - Pd 合金、Au などを用いることができる。また、第 2 層 2 0 には、ガラスが添加されていることが好ましい。このガラスとしては、第 1 層 1 9 に含まれるガラスと同一または主成分が同じものを用いることが好ましい。

【 0 0 7 8 】

第 2 層 2 0 の厚みは、最も厚い部分で 30 ~ 40 μm であることが好ましい。

【 0 0 7 9 】

第 3 層 2 1 および第 4 層 2 2 は、めっきにより形成される。積層セラミックコンデンサ

50

1 がはんだを用いて実装される場合には、第3層21はNiめっきにより形成され、第4層22はSnめっきにより形成されることが好ましい。積層セラミックコンデンサ1が導電性接着剤やワイヤボンディングを用いて実装される場合には、第3層21はNiめっきにより形成され、第4層はAuめっきにより形成されることが好ましい。積層セラミックコンデンサ1が樹脂基板中に埋め込まれる場合には、最外層となる第4層22はCuめっきにより形成されることが好ましい。

【0080】

第3層21および第4層22の各厚みは1~10 μ mであることが好ましい。なお、めっきにより形成されるのは、上述の第3層21および第4層22といった2層である必要はなく、1層であっても、3層以上であってもよい。また、第2層20と第3層21との間に、応力緩和用の樹脂層が形成されていてもよい。

10

【0081】

次に、上述した積層セラミックコンデンサ1の製造方法の一例について説明する。

【0082】

まず、セラミック層2となるべきセラミックグリーンシート、内部電極4~7のための導電性ペースト、ならびに外部端子電極8および9のための抵抗ペーストおよび導電性ペーストがそれぞれ準備される。これらセラミックグリーンシートおよび各種導電性ペーストには、バインダおよび溶剤が含まれるが、これらバインダおよび溶剤としては、それぞれ、公知の有機バインダおよび有機溶剤を用いることができる。

20

【0083】

次に、セラミックグリーンシート上に、たとえばスクリーン印刷法などにより所定のパターンをもって導電性ペーストが印刷される。これによって、内部電極4~7の各々となるべき導電性ペースト膜が形成されたセラミックグリーンシートが得られる。

【0084】

次に、上述のように導電性ペースト膜が形成されたセラミックグリーンシートを所定の順序でかつ所定枚数積層し、その上下に導電性ペースト膜が形成されていない外層用セラミックグリーンシートを所定枚数積層することによって、生の状態のマザー積層体が得られる。生のマザー積層体は、必要に応じて、静水圧プレスなどの手段により積層方向に圧着される。

30

【0085】

次に、生のマザー積層体は所定のサイズにカットされ、それによって、コンデンサ本体3の生の状態のものが切り出される。

【0086】

次に、生のコンデンサ本体3が焼成される。焼成温度は、セラミックグリーンシートに含まれるセラミック材料や導電性ペースト膜に含まれる金属材料にもよるが、たとえば900~1300の範囲に選ばれることが好ましい。

【0087】

次に、焼結後のコンデンサ本体3の第1および第2の端面14および15上に抵抗ペーストが塗布され、焼き付けられることによって、外部端子電極8および9のための第1層19が形成される。この焼付け温度は、700~900の範囲であることが好ましい。また、焼付け時の雰囲気としては、抵抗ペーストの成分に応じて、大気またはN₂などの雰囲気が使い分けられる。

40

【0088】

次に、上記第1層19上に導電性ペーストが塗布され、焼き付けられることにより、第2層20が形成される。この焼付け温度は、700~900の範囲であることが好ましく、また、第1層19の形成のための焼付け温度よりも低い温度であることが好ましい。焼付け時の雰囲気としては、導電性ペーストに含まれる金属の種類に応じて、大気またはN₂などの雰囲気が使い分けられる。

【0089】

次に、第2層20上に、めっきにより、第3層21が形成され、次いで、第4層22が

50

形成され、積層セラミックコンデンサ 1 が完成される。

【0090】

以下に、この発明の他の実施形態について、図 8 ないし図 13 をそれぞれ参照して説明するが、これら他の実施形態による積層セラミックコンデンサは、その外観については、前述した図 1 に示す第 1 の実施形態による積層セラミックコンデンサ 1 と同様の外観を有している。図 8 ないし図 13 は、図 3 に対応する図であるが、図 8 ないし図 13 の各々において、図 3 に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0091】

図 8 に示した第 2 の実施形態では、内部電極 4 ~ 7 の各々の引出し部 17 同士が、セラミック層 2 の積層方向に向かって平面透視した際に全く重ならないように配置されていることを特徴としている。この第 2 の実施形態によれば、セラミック層 2 同士の接合面積が増えるため、セラミック層 2 同士の接合性を向上させることができる。

10

【0092】

図 9 に示した第 3 の実施形態では、内部電極 4 ~ 7 の各々の引出し部 17 同士が、セラミック層 2 の積層方向に向かって平面透視した際に、単に重ならないだけでなく、互いに補填するように、すなわち、互いに他のものの欠落部をカバーするように配置されていることを特徴としている。言い換えると、図 3 (1) に示した幅方向寸法 L1 および L2 の関係で言えば、幅方向寸法 L2 が幅方向寸法 L1 の 50% となっていることを特徴としている。この第 3 の実施形態によれば、引出し部 17 に起因する段差が最も生じにくく、そのため、コンデンサ本体 3 の積層状態が安定する。

20

【0093】

図 10 に示した第 4 の実施形態では、内部電極 4 ~ 7 の各々について、引出し部 17 の引出し方向に沿った両側端のいずれもが容量部 16 の両側端と一直線上でつながらない T 字形状をなしていることを特徴としている。

【0094】

図 11 は、図 10 (1) に相当する図であって、引出し部 17 の位置についての説明図である。

【0095】

第 1 の外部端子電極 8 は、コンデンサ本体 3 の第 1 の端面 14 上に形成されるが、その端部は、第 1 および第 2 の側面 12 および 13 の各一部上であって、第 1 の端面 14 に隣接する部分にまで延びるように形成されている。同様に、第 2 の外部端子電極 9 は、第 2 の端面 15 上に形成されるが、その端部は、第 1 および第 2 の側面 12 および 13 の各一部上であって、第 2 の端面 15 に隣接する部分にまで延びるように形成されている。また、第 1 および第 2 の外部端子電極 8 および 9 は、それぞれ、第 1 および第 2 の端面 14 および 15 上での厚みを見たとき、両端がより薄く、中央がより厚くなっている。

30

【0096】

このことから、図 11 に示した引出し部 17 の端点 E がたとえば第 1 の側面 12 に寄れば寄るほど、内部電極 4 から外部端子電極 8 の表面までの距離が短くなり、逆に、中央に寄れば寄るほど、内部電極 4 から外部端子電極 8 の表面までの距離が長くなる。

40

【0097】

ESR を高めるという観点からすれば、端点 E は中央に寄っている方が良い。そして、容量部 16 をそのままにして、端点 E を中央に寄せた場合、内部電極 4 は T 字形状となる。なお、この第 4 の実施形態では、内部電極 4 ~ 7 の各々の引出し部 17 に同士が完全に重なってしまうことがないため、内部電極 4 ~ 7 の各々は必ず左右非対称な T 字形状となる。

【0098】

他方、ESL を低減するという観点からすると、前述した第 1 の実施形態の場合のように、引出し部 17 の一方側端と容量部 16 の一方側端とが実質的に一直線上でつながった L 字形状とされることによって、引出し部 17 の端点 E をコンデンサ本体 3 の第 1 の側面

50

12にできるだけ接近させる方が好ましい。

【0099】

図12に示した第5の実施形態では、第1の内部電極4および第4の内部電極7が互いに同一形状であり、第2の内部電極5および第3の内部電極6が互いに同一形状であることを特徴としている。その他の構成は、図3に示した第1の実施形態の場合と実質的に同様である。

【0100】

図13に示した第6の実施形態では、第2の内部電極5および第4の内部電極7において、容量部6の幅方向寸法と引出し部17の幅方向寸法とが互いに同じになっていることを特徴としている。図3に示した第1の実施形態の場合ほど高いESRを要求されない場合には、この第6の実施形態のような内部電極パターンを採用すればよい。

10

【0101】

また、図示した実施形態では、積層セラミックコンデンサは、第1ないし第4の内部電極を備えるものであったが、第1ないし第3の内部電極しか備えない積層セラミックコンデンサに対しても、この発明を適用することができる。

【0102】

次に、この発明による効果を確認するために実施した実験例について説明する。

【0103】

この実験例では、前述した製造方法に基づいて、以下のとおり、積層セラミックコンデンサを作製した。

20

【0104】

まず、作製しようとする積層セラミックコンデンサの設計は、表1のとおりとした。ここで、後掲の表3に示すように、「引出し形態」（内部電極の引出し部の形態）として、図4、図5および図6のいずれかのタイプを採用し、また、「第1層」（外部端子電極の第1層）を形成したものと形成しなかったものとの2種類を作製し、また、「引出し幅L2」（引出し部の幅方向寸法L2）を種々に変更し、「L2/L1」の比率を種々に変更したものを作製した。

【0105】

【表 1】

コンデンサ本体寸法	0.8mm×1.6mm×0.5mm
セラミック材料	BaTiO ₃ を主成分とするセラミック
セラミック層の厚み	2 μ m
内部電極材料	Ni
内部電極容量部の幅 L1	1.3mm
内部電極の厚み	1 μ m
外部端子電極第 1 層材料	ITO、B-Si-Zn-Ba-Ca-Al 系ガラス、Ni ITO : ガラス=50 体積% : 50 体積% ITO : Ni=85 重量% : 15 重量%
外部端子電極第 1 層厚み	20 μ m
外部端子電極第 2 層材料	Cu、B-Si-Zn-Ba-Ca-Al 系ガラス Cu : ガラス=85 重量% : 15 重量%
外部端子電極第 2 層厚み	30 μ m
外部端子電極第 3 層材料	Ni
外部端子電極第 3 層厚み	5 μ m
外部端子電極第 4 層材料	Sn
外部端子電極第 4 層厚み	5 μ m

10

20

【 0 1 0 6 】

また、生のコンデンサ本体の焼成条件、外部端子電極の第 1 層の焼付け条件および外部端子電極の第 2 層の焼付け条件は、表 2 に示すとおりとした。

【 0 1 0 7 】

【表 2】

生のコンデンサ本体の焼成温度	トップ 1200°C、in-out 25 時間
上記焼成雰囲気	還元性雰囲気
第 1 層の焼付け温度	トップ 700°C、in-out 1 時間
上記焼付け雰囲気	還元性雰囲気
第 2 層の焼付け温度	トップ 650°C、in-out 1 時間
上記焼付け雰囲気	還元性雰囲気

30

【 0 1 0 8 】

このようにして得られた各試料に係る積層セラミックコンデンサについて、ESLを、「ネットワークアナライザ」（アジレント社製）を用いて 0.5 GHz ~ 1 GHz の周波数域で測定した。また、ESRを、「インピーダンスメータ 4294A」（アジレント社製）を用いて、各試料の共振周波数の下で測定した。

40

【 0 1 0 9 】

これら ESL および ESR の測定結果が表 3 に示されている。また、表 3 には、「ESR 増加率」および「ESL 増加率」が示されている。これら「ESR 増加率」および「ESL 増加率」は、試料 2 ~ 6 および 13 ~ 17 については、試料 1 の ESR および ESL を基準として算出し、試料 8 ~ 12 については、試料 7 の ESR および ESL を基準として算出したものである。

【 0 1 1 0 】

【 表 3 】

試料 番号	引出し 形態	第 1 層	引出し幅 L2 mm	(L2/L1) × 100 (%)	ESR (mΩ)	ESR 増加率 (%)	ESL (pH)	ESL 増加率 (%)
*1	図 5 タイプ	あり	1.3	100	267	100	208	100
2	図 4 タイプ	あり	1.04	80	292	109	208	100
3	図 4 タイプ	あり	0.88	67	335	125	212	102
4	図 4 タイプ	あり	0.65	50	390	146	212	102
5	図 4 タイプ	あり	0.52	40	475	178	211	101
6	図 4 タイプ	あり	0.26	20	808	303	240	115
*7	図 5 タイプ	なし	1.3	100	3.34	100	208	100
*8	図 4 タイプ	なし	1.04	80	4.10	123	208	100
*9	図 4 タイプ	なし	0.88	67	4.58	137	212	102
*10	図 4 タイプ	なし	0.65	50	5.10	153	212	102
*11	図 4 タイプ	なし	0.52	40	5.88	176	211	101
*12	図 4 タイプ	なし	0.26	20	6.16	185	240	115
*13	図 6 タイプ	あり	1.04	80	336	126	215	103
*14	図 6 タイプ	あり	0.88	67	403	151	226	109
*15	図 6 タイプ	あり	0.65	50	537	201	248	119
*16	図 6 タイプ	あり	0.52	40	671	251	264	127
*17	図 6 タイプ	あり	0.26	20	1340	502	308	148

10

20

30

40

【 0 1 1 1 】

表 3 において、試料番号に * を付したものは、この発明の範囲外のものである。

【 0 1 1 2 】

表 3 を参照して、試料 2 ~ 6 は、試料 1 に比べて、ESL についてはあまり変わらないが、ESR が高くなっている。このことから、第 1 層の膜厚や材料を変えなくても、ESR を高くすることができ、引出し部の幅方向寸法 L2 を小さくしても、ESL の増加率が低く抑えられていることがわかる。

【 0 1 1 3 】

50

試料 8 ~ 12 についても、試料 7 に比べて、ESL はあまり変わらないが、ESR が高くなっている。しかし、試料 8 ~ 12 では、第 1 層が形成されないため、ESR の絶対値が小さく、目的とする用途には適さない。

【0114】

試料 13 ~ 17 では、試料 2 ~ 6 と同様の引出し部の幅方向寸法 L2 を有するが、「引出し形態」が「図 6 タイプ」とされ、第 1 および第 3 の内部電極の引出し部が積層方向で見て完全に重なっているため、内部電極露出部が分布する領域の周縁が狭くなり、ESL を低く抑えることができない。

【図面の簡単な説明】

【0115】

【図 1】この発明の第 1 の実施形態による積層セラミックコンデンサ 1 の外観を示す斜視図である。

【図 2】図 1 の線 A - A に沿う積層セラミックコンデンサ 1 の断面図である。

【図 3】図 1 に示した積層セラミックコンデンサ 1 における内部電極 4 ~ 7 がそれぞれ通る断面を示す図である。

【図 4】図 1 に示した積層セラミックコンデンサ 1 に備えるコンデンサ本体 3 の、外部端子電極 8 および 9 が形成される前の段階の第 1 および第 2 の端面 14 および 15 をそれぞれ示す図である。

【図 5】第 1 の比較例を説明するためのもので、(a) は図 4 (a) に対応し、(b) は図 3 (1) に対応する図である。

【図 6】第 2 の比較例を説明するためのもので、(a) は図 4 (a) に対応し、(b) は図 3 (1) に対応する図である。

【図 7】図 1 に示した積層セラミックコンデンサ 1 に備える第 2 の外部端子電極 9 を部分的に拡大して示す断面図である。

【図 8】この発明の第 2 の実施形態を説明するための図 3 に対応する図である。

【図 9】この発明の第 3 の実施形態を説明するための図 3 に対応する図である。

【図 10】この発明の第 4 の実施形態を説明するための図 3 に対応する図である。

【図 11】図 10 (1) に相当する図であって、引出し部 17 の位置についての説明図である。

【図 12】この発明の第 5 の実施形態を説明するための図 3 に対応する図である。

【図 13】この発明の第 6 の実施形態を説明するための図 3 に対応する図である。

【符号の説明】

【0116】

- 1 積層セラミックコンデンサ
- 2 セラミック層
- 2 - 1 第 1 のセラミック層
- 2 - 2 第 2 のセラミック層
- 2 - 3 第 3 のセラミック層
- 3 コンデンサ本体
- 4 第 1 の内部電極
- 5 第 2 の内部電極
- 6 第 3 の内部電極
- 7 第 4 の内部電極
- 8 第 1 の外部端子電極
- 9 第 2 の外部端子電極
- 10 第 1 の主面
- 11 第 2 の主面
- 12 第 1 の側面
- 13 第 2 の側面
- 14 第 1 の端面

10

20

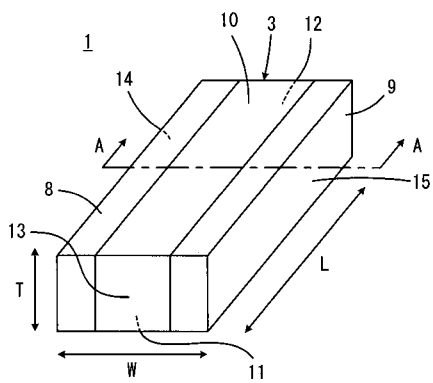
30

40

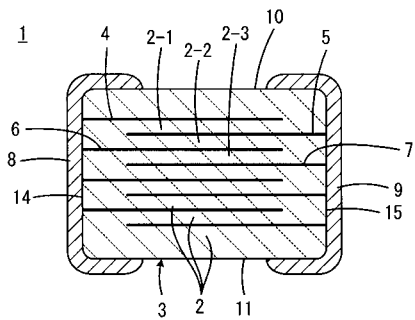
50

- 1 5 第 2 の 端 面
- 1 6 容 量 部
- 1 7 引 出 し 部
- L 1 容 量 部 の 幅 方 向 寸 法
- L 2 引 出 し 部 の 幅 方 向 寸 法

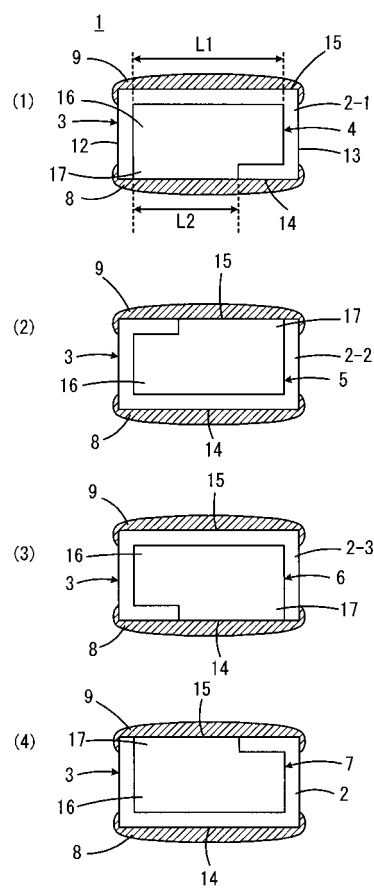
【 図 1 】



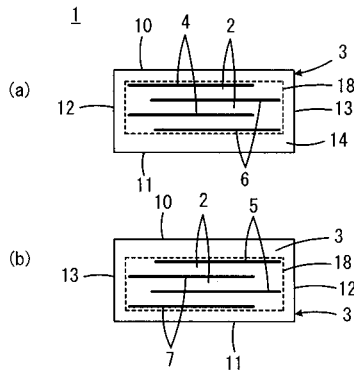
【 図 2 】



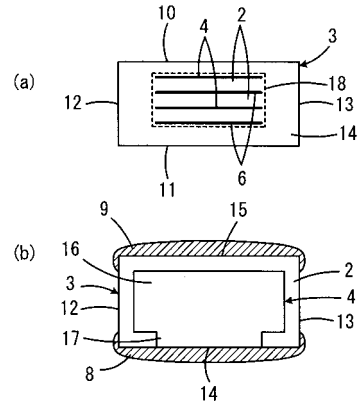
【 図 3 】



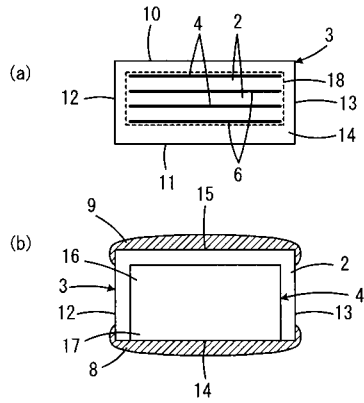
【 図 4 】



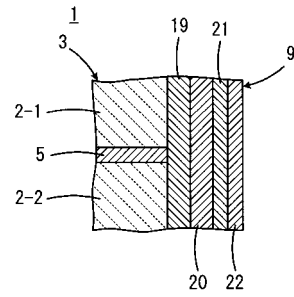
【 図 6 】



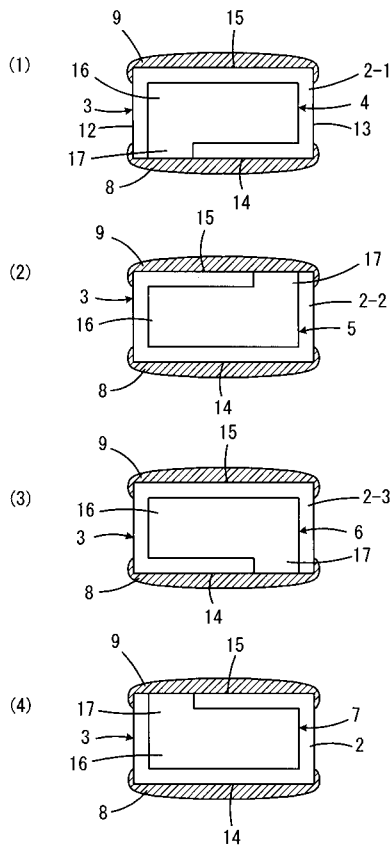
【 図 5 】



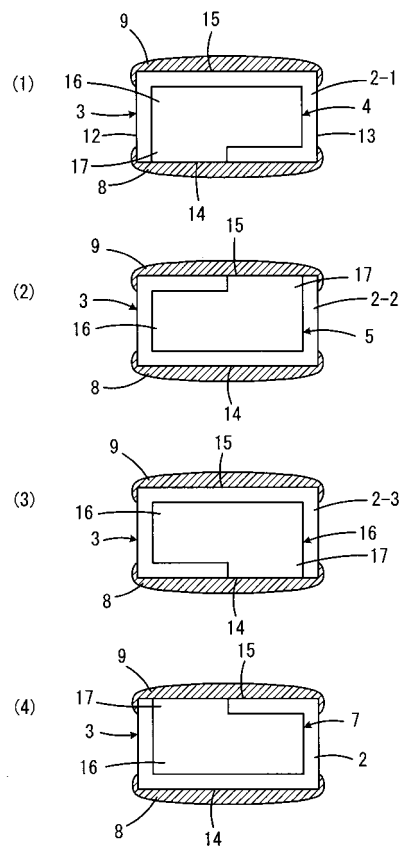
【 図 7 】



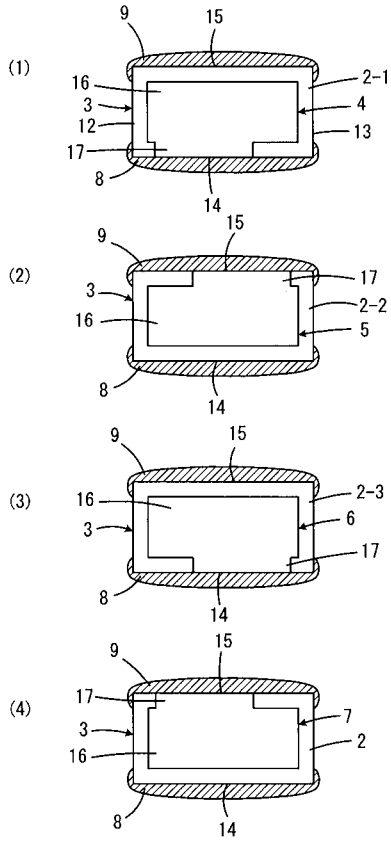
【 図 8 】



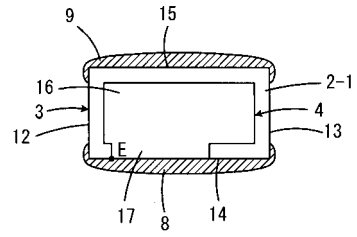
【 図 9 】



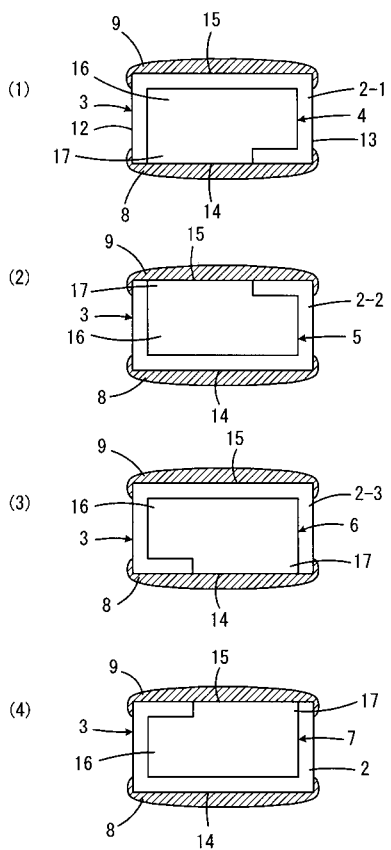
【 図 1 0 】



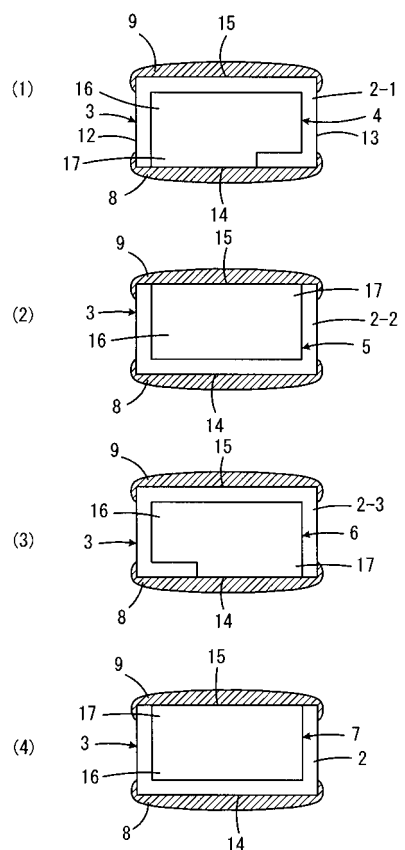
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

Fターム(参考) 5E082 AB03 BC14 BC30 EE01 FG06 FG26