

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5630939号
(P5630939)

(45) 発行日 平成26年11月26日(2014.11.26)

(24) 登録日 平成26年10月17日(2014.10.17)

(51) Int.Cl. F I
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 3 O 1 S
 HO 1 L 29/78 (2006.01) HO 1 L 21/265 F
 HO 1 L 21/265 (2006.01)

請求項の数 14 (全 17 頁)

<p>(21) 出願番号 特願2007-182359 (P2007-182359) (22) 出願日 平成19年7月11日 (2007.7.11) (65) 公開番号 特開2009-21356 (P2009-21356A) (43) 公開日 平成21年1月29日 (2009.1.29) 審査請求日 平成22年6月14日 (2010.6.14)</p>	<p>(73) 特許権者 513192281 ビーエスフォー ルクスコ エスエイアー ルエル PS4 Luxco S. a. r. l. ルクセンブルク大公国エルー 2 1 2 1、ル クセンブルク、ヴァル デ ボン マラデ ス 2 0 8 (74) 代理人 110001195 特許業務法人深見特許事務所 (72) 発明者 眞鍋 和孝 東京都中央区八重洲二丁目2番1号 エル ピーダメモリ株式会社内 審査官 大嶋 洋一</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板と、
 前記半導体基板の表面近傍に設けられた 1 対の第 1 の拡散層領域と、
 前記半導体基板の前記第 1 の拡散層領域同士の間設けられたチャネル形成領域と、
 前記半導体基板の上に、前記チャネル形成領域上、および少なくとも一部が前記第 1 の拡散層領域に重なるように設けられたゲート電極と、
 前記半導体基板と前記ゲート電極との間に設けられたゲート絶縁膜と、
 前記ゲート電極の両側の前記半導体基板の上に、それぞれ、少なくとも一部が前記第 1 の拡散層領域と重なり、且つ、前記ゲート電極と離間して設けられた一対のシリコン選択成長層と、
 前記各シリコン選択成長層に設けられ、不純物濃度のピーク位置が、前記シリコン選択成長層の底より浅い位置にある第 2 の拡散層領域と、
 前記シリコン選択成長層の側面近傍に設けられ、前記第 1 の拡散層領域と前記第 2 の拡散層領域とを電気的に接続する第 3 の拡散層領域とを有し、
前記第 1 の拡散層領域の不純物濃度と、前記第 2 の拡散層領域の不純物濃度と、前記第 3 の拡散層領域の不純物濃度とは、互いに異なることを特徴とする半導体装置。

【請求項 2】

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の両側に対応する領域に、第 1 の拡散層領域を形成する工程と、

前記ゲート電極の側面に、サイドウォールを形成する工程と、
 前記ゲート電極の両側の前記半導体基板の上に、シリコン選択成長層を、前記サイドウォールと隣接するように段差状に形成する工程と、
 前記シリコン選択成長層の上表面に、少なくとも不純物濃度のピーク位置が前記シリコン選択成長層の底面より浅くなるように、前記第1の拡散層領域と同じ導電型の第2の拡散層領域を形成する工程と、
 前記サイドウォールの少なくとも一部を除去し、前記シリコン選択成長層の側面に沿って隙間部分を形成する工程と、
 前記シリコン選択成長層の側面に沿って形成された隙間部分を介して、前記第1および第2の拡散層領域と同じ導電型の第3の拡散層領域を前記シリコン選択成長層の側面近傍に形成する工程とを有することを特徴とする半導体装置の製造方法。

10

【請求項3】

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の両側に対応する領域に、第1の拡散層領域を形成する工程と、
 前記ゲート電極の側面に、サイドウォールを形成する工程と、
 前記ゲート電極の両側の前記半導体基板の上に、シリコン選択成長層を、前記サイドウォールと隣接するように段差状に形成する工程と、
 前記サイドウォールの少なくとも一部を除去し、前記シリコン選択成長層の側面に沿って隙間部分を形成する工程と、
 前記シリコン選択成長層の上表面近傍に前記第1の拡散層領域と同じ導電型の第2の拡散層領域を、また、前記シリコン選択成長層の側面に前記第1の拡散層領域と同じ導電型の第3の拡散層領域を、同時に形成する工程とを有することを特徴とする半導体装置の製造方法。

20

【請求項4】

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の側面に、サイドウォールを形成する工程と、
 前記ゲート電極の両側の前記半導体基板の上に、シリコン選択成長層を、前記サイドウォールと隣接するように段差状に形成する工程と、
 前記サイドウォールの少なくとも一部を除去し、前記シリコン選択成長層の側面に沿って隙間部分を形成する工程と、
 前記隙間部分を介して、前記サイドウォール下にのみ、第1の拡散層領域を形成する工程と、
 前記シリコン選択成長層の上表面近傍に前記第1の拡散層領域と同じ導電型の第2の拡散層領域を、また、前記シリコン選択成長層の側面に前記第1の拡散層領域と同じ導電型の第3の拡散層領域を、同時に形成する工程とを有することを特徴とする半導体装置の製造方法。

30

【請求項5】

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の側面に、サイドウォールを形成する工程と、
 前記ゲート電極の両側の前記半導体基板の上に、シリコン選択成長層を、前記サイドウォールと隣接するように段差状に形成する工程と、
 前記サイドウォールを完全に除去する工程と、
 前記サイドウォールが存在した個所に対応する半導体基板の表面に第1の拡散層領域を、また、前記シリコン選択成長層の上表面近傍に前記第1の拡散層領域と同じ導電型の第2の拡散層領域を、さらに、前記シリコン選択成長層の側面に前記第1の拡散層領域と同じ導電型の第3の拡散層領域を、同時に形成する工程とを有することを特徴とする半導体装置の製造方法。

40

【請求項6】

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の両側に対応する領域に、前記第1、2および3の拡散層領域とは

50

逆導電型の第4の拡散層領域を形成する工程を有することを特徴とする請求項2～5のいずれか1項に記載の半導体装置の製造方法。

【請求項7】

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の側面に、サイドウォールを形成する工程と、
前記ゲート電極の両側の前記半導体基板の上に、シリコン選択成長層を、前記サイドウォールと隣接するように段差状に形成する工程と、
前記シリコン選択成長層の上表面に、少なくとも不純物濃度のピーク位置が前記シリコン選択成長層の底面より浅くなるように、前記第1の拡散層領域と同じ導電型の第2の拡散層領域を形成する工程と、
前記サイドウォールを完全に除去する工程と、
前記サイドウォールが存在した個所に対応する半導体基板の表面に、後述の第1、2および3の拡散層領域とは逆導電型の第4の拡散層領域を形成する工程と
前記サイドウォールが存在した個所に対応する半導体基板の表面の前記第4の拡散層よりも浅く第1の拡散層領域を、また前記シリコン選択成長層の上表面近傍に前記第1の拡散層領域と同じ導電型の第2の拡散層領域を、さらに、前記シリコン選択成長層の側面に前記第1の拡散層領域と同じ導電型の第3の拡散層領域を、同時に形成する工程とを有することを特徴とする半導体装置の製造方法。

10

【請求項8】

前記第3の拡散層領域を形成する際、プラズマドーピング法を用いることを特徴とする請求項2～7のいずれか1項に記載の半導体装置の製造方法。

20

【請求項9】

前記第3の拡散層領域を形成する際、回転斜めイオン注入法を用いることを特徴とする請求項2～7のいずれか1項に記載の半導体装置の製造方法。

【請求項10】

前記第3の拡散層領域の不純物濃度は、前記第1の拡散層領域の不純物濃度と、前記第2の拡散層領域の不純物濃度との間にあることを特徴とする請求項1に記載の半導体装置

。

【請求項11】

前記第3の拡散層領域は、前記シリコン選択成長層の側面の拡散層領域であることを特徴とする請求項1又は請求項10に記載の半導体装置。

30

【請求項12】

前記第1の拡散層領域は、前記ゲート電極の第1のサイドウォール膜の下部近傍にのみ設けられ、

前記第3の拡散層領域は、プラズマドーピングによって形成されることを特徴とする請求項1、10、11のいずれか1項に記載の半導体装置。

【請求項13】

前記第2の拡散層領域全体が前記シリコン選択成長層の底より浅い位置にあることを特徴とする請求項1、請求項10～請求項12のいずれか1項に記載の半導体装置。

40

【請求項14】

前記第1の拡散層領域の周囲に、前記第1の拡散層領域と逆導電型の不純物を含有する第4の拡散層領域を有することを特徴とする請求項1、請求項10～請求項13のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、MOS型トランジスタ、特にゲート電極の両側に、不純物拡散層を有するシリコン選択成長層が段差状（せり上げ状）に設けられたMOS型トランジスタを有する半導体装置及びその製造方法に関する。

50

【背景技術】

【0002】

MOS型トランジスタにおいては、微細化するにわちゲート長の短縮化のために短チャネル効果を抑える必要があり、ソース・ドレイン領域の接合深さ（基板表面からの深さ）をより浅くし、且つ、オン電流低下抑制のため、その抵抗は小さく抑える必要がある。

【0003】

このような要求に応えるものとして、シリコン基板のソース領域及びドレイン領域にシリコン選択成長層を段差状（せり上げ状）に設けた、せり上げソースドレイン構造のトランジスタが提案されている（例えば、特許文献1～特許文献3参照。）。

このようなトランジスタでは、ソース領域及びドレイン領域を形成する際に、シリコン選択成長層の上面からイオン注入が行われるので、一般的なイオン注入条件を採用しつつ、ソース領域及びドレイン領域をシリコン選択成長層の厚さ分だけ浅く形成することができる。このため、短チャネル効果の生じ難いトランジスタを得ることができる。また、その厚さを利用して、ソース領域及びドレイン領域を、より高濃度の拡散層領域にて形成することも可能であり、寄生抵抗を低減させ、オン電流を増大させることができる。

【0004】

図14に、従来のせり上げソースドレイン構造のトランジスタの一例を示す。なお、図14に示すトランジスタは、電子をキャリアとするNチャネル型トランジスタである。

このトランジスタでは、P型のシリコン基板101上に、ゲート絶縁膜102を介してゲート電極103が形成されている。ゲート電極103の上面には、ゲート上部絶縁膜104が設けられ、その側面には、絶縁膜よりなるサイドウォール105が設けられている。

【0005】

シリコン基板101のゲート電極形成領域（ゲート電極に対応する領域）の両側には、それぞれ、第1の拡散層領域106a、106b～第4の拡散層領域109a、109bからなる拡散層領域が設けられている。

第1の拡散層領域106a、106bは、N型不純物拡散層であり、シリコン基板101のサイドウォール105に対応する領域に設けられている。この第1の拡散層領域106a、106bは、LDD (Lightly Doped Drain) 構造を構成するエクステンション (Extension) 領域として機能する。このトランジスタでは、この第1の拡散層領域106a、106b同士の間の領域が、キャリアが流れるチャネル領域110となる。

【0006】

第4の拡散層領域109a、109bは、P型不純物拡散層であり、シリコン基板101の第1の拡散層領域106a、106b及び第3の拡散層領域108a、108bの周囲に設けられている。この第4の拡散層領域109a、109bは、パンチスルー等を防止するハロー (Halo) 領域として機能する。

また、シリコン基板101上には、ゲート電極103の両側（第3の拡散層領域108a、108bに対応する領域）に、それぞれ、選択エピタキシャル (EPI) 成長法を用いて形成されたシリコン選択成長層110a、110bが段差状（せり上げ状）に設けられている。

【0007】

これらシリコン選択成長層110a、110bには、略全体に亘り第2の拡散層領域107a、107bが設けられている。第2の拡散層領域107a、107bは、N型不純物拡散層であり、同じ導電型である第1の拡散層領域106a、106bと、下側の縁部において電氣的に接続されている。

シリコン基板101のシリコン選択成長層110a、110bに対応する領域には、それぞれ、第3の拡散層領域108a、108bが設けられている。第3の拡散層領域108a、108bは、シリコン選択成長層110a、110bにドーブされたN型不純物がシリコン基板101中に拡散することによって形成されたものである。

【0008】

10

20

30

40

50

このトランジスタの図14中のA3-A4線における不純物濃度プロファイルを図15に示す。なお、図15において、横軸はシリコン選択成長層110a、110bの上面からの距離、縦軸は不純物濃度をそれぞれ示す。このように、このトランジスタでは、第1の拡散層領域106a、106bの不純物濃度が、第2の拡散層領域107a、107b及び第3の拡散層領域108a、108bの不純物濃度より低いものとなっており、これら第1の拡散層領域106a、106bと、第2の拡散層領域107a、107b及び第3の拡散層領域108a、108bとでLDD構造が構成される。すなわち、不純物濃度の高い第2の拡散層領域107a及び第3の拡散層領域108a、第2の拡散層領域107b及び第3の拡散層領域108bは、それぞれ、ソース及びドレインとして機能し、不純物濃度の低い第1の拡散層領域109a、109bは、エクステンション領域として機能する。

10

【0009】

ここで、ソース及びドレインを構成する第3の拡散層領域108a、108bは、シリコン選択成長層110a、110bにドーブされたN型不純物がシリコン基板101中に拡散することによって形成されたものであることから、その厚さ(実効的な接合深さ)を薄く抑えることができる。このため、このトランジスタは、短チャネル効果が生じ難い。また、ソース及びドレインが、第2の拡散層領域107a、107bと第3の拡散層領域108a、108bとによって構成され、これら拡散層領域の合計厚さとなることから、その抵抗を低く抑えることができる。

20

【特許文献1】特開平10-50989号公報

【特許文献2】特開2000-49348号公報

【特許文献3】特開2004-6891号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところで、このようなトランジスタでは、第1の拡散層領域106a、106bと第2の拡散層領域107a、107bとの電気的な接続を確実なものとするには、シリコン基板101に接する第2の拡散層領域107a、107bの不純物濃度(図15中B点における不純物濃度)を高くする必要がある。しかし、B点における不純物濃度を高くすると、シリコン基板101への不純物拡散が進むため、第3の拡散層領域108a、108bの深さが深くなっていく。

30

【0011】

一方、トランジスタの微細化に伴って、ゲート電極103の側壁に設けられるサイドウォール105も薄くなっており、これにより、第3の拡散層領域108aと第3の拡散層領域108bとの距離は、ますます短くなる方向にある。

このような状況で、第3の拡散層領域108a、108bがシリコン基板101の表面から深い位置まで形成されると、短チャネル効果が現れ易くなることから、さらに、ゲート長を短くすること、すなわち微細化が困難になるという問題が生じる。このことから、第3の拡散層領域108a、108bは、第1の拡散層領域106a、106bと第2の拡散層領域107a、107bとが電気的に接続されるために必要な最小限の深さになるよう設計されるのが一般的である。

40

【0012】

しかしながら、第1の拡散層領域106a、106b及び第3の拡散層領域108a、108bの下には、一般に、逆導電型(P型)の第4の拡散層領域109a、109bが存在する。このため、第3の拡散層領域108a、108bの深さをできるだけ浅く形成しようとする、第4の拡散層領域109a、109bに含まれるP型不純物が、第3の拡散層領域に含まれる逆導電型の不純物によって打ち返されず、第3の拡散層領域108a、108bとの界面におけるP型不純物濃度が高濃度となる。その結果、図15中C点で示すように、第3の拡散層領域108a、108bと第4の拡散層領域109a、109bとで高濃度PN接合が形成され、拡散層領域における接合容量が大きくなり、ひいて

50

は回路的信号遅延が大きくなるという問題が生じる。

【0013】

また、第1の拡散層領域106a、106bの大きさは、拡散層領域の形成工程の都合上、サイドウォール105の幅によって決まる。このため、前述のようにトランジスタの微細化に伴ってサイドウォール105の幅が狭くなっていくと、第1の拡散層領域106a、106bも小さくなり、LDD構造とする効果、すなわち、電界緩和効果が小さくなる。これにより、HC(Hot Carrier)耐性が低下するという問題も生じる。

【0014】

本発明は、このような事情に鑑みてなされたものであって、サイドウォールの幅及びゲート長の微小化を図りつつ、短チャンネル効果及び拡散層領域における接合容量の増大が抑えられ、また、拡散層領域の寄生抵抗が小さく、HC耐性に優れた半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0015】

上記の課題を解決するため、本発明の半導体装置は、MOS型トランジスタを有する半導体装置であって、半導体基板と、前記半導体基板の表面近傍に設けられた1対の第1の拡散層領域と、前記半導体基板の前記第1の拡散層領域同士の間設けられたチャンネル形成領域と、前記半導体基板の上に、前記チャンネル形成領域上、および少なくとも一部が前記第1の拡散層領域に重なるように設けられたゲート電極と、前記半導体基板と前記ゲート電極との間に設けられたゲート絶縁膜と、前記ゲート電極の両側の前記半導体基板の上に、それぞれ、少なくとも一部が前記第1の拡散層領域と重なり、且つ、前記ゲート電極と離間して設けられた1対のシリコン選択成長層と、前記各シリコン選択成長層に設けられ、不純物濃度のピーク位置が、前記シリコン選択成長層の底より浅い位置にある第2の拡散層領域と、前記シリコン選択成長層の側面近傍に設けられ、前記第1の拡散層領域と前記第2の拡散層領域とを電気的に接続する第3の拡散層領域とを有することを特徴とする。

【0016】

さらに、前記第2の拡散層領域全体が前記シリコン選択成長層の底より浅い位置にあることを特徴とすることもできる。

【0017】

なお、微細化を意図したトランジスタは、ハロー領域を有するのが一般的であり、本発明の半導体装置にハロー領域を適用した場合には、前記第1の拡散層領域の周囲に、前記第1の拡散層領域と逆導電型の不純物を含有する第4の拡散層領域を有することになる。

【0018】

本発明の半導体装置の製造方法は、

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の両側に対応する領域に、第1の拡散層領域を形成する工程と、前記ゲート電極の側面に、サイドウォールを形成する工程と、前記ゲート電極の両側の前記半導体基板の上に、シリコン選択成長層を、前記サイドウォールと隣接するように段差状に形成する工程と、前記シリコン選択成長層の上表面に、少なくとも不純物濃度のピーク位置が前記シリコン選択成長層の底面より浅くなるように、前記第1の拡散層領域と同じ導電型の第2の拡散層領域を形成する工程と、前記サイドウォールの少なくとも一部を除去し、前記シリコン選択成長層の側面に沿って隙間部分を形成する工程と、前記シリコン選択成長層の側面に沿って形成された隙間部分を介して、前記第1および第2の拡散層領域と同じ導電型の第3の拡散層領域を前記シリコン選択成長層の側面近傍に形成する工程とを有することを特徴とする。

【0019】

本発明の半導体装置の別の製造方法は、

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の両側に対応する領域に、第1の拡散層領域を形成する工程と、前

10

20

30

40

50

記ゲート電極の側面に、サイドウォールを形成する工程と、前記ゲート電極の両側の前記半導体基板の上に、シリコン選択成長層を、前記サイドウォールと隣接するように段差状に形成する工程と、前記サイドウォールの少なくとも一部を除去し、前記シリコン選択成長層の側面に沿って隙間部分を形成する工程と、前記シリコン選択成長層の上表面近傍に前記第1の拡散層領域と同じ導電型の第2の拡散層領域を、また、前記シリコン選択成長層の側面に前記第1の拡散層領域と同じ導電型の第3の拡散層領域を、同時に形成する工程とを有することを特徴とする。

【0020】

本発明の半導体装置のさらに別の製造方法は、

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の側面に、サイドウォールを形成する工程と、前記ゲート電極の両側の前記半導体基板の上に、シリコン選択成長層を、前記サイドウォールと隣接するように段差状に形成する工程と、前記サイドウォールの少なくとも一部を除去し、前記シリコン選択成長層の側面に沿って隙間部分を形成する工程と、前記隙間部分を介して、前記サイドウォール下にのみ、第1の拡散層領域を形成する工程と、前記シリコン選択成長層の上表面近傍に前記第1の拡散層領域と同じ導電型の第2の拡散層領域を、また、前記シリコン選択成長層の側面に前記第1の拡散層領域と同じ導電型の第3の拡散層領域を、同時に形成する工程とを有することを特徴とする。

【0021】

本発明の半導体装置のまたさらに別の製造方法は、

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の側面に、サイドウォールを形成する工程と、前記ゲート電極の両側の前記半導体基板の上に、シリコン選択成長層を、前記サイドウォールと隣接するように段差状に形成する工程と、前記サイドウォールを完全に除去する工程と、前記サイドウォールが存在した個所に対応する半導体基板の表面に第1の拡散層領域を、また、前記シリコン選択成長層の上表面近傍に前記第1の拡散層領域と同じ導電型の第2の拡散層領域を、さらに、前記シリコン選択成長層の側面に前記第1の拡散層領域と同じ導電型の第3の拡散層領域を、同時に形成する工程とを有することを特徴とする。

【0022】

なお、本発明の半導体の製造方法において、一般的な微細化を意図したトランジスタを製造するためハロー領域を形成する場合、ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の両側に対応する領域に、前記第1、2および3の拡散層領域とは逆導電型の第4の拡散層領域を形成する工程を有することになる。

【0023】

本発明の半導体装置のまたさらなる別の製造方法は、

ゲート絶縁膜、及び、ゲート上部絶縁膜を有するゲート電極が形成された半導体基板の表面の前記ゲート電極の側面に、サイドウォールを形成する工程と、前記ゲート電極の両側の前記半導体基板の上に、シリコン選択成長層を、前記サイドウォールと隣接するように段差状に形成する工程と、前記シリコン選択成長層の上表面に、少なくとも不純物濃度のピーク位置が前記シリコン選択成長層の底面より浅くなるように、前記第1の拡散層領域と同じ導電型の第2の拡散層領域を形成する工程と、前記サイドウォールを完全に除去する工程と、前記サイドウォールが存在した個所に対応する半導体基板の表面に、後述の第1、2および3の拡散層領域とは逆導電型の第4の拡散層領域を形成する工程と前記サイドウォールが存在した個所に対応する半導体基板の表面の前記第4の拡散層よりも浅く第1の拡散層領域を、また前記シリコン選択成長層の上表面近傍に前記第1の拡散層領域と同じ導電型の第2の拡散層領域を、さらに、前記シリコン選択成長層の側面に前記第1の拡散層領域と同じ導電型の第3の拡散層領域を、同時に形成する工程とを有することを特徴とする。

【発明の効果】

【 0 0 2 4 】

以上説明した本発明の半導体装置は、

半導体基板のゲート電極形成領域の両側に、それぞれ設けられた第1の拡散層領域はLD構造のエクステンション領域として、第2の拡散層領域はLDD構造のソース及びドレインとしてそれぞれ機能する。また第3の拡散層領域は、第1の拡散層領域と第2の拡散層領域を電気的に接続する機能を有している。なお、第4の拡散層領域は上述したようにハロースルー等を防止するハロー（H a l o）領域として機能する。

【 0 0 2 5 】

また、前記第2の拡散層領域の不純物濃度のピーク位置は、前記シリコン選択成長層の底より浅い位置にある（より好ましくは、前記第2の拡散層領域全体が前記シリコン選択成長層の底より浅い位置にある）とした。

10

【 0 0 2 6 】

このような半導体装置では、ソース及びドレインとして機能する第2の拡散層領域とゲート電極の縁部との距離を、製造過程で形成されるサイドウォールの幅と無関係に、この幅より広くすることができる。

したがって、トランジスタの微細化のために、サイドウォールの幅を狭くした場合でも、ソース・ドレイン間の距離を十分に確保することができるので、短チャンネル効果が現れ難い。このため、ゲート長をより短く設計することが容易となり、トランジスタの微細化を図る上で有利となる。

【 0 0 2 7 】

20

また、このようにソース及びドレイン（第2の拡散層領域）と、ゲート電極の縁部との距離を広くすることができることにより、ドレイン近傍の電界を緩和することができ、優れたHC耐性を得ることができる。

さらに、ハロー領域となる第4の拡散層領域を設けた場合、この第4の拡散層領域とPN接合を形成するのは第1の拡散層領域となる。ここで、第1の拡散層領域の不純物濃度は第2の拡散層領域より不純物濃度が低いので、PN接合における接合容量が小さく抑えられ、PN接合が形成されることによる回路的信号遅延を低減することができる。

【 0 0 2 8 】

また、上述の本発明の半導体装置の製造方法においては、上記効果を有する半導体装置を製造することができるという特徴を有することは言うまでも無い。

30

【 0 0 2 9 】

なお、各々の製造方法における特有の効果に関しては、後述の各実施形態の個所で説明する。

【発明を実施するための最良の形態】

【 0 0 3 0 】

次に、本発明の半導体装置及びその製造方法について、添付した図面を参照しながら詳細に説明する。

【 0 0 3 1 】

「第1実施形態」

まず、本発明の半導体装置の第1実施形態について説明する。なお、ここではNMOSを例に説明する。

40

図1は、第1実施形態の半導体装置を示す縦断面図である。

【 0 0 3 2 】

この図において、半導体基板1は所定濃度の不純物、例えばp型（ボロン等）の不純物が導入された半導体、例えばシリコンにて形成されている。この半導体基板1の表面には、トランジスタを絶縁分離する素子分離領域（図示せず）がトランジスタ形成領域以外の部分に形成されている。

【 0 0 3 3 】

トランジスタ形成領域の所定の領域（ゲート電極形成領域）には、例えば熱酸化法などにより、シリコン酸化膜からなる下部ゲート絶縁膜2が形成されている。

50

下部ゲート絶縁膜 2 の上には、ゲート電極 3 が、例えば多結晶シリコン層により形成されている。多結晶シリコン層には CVD 法での成膜時に不純物を導入させて形成するリンドーブ多結晶シリコン層を用いることができる。

ゲート電極 3 の上には、シリコン酸化膜等よりなる上部ゲート絶縁膜 4 が形成され、ゲート電極 3 の側壁には、シリコン酸化膜等の絶縁膜よりなる第 1 のサイドウォール膜 5 が形成されている。

【 0 0 3 4 】

ゲート電極 3 や第 1 のサイドウォール膜 5 などで覆われていない半導体基板 1 の表面上には、シリコン選択成長層 10 a、10 b が段差状（せり上げ状）に設けられている。このシリコン選択成長層 10 a、10 b のゲート電極 3 側面は、第 1 のサイドウォール膜 5 の側面から離間しており、シリコン選択成長層 10 a、10 b と第 1 のサイドウォール膜 5 の間には、後述する第 2 サイドウォール膜 12 の幅と略等しい幅の隙間部分が形成されている。

【 0 0 3 5 】

また、ゲート電極 3 の両側の半導体基板 1 表面には、第 1 の拡散層領域 6 a、6 b が設けられており、シリコン選択成長層 10 a、10 b の上表面には、第 2 の拡散層領域 7 a、7 b が設けられており、シリコン選択成長層 10 a、10 b の側面には第 3 の拡散層領域 8 a、8 b が設けられている。この第 3 の拡散層領域 8 a、8 b で、第 1 の拡散層領域 6 a、6 b と第 2 の拡散層領域 7 a、7 b を電気的に接続する。

さらに、第 1 の拡散層領域 6 a、6 b の周囲には第 4 の拡散層領域 9 a、9 b が設けられている。なお、この第 1 の拡散層領域 6 a、6 b 同士の間の半導体基板領域が、キャリアが流れるチャネル領域 11 となる。

ここで、第 1 の拡散層領域 6 a、6 b、第 2 の拡散層領域 7 a、7 b、および第 3 の拡散層領域 8 a、8 b は N 型不純物拡散層であり、第 1 の拡散層領域 6 a、6 b は、LDD (Lightly Doped Drain) 構造を構成するエクステンション (Extension) 領域として機能するので、第 1 の拡散層領域 6 a、6 b の不純物濃度は、第 2 の拡散層領域 7 a、7 b、および第 3 の拡散層領域 8 a、8 b の不純物濃度よりも低濃度に形成されていることが好ましい。

【 0 0 3 6 】

また、第 1 の拡散層領域 6 a、6 b の周囲に設けられている第 4 の拡散層領域 9 a、9 b は、P 型不純物拡散層であり、パンチスルー等を防止するハロー (Halo) 領域として機能する。なお、一般的な設定の選択として、ハロー領域を必要としない場合もあり、その場合には第 4 の拡散層領域 9 a、9 b を形成する必要は無い。

【 0 0 3 7 】

さらに、図 1 においては、第 2 の拡散層領域 7 a、7 b 全体を、シリコン選択成長層 10 a、10 b の底より浅い位置に設けてあるが、この位置関係は、短チャネル効果の抑制と接合容量の低減の効果を得るために好ましい。ただし、第 2 の拡散層領域 7 a、7 b の濃度分布の裾の部分がシリコン選択成長層 10 a、10 b の底より深い位置に設けられても上記の効果が全くなくなることはない。従って、第 2 の拡散層領域 7 a、7 b の不純物濃度のピーク位置が、シリコン選択成長層 10 a、10 b の底より浅い位置に設定することも可能である。

また、第 1 の拡散層領域 6 a、6 b と第 2 の拡散層領域 7 a、7 b を電気的に接続するための第 3 の拡散層領域 8 a、8 b は、前期電気的接続を可能とする幅であって、できるだけ浅く、高濃度に設定することが好ましい。

なお、図 1 においては、上述の各拡散層位置関係となっているため、シリコン選択成長層 10 a、10 b 中の第 1、第 2、および第 3 の拡散層領域で囲まれた領域は、実質的に不純物を含まない状態となっている。

ここで、これら拡散層領域の図 1 中 A1 - A2 における不純物濃度プロファイルの一例を示したものが図 2 である。

【 0 0 3 8 】

なお、図1に示していないが、半導体装置を形成する上で必要な一般的な層間絶縁膜、層間絶縁膜を貫通して設けられたコンタクト、ならびに配線などが形成されているのは言うまでも無い。

【0039】

ここで、シリコン選択成長層10a、10bの厚さは、例えば20nm~300nmの範囲で選択することができ、一例として100nm程度の膜厚を選択することができる。

また、第3の拡散層領域8a、8bの不純物濃度は、1つの目安として、相対的に、第1の拡散層領域6a、6bと第2の拡散層領域7a、7bの間の濃度を選択することができるが、この範囲に限るものではない。例えば、 $5 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度の範囲を選択することができ、一例として $8 \times 10^{19} / \text{cm}^3$ を選択することができる。

10

【0040】

さらに第3の拡散層領域8a、8bの深さは、例えば10~80nm程度の深さを選択することができる。

【0041】

次に、本発明の半導体装置の第1製造方法(第1実施形態)について、図1に示す半導体装置を製造する場合を例にして説明する。

【0042】

図3~図6は、半導体装置の第1製造方法を説明するための図である。

20

【0043】

[1]まず、半導体基板1として、例えばP型シリコン基板を用意し、その表面に、STI(Shallow Trench Isolation)法等により、素子分離領域(図示せず)を形成する。次に、前記半導体基板1の表面に、熱酸化法等の方法により、例えば厚さ3nmのシリコン酸化膜からなるゲート絶縁膜を形成する。

【0044】

次に、前記ゲート絶縁膜上に、例えば厚さ100nm、不純物濃度 $1 \times 10^{20} / \text{cm}^3$ のリンドーブポリシリコン膜、および、例えば厚さ70nmのシリコン酸化膜からなるゲート上部絶縁膜を順次成膜する。その後、各膜を、リソグラフィ技術およびエッチング技術等を用いて、所望のパターンにパターンニングする。これにより、図3に示すように、ゲート絶縁膜2、ゲート電極3及びゲート上部絶縁膜4が形成される。

30

【0045】

[2]次に、半導体基板1に、例えば、砒素を、加速エネルギー10keV、ドーズ量 $1 \times 10^{14} / \text{cm}^2$ の条件でイオン注入する。その結果、図4に示すように、ゲート電極3に対応する領域の両側に、NMOSトランジスタのエクステンション(Extension)領域として機能する第1の拡散層領域(N⁻不純物拡散層)6a、6bが形成される。

【0046】

[3]次に、半導体基板1に、例えば、ほう素を、加速エネルギー10keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でイオン注入する。その結果、図4に示すように、第1の拡散層領域6a、6bの下側の周囲領域に、NMOSトランジスタのハロー(Halo)領域として機能する第4の拡散層領域(P型不純物拡散層)9a、9bが形成される。

40

【0047】

[4]次に、半導体基板1上に、ゲート絶縁膜2、ゲート電極3及びゲート上部絶縁膜4を覆うように、例えば、厚さ8nmのシリコン酸化膜及び厚さ20nmのシリコン窒化膜を成膜する。その後、シリコン酸化膜及びシリコン窒化膜を、エッチバック技術によって加工する。その結果、図5に示すように、ゲート電極3及びゲート上部絶縁膜4の側壁に、第1のサイドウォール膜5及び第2のサイドウォール膜12によって構成されたサイドウォールスペーサ(サイドウォール)13が形成される。なお、シリコン酸化膜は、第1の拡散層領域6a、6b及び第4の拡散層領域9a、9bを形成する前に、ゲート電極3

50

の側面を熱酸化することによって形成してもよい。

【0048】

[5]次に、半導体基板1の露出している表面の上に、選択エピタキシャル成長技術を用いて、例えば、厚さ100nmのシリコン選択成長層10a、10bを選択的に形成する。

【0049】

[6]次に、シリコン選択成長層10a、10bに、例えば、砒素を、加速エネルギー10keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件でイオン注入する。その結果、図5に示すように、NMOSトランジスタのソース領域及びドレイン領域として機能する第2の拡散層領域(N⁺不純物拡散層)7a、7bが形成される。

ここで、第2の拡散層領域7a、7bを形成するイオン注入は、N型不純物がシリコン選択成長層10a、10bの表面近傍部分にのみ拡散するようにし、半導体基板1の表面にまで到達しないような(例えば上記の条件)で行うのが望ましい。

【0050】

[7]次に、例えば、燐酸を用いたウェットエッチングにより、第2のサイドウォール膜12を除去する。これにより、図6に示すように、第1のサイドウォール膜5とシリコン選択成長層10a、10bとの間に隙間部分14が形成される。

【0051】

[8]次に、前記隙間部分14を利用して、シリコン選択成長層10a、10bの上表面および側面に、プラズマドーピング法を用いて、砒素ないし燐を、その側面における不純物濃度が例えば $1 \times 10^{19} / \text{cm}^3$ になるように導入する。その結果、図6に示すように、シリコン選択成長層10a、10bの側面近傍に、第3の拡散層領域(N⁻不純物拡散層)8a、8bが形成される。なお、この工程で上表面に導入される不純物に関しては、第2の拡散層領域7a、7bと重なるため、説明の便宜上省略し、側面部の拡散層領域のみを第3の拡散層領域8a、8bとする。

【0052】

第3の拡散層領域8a、8bの形成方法としては、プラズマドーピング技術の他、回転斜めイオン注入法等も用いることができるが、微細化により第1のサイドウォール膜5とシリコン選択成長層10a、10bとの隙間部分14が小さい場合やシリコン選択成長層10a、10bの縦断面形状がオーバーハング形状になっている場合等には、プラズマドーピング技術を用いるのが望ましい。

以上のようにして各拡散層領域を形成した後、層間膜、コンタクトプラグ、配線等を形成することにより、半導体装置が得られる。なお、熱処理に関しては一般に用いられる活性化熱処理や層間膜形成後の熱処理などが適宜適用されるのは言うまでも無く、特に言及しない。

【0053】

「第2実施形態」

次に、半導体装置の第2実施形態について説明する。

なお、第2実施形態においては、前記第1実施形態と同様の構成についてはその説明を省略する。図7は、第2実施形態の半導体装置を示す縦断面図である。

【0054】

第2実施形態の半導体装置は、第2の拡散層領域7a、7bを、第3の拡散層領域8a、8bと同時に形成されたものであること以外は、第1実施形態と同様である。

【0055】

すなわち、この第2実施形態の半導体装置は、先に説明した工程[8]において、シリコン選択成長層10a、10bの上表面にも不純物が導入されることにより、先に説明した工程[6]を省略したものであり、この工程[8]で形成されるシリコン選択成長層10a、10bの側面および上表面の不純物拡散層のうち、上表面部のみを説明の便宜上、第2の拡散層領域7a、7bとしている。

従って、第2実施形態では、工程数が削減され、製造コストの低減を図ることができる

10

20

30

40

50

。

【 0 0 5 6 】

「第3実施形態」

次に、半導体装置の第3実施形態について説明する。

なお、第3実施形態においては、前記第1及び前記第2実施形態と同様の構成についてはその説明を省略する。

図8は、第3実施形態の半導体装置を示す縦断面図である。

【 0 0 5 7 】

第3実施形態の半導体装置は、第2実施形態に対し、第1の拡散層領域6a、6bが、第1のサイドウォール膜の下部近傍にのみ設けられていることが特徴である。なお、図示していないが、第1実施形態に対し、第1の拡散層領域6a、6bを同様に設定することもできることは言うまでも無い。

10

【 0 0 5 8 】

この第3実施形態の半導体装置は、前記第2実施形態から先に説明した工程[2]を省略し、工程[7]に記載の第1のサイドウォール膜5とシリコン選択成長層10a、10bとの間に隙間部分14が存在する段階（例えば図9の段階）で、例えば10～25keVの加速エネルギーにて砒素を第1のサイドウォール膜5を貫通させる形でイオン注入することで、第1の拡散層領域6a、6bを形成することにより製造される。

【 0 0 5 9 】

なお、シリコン選択成長層10a、10の上表面にもこのイオン注入により不純物が導入されるが、第2の拡散層領域7a、7bと重なるため、説明の便宜上、第1のサイドウォール膜の下部近傍のみを第1の拡散層領域6a、6bとする。

20

【 0 0 6 0 】

この第3実施形態では、特に、第1の拡散層領域6a、6bと第4の拡散層領域9a、9bとで形成されるPN接合の面積を減少させることができるので、PN接合容量がさらに低下し、回路的信号遅延をより小さくすることが可能になる。

【 0 0 6 1 】

「第4実施形態」

次に、半導体装置の第4実施形態について説明する。

なお、第4実施形態においては、前記第1～3実施形態と同様の構成についてはその説明を省略する。

30

【 0 0 6 2 】

図10は、第4実施形態の半導体装置を示す縦断面図である。

【 0 0 6 3 】

第4実施形態の半導体装置は、第3実施形態に対し、第1のサイドウォール膜5が除去されていること、第1の拡散層領域6a、6bを第2の拡散層領域7a、7bおよび第3の拡散層領域8a、8bと同じイオン導入工程にて形成されたものであることを特徴とする。

【 0 0 6 4 】

第4実施形態の半導体装置は、第3実施形態のイオン注入による第1の拡散層領域6a、6b形成工程を省略し、図9の工程から、図11に示すように第1のサイドウォール膜5をウェットエッチなどにより除去した後、上述の工程[8]を行うことにより製造することができる。

40

【 0 0 6 5 】

「第5実施形態」

次に、半導体装置の第5実施形態について説明する。

なお、第5実施形態においては、前記第1～4実施形態と同様の構成についてはその説明を省略する。

【 0 0 6 6 】

図12は、第5実施形態の半導体装置を示す縦断面図である。

50

第5実施形態の半導体装置は、第4実施形態に対し、第4の拡散層領域9a, 9bが、ゲート電極3の両側近傍にのみ存在し、かつ第1実施形態で説明した第2拡散層領域7a, 7bを適用していることが特徴である。

【0067】

この第5実施形態の半導体装置は、第4実施形態に対し、工程[3]を省略し、工程[6]を省略せずに第1実施形態と同様に行った上で、第4実施形態と同様に製造し、工程[8]を行う際(図13)に、例えばホウ素をイオン注入法で導入することで第4の拡散層領域9a, 9bをゲート電極3の両側近傍に形成することで製造することができる。

【0068】

なお、シリコン選択成長層10a, 10の上表面にもこのイオン注入により不純物が導入されるが、第2の拡散層領域7a, 7bと重なり、且つ、一般的にハローとして機能する第4の拡散層の不純物濃度はN+領域である第2の拡散層領域7a, 7bの不純物濃度に比べ十分低いので説明の便宜上、ゲート電極3の両側近傍のみを第4の拡散層領域9a, 9bとする。

【0069】

この第5実施形態では、第4の拡散層領域9a, 9bをゲート電極3の両側近傍のみに形成したので、第2拡散層領域7a, 7bの不純物分布の裾が熱処理などによりシリコン選択成長層10a, 10より深く形成された場合でも、接合容量が増加することがないので、回路的信号遅延をより小さい効果を維持することが可能になる。

【0070】

以上、本発明の半導体装置及びその製造方法の具体的な実施形態について説明したが、これら実施形態において、半導体装置を構成する各部の構成材料、膜厚および形成方法は一例であって、本発明の範囲を逸脱しない範囲で適宜変更することができる。

例えば、第3実施形態及び第4実施形態において、第1実施形態と同様の第2の拡散層領域を設けるようにしてもよい。

また、前記各実施形態では、半導体装置を構成するトランジスタがNチャネル型である場合を例にして説明したが、トランジスタはPチャネル型であっても構わない。

【産業上の利用可能性】

【0071】

本発明の活用例は、トランジスタを有する半導体装置全般である。

【図面の簡単な説明】

【0072】

【図1】第1実施形態の半導体装置を示す縦断面図である。

【図2】第1実施形態の半導体装置において、図1中A1-A2における不純物濃度プロファイルの一例を示す模式図である。

【図3】第1実施形態の半導体装置の製造方法を工程順に示すもので、下部ゲート絶縁膜、ゲート電極及び上部ゲート絶縁膜の形成工程を示す縦断面図である。

【図4】第1実施形態の半導体装置の製造方法を工程順に示すもので、第1の拡散層領域及び第4の拡散層領域の形成工程を示す縦断面図である。

【図5】第1実施形態の半導体装置の製造方法を工程順に示すもので、第2の拡散層領域の形成工程を示す縦断面図である。

【図6】第1実施形態の半導体装置の製造方法を工程順に示すもので、第3の拡散層領域の形成工程を示す縦断面図である。

【図7】第2実施形態の半導体装置を示す縦断面図である。

【図8】第3実施形態の半導体装置を示す縦断面図である。

【図9】第3実施形態の半導体装置の製造方法を工程順に示すもので、第1の拡散層領域~第3の拡散層領域を形成する前の状態を示す縦断面図である。

【図10】第4実施形態の半導体装置を示す縦断面図である。

【図11】第4実施形態の半導体装置の製造方法を工程順に示すもので、第1の拡散層領域~第3の拡散層領域を形成する前の状態を示す縦断面図である。

10

20

30

40

50

【図12】第5実施形態の半導体装置を示す縦断面図である。

【図13】第5実施形態の半導体装置の製造方法を工程順に示すもので、第1の拡散層領域、第3の拡散層領域及び第4の拡散層領域を形成する前の状態を示す縦断面図である。

【図14】従来の半導体装置を示す縦断面図である。

【図15】従来の半導体装置において、図14中A3-A4における不純物濃度プロファイルを示す模式図である。

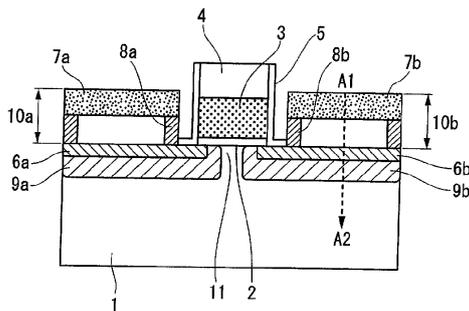
【符号の説明】

【0073】

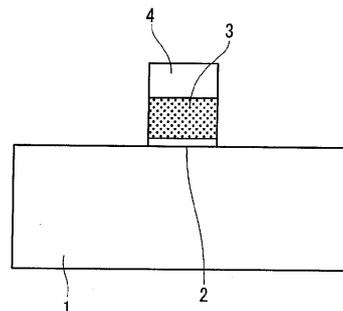
1...半導体基板 2...ゲート絶縁膜 3...ゲート電極 4...ゲート上部絶縁膜 5...第1のサイドウォール膜 6a、6b...第1の拡散層領域 7a、7b...第2の拡散層領域 8a、8b...第3の拡散層領域、9a、9b...第4の拡散層領域 10a、10b...シリコン選択成長層、 11...チャネル領域、

10

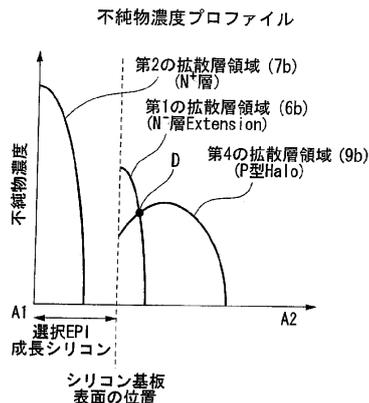
【図1】



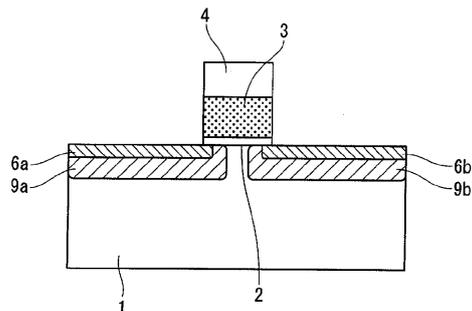
【図3】



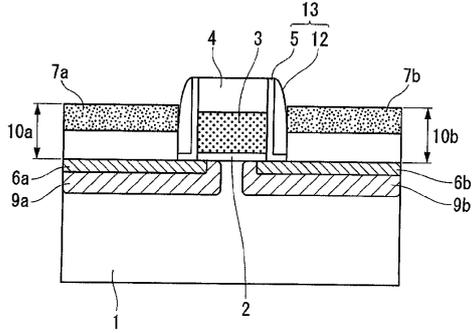
【図2】



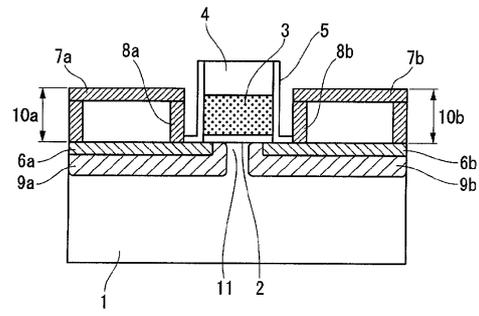
【図4】



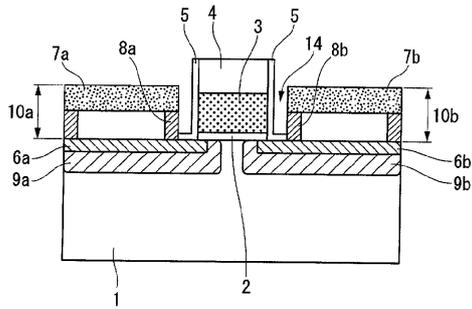
【図5】



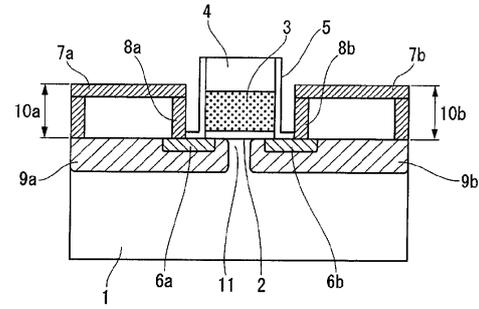
【図7】



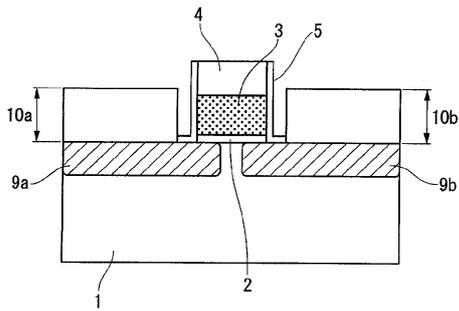
【図6】



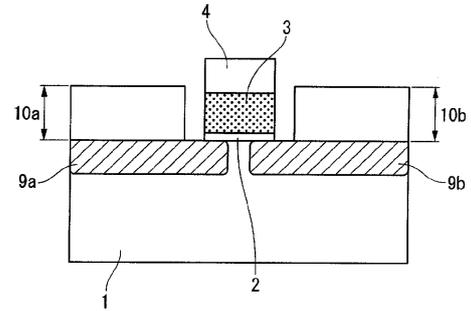
【図8】



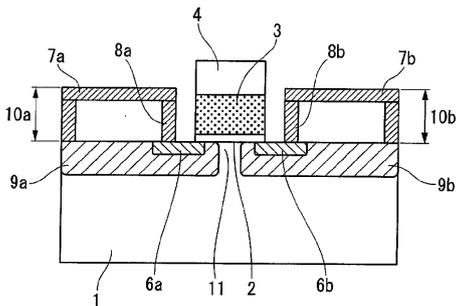
【図9】



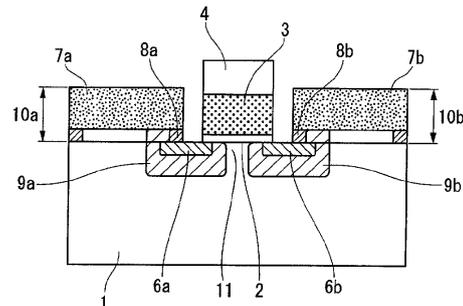
【図11】



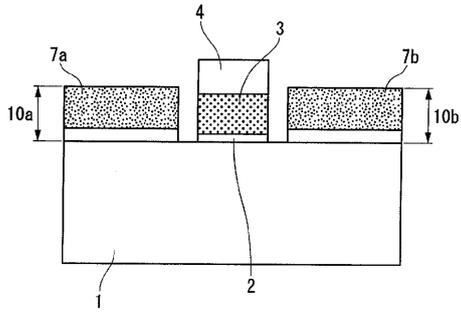
【図10】



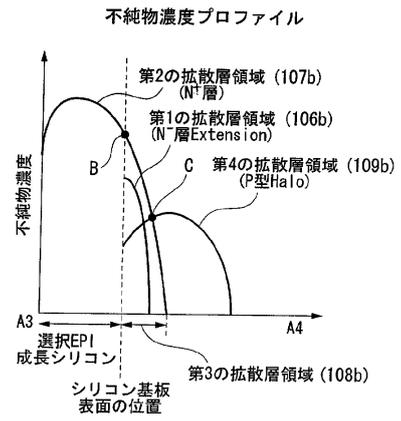
【図12】



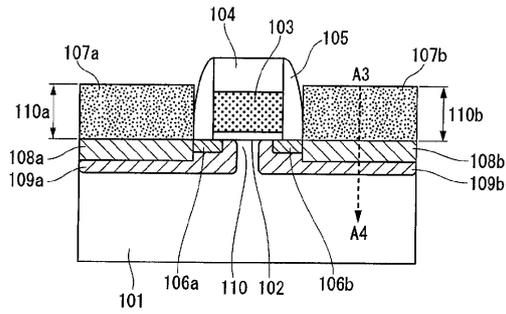
【図13】



【図15】



【図14】



フロントページの続き

(56)参考文献 特開2000-150886(JP,A)
特開昭62-259465(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 21/265

H01L 29/78