



(12) 发明专利申请

(10) 申请公布号 CN 104777378 A

(43) 申请公布日 2015. 07. 15

(21) 申请号 201510101454. 2

(22) 申请日 2015. 03. 09

(71) 申请人 国核自仪系统工程有限公司

地址 200241 上海市闵行区东川路 555 号乙
楼 A2036 室

(72) 发明人 姜群兴 王晓凯 司胜剑 裴宇森
朱怀宇 叶韬 周兵 史腾

(74) 专利代理机构 上海申汇专利代理有限公司
31001

代理人 俞宗耀 朱逸

(51) Int. Cl.

G01R 31/00(2006. 01)

权利要求书1页 说明书2页

(54) 发明名称

FPGA 时钟信号自我检测方法

(57) 摘要

一种 FPGA 时钟信号自我检测方法, 涉及控制模块技术领域, 所解决的是提高 FPGA 芯片运行的可靠性与安全性的技术问题。该方法为 FPGA 芯片引入两个时钟信号, 其中的一个时钟信号为第一时钟信号, 另一个时钟信号为第二时钟信号; 利用第一时钟信号控制 FPGA 芯片内的所有同步逻辑, 利用第二时钟信号来检测第一时钟信号是否正确。本发明提供的方法, 特别适用于以 FPGA 芯片作为主控制器或者重要控制部件的系统。

1. 一种 FPGA 时钟信号自我检测方法,其特征在于,为 FPGA 芯片引入两个时钟信号,其中的一个时钟信号为第一时钟信号,另一个时钟信号为第二时钟信号;

利用第一时钟信号控制 FPGA 芯片内的所有同步逻辑,利用第二时钟信号来检测第一时钟信号,具体检测方法为:

第二时钟信号每经过 N 个周期,就检测一次第一时钟信号,如果第一时钟信号在该段时间内所经过的周期数小于 A 或大于 B,则判定第一时钟信号产生错误;

其中,N 为预先设定的周期数阈值,A 为预先设定的周期数下限值,B 为预先设定的周期数上限值。

2. 根据权利要求 1 所述的 FPGA 时钟信号自我检测方法,其特征在于:所述第一时钟信号的频率与第二时钟信号的频率相异。

3. 根据权利要求 2 所述的 FPGA 时钟信号自我检测方法,其特征在于:所述第一时钟信号的频率大于第二时钟信号的频率。

4. 根据权利要求 3 所述的 FPGA 时钟信号自我检测方法,其特征在于:所述第一时钟信号的频率为 50MHZ,第二时钟信号的频率为 19.6608MHZ,N=65536,A=166654,B=166680。

FPGA时钟信号自我检测方法

技术领域

[0001] 本发明涉及控制模块技术,特别是涉及一种 FPGA 时钟信号自我检测方法的技术。

背景技术

[0002] 由于FPGA技术具有很高的可靠性,并且便于验证,所以FPGA技术在核电保护系统中具有良好的前景。目前很多公司都在大力开发基于FPGA的核电保护系统。

[0003] 时钟信号是FPGA芯片的重要输入信号,FPGA芯片内部所有同步逻辑的运行都基于该信号,但是目前时钟信号的稳定可靠性都是依赖于信号发生源的,一旦信号发生源出现故障,将导致FPGA芯片的运算错误,从而引发安全事故。

发明内容

[0004] 针对上述现有技术中存在的缺陷,本发明所要解决的技术问题是提供一种能避免因时钟信号故障而导致的运算错误,从而能提高FPGA芯片运行的可靠性与安全性的FPGA时钟信号自我检测方法。

[0005] 为了解决上述技术问题,本发明所提供的一种FPGA时钟信号自我检测方法,其特征在于,为FPGA芯片引入两个时钟信号,其中的一个时钟信号为第一时钟信号,另一个时钟信号为第二时钟信号;

利用第一时钟信号控制FPGA芯片内的所有同步逻辑,利用第二时钟信号来检测第一时钟信号,具体检测方法为:

第二时钟信号每经过N个周期,就检测一次第一时钟信号,如果第一时钟信号在该段时间内所经过的周期数小于A或大于B,则判定第一时钟信号产生错误;

其中,N为预先设定的周期数阈值,A为预先设定的周期数下限值,B为预先设定的周期数上限值。

[0006] 进一步的,所述第一时钟信号的频率与第二时钟信号的频率相异。

[0007] 进一步的,所述第一时钟信号的频率大于第二时钟信号的频率。

[0008] 进一步的,所述第一时钟信号的频率为50MHZ,第二时钟信号的频率为19.6608MHZ,N=65536,A=166654,B=166680。

[0009] 本发明提供的FPGA时钟信号自我检测方法,利用第一时钟信号控制FPGA芯片内的所有同步逻辑,利用第二时钟信号来检测第一时钟信号是否正确,能提高FPGA芯片运行的可靠性与安全性,能避免因时钟信号故障而导致的运算错误。

具体实施方式

[0010] 以下结合具体实施例对本发明的技术方案作进一步详细描述,但本实施例并不用于限制本发明,凡是采用本发明的相似结构及其相似变化,均应列入本发明的保护范围。

[0011] 本发明实施例所提供的一种FPGA时钟信号自我检测方法,其特征在于,为FPGA芯片引入两个时钟信号,其中的一个时钟信号为第一时钟信号,另一个时钟信号为第二时钟

信号；

利用第一时钟信号控制 FPGA 芯片内的所有同步逻辑，利用第二时钟信号来检测第一时钟信号，具体检测方法为：

第二时钟信号每经过 N 个周期，就检测一次第一时钟信号，如果第一时钟信号在该段时间内所经过的周期数小于 A 或大于 B，则判定第一时钟信号产生错误；

其中，N 为预先设定的周期数阈值，A 为预先设定的周期数下限值，B 为预先设定的周期数上限值。

[0012] 本发明实施例中，所述第一时钟信号的频率与第二时钟信号的频率相异，其中的第一时钟信号的频率为 50MHZ，第二时钟信号的频率为 19.6608MHZ，N=65536，A=166654，B=166680。

[0013] 本发明实施例特别适用于以 FPGA 芯片作为主控制器或者重要控制部件的系统。