



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0040918
(43) 공개일자 2022년03월31일

(51) 국제특허분류(Int. Cl.)
H01G 4/30 (2006.01) H01G 4/012 (2006.01)
H01G 4/12 (2006.01) H01G 4/232 (2006.01)
H01G 4/252 (2006.01) H05K 1/11 (2006.01)

(52) CPC특허분류
H01G 4/30 (2013.01)
H01G 4/012 (2013.01)

(21) 출원번호 10-2020-0124224
(22) 출원일자 2020년09월24일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)

(72) 발명자
한지혜
경기도 수원시 영통구 매영로 150 (매탄동)
김정민
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)

(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 14 항

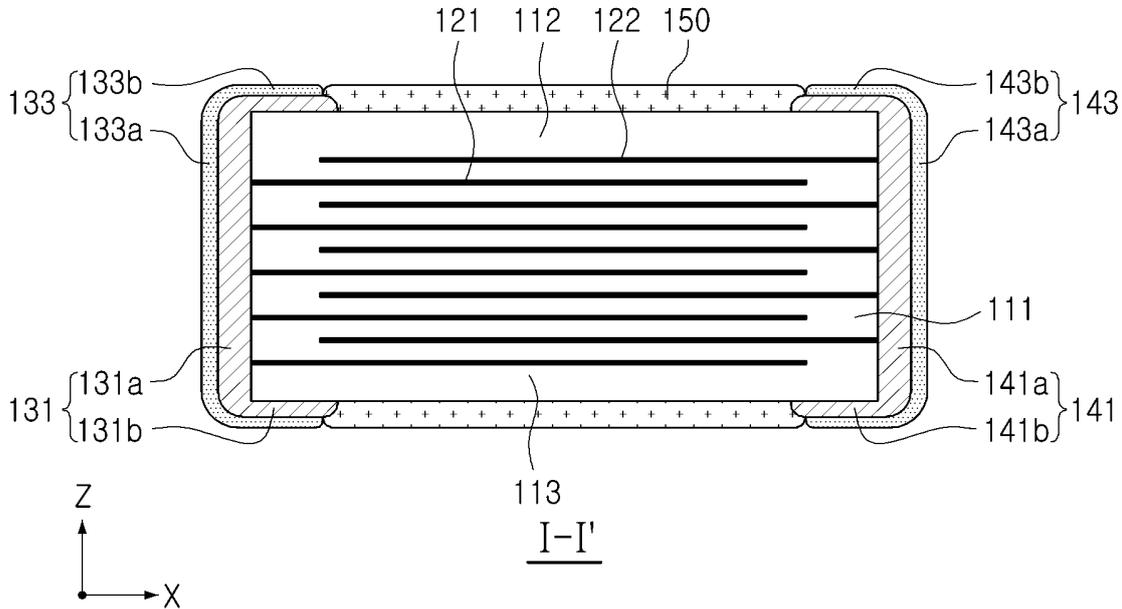
(54) 발명의 명칭 적층형 커패시터 및 그 실장 기판

(57) 요약

본 발명은, 서로 대향하는 제1 및 제2 면과, 제1 및 제2 면과 연결되고 서로 대향하는 제3 및 제4 면과, 제1 및 제2 면과 연결되고 제3 및 제4 면과 연결되고 서로 대향하는 제5 및 제6 면을 포함하고, 제1 및 제2 면을 연결하는 제1 방향으로 번갈아 적층되는 유전체층과 제3 면을 통해 노출되는 제1 내부 전극과 제4 면을 통해 노출되는

(뒷면에 계속)

대표도 - 도2



제2 내부 전극을 포함하는 커패시터 바디; 및 제3 및 제4 면을 연결하는 제2 방향으로, 상기 커패시터 바디의 양 단부에 각각 배치되는 제1 및 제2 외부 전극; 을 포함하고, 상기 제1 및 제2 외부 전극은, 상기 제1 및 제2 내부 전극과 각각 접속되는 제1 및 제2 소결층과, 상기 제1 및 제2 소결층 위에 각각 배치되는 제1 및 제2 도금층을 각각 포함하고, 상기 커패시터 바디에, 상기 제1 소결층의 제1 밴드부의 단부와 상기 제2 소결층의 제2 밴드부의 단부를 덮도록 형성되고, 최대 두께가 10 μ m 이상인 절연층을 더 포함하고, 상기 제1 소결층은, 상기 제1 밴드부의 제2 방향으로의 길이가 상기 절연층에서 상기 제1 밴드부를 커버하는 제2 방향으로의 길이 보다 길어서 상기 제1 밴드부에 상기 절연층에 의해 커버되지 않는 영역이 마련되고, 상기 제2 소결층은, 상기 제2 밴드부의 제2 방향으로의 길이가 상기 절연층에서 상기 제2 밴드부를 커버하는 제2 방향으로의 길이 보다 길어서 상기 제2 밴드부에 상기 절연층에 의해 커버되지 않는 영역이 마련되는 적층형 커패시터 및 그 실장 기판을 제공한다.

(52) CPC특허분류

H01G 4/1227 (2013.01)

H01G 4/232 (2013.01)

H01G 4/252 (2013.01)

H05K 1/111 (2013.01)

(72) 발명자

이재석

경기도 수원시 영통구 매영로 150 (매탄동)

박혜진

경기도 수원시 영통구 매영로 150 (매탄동)

강병우

경기도 수원시 영통구 매영로 150 (매탄동)

김정렬

경기도 수원시 영통구 매영로 150 (매탄동)

구본석

경기도 수원시 영통구 매영로 150 (매탄동)

이일로

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

서로 대향하는 제1 및 제2 면과, 제1 및 제2 면과 연결되고 서로 대향하는 제3 및 제4 면과, 제1 및 제2 면과 연결되고 제3 및 제4 면과 연결되고 서로 대향하는 제5 및 제6 면을 포함하고, 제1 및 제2 면을 연결하는 제1 방향으로 번갈아 적층되는 유전체층과 제3 면을 통해 노출되는 제1 내부 전극과 제4 면을 통해 노출되는 제2 내부 전극을 포함하는 커패시터 바디; 및

제3 및 제4 면을 연결하는 제2 방향으로, 상기 커패시터 바디의 양 단부에 각각 배치되는 제1 및 제2 외부 전극; 을 포함하고,

상기 제1 및 제2 외부 전극은, 상기 제1 및 제2 내부 전극과 각각 접속되는 제1 및 제2 소결층과, 상기 제1 및 제2 소결층 위에 각각 배치되는 제1 및 제2 도금층을 각각 포함하고,

상기 커패시터 바디에, 상기 제1 소결층의 제1 밴드부의 단부와 상기 제2 소결층의 제2 밴드부의 단부를 덮도록 형성되고, 최대 두께가 10 μ m 이상인 절연층을 더 포함하고,

상기 제1 소결층은, 상기 제1 밴드부의 제2 방향으로의 길이가 상기 절연층에서 상기 제1 밴드부를 커버하는 제2 방향으로의 길이 보다 길어서 상기 제1 밴드부에 상기 절연층에 의해 커버되지 않는 영역이 마련되고,

상기 제2 소결층은, 상기 제2 밴드부의 제2 방향으로의 길이가 상기 절연층에서 상기 제2 밴드부를 커버하는 제2 방향으로의 길이 보다 길어서 상기 제2 밴드부에 상기 절연층에 의해 커버되지 않는 영역이 마련되는 적층형 커패시터.

청구항 2

제1항에 있어서,

상기 제1 소결층은, 상기 커패시터 바디의 제3 면에 형성되는 제1 접속부와, 상기 제1 접속부에서 상기 커패시터 바디의 제1, 제2, 제5 및 제6 면의 일부까지 연장되는 제1 밴드부를 포함하고,

상기 제2 소결층은, 상기 커패시터 바디의 제4 면에 형성되는 제2 접속부와, 상기 제2 접속부에서 상기 커패시터 바디의 제1, 제2, 제5 및 제6 면의 일부까지 연장되는 제2 밴드부를 포함하는 적층형 커패시터.

청구항 3

제2항에 있어서,

상기 제1 소결층에서 상기 제1 접속부와 상기 제1 밴드부 사이를 제1 코너부라고 정의하고, 상기 제2 소결층에서 상기 제2 접속부와 상기 제2 밴드부 사이를 제2 코너부라고 정의할 때,

상기 제1 및 제2 코너부가 상기 절연층과 직접 접촉되지 않으며,

상기 제1 코너부는 상기 제1 도금층과 접촉되고, 상기 제2 코너부는 제2 도금층과 접촉되는 적층형 커패시터.

청구항 4

제2항에 있어서,

상기 제1 도금층은 상기 제1 접속부와 상기 제1 밴드부 중 상기 절연층에 의해 커버되지 않는 부분 위에 형성되고,

상기 제2 도금층은 상기 제2 접속부와 상기 제2 밴드부 중 상기 절연층에 의해 커버되지 않는 부분 위에 형성되는 적층형 커패시터.

청구항 5

제2항에 있어서,

상기 제1 밴드부의 단부가 상기 제1 도금층에 의해 커버되지 않고 노출되어 상기 절연층에 의해 커버되고, 상기 제2 밴드부의 단부가 상기 제2 도금층에 의해 커버되지 않고 노출되어 상기 절연층에 의해 커버되고, 상기 절연층의 양 단부가 상기 제1 및 제2 도금층과 각각 맞닿는 적층형 커패시터.

청구항 6

제1항에 있어서,

상기 제1 소결층과 상기 절연층의 일 단부를 커버하는 제1 도전성 수지층과, 상기 제2 소결층과 상기 절연층의 타 단부를 커버하는 제2 도전성 수지층을 더 포함하고,

상기 제1 및 제2 도금층이 상기 제1 및 제2 도전성 수지층을 각각 커버하도록 배치되는 적층형 커패시터.

청구항 7

제1항에 있어서,

상기 제1 및 제2 도전성 수지층이 도전성 금속 및 베이스 수지를 포함하는 적층형 커패시터.

청구항 8

제1항에 있어서,

상기 제1 및 제2 도전성 수지층이 복수의 금속 입자, 금속간 화합물 및 베이스 수지를 포함하는 적층형 커패시터.

청구항 9

상면에 복수의 전극 패드를 갖는 기판; 및

상기 복수의 전극 패드에 제1 및 제2 도금층이 하나씩 접속되도록 실장되는 적층형 커패시터; 를 포함하고,

상기 적층형 커패시터는,

서로 대향하는 제1 및 제2 면과, 제1 및 제2 면과 연결되고 서로 대향하는 제3 및 제4 면과, 제1 및 제2 면과 연결되고 제3 및 제4 면과 연결되고 서로 대향하는 제5 및 제6 면을 포함하고, 제1 및 제2 면을 연결하는 제1 방향으로 번갈아 적층되는 유전체층과 제3 면을 통해 노출되는 제1 내부 전극과 제4 면을 통해 노출되는 제2 내부 전극을 포함하는 커패시터 바디; 및

제3 및 제4 면을 연결하는 제2 방향으로, 상기 커패시터 바디의 양 단부에 각각 배치되는 제1 및 제2 외부 전극; 을 포함하고,

상기 제1 및 제2 외부 전극은, 상기 제1 및 제2 내부 전극과 각각 접속되는 제1 및 제2 소결층과, 상기 제1 및 제2 소결층 위에 각각 배치되는 제1 및 제2 도금층을 각각 포함하고,

상기 커패시터 바디에, 상기 제1 소결층의 제1 밴드부의 단부와 상기 제2 소결층의 제2 밴드부의 단부를 덮도록

형성되고, 최대 두께가 10 μ m 이상인 절연층을 더 포함하고,

상기 제1 소결층은, 상기 제1 밴드부의 제2 방향으로의 길이가 상기 절연층에서 상기 제1 밴드부를 커버하는 제2 방향으로의 길이 보다 길어서 상기 제1 밴드부에 상기 절연층에 의해 커버되지 않는 영역이 마련되고,

상기 제2 소결층은, 상기 제2 밴드부의 제2 방향으로의 길이가 상기 절연층에서 상기 제2 밴드부를 커버하는 제2 방향으로의 길이 보다 길어서 상기 제2 밴드부에 상기 절연층에 의해 커버되지 않는 영역이 마련되는 적층형 커패시터의 실장 기판.

청구항 10

제9항에 있어서,

상기 제1 소결층은, 상기 커패시터 바디의 제3 면에 형성되는 제1 접속부와, 상기 제1 접속부에서 상기 커패시터 바디의 제1, 제2, 제5 및 제6 면의 일부까지 연장되는 제1 밴드부를 포함하고,

상기 제2 소결층은, 상기 커패시터 바디의 제4 면에 형성되는 제2 접속부와, 상기 제2 접속부에서 상기 커패시터 바디의 제1, 제2, 제5 및 제6 면의 일부까지 연장되는 제2 밴드부를 포함하는 적층형 커패시터의 실장 기판.

청구항 11

제10항에 있어서,

상기 제1 소결층에서 상기 제1 접속부와 상기 제1 밴드부 사이를 제1 코너부라고 정의하고, 상기 제2 소결층에서 상기 제2 접속부와 상기 제2 밴드부 사이를 제2 코너부라고 정의할 때,

상기 제1 및 제2 코너부가 상기 절연층과 직접 접촉되지 않으며,

상기 제1 코너부는 상기 제1 도금층과 접촉되고, 상기 제2 코너부는 제2 도금층과 접촉되는 적층형 커패시터의 실장 기판.

청구항 12

제10항에 있어서,

상기 제1 도금층은 상기 제1 접속부와 상기 제1 밴드부 중 상기 절연층에 의해 커버되지 않는 부분 위에 형성되고,

상기 제2 도금층은 상기 제2 접속부와 상기 제2 밴드부 중 상기 절연층에 의해 커버되지 않는 부분 위에 형성되는 적층형 커패시터의 실장 기판.

청구항 13

제10항에 있어서,

상기 제1 밴드부의 단부가 상기 제1 도금층에 의해 커버되지 않고 노출되어 상기 절연층에 의해 커버되고,

상기 제2 밴드부의 단부가 상기 제2 도금층에 의해 커버되지 않고 노출되어 상기 절연층에 의해 커버되고,

상기 절연층의 양 단부가 상기 제1 및 제2 도금층과 각각 맞닿는 적층형 커패시터의 실장 기판.

청구항 14

제9항에 있어서,

상기 제1 소결층과 상기 절연층의 일 단부를 커버하는 제1 도전성 수지층과, 상기 제2 소결층과 상기 절연층의

타 단부를 커버하는 제2 도전성 수지층을 더 포함하고,

상기 제1 및 제2 도금층이 상기 제1 및 제2 도전성 수지층을 각각 커버하도록 배치되는 적층형 커패시터의 실장 기관.

발명의 설명

기술 분야

[0001] 본 발명은 적층형 커패시터 및 그 실장 기관에 관한 것이다.

배경 기술

[0003] 최근 전자 산업과 IT 산업 전반의 기술이 발전하면서 이와 관련하여 향상된 성능과 신뢰성을 가지는 수동 부품 소자의 수요가 늘어나고 있다.

[0004] 특히, 전자 산업은 산업 특성상 강한 기계적 응력 환경에서의 신뢰성을 요구하고 있고, 이러한 흐름에 따라 적층형 커패시터도 일정 수준의 휨 강도 특성을 가지는 제품에 대한 수요가 늘고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 국내등록특허 제10-2004761호

(특허문헌 0002) 국내등록특허 제10-2061509호

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 휨 강도 특성이 향상된 적층형 커패시터 및 그 실장 기관을 제공하는데 있다.

과제의 해결 수단

[0009] 본 발명의 일 측면은, 서로 대향하는 제1 및 제2 면과, 제1 및 제2 면과 연결되고 서로 대향하는 제3 및 제4 면과, 제1 및 제2 면과 연결되고 제3 및 제4 면과 연결되고 서로 대향하는 제5 및 제6 면을 포함하고, 제1 및 제2 면을 연결하는 제1 방향으로 번갈아 적층되는 유전체층과 제3 면을 통해 노출되는 제1 내부 전극과 제4 면을 통해 노출되는 제2 내부 전극을 포함하는 커패시터 바디; 및 제3 및 제4 면을 연결하는 제2 방향으로, 상기 커패시터 바디의 양 단부에 각각 배치되는 제1 및 제2 외부 전극; 을 포함하고, 상기 제1 및 제2 외부 전극은, 상기 제1 및 제2 내부 전극과 각각 접속되는 제1 및 제2 소결층과, 상기 제1 및 제2 소결층 위에 각각 배치되는 제1 및 제2 도금층을 각각 포함하고, 상기 커패시터 바디에, 상기 제1 소결층의 제1 밴드부의 단부와 상기 제2 소결층의 제2 밴드부의 단부를 덮도록 형성되고, 최대 두께가 10 μ m 이상인 절연층을 더 포함하고, 상기 제1 소결층은, 상기 제1 밴드부의 제2 방향으로의 길이가 상기 절연층에서 상기 제1 밴드부를 커버하는 제2 방향으로의 길이 보다 길어서 상기 제1 밴드부에 상기 절연층에 의해 커버되지 않는 영역이 마련되고, 상기 제2 소결층은, 상기 제2 밴드부의 제2 방향으로의 길이가 상기 절연층에서 상기 제2 밴드부를 커버하는 제2 방향으로의 길이 보다 길어서 상기 제2 밴드부에 상기 절연층에 의해 커버되지 않는 영역이 마련되는 적층형 커패시터를 제공한다.

[0011] 본 발명의 일 실시 예에서, 상기 제1 소결층은, 상기 커패시터 바디의 제3 면에 형성되는 제1 접속부와, 상기 제1 접속부에서 상기 커패시터 바디의 제1, 제2, 제5 및 제6 면의 일부까지 연장되는 제1 밴드부를 포함하고, 상기 제2 소결층은, 상기 커패시터 바디의 제4 면에 형성되는 제2 접속부와, 상기 제2 접속부에서 상기 커패시

터 바디의 제1, 제2, 제5 및 제6 면의 일부까지 연장되는 제2 밴드부를 포함할 수 있다.

- [0012] 본 발명의 일 실시 예에서, 상기 제1 소결층에서 상기 제1 접속부와 상기 제1 밴드부 사이를 제1 코너부라고 정의하고, 상기 제2 소결층에서 상기 제2 접속부와 상기 제2 밴드부 사이를 제2 코너부라고 정의할 때, 상기 제1 및 제2 코너부가 상기 절연층과 직접 접촉되지 않으며, 상기 제1 코너부는 상기 제1 도금층과 접촉되고, 상기 제2 코너부는 제2 도금층과 접촉될 수 있다.
- [0013] 본 발명의 일 실시 예에서, 상기 제1 도금층은 상기 제1 접속부와 상기 제1 밴드부 중 상기 절연층에 의해 커버되지 않는 부분 위에 형성되고, 상기 제2 도금층은 상기 제2 접속부와 상기 제2 밴드부 중 상기 절연층에 의해 커버되지 않는 부분 위에 형성될 수 있다.
- [0014] 본 발명의 일 실시 예에서, 상기 제1 밴드부의 단부가 상기 제1 도금층에 의해 커버되지 않고 노출되어 상기 절연층에 의해 커버되고, 상기 제2 밴드부의 단부가 상기 제2 도금층에 의해 커버되지 않고 노출되어 상기 절연층에 의해 커버되고, 상기 절연층의 양 단부가 상기 제1 및 제2 도금층과 각각 맞닿을 수 있다.
- [0015] 본 발명의 일 실시 예에서, 상기 제1 소결층과 상기 절연층의 일 단부를 커버하는 제1 도전성 수지층과, 상기 제2 소결층과 상기 절연층의 타 단부를 커버하는 제2 도전성 수지층을 더 포함하고, 상기 제1 및 제2 도금층이 상기 제1 및 제2 도전성 수지층을 각각 커버하도록 배치될 수 있다.
- [0016] 본 발명의 일 실시 예에서, 상기 제1 및 제2 도전성 수지층은 도전성 금속 및 베이스 수지를 포함할 수 있다.
- [0017] 본 발명의 일 실시 예에서, 상기 제1 및 제2 도전성 수지층은 복수의 금속 입자, 금속간 화합물 및 베이스 수지를 포함할 수 있다.
- [0019] 본 발명의 다른 측면은, 상면에 복수의 전극 패드를 갖는 기판; 및 상기 복수의 전극 패드에 제1 및 제2 도금층이 하나씩 접속되도록 실장되는 적층형 커패시터; 를 포함하는 적층형 커패시터의 실장 기판을 제공한다.

발명의 효과

- [0021] 본 발명의 일 실시 예에 따르면, 소결층의 밴드부의 일부를 커버하도록 절연층을 형성하고, 밴드부의 나머지 부분은 절연층에 의해 커버되지 않고 도금층에 의해 커버되도록 함으로써, 외부 전극의 접합 강도를 일정 수준 확보하면서 적층형 커패시터의 휨 강도 특성을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 실시 예에 따른 적층형 커패시터를 개략적으로 나타낸 사시도이다.
- 도 2는 도 1의 I-I'선 단면도이다.
- 도 3(a) 및 도 3(b)는 도 1의 적층형 커패시터의 유전체층과 제1 및 제2 내부 전극을 나타낸 평면도이다.
- 도 4는 절연층의 일 실시 예를 나타낸 사진이다.
- 도 5는 본 발명의 다른 실시 예에 따른 적층형 커패시터를 개략적으로 나타낸 사시도이다.
- 도 6은 도 5의 II-II'선 단면도이다.
- 도 7은 본 발명의 일 실시 예에 따른 적층형 커패시터가 기판에 실장된 상태를 도시한 단면도이다.
- 도 8은 휨 강도 테스트 방법을 개략적으로 나타낸 모식도이다.
- 도 9는 종래의 절연층이 없는 적층형 커패시터와 본 발명의 다른 실시 예에 따른 적층형 커패시터의 휨 강도 테스트 결과를 비교하여 나타낸 그래프이다.
- 도 10은 본 발명의 다른 실시 예에서, 절연층의 두께에 따른 적층형 커패시터의 휨 강도 테스트 결과를 비교하여 나타낸 그래프이다.
- 도 11은 본 발명의 일 실시 예에 따른 적층형 커패시터에서 절연층의 단면을 나타낸 SEM 사진이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명한다.
- [0025] 그러나, 본 발명의 실시 예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 예로 한정되는 것은 아니다.
- [0026] 또한, 본 발명의 실시 예는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0027] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [0028] 또한, 각 실시 예의 도면에서 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사용하여 설명한다.
- [0029] 덧붙여, 명세서 전체에서 어떤 구성 요소를 '포함'한다는 것은 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.
- [0031] 이하, 본 발명의 실시 예를 명확하게 설명하기 위해 커패시터 바디(110)의 방향을 정의하면, 도면에 표시된 X, Y 및 Z는 각각 커패시터 바디(110)의 길이 방향, 폭 방향 및 두께 방향을 나타낸다.
- [0033] 도 1은 본 발명의 일 실시 예에 따른 적층형 커패시터를 개략적으로 나타낸 사시도이고, 도 2는 도 1의 I-I'선 단면도이고, 도 3(a) 및 도 3(b)는 도 1의 적층형 커패시터의 제1 및 제2 유전체층과 제1 및 제2 내부 전극을 나타낸 평면도이다.
- [0035] 도 1 내지 도 3을 참조하면, 본 실시 예에 따른 적층형 커패시터(100)는 커패시터 바디(110), 제1 및 제2 외부 전극(130, 140) 및 절연층(150)을 포함한다.
- [0037] 커패시터 바디(110)는 복수의 유전체층(111)을 Z방향으로 번갈아 적층한 다음 소성한 것으로서, 커패시터 바디(110)의 서로 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)을 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0038] 이때, 커패시터 바디(110)는 대체로 육면체 형상일 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 또한, 커패시터 바디(110)의 형상, 치수 및 유전체층(111)의 적층 수가 본 실시 형태의 도면에 도시된 것으로 한정되는 것은 아니다.
- [0039] 본 실시 예에서는, 설명의 편의를 위해, 커패시터 바디(110)의 Z방향으로 서로 대향하는 양면을 제1 및 제2 면(1, 2)으로, 제1 및 제2 면(1, 2)과 연결되고 X방향으로 서로 대향하는 양면을 제3 및 제4 면(3, 4)으로, 제1 및 제2 면(1, 2)과 연결되고 제3 및 제4 면(3, 4)과 연결되고 Y방향으로 서로 대향하는 제5 및 제6 면(5, 6)으로 정의한다.
- [0041] 유전체층(111)은 고유전률의 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨(BaTiO₃)계 또는 티탄산스트론튬(SrTiO₃)계 세라믹 분말 등을 포함할 수 있으나, 충분한 정전 용량을 얻을 수 있는 한 본 발명이 이에 한정되는 것은 아니다.
- [0042] 또한, 유전체층(111)에는 상기 세라믹 분말과 함께, 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.
- [0043] 상기 세라믹 첨가제는, 예를 들어 전이 금속 산화물 또는 전이 금속 탄화물, 희토류 원소, 마그네슘(Mg) 또는 알루미늄(Al) 등이 사용될 수 있다.

- [0045] 이러한 커패시터 바디(110)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브 영역과, 상하 마진부로서 Z방향으로 상기 액티브 영역의 상하부에 각각 형성되는 상부 및 하부 커버 영역을 포함할 수 있다.
- [0046] 상기 상부 및 하부 커버 영역은 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(111)과 동일한 재질 및 구성을 가질 수 있다.
- [0047] 이러한 상부 및 하부 커버 영역은 단일 유전체층 또는 2 개 이상의 유전체층을 상기 액티브 영역의 상하 면에 각각 Z방향으로 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 내부 전극의 손상을 방지하는 역할을 수행할 수 있다.
- [0049] 그리고, 커패시터 바디(110)는, 제1 내부 전극(121)과 제2 내부 전극(122)을 포함한다.
- [0050] 제1 및 제2 내부 전극(121, 122)은 서로 다른 극성을 인가 받는 전극으로서, 유전체층(111)의 일면에 각각 형성되고, 제1 내부 전극(121)의 일단은 커패시터 바디(110)의 제3 면(3)을 통해 노출되어 제1 외부 전극(130)과 접속되고, 제2 내부 전극(122)의 일단은 커패시터 바디(110)의 제4 면(4)을 통해 노출되어 제2 외부 전극(140)과 접속된다.
- [0051] 이때, 제1 및 제2 내부 전극(121, 122)은 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연된다.
- [0052] 위와 같은 구성에 따라, 제1 및 제2 외부 전극(131, 132)에 소정의 전압을 인가하면 제1 및 제2 내부 전극(121, 122) 사이에 전하가 축적된다.
- [0053] 이때, 적층형 커패시터(100)의 정전 용량은 액티브 영역에서 Z방향을 따라 서로 중첩되는 제1 및 제2 내부 전극(121, 122)의 오버랩 된 면적과 비례하게 된다.
- [0054] 또한, 제1 및 제2 내부 전극(121, 122)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어 백금(Pt), 팔라듐(Pd), 팔라듐-은(Pd-Ag)합금 등의 귀금속 재료 및 니켈(Ni) 및 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성될 수 있다.
- [0055] 이때, 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0057] 제1 및 제2 외부 전극(130, 140)은 서로 다른 극성의 전압이 제공되며, 커패시터 바디(110)의 X방향의 양 단부에 배치되고, 제1 및 제2 내부 전극(121, 122)의 노출되는 부분과 각각 접속되어 전기적으로 연결될 수 있다.
- [0059] 제1 외부 전극(130)은 제1 소결층(131)과 제1 도금층(133)을 포함한다.
- [0061] 제1 소결층(131)은 커패시터 바디(110)의 X방향의 일 단부에 전도성 금속을 포함하는 페이스트를 도포하고 소성하여 형성될 수 있다.
- [0062] 상기 전도성 금속은 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금일 수 있고, 본 발명이 이에 한정되는 것은 아니다.
- [0063] 또한, 제1 소결층(131)은 원자층 증착(Atomic Layer Deposition, ALD) 공법, 분자층 증착(Molecular Layer Deposition, MLD) 공법, 화학 기상 증착(Chemical Vapor Deposition, CVD) 공법, 스퍼터링(Sputtering) 공법 등을 이용하여 형성될 수 있다.
- [0064] 또한, 제1 소결층(131)은 커패시터 바디(110) 상에 도전성 금속을 포함한 시트를 전사하는 방식으로 형성될 수도 있다.
- [0065] 제1 소결층(131)은 제1 접속부(131a)와 제1 밴드부(131b)를 포함할 수 있다.
- [0066] 제1 접속부(131a)는 커패시터 바디(110)의 제3 면(3)에 형성되어 제1 내부 전극(121)의 노출되는 부분과 접속되는 부분이다.

- [0067] 제1 밴드부(131b)는 제1 접속부(131a)에서 커패시터 바디(110)의 제1, 제2, 제5 및 제6 면(1, 2, 5, 6)의 일부까지 연장되는 부분이다.
- [0069] 제1 도금층(133)은 제1 소결층(131) 위에 배치되는 부분으로, 제3 접속부(133a)와 제3 밴드부(133b)를 포함할 수 있다.
- [0070] 제3 접속부(133a)는 제1 소결층(131)의 제1 접속부(131a) 위에 형성되는 부분이고, 제3 밴드부(133b)는 제3 접속부(133a)에서 제1 소결층(131)의 제1 밴드부(131b) 위까지 연장되는 부분이다.
- [0071] 이러한 제1 도금층(133)은 Ni 도금층 또는 Sn 도금층일 수 있고, 제1 소결층(131) 상에 Ni 도금층 및 Sn 도금층이 순차적으로 형성된 형태일 수 있고, 필요시 복수의 Ni 도금층 및/또는 복수의 Sn 도금층을 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0073] 제2 외부 전극(140)은 제2 소결층(141)과 제2 도금층(143)을 포함한다.
- [0075] 제2 소결층(141)은 커패시터 바디(110)의 X방향의 일 단부에 전도성 금속을 포함하는 페이스트를 도포하고 소성하여 형성될 수 있다.
- [0076] 상기 전도성 금속은 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금일 수 있고, 본 발명이 이에 한정되는 것은 아니다.
- [0077] 또한, 제2 소결층(141)은 원자층 증착(Atomic Layer Deposition, ALD) 공법, 분자층 증착(Molecular Layer Deposition, MLD) 공법, 화학 기상 증착(Chemical Vapor Deposition, CVD) 공법, 스퍼터링(Sputtering) 공법 등을 이용하여 형성될 수 있다.
- [0078] 또한, 제2 소결층(141)은 커패시터 바디(110) 상에 도전성 금속을 포함한 시트를 전사하는 방식으로 형성될 수도 있다.
- [0079] 제2 소결층(141)은 제2 접속부(141a)와 제2 밴드부(141b)를 포함할 수 있다.
- [0080] 제2 접속부(141a)는 커패시터 바디(110)의 제4 면(4)에 형성되어 제2 내부 전극(122)의 노출되는 부분과 접속되는 부분이다.
- [0081] 제2 밴드부(141b)는 제2 접속부(141a)에서 커패시터 바디(110)의 제1, 제2, 제5 및 제6 면(1, 2, 5, 6)의 일부까지 연장되는 부분이다.
- [0083] 제2 도금층(143)은 제2 소결층(141) 위에 배치되는 부분으로, 제4 접속부(143a)와 제4 밴드부(143b)를 포함할 수 있다.
- [0084] 제4 접속부(143a)는 제2 소결층(141)의 제2 접속부(141a) 위에 형성되는 부분이고, 제4 밴드부(143b)는 제4 접속부(143a)에서 제2 소결층(141)의 제2 밴드부(141b) 위까지 연장되는 부분이다.
- [0085] 이러한 제2 도금층(143)은 Ni 도금층 또는 Sn 도금층일 수 있고, 제2 소결층 상에 Ni 도금층 및 Sn 도금층이 순차적으로 형성된 형태일 수 있고, 필요시 복수의 Ni 도금층 및/또는 복수의 Sn 도금층을 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0087] 절연층(150)은 커패시터 바디(110)에 제1 소결층(131)의 제1 밴드부(131b)의 단부와 제2 소결층(141)의 제2 밴드부(141b)의 단부를 덮도록 형성된다.
- [0088] 그리고, 절연층(150)은, 커패시터 바디(110)의 제1, 제2, 제5 및 제6 면(1, 2, 5, 6)을 모두 감싸도록 배치되어, 예컨대 띠 형태로 형성될 수 있다.
- [0089] 또한, 절연층(150)은 표면이 전체적으로 평평하거나, 또는 바깥쪽으로 볼록하게 형성되거나, 또는 안쪽으로 오

목하게 들어간 형상으로 형성될 수도 있다.

- [0090] 절연층(150)의 형상은 절연층(150)의 위치 별 두께에 따라 결정되는데, 예를 들어, 도 4에서와 같이, 제1 및 제2 외부 전극)과 가까운 부분(A, B)에서의 두께가 커패시터 바디의 중심부에 위치한 부분(C)에서의 두께 보다 작으면 절연층(150)이 바깥쪽으로 볼록한 형상을 가질 수 있다.
- [0091] 만약, A, B의 두께가 C 보다 크면 절연층이 안쪽으로 오목한 형상을 가지게 되고, A, B, C의 두께가 유사하면 절연층이 대체로 평평한 형상을 가지게 된다.
- [0093] 이러한 절연층(150)은 커패시터 바디(110)로의 수분 침투 경로를 차단하여 내습 신뢰성을 향상시키는 역할을 할 수 있다.
- [0094] 또한, 적층형 커패시터(100)가 기관에 실장된 상태에서 열적 또는 물리적 충격에 의해 기관이 변형되는 경우 응력이 발생하게 되는데, 이러한 응력이 커패시터 바디(110)로 전달되는 것을 억제하고 커패시터 바디(110)의 균열 발생을 방지하는 역할을 할 수 있다.
- [0095] 이때, 절연층(150)은 10 μ m 이상의 두께를 가질 수 있다. 여기서 절연층(150)의 두께는 전체적으로 가장 두꺼운 부분을 기준으로 한다.
- [0096] 절연층(150)의 최대 두께가 10 μ m 미만인 경우 커패시터 바디(110)에 크랙이 발생할 수 있다.
- [0097] 또한, 절연층(150)의 최대 두께가 10 μ m 이상이 되면, 커패시터 바디(110)의 굴곡을 줄여, 적층형 커패시터(100)가 고압용으로 사용되더라도 Arc 방전 발생을 줄이는 효과를 기대할 수 있다.
- [0099] 이때, 제1 소결층(131)의 제1 밴드부(131b)에서 제2 방향인 X방향으로의 길이는 절연층(150)에서 제1 밴드부(131b)를 커버하는 X방향으로의 길이 보다 길게 형성되고, 제2 소결층(141)의 제2 밴드부(141b)에서 X방향으로의 길이는 절연층(150)에서 제2 밴드부(141b)를 커버하는 X방향으로의 길이 보다 길게 형성된다.
- [0100] 이에, 제1 및 제2 밴드부(131b, 141b)에 절연층(150)에 의해 커버되지 않는 영역이 각각 마련된다.
- [0101] 본 실시 예에서, 제1 도금층(133)의 제3 밴드부(133b)는 제1 밴드부(131b) 중 절연층(150)에 의해 커버되지 않는 부분 위에 직접 접촉되도록 배치된다.
- [0102] 제2 도금층(143)의 제4 밴드부(143b)는 제2 밴드부(141b) 중 절연층(150)에 의해 커버되지 않는 부분 위에 직접 접촉되도록 배치된다.
- [0103] 이에, 제1 밴드부(131b)의 단부가 제1 도금층(133)의 제3 밴드부(133b)에 의해 커버되지 않고 노출되어 절연층(150)에 의해 커버되고, 제2 밴드부(141b)의 단부가 제2 도금층(143)의 제4 밴드부(143b)에 의해 커버되지 않고 노출되어 절연층(150)에 의해 커버된다.
- [0104] 즉, 제1 소결층(131)에서 제1 접속부(131a)와 제1 밴드부(131b) 사이를 제1 코너부라고 정의하고, 제2 소결층(141)에서 제2 접속부(141a)와 제2 밴드부(141b) 사이를 제2 코너부라고 정의할 때, 절연층(150)은 제1 및 제2 코너부를 커버하지 않으며, 제1 코너부는 제1 도금층(133)과 직접 접촉되면서 커버되고, 제2 코너부는 제2 도금층(143)과 직접 접촉되면서 커버된다.
- [0105] 이때, 절연층(150)의 일 단부는 제1 도금층(133)의 제3 밴드부(133b)의 단부와 맞닿을 수 있고, 절연층(150)의 타 단부는 제2 도금층(143)의 제4 밴드부(143b)의 단부와 맞닿을 수 있다.
- [0106] 이에, 제1 및 제2 소결층(131, 141)이 외부로 노출되지 않아, 적층형 커패시터(100)의 신뢰성의 저하를 방지할 수 있다.
- [0108] 적층형 커패시터가 실장된 기관을 누를 때 기관이 휘어짐에 따라 적층형 커패시터에 응력이 가해지는데, 휨 강도 특성은 이때 적층형 커패시터의 내부의 손상과 그에 따른 특성 변화가 없을 때의 누름 깊이로 정의될 수 있다.
- [0109] 종래의 소결 타입의 전극층을 포함하는 외부 전극은 전극층이 금속 파우더와 바인더를 혼합하여 이루어진다.

- [0110] 소결 타입의 전극층은 내부 전극과의 전기적 연결성이 우수한 장점이 있으나, 연성이 낮아 기계적 응력에 취약하여 휨 강도 특성이 낮아지게 된다.
- [0111] 그리고, 적층형 커패시터의 기계적 신뢰성을 향상시키기 위해, 외부 전극은 소결 타입의 전극층 위에 도전성 수지층을 적용하여 구성할 수 있다.
- [0112] 이러한 도전성 수지층은 소결형 전극에 비해 연성이 높아 적층형 커패시터의 기계적 특성을 향상시킬 수 있으나, 이 경우에도 보다 높은 신뢰성을 요구하는 전장용 부품의 기준을 충족시키기에는 여전히 어려운 문제가 있다.
- [0113] 그리고, 외부 전극의 밴드부의 길이를 길게 하면 적층형 커패시터의 신뢰성은 높일 수 있으나, 이 경우 두 외부 전극의 간격이 좁아지면서 쇼트(short)의 확률이 증가하게 된다.
- [0115] 본 실시 예의 적층형 커패시터는, 커패시터 바디를 감싸도록 절연층이 배치되어 적층형 커패시터의 기계적 특성을 향상시킬 수 있다.
- [0116] 이때, 절연층은 커패시터 바디의 외표면에 X방향으로 제1 및 제2 외부 전극 사이에서 제1 및 제2 외부 전극의 제1 및 제2 소결층의 일부를 덮도록 형성되어 제1 및 제2 외부 전극과 직접 연결된다.
- [0117] 또한, 절연층은 제1 및 제2 외부 전극의 제1 및 제2 소결층의 제1 및 제2 밴드부의 단부를 커버한다.
- [0118] 이때, 제1 및 제2 밴드부 중에서 일부는 절연층에 의해 커버되지 않고, 제1 및 제2 도금층의 일부가 제1 및 제2 밴드부의 일부와 직접 접촉하게 된다.
- [0119] 이러한 구조에 의해, 본 실시 예에서는, 기관으로부터 외부 전극을 통해 적층형 커패시터에 가해지는 기계적 응력을 저감시킬 수 있고, 적층형 커패시터의 휨 강도 특성을 더욱 향상시킬 수 있다.
- [0120] 또한, 제1 및 제2 소결층의 일부는 절연층에 의해 커버되지 않고 제1 및 제2 도금층과 각각 직접 접촉되게 형성되므로, 제1 및 제2 외부 전극의 전기적 연결성을 일정 수준 이상 확보할 수 있다.
- [0121] 따라서, 제1 및 제2 소결층에서 제1 및 제2 밴드부의 길이를 크게 증가시키지 않더라도 외부 전극의 전기적 연결성과 적층형 커패시터의 휨 강도 특성을 일정 수준 이상 확보할 수 있고, 제1 및 제2 소결층의 제1 및 제2 밴드부가 서로 닿으며 발생할 수 있는 쇼트의 발생 확률을 효과적으로 낮출 수 있다.
- [0123] 도 5는 본 발명의 다른 실시 예에 따른 적층형 커패시터를 개략적으로 나타낸 사시도이고, 도 6은 도 5의 II-II'선 단면도이다.
- [0125] 도 5 및 도 6을 참조하면, 본 실시 예에 따른 적층형 커패시터(100')는, 제1 및 제2 외부 전극(130', 140')이 제1 및 제2 도전성 수지층(132, 142)을 더 포함할 수 있다.
- [0126] 제1 및 제2 도전성 수지층(132, 142)은 외부로부터의 충격을 흡수하여 적층형 커패시터(100')를 보호하고 연신성이 우수하여 적층형 커패시터(100')의 휨 강도 특성을 향상시키는 역할을 수행할 수 있다.
- [0128] 본 실시 예에서, 제1 도전성 수지층(132)은 제1 소결층(131)과 절연층(150')의 일 단부를 커버한다.
- [0129] 이에 제1 소결층(131)의 제1 밴드부(131b)와 제1 도전성 수지층(132)의 단부 사이에 절연층(150')의 일 단부가 위치하게 된다.
- [0130] 제1 도전성 수지층(132)은 도전성 금속과 베이스 수지를 포함할 수 있다.
- [0131] 이때, 상기 도전성 금속은 구리, 은, 니켈 및 이들의 합금 중 하나일 수 있고, 본 발명이 이에 한정되는 것은 아니다.
- [0132] 상기 베이스 수지는 열경화성 수지일 수 있고, 예를 들어 에폭시 수지를 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다..

- [0134] 제2 도전성 수지층(142)은 제2 소결층(141)과 절연층(150')의 타 단부를 커버한다.
- [0135] 이에 제2 소결층(132)의 제2 밴드부(141b)와 제2 도전성 수지층(142)의 단부 사이에 절연층(150')의 타 단부가 위치하게 된다.
- [0136] 제2 도전성 수지층(142)은 도전성 금속과 베이스 수지를 포함할 수 있다.
- [0137] 이때, 상기 도전성 금속은 구리, 은, 니켈 및 이들의 합금 중 하나일 수 있고, 본 발명이 이에 한정되는 것은 아니다.
- [0138] 상기 베이스 수지는 열경화성 수지일 수 있고, 예를 들어 에폭시 수지를 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0140] 다른 예로서, 제1 및 제2 도전성 수지층(132, 142)은 복수의 금속 입자, 금속간 화합물 및 베이스 수지를 포함할 수 있다.
- [0141] 상기 금속간 화합물은 복수의 금속 입자를 연결하여 전기적 연결성을 향상시키는 역할을 하며, 복수의 금속 입자를 둘러싸 서로 연결하는 역할을 수행할 수 있다.
- [0142] 이때, 금속간 화합물은 베이스 수지의 경화 온도 보다 낮은 용점을 가진 금속을 포함할 수 있다.
- [0143] 즉, 금속간 화합물이 베이스 수지의 경화 온도보다 낮은 용점을 가진 금속을 포함하기 때문에, 베이스 수지의 경화 온도보다 낮은 용점을 가진 금속이 건조 및 경화 공정을 거치는 과정에서 용융되고, 금속 입자의 일부와 금속간 화합물을 형성하여 금속 입자를 둘러싸게 된다.
- [0144] 이때, 금속간 화합물은 바람직하게 300℃ 이하의 저용점 금속을 포함할 수 있다.
- [0145] 예를 들어, 213~220℃의 용점을 가지는 Sn을 포함할 수 있다. 건조 및 경화 공정을 거치는 과정에서 Sn이 용융되며, 용융된 Sn이 Ag, Ni 또는 Cu와 같은 고용점의 금속 입자를 모세관 현상에 의해 적시게 되고, Ag, Ni 또는 Cu 금속 입자의 일부와 반응하여 Ag₃Sn, Ni₃Sn₄, Cu₆Sn₅ 및 Cu₃Sn 등의 금속간 화합물을 형성하게 된다.
- [0146] 이때, 반응에 참여하지 않은 Ag, Ni 또는 Cu는 금속 입자 형태로 남게 된다.
- [0147] 따라서, 상기 복수의 금속 입자는 Ag, Ni 및 Cu 중 하나 이상을 포함하고, 상기 금속간 화합물은 Ag₃Sn, Ni₃Sn₄, Cu₆Sn₅ 및 Cu₃Sn 중 하나 이상을 포함할 수 있다.
- [0149] 그리고, 제1 및 제2 도금층(133', 143')이 제1 및 제2 도전성 수지층(132, 142)을 각각 커버하도록 배치될 수 있다.
- [0150] 제1 및 제2 도금층(132, 142)의 제3 및 제4 밴드부(133b', 143b')의 단부는 각각 절연층(150') 위에 위치하게 된다.
- [0151] 이에 제1 및 제2 소결층(131, 141)이 외부로 노출되지 않아, 신뢰성의 저하를 방지할 수 있다.
- [0153] 한편, 절연층(150')은 탄성을 가지는 수지로 형성될 수 있다. 예를 들어, 절연층(150')은 고분자 물질로서 에폭시 수지일 수 있고, 다른 예로서 필러인 실리카(silica), 알루미늄, 글라스 및 이산화지르코늄(ZrO₂) 중 하나 이상을 더 포함할 수 있으며, 다만 본 발명이 이에 한정되는 것은 아니다.
- [0154] 이러한 절연층(150')은 고분자의 내열 특성과 도포성 개선을 위해 상기의 필러가 전체 대비 0.1중량% 더 첨가될 수 있다.
- [0155] 도 11의 사진을 보면, 절연층에 필러가 포함된 것을 볼 수 있다. 도 11에서 가장 아래 부분이 절연층이고, 절연층 위에 형성된 부분이 도전성 수지층이고, 도전성 수지층 위에 형성된 부분이 도금층이다.

- [0157] 도 7은 본 발명의 일 실시 예에 따른 적층형 커패시터가 기판에 실장된 상태를 도시한 단면도이다.
- [0159] 도 7을 참조하면, 본 실시 예에 의한 실장 기판은, 기판(210)과, 기판(210)의 상면에 X방향으로 서로 이격되게 배치되는 제1 및 제2 전극 패드(221, 222)를 포함한다.
- [0160] 이때, 적층형 커패시터(100)는 제1 및 제2 외부 전극(130, 140)의 제1 및 제2 도금층(133, 143)이 제1 및 제2 전극 패드(221, 222) 위에 각각 접촉되게 위치한 상태로 접속되어 기판(210)에 실장된다.
- [0161] 제1 도금층(133)은 솔더(231)에 의해 제1 전극 패드(221)와 접합되어 전기적 및 물리적으로 연결될 수 있고, 제2 도금층(143)은 솔더(232)에 의해 제2 전극 패드(222)와 접합되어 전기적 및 물리적으로 연결될 수 있다.
- [0163] 도 9는 종래의 절연층이 없는 적층형 커패시터와 본 발명의 다른 실시 예에 따른 적층형 커패시터의 휨 강도 테스트 결과를 비교하여 나타낸 그래프이다.
- [0164] 여기서, 비교 예는 외부 전극이 소결층과 도전성 수지층을 포함하고 절연층이 없는 적층형 커패시터이고, 실시 예는 도 6의 외부 전극 구조를 가지며 절연층이 포함되는 적층형 커패시터이다.
- [0165] 비교 예에서 소결층의 두께는 10 μ m이고, 도전성 수지층의 두께는 35 μ m이다. 실시 예에서 소결층의 두께는 10 μ m이고, 도전성 수지층의 두께는 35 μ m이고, 절연층의 두께는 25 μ m이다.
- [0166] 이때, 각각의 샘플에 사용된 적층형 커패시터는 30개씩이고, 적층형 커패시터는 X방향의 길이가 3.2mm이고, Y방향의 길이가 1.6mm이고, Z방향의 길이가 1.6mm가 되도록 제조한다.
- [0168] 그리고, 도 8에서와 같이, 적층형 커패시터를 PCB에 실장하고, 기판을 1 내지 6mm 정도 벤딩하여 적층형 커패시터에서 외부 전극의 도전성 수지층이 커패시터 바디로부터 분리되는 peel-off가 발생하거나 또는 커패시터 바디의 일부가 깨지는 크랙(crack)이 발생하거나 또는 도금층이 분리되는지를 관찰하여 도 9에 나타낸다.
- [0170] 도 9를 참조하면, 비교 예의 경우, 2.5mm부터 크랙이 발생하였고, 3.5mm에서는 peel-off 및 도금층의 분리가 발생하였다.
- [0171] 반면에, 실시 예의 경우, 5.5mm까지 peel-off, 크랙 및 도금층 분리가 발생하지 않았고, 6mm에서도 peel-off 및 크랙은 발생하지 않았고, 30개 중에서 14개에서만 도금층 분리의 불량이 발생되었다.
- [0172] 따라서, 본 발명의 절연층을 포함하는 구조의 적층형 커패시터가 종래의 적층형 커패시터에 비해 휨 강도 특성이 우수하다는 것을 알 수 있다.
- [0174] 도 10은 본 발명의 다른 실시 예에서, 절연층의 두께에 따른 적층형 커패시터의 휨 강도 테스트 결과를 비교하여 나타낸 그래프이다
- [0175] 여기에 적용되는 실시 예는 도 6의 외부 전극 구조를 가지며 절연층이 포함되는 적층형 커패시터이다.
- [0176] 이때, 소결층의 두께는 10 μ m이고, 도전성 수지층의 두께는 35 μ m이고, 절연층의 최대 두께는 #1의 경우 9.34 μ m이고 #2의 경우 11.57 μ m이고 #3의 경우 16.34 μ m이다.
- [0177] 각각의 샘플에 사용된 적층형 커패시터는 30개씩이고, 적층형 커패시터는 X방향의 길이가 3.2mm이고, Y방향의 길이가 1.6mm이고, Z방향의 길이가 1.6mm가 되도록 제조한다.
- [0179] 그리고, 도 8에서와 같이, 적층형 커패시터를 PCB에 실장하고, 기판을 6mm 벤딩하여 적층형 커패시터에서 외부 전극의 도전성 수지층이 커패시터 바디로부터 분리되는 peel-off가 발생하거나 또는 커패시터 바디의 일부가 깨지는 크랙(crack)이 발생하거나 또는 도금층이 분리되는지를 관찰하여 도 10에 나타낸다.

[0181] 도 10을 참조하면, #1의 경우 4mm를 넘어가자 크랙이 발생하였고, #2와 #3의 경우 5mm까지 불량이 발생하지 않았으며 6mm에서도 peel-off는 일부 발생하였지만 크랙은 발생하지 않았다.

[0182] 따라서, 크랙의 발생이 방지되는 바람직한 절연층의 최대 두께는 10 μ m 이상인 것을 알 수 있다.

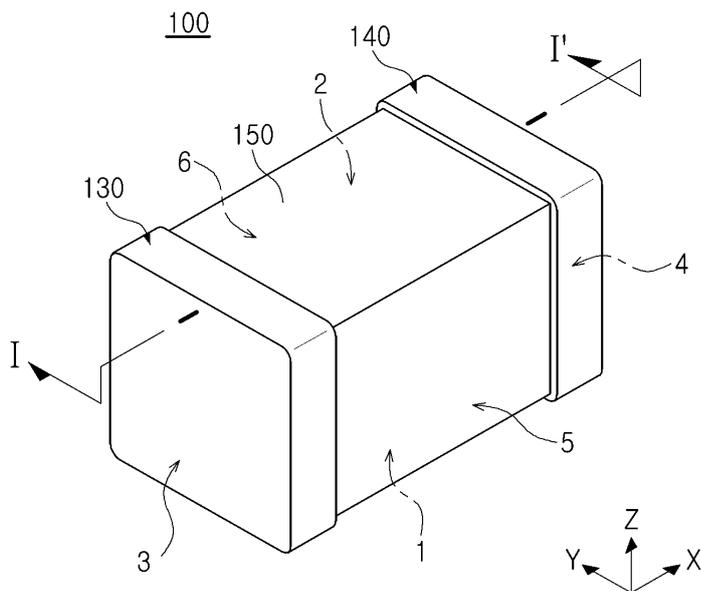
[0184] 이상에서 본 발명의 실시 예에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고, 청구 범위에 기재된 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 다양한 수정 및 변형이 가능하다는 것은 당 기술 분야의 통상의 지식을 가진 자에게는 자명할 것이다.

부호의 설명

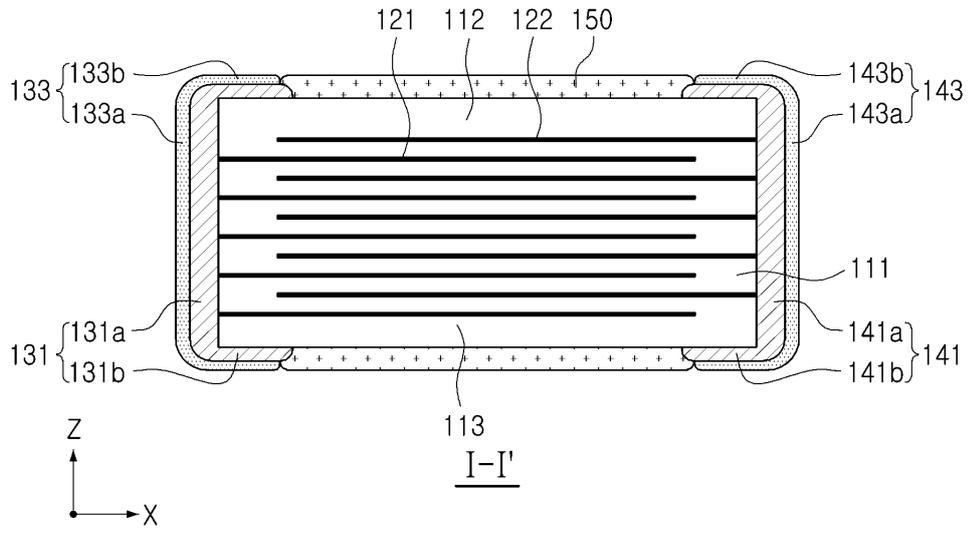
- [0186] 100: 적층형 커패시터
- 110: 커패시터 바디
- 111: 유전체층
- 121, 122: 제1 및 제2 내부 전극
- 130, 140: 제1 및 제2 외부 전극
- 131, 141: 제1 및 제2 소결층
- 131a, 141a, 133a, 143a: 제1 내지 제4 접속부
- 131b, 141b, 133b, 143b: 제1 내지 제4 밴드부
- 132, 142: 제1 및 제2 도전성 수지층
- 133, 143: 제1 및 제2 도금층
- 150, 150': 절연층

도면

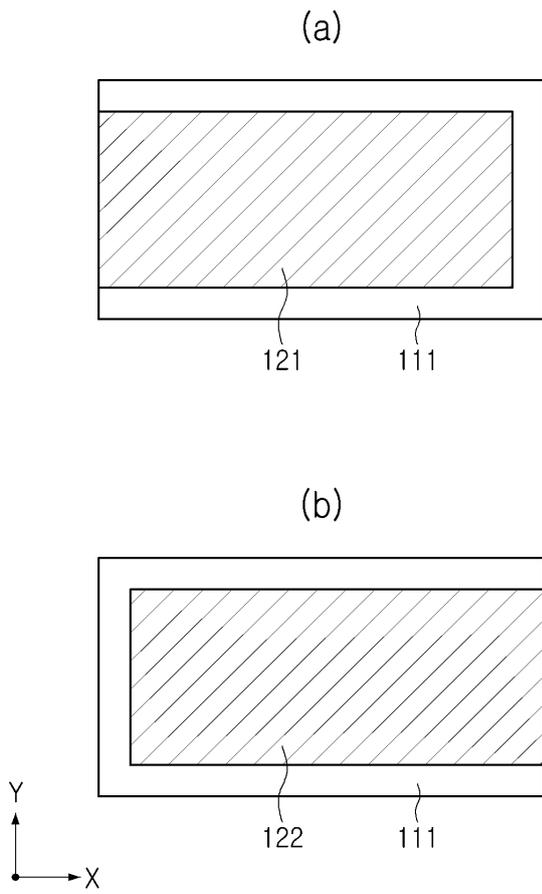
도면1



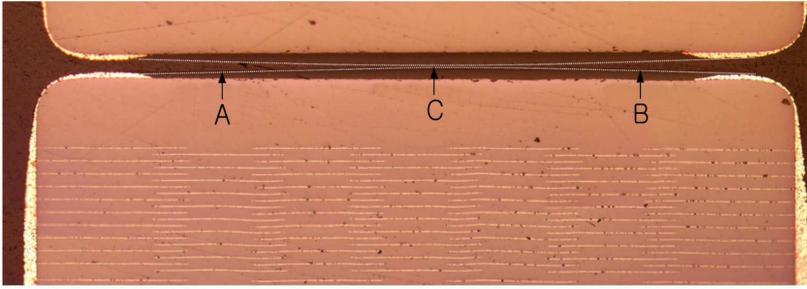
도면2



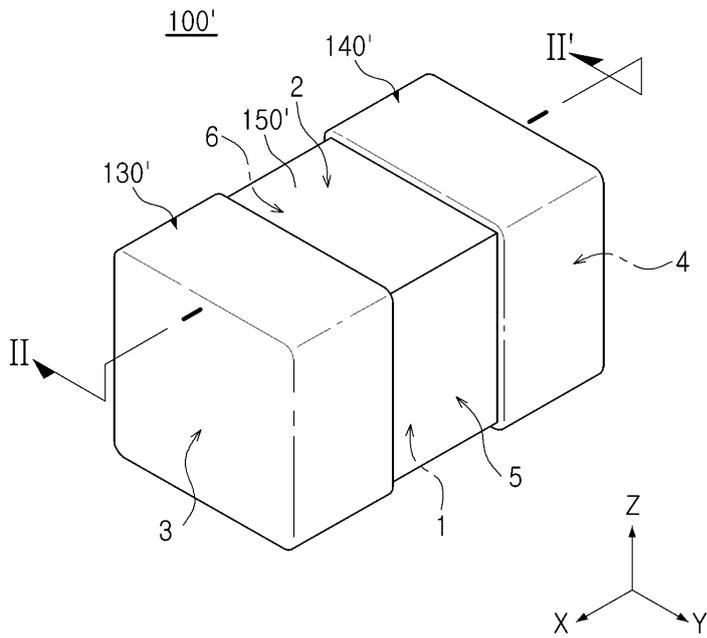
도면3



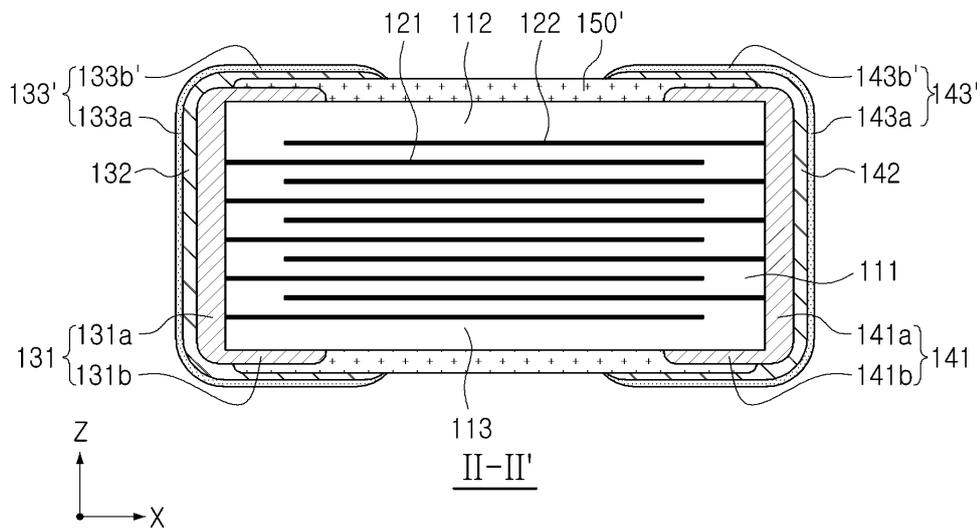
도면4



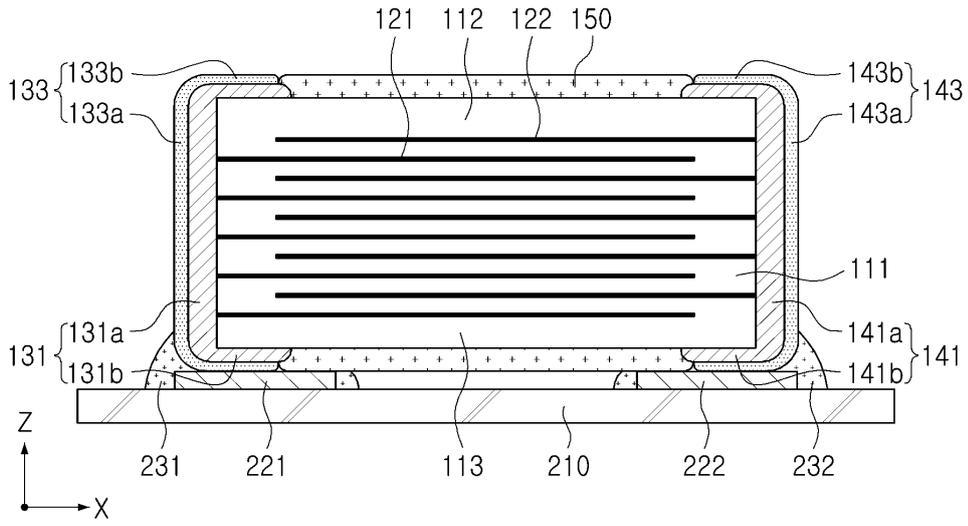
도면5



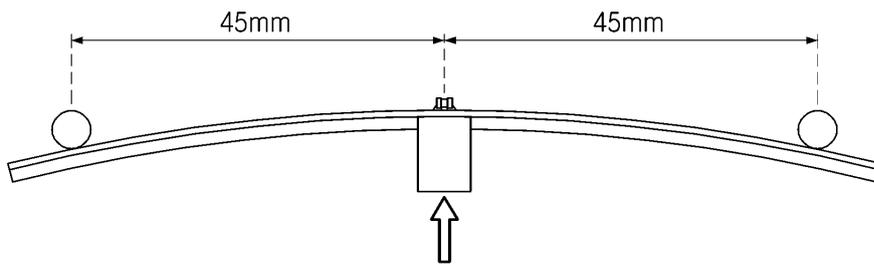
도면6



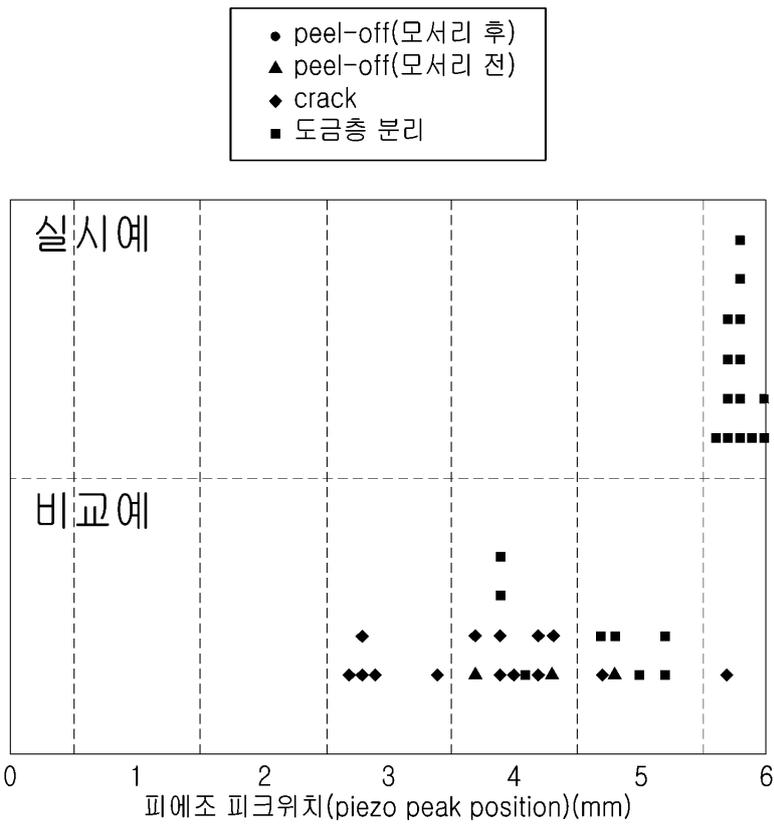
도면7



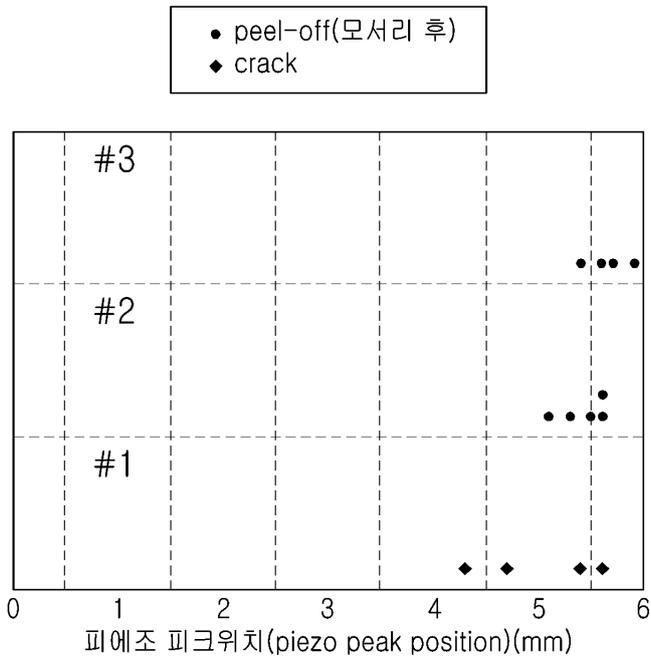
도면8



도면9



도면10



도면11

