



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0123123
 (43) 공개일자 2012년11월07일

- (51) 국제특허분류(Int. Cl.)
 HOIS 5/22 (2006.01) HOIL 33/14 (2010.01)
- (21) 출원번호 10-2012-7022790
- (22) 출원일자(국제) 2011년02월09일
 심사청구일자 2012년08월31일
- (85) 번역문제출일자 2012년08월30일
- (86) 국제출원번호 PCT/GB2011/050221
- (87) 국제공개번호 WO 2011/098797
 국제공개일자 2011년08월18일
- (30) 우선권주장
 1002088.1 2010년02월09일 영국(GB)

- (71) 출원인
 더 센터 포 인티그레이티드 포토닉스 엘티디
 영국, 서포크 아이피5 3알이, 입스위치, 마틀삼
 히스, 아다스트랄 파크, 피닉스 하우스
- (72) 발명자
 도산즈 석지반
 영국 아이피5 2와이유 서퍽주 입스위치 케스그레
 이브 폭스 리 1
- 릴먼 이안
 영국 아이피5 2비엘 서퍽주 입스위치 케스그레
 이브 하스킨스 워크 2
 (뒷면에 계속)
- (74) 대리인
 유미특허법인

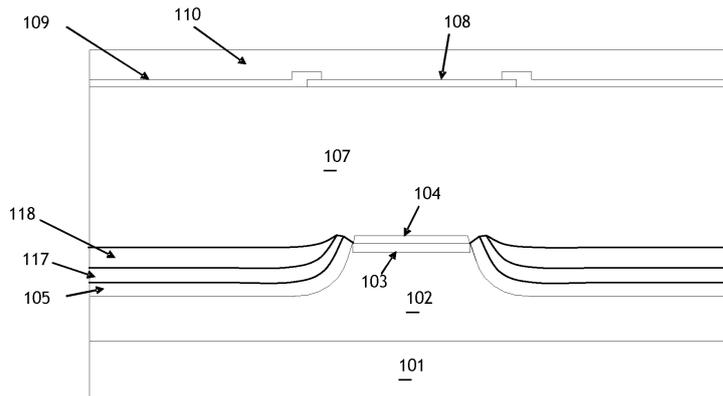
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 **광전자 소자**

(57) 요약

본 발명은 전자 소자, 바람직하게는 광전자 소자에 대한 전류 블록킹 구조를 제공한다. 전류 블록킹 구조는, 0.6 μm보다 더 작은 두께를 가지는 n-형의 루테튬이 도핑된 인듐 인화물 레이어를 포함하는 반도체 재료 구성부와, 제1의 p-형 반도체 재료 레이어를 포함한다. 반도체 재료 구성부와 제1의 p-형 반도체 재료 레이어는 전류 블록킹 p-n 접합을 형성한다. 전류 블록킹 구조는 다른 n-형 레이어 및/또는 0.6 μm보다 더 작은 두께일 수 있는 다수의 n-형 Ru-InP 레이어 및/또는 진성 반도체의/도핑되지 않은 레이어를 더 포함할 수 있다.

대표도 - 도4



(72) 발명자

번스 고든

영국 아이피30 9에스에이 서픽주 베리 세인트 에드
먼즈 울렛 더 스트럿 팀벌스

로버슨 마이클

영국 아이피1 4엘제이 서픽주 입스위치 콧츠월드
애비뉴 33

특허청구의 범위

청구항 1

전류 블록킹 구조(current blocking structure)를 포함하는 전자 소자(electronic device)로서,
 상기 전류 블록킹 구조는,
 제1의 p-형 반도체 재료 레이어(p-type semiconductor material layer); 및
 n-형의 루테튬(ruthenium)이 도핑된(doped) 인듐 인화물(Ru-InP) 레이어를 포함하는 반도체 재료 구성부(semiconductor material arrangement)
 를 포함하고,
 상기 반도체 재료 구성부와 상기 제1의 p-형 반도체 재료 레이어가 제1의 p-n 접합(p-n junction)을 형성하며,
 상기 n-형의 루테튬이 도핑된 인듐 인화물 레이어가 0.6 μ m 미만의 두께를 가지는,
 전자 소자.

청구항 2

제1항에 있어서,
 상기 반도체 재료 구성부가, 상기 n-형의 루테튬이 도핑된 인듐 인화물 레이어와 하나 이상의 추가적인 n-형 인듐 인화물(InP) 재료를 포함하는 레이어 스택(layer stack)인, 전자 소자.

청구항 3

제1항 또는 제2항에 있어서,
 상기 전류 블록킹 구조가 진성의(intrinsic) 반도체 재료를 더 포함하는, 전자 소자.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,
 상기 제1의 p-n 접합의 일측에 배치된 제2의 p-n 접합을 더 포함하고,
 상기 제2의 p-n 접합이 n-형 반도체 재료 레이어와 p-형 반도체 재료 레이어로 이루어지는, 전자 소자.

청구항 5

제4항에 있어서,
 상기 n-형의 루테튬이 도핑된 인듐 인화물 레이어와 상기 제1의 p-형 반도체 재료 레이어가, 상기 제2의 p-n 접합의 상기 n-형 반도체 재료 레이어와 상기 p-형 반도체 재료 레이어와는 실질적으로 반대 방향으로 배치되는,
 전자 소자.

청구항 6

제3항을 인용하는 경우의 제5항에 있어서,
 상기 제2의 p-n 접합이 상기 진성의 반도체 재료에 접하는, 전자 소자.

청구항 7

전류 블록킹 구조를 포함하는 전자 소자로서,
 상기 전류 블록킹 구조는,
 제1의 p-형 반도체 재료 레이어; 및

n-형의 루테튬이 도핑된 인듐 인화물(Ru-InP) 레이어를 가지는 반도체 재료 구성부를 포함하고,

상기 반도체 재료 구성부와 상기 제1의 p-형 반도체 재료 레이어가 제1의 p-n 접합을 형성하며,

상기 반도체 재료 구성부는, 상기 n-형의 루테튬이 도핑된 인듐 인화물 레이어와 하나 이상의 추가적인 n-형 인듐 인화물 재료를 포함하는 레이어 스택인,

전자 소자.

청구항 8

제7항에 있어서,

상기 제1의 p-n 접합의 일측에 배치된 제2의 p-n 접합을 더 포함하고,

상기 제2의 p-n 접합이 n-형 반도체 재료 레이어와 p-형 반도체 재료 레이어로 이루어지는, 전자 소자.

청구항 9

제8항에 있어서,

상기 n-형의 루테튬이 도핑된 인듐 인화물 레이어와 상기 제1의 p-형 반도체 재료 레이어가, 상기 제2의 p-n 접합의 상기 n-형 반도체 재료 레이어와 상기 p-형 반도체 재료 레이어와는 실질적으로 반대 방향으로 배치되는, 전자 소자.

청구항 10

전류 블록킹 구조를 포함하는 전자 소자로서,

상기 전류 블록킹 구조는,

제1의 p-형 반도체 재료 레이어; 및

n-형의 루테튬이 도핑된 인듐 인화물(Ru-InP) 레이어를 가지는 반도체 재료 구성부를 포함하고,

상기 반도체 재료 구성부와 상기 제1의 p-형 반도체 재료 레이어가 제1의 p-n 접합을 형성하며,

상기 전류 블록킹 구조는 진성의 반도체 재료를 더 포함하는,

전자 소자.

청구항 11

제10항에 있어서,

상기 반도체 재료 구성부가, 상기 n-형의 루테튬이 도핑된 인듐 인화물 레이어와 하나 이상의 추가적인 n-형 인듐 인화물(InP) 재료를 포함하는 레이어 스택인, 전자 소자.

청구항 12

제10항 또는 제11항에 있어서,

상기 제1의 p-n 접합의 일측에 배치된 제2의 p-n 접합을 더 포함하고,

상기 제2의 p-n 접합이 n-형 반도체 재료 레이어와 p-형 반도체 재료 레이어로 이루어지는, 전자 소자.

청구항 13

제12항에 있어서,

상기 n-형의 루테튬이 도핑된 인듐 인화물 레이어와 상기 제1의 p-형 반도체 재료 레이어가, 상기 제2의 p-n 접합의 상기 n-형 반도체 재료 레이어와 상기 p-형 반도체 재료 레이어와는 실질적으로 반대 방향으로 배치되는,

전자 소자.

청구항 14

제13항에 있어서,

상기 제2의 p-n 접합이 상기 진성의 반도체 재료에 접하고 있는, 전자 소자.

청구항 15

제1항 내지 제14항 중 어느 한 항에 있어서,

상기 루테늄이 도핑된 인듐 인화물 레이어가 0.1 μm 내지 0.4 μm의 두께를 가지는, 전자 소자.

청구항 16

제1항 내지 제15항 중 어느 한 항에 있어서,

상기 전류 블록킹 구조가 제2의 p-형 반도체 재료를 포함하는, 전자 소자.

청구항 17

제4항 내지 제6항, 제8항 내지 제9항, 제12항 내지 제14항 중 어느 한 항에 있어서,

상기 전자 소자는, 상기 제2의 n-형 반도체 레이어와 상기 제2의 p-형 반도체 레이어 사이에 광 활성 반도체 레이어(optical active semiconductor layer)를 가지는 광전자 소자(optoelectronic device)이고,

상기 제2의 n-형 반도체 레이어와 상기 제2의 p-형 반도체 레이어는, 상기 광 활성 반도체 레이어의 두께를 가로질러 상기 제2의 p-n 접합을 형성하도록 배향되어 있는, 전자 소자.

청구항 18

제1항 내지 제17항 중 어느 한 항의 전류 블록킹 구조를 형성하기 위한 방법으로서,

대기압 MOVPE(Metal Organic Vapour Phase Epitaxy)를 이용하여 상기 n-형의 루테늄이 도핑된 인듐 인화물 레이어를 성장시키는 단계를 포함하는, 방법.

청구항 19

제18항에 있어서,

비스-아이소프로필사이클로펜타디에닐 루테늄(bis-isopropylcyclopentadienyl ruthenium, IPCPRu) 전구체 (precursor)가 상기 MOVPE에서 이용되는, 방법.

청구항 20

제19항에 있어서,

비스-아이소부틸사이클로펜타디에닐 루테늄(bis-isobutylcyclopentadienyl ruthenium, IBCPRu) 전구체 (precursor)가 상기 MOVPE에서 이용되는, 방법.

청구항 21

도면들에서 실질적으로 설명되고 도시된, 전자 소자.

명세서

기술분야

본 발명은 전자 소자 분야, 특히 광 통신을 위한 광전자 소자와 같은(그러나 이에 한정되지는 않음) 전류 블록킹 구조를 포함하는 반도체 전자 소자에 관한 것이다.

[0001]

배경 기술

- [0002] 레이저(laser), 광 증폭기(optical amplifier) 및 모듈레이터(modulator)와 같은 광전자 소자(Opto-electronic device)는 일반적으로, 서로 상이하게 도핑된(doped) 반도체 재료(semiconductor material)가 서로 반대 방향으로 위치하게 되는 경우에 형성되는 하나 이상의 p-n 접합을 이용하여 제작된다.
- [0003] 도펀트(Dopant)는, 반도체 격자(semiconductor lattice) 내에 결합하도록, 반도체 재료에 일반적으로 도입되는 재료이다. 반도체 격자 내에 결합되면, 도펀트 원자는 보통, 사용되는 도펀트의 유형에 따라, 전자나 정공 중 어느 하나를 크리스탈 격자(crystal lattice)에 제공한다. 제공된 전자나 정공은 반도체 격자에 대해 자유롭게 이동할 수 있어, 전도성 전하 캐리어(conducting charge carrier)가 된다. 과량의 전자 전하 캐리어를 가지도록 도핑된 반도체 재료는 n-형 반도체로 지칭되는 반면에, 과량의 정공을 가지도록 도핑된 반도체 재료는 p-형 반도체로 지칭된다. 이러한 재료들은, 본 명세서의 전체에 있어서 이후부터는 'n-형' 및 'p-형'으로 지칭될 것이다.
- [0004] n-형과 p-형이 서로 인접하여 위치하는 경우에, 재료들 사이에 생기는 인터페이스(interface)는 p-n 접합이 된다. 기본적인 p-n 접합은, 2개의 반도체 재료 사이의 인터페이스인데, 여기에서 접합 재료에서 정공이 p-형 재료 쪽으로 이동하는 반면에 접합 재료에서 전자는 n-형 재료 쪽으로 이동하기 때문에, 명목상 어떠한 자유(전도성) 전하 캐리어도 가지지 않는 접합 주위에 공핍 영역(depletion region)이 존재한다. p-n 접합의 양쪽의 전하 캐리어 유형의 불균형은, 많은 전자 소자 및 광전자 소자들에서 일반적으로 이용되는, p-n 접합을 가로지르는 전위차(potential difference)를 발생시킨다. 이러한 진성의 전위차는, 접합을 가로질러 인가된 전압이, 접합을 가로질러 전류가 흐르도록 하기 위해, 넘어야 하는 임계값(threshold value)으로서 흔히 이용된다. n-형에 있는 전자와 p-형에 있는 정공을 이 p-n 접합 쪽으로 흐르게 하기 위해 구동 전압이 인가되는 경우가 '정방향 바이어스(forward bias)'라고 알려져 있다. n-형에 있는 전자와 p-형에 있는 정공을 p-n 접합의 반대쪽으로 흐르게 하기 위해 구동 전압이 인가되는 경우는 '역방향 바이어스(reverse bias)'라고 알려져 있다.
- [0005] 전자와 정공이 직접 밴드 갭(direct band gap) 반도체 재료에서 결합하면, 전자는 에너지를 잃고 전도대 전자에서 가전자대 전자(valence electron)로 변하며, 그 과정에서, 반도체 재료의 가전자대(valence band)와 전도대(conduction band) 사이의 밴드 갭에 따른 특정한 파장의 광(light)을 방출할 수 있다. 달리 말하면, 반도체 재료에 의해 흡수될 수 있는 에너지(즉, 파장)를 가진 광이 p-n 접합 상에서 입사되면, 전자와 정공이 p-n 접합에서 생성된다.
- [0006] 반도체 광 증폭기 및 레이저와 같은 광전자 소자들은, 전자와 정공이 공핍 영역에서 만나고 결합하도록 하는 정방향 바이어스를 접합에 인가함으로써, p-n 접합을 이용한다. p-n 접합에서의 재결합은, 다양한 방식으로 이용될 수 있는 광을 생산하는데, 예를 들어: 광전자 소자가 LED인 경우에는 비간섭(incoherent) 광 소스(light source)를 생성하고, 광전자 소자가 레이저 또는 광 증폭을 위해 이용되는 경우 즉, 광전자 소자가 반도체 광 증폭기(semiconductor optical amplifier, SOA)인 경우에는, 간섭(coherent) 광 소스를 생산한다.
- [0007] 광 검출기(photodetector) 및 전계-흡수 모듈레이터(electro-absorption modulator)와 같은 광전자 소자들은, 접합에 역방향 바이어스를 인가함으로써, p-n 접합을 이용한다. 광이 광 검출기의 p-n 접합 상에서 입사되어 반도체 재료에 의해 흡수되는 경우에, 공핍 영역에서 광이 소멸하면서 광 전류를 생성하는 것으로서, 전도대 정공(conduction hole)과 전자가 생성된다. 전계-흡수 모듈레이터는, 다양한 양의 역방향 바이어스를 인가하여 반도체의 밴드 갭을 다이내믹하게 변경시킴으로써, 특정 파장에서 공핍 영역에 흡수되는 광량을 조절한다.
- [0008] 레이저, 모듈레이터 및 증폭기와 같은 광전자 소자의 제작에 있어서는, 고속으로 켜지고 꺼질 수 있도록 만드는 것이 바람직하다. 이는, 대부분 높은 비트 전송율을 필요로 하는 광 통신에서 중요한 것이다. 동작의 속도를 제한하는 광전자 소자의 주요한 특성 중 하나가 p-n 접합을 가로지르는 정전 용량(capacitance)이다. 정전 용량이 낮아질수록, 소자의 속도는 높아진다.
- [0009] 광전자 소자는 일반적으로 다양한 적층(deposition) 방법 및 리소그래피(lithographic) 방법을 이용하여 형성된다. 반도체 소자는 보통 적층 방법으로 MOVPE(Metal Organic Vapour Phase Epitaxy)를 이용한다.
- [0010] 반도체 소자가 형성될 때는, 하나 이상의 상이한 반도체 재료를 이용하는 것으로 알려져 있다. 광전자 소자용으로 이용되는 전형적인 반도체 재료로는, 인듐 인화물(indium phosphide, InP)과 갈륨 비소화물(gallium arsenide, GaAs)이 있다. p-형 재료 및 n-형 재료가 동일한 반도체 재료를 사용하여 상이하게 도핑된 형태(version)이면, p-n 접합은 호모 접합(homo junction)으로 지칭된다. 그러나, (상이한 도핑과는 별개로) 접합의 반도체 재료 자체가 상이하면, p-n 접합은 헤테로 접합(heterojunction)으로 지칭된다. 헤테로 접합은

또한, 활성 레이어(active layer) 또는 스택(stack)으로 알려진 도핑되지 않은(undoped)(진성의) 하나 이상의 상이한 반도체 레이어를, n-형 레이어와 p-형 레이어 사이에 샌드위치 시킴으로써(sandwiching) 형성될 수도 있다. 활성 레이어/레이어들 또는 스택은 일반적으로 그 광 특성을 고려하여 선택되고, 광을 제한하는 광 도파관(optical waveguide)으로서 작용하는 양자 우물(quantum well)의 단일 레이어 또는 스택으로서 작용하도록 구성될 수 있다.

[0011] 직립의(upstanding) '메사(mesa)'로서의 하나 이상의 p-n 접합을 리소그래피 기법으로 형성하고, 하나 이상의 '재성장(re-growth)' 단계를 이용하여 다른 재료, 예를 들어 다른 반도체 재료들로 메사를 둘러싸서, 접합이 소자 내에 '매립되는(buried)' 기술 또한 알려져 있다. 메사를 매립하면, 활성 도파관 측에 공기가 주입되는 경우보다 굴절률 콘트라스트(lower refractive index contrast)가 더 낮아지게 된다. 이와 같이 굴절률 콘트라스트가 낮아지면, 도파관 측벽의 산란 손실(waveguide sidewall scattering loss)이 발생하기 어려워진다. 나아가, 활성 레이어를 매립하면, 상부 표면 영역(top surface area)이 커져서, 콘택 저항(contact resistance)을 감소시키는데 도움이 되는 전기 콘택(electrical contact)을 형성하게 된다. 둘러싸인 레이어는 대부분, 전술한 적층 기술 중 하나를 이용하여 적층된 반도체 재료이다. 도 1은, 반도체 재료가 매립된 헤테로 접합면의 주위에 적층된 종래 기술의 레이저의 단면을 보여준다. 레이저와 같은 광전자 소자의 효율을 최적화하기 위해서는, 전류가, 주변을 둘러싸고 있는 재료 레이어가 아닌, 오로지 활성 레이어를 통해 직접 흐르도록 하는 것이 바람직하다. 전류가, 활성 레이어에 인접한 주변 레이어를 통해 흐르는 경우, 이것을 '누설 전류(leakage current)'라고 한다.

[0012] (역방향 바이어스된 전류 블록킹 접합(current blocking junction))

[0013] 주변 반도체 레이어를 통해 전류가 흐름으로써 발생하는 '누설 전류'를 방지하는데 도움을 주는, 종래 기술의 한 방법은, 활성 소자(active device)의 어느 일 측에 하나 이상의 '전류 블록킹' 접합(또는 구조)을 형성하는 것을 포함한다. 전류 블록킹 접합은 일반적으로, 상이하게 도핑된 반도체 레이어를 이용하여 형성되는 p-n 접합이고, 활성 레이어를 가지는 헤테로 접합이 정방향 바이어스인 경우에 역방향 바이어스 접합으로서 작용하도록 디자인된다. 전류 블록킹 접합을 포함하는 종래 기술의 레이저 소자의 단면이 도 1에 도시되어 있는데, 여기에서, 소자의 활성 레이어(3)는, n-형 InP 버퍼(buffer) 레이어(2) 및 기판(1) 위에 위치하고, p-형 InP 레이어(4) 및 레이어(7) 아래에 위치하여 헤테로 접합을 형성한다. 활성 레이어의 양쪽에는 각각 n-형 레이어(6)와 그 아래에 p-형 레이어(5)가 위치한다. 레이어(7) 위에는 p-형 콘택(8)(contact), 마스크(masking) 레이어(9) 및 메탈(metal) 콘택(10)이 위치한다. p-n 레이어(5 및 6)의 배향이 레이어(4) 및 레이어(2)에 대해 수직 방향으로 역으로 되어 있기 때문에, 전류 블록킹 접합은 헤테로 접합에 대해 역방향 바이어스의 구성으로 된다. 활성 영역을 가지는 정방향 바이어스된 접합의 양측에 역방향 바이어스된 '전류 블록킹' 접합을 가짐으로써, 전자와 정공이 활성 영역으로 집중되어, 광전자 소자의 효율성을 증가시킨다.

[0014] 종래의 전류 블록킹 구조의 한 가지 문제점은, 역방향 바이어스된 p-n 전류 블록킹 접합이, 높은 구동 전류 및/또는 높은 온도에서 블록킹 구조가 파괴되어 전류 블록킹 구조를 통해 지나친 전류가 흐르는 한편 활성 레이어/레이어들로는 흐르지 않게 되어 소자의 효율성을 감소시키는 이른바 사이리스터 현상(thyristor action)으로 지칭되는 문제를 가지고 있다는 것이다.

[0015] 이후, 누설 전류가 낮은 역방향 바이어스된 접합을 얻기 위해서는 블록킹 레이어의 두께와 도핑 농도(doping level)를 증가시켜야 한다는 사실이 인식되었다("Analysis of current leakage in InGaAsP/InP buried heterostructure" Ohtoshi, T. et al. Journal of Quantum Electronics, Vol. 25, no. 6, pages 1369- 1375).

[0016] 이러한 한계에도 불구하고, 역방향 바이어스된 p-n 전류 블록킹 레이어는, 오직 대략 1Gbit/s 이하의 적당한 비트 전송율의 전기적 변조(electrical modulation)만을 필요로 하는 소자의 누설 전류를 제한하는 표준 방법으로 남아 여전히 이용되고 있다.

[0017] 역방향 바이어스된 p-n 전류 블록킹 레이어는 또한, 역방향 바이어스된 접합이 소자 내에서 야기하는 커다란 기생 정전 용량(large parasitic capacitance) 때문에, 더 높은 비트 전송율 조정에 대해서는 이상적으로 적합하지도 않다. 특히 EP1300917(Ryder 등)은, 소자의 정전 용량을 감소시키기 위해 전류 블록킹 구조 아래에 경사형(graded) p-도핑 레이어를 포함하는 광전자 소자를 개시하고 있으나, 이러한 구조도 여전히 높은 온도 및 높은 구동 전류에서의 사이리스터 현상이라는 문제점을 가지고 있다.

- [0018] (반-절연 레이어(Semi-insulating layer))
- [0019] 소자의 정전 용량을 감소시키기 위한 하나의 방법으로, 상기 역방향 바이어스된 p-n 접합 블록킹 레이어를, 주변 반도체 레이어들보다 더 높은 저항률을 제공하는 하나 이상의 반도체 레이어로 교체하는 방법이 이용되어 왔다. 그러한 높은 저항률의 레이어는 일반적으로 반-절연 반도체(semi-insulating semiconductor)라고 지칭되고, 정전 용량 전압(Capacitance Voltage, CV) 프로파일링(profiling)을 이용하여 측정되는 경우에, 항상 도핑되지 않은(undoped) 것으로 나타났다. 반-절연 반도체는, 역방향 바이어스된 전류 블록킹 접합의 큰 정전 용량이 없이도 전류 블록킹을 제공한다.
- [0020] 반도체는, 열방출(thermal emission)에 의해 나중에 방출(release)되도록 전도 전자 및 정공(전자 트랩 또는 정공 트랩)을 '트랩(trap)'하도록 작용하는 특정한 도펀트(dopant)를 이용하여 도핑될 수 있다. 이러한 트랩의 효과가 트래핑 영역(trapping region)을 통해 흐르는 전도 전자의 양을 감소시키므로, '트랩-도핑된' 반도체 재료를 반-절연으로 만든다.
- [0021] 반-절연 도핑된 전류 블록킹 레이어는, 종래에는 도 1의 레이어(5)와 레이어(6)를, Fe 도펀트 원자(Fe dopant atom)가 전자 트랩으로서 작용하는 철(Fe)-도핑된 인듐 인화물(InP)로 대체하는 방법에 의해 형성되었다. 그러나, 소자가 정방향 바이어스에서 동작해야 하는 반도체 레이저 및 광 증폭기에서는, Fe-도핑된 레이어가, 종래의 역방향 바이어스된 p-n 접합 전류 블록킹 레이어보다 더 심한 전류 누설 문제를 가지고 있는 것으로 밝혀졌다. 아연(Zn)과 같은 일반적으로 이용되는 p-형 InP 도펀트와 Fe 사이의 확산(inter-diffusion)이, 지나친 누설 전류를 야기하는 하나의 원인으로 알려져 있다.
- [0022] Wasserbauer는 또한, 문헌(conference paper TuB.4 from IPRM (Indium Phosphide and Related Materials Conference in 1990)에서, Fe-도핑된 InP의 저항률이, 온도가 실온에서 25° C씩 증가할 때마다 누설 전류가 약 1 자릿수 증가하는, 높은 온도 의존성이 있음을 보여주었다. 더 높은 소자 온도에서 이렇게 증가된 전류 누설은, 95° C 이하의 칩 온도에서 동작해야 하는 비냉각(uncooled) 반도체 소자에서 Fe-도핑된 InP를 이용하는 경우에, 누설 전류의 문제를 야기하게 된다.
- [0023] 특허 W095/02910는, 정공 트래핑 재료(hole trapping material)가 p-도핑된 InP에 의해 주변이 둘러싸인 경우에, 낮은 정전 용량의 전류 블록킹 레이어를 형성하는데 이용될 수 있는, Cr 또는 Ti와 같은 정공 트랩으로서 작용하는, 많은 수의 반-절연 도펀트를 개시하고 있다.
- [0024] (Ru-InP 레이어)
- [0025] 루테튬(Ruthenium, Ru) 도핑된 반도체는, 정방향 바이어스 및 역방향 바이어스된 소자 모두에 대해, 이전부터 낮은 정전 용량을 가지는 전류 블록킹 레이어로서 이용되어 왔다. Ru-도핑된 InP가 정공 트랩으로서 효과적이나 전자 트랩으로서 불량한 것으로, 종래 기술에서 설명되었다. 이러한 재료에 대한 관심은, Ru가, Zn 또는 일반적으로 이용되는 다른 p-형 도펀트와의 사이에서 확산이라는 문제를 가지고 있지 않다는 사실에 기인한다.
- [0026] 미국 특허 6,815,786에서는, 활성 레이어를 가지는 메사의 주위에서 성장된 블록킹 레이어를 설명한다. 도 2는, 상기 특허 문헌에서 설명된 소자의 도식적인 구조를 보여준다. Fe-도핑된 InP의 제1의 얇은 레이어(11)가 메사에 인접하여 성장하고 이어서, Ru-도핑된 InP의 두꺼운 레이어(12)가 성장하는데, 여기서 Ru-도핑된 레이어는 소자의 낮은 정전 용량의 성취가 가능하도록 이를 반-절연으로 만드는 방식으로 성장한다.
- [0027] 미국 특허 6,717,187에서는, 미국 특허 6,815,786에서 설명되고 도 2에 도시된 것과 유사한 구조를 설명하는데, 이 문헌에서는 레이어(11)에 대해 이용되는 재료가 Ru-InP이고, 레이어(12)에 이용되는 재료는 Fe-InP여서, Ru-도핑된 InP 레이어는 메사의 측면에 인접해 있는 반면, 더 두꺼운 Fe-도핑된 레이어는 Ru 레이어 위에 위치한다. 미국 특허 6,717,187에 기재된 구조에서는, Ru 레이어가 반-절연이 되도록 만들어져서, 전류가 Ru-InP 레이어를 통해 수직 방향으로 통과하지 않으면서 권택하는 활성 영역(3) 내로 들어가지도 않는다. 이 문헌의 반-절연 Ru-InP 레이어는, 메사 레이어(7)의 Zn과 레이어(12)의 Fe 사이의 확산을 블록킹 하기 위해 이용된다.
- [0028] 특허 DE19747996C1에서는, Ru가 반-절연의 형태로 성장하기 위해서는, 결절(hillocks)로 지칭되는 성장 결함의 형성을 바람직하지 않게 초래할 수 있는 처리 조건을 이용하는 것이 필요하다는 내용을 개시한다. 결절은, 처

리 과정에 있어서 소자의 수율(yield)을 감소시키는 성장의 형태적(morphology) 문제를 야기한다. 반-절연 전류 블록킹 레이어로서 성장한 경우에, 양호한 형태가 유지되기 위해서는, 오직 Ru-도핑된 얇은 레이어만이 이용될 수 있다.

[0029] 문헌(The Conference paper MoA2.4 by Lealman et al, shown at IPRM (Indium Phosphide and Related Materials Conference, May 2008)과 이에 대한 발표에서, 도 3에 도시된 것과 같은, (p-형) Zn-InP의 단일 레이어들 사이에 샌드위치된(sandwiched) Ru-도핑된 InP의 단일 레이어를 가지는 전류 블록킹 구조를 설명하였다. 'p-Ru-p' 구조의 전류 블록킹 구조는, IPCPRu(bis-isopropylcyclopentadienyl ruthenium, 비스-아이소프로필사이클로펜타디에닐 루테늄)와 IBCPRu(bis-isobutylcyclopentadienyl ruthenium, 비스-아이소부틸사이클로펜타디에닐 루테늄)의 Ru 전구체(Ru precursor)를 이용하는 것에 초점을 맞추는 대기압 MOVPE를 이용하여 제조되었다. 위 문헌에서는, 이 방법으로 만들어진 Ru-InP 레이어가 낮은 n-형 도핑(doping)을 가지는 반도체 레이어로서 작용하고, p-Ru-p 구조가 보통의 표준 p-n 접합 블록킹 구조보다 더 높은 정전 용량을 가진다고 기재하였다. 메사 주위에서의 제1차 재성장(re-growth) 단계는, 0.1 μm의 얇은 Zn-도핑된 InP 레이어(5)와, 이어서 0.8 μm의 두꺼운 Ru-도핑된 InP(17) 및 이어서 감싸는 또 다른 0.1 μm의 얇게 Zn-도핑된 InP(18)로 구성된다.

[0030] Ru-InP 레이어가 반-절연이 되도록 성장하여 Fe의 확산을 블록킹하는 내용의 미국 특허 6,717,187 및 6,815,786 과는 대조적으로, 위의 문헌(The Conference paper MoA2.4 by Lealman et al, shown at IPRM (Indium Phosphide and Related Materials Conference, May 2008)에서는, 낮은 n-형 레이어로서 Ru-InP를 성장시킴으로써, Ru-InP가 일반적인 p-n 접합보다 여전히 더 높은 저항률을 보유하는 역방향 바이어스 p-n 접합 전류 블록킹 구조의 일부를 형성할 수 있게 하였다.

[0031] Ru-InP 레이어가 단지 낮은 n-형 도핑만 되었기 때문에, Ru-InP 블록킹 레이어는, 0.1 μm의 두께로만 성장하는 블록킹 접합의 p-형 레이어의 두께와 비교하여 0.8 μm의 큰 두께로 성장하였다. 위의 문헌의 Ru-InP 레이어가 0.6 μm의 두께로 얇아진 경우에는, 반-절연 Fe-도핑된 InP의 추가적인 0.3 μm 두께의 레이어가 Ru-InP 아래로 도입되었다. p-Ru-p 구조의 Ru-InP의 두께의 증가로 인한 문제점은, 소자가 보통의 표준 p-n 접합 블록킹 구조보다 더 높은 정전 용량을 가져서, 10Gbit/s의 변조 속도(modulation rate)에서 동작하기에는 적합하지 않다는 것이었다. 나아가, Ru-InP의 두꺼운 레이어는, 여전히 형태적 문제와 성장이 어렵다는 문제점을 가지고 있다.

발명의 내용

[0032] 본 발명자들은, n-형 Ru-InP가 n-형 재료에 대해 기대 이상의 낮은 캐리어 이동성(carrier mobility)을 가지는 것이 밝혀졌기 때문에, 전류 블록킹 접합의 n-도핑된 Ru-InP 레이어가 이전에 요구되던 것보다 더 얇게 만들어질 수 있다는 것을 발견하였다.

[0033] 본 발명자들은, Ru-InP의 테스트 샘플(샘플 B)을, IPCPRu와 IBCPRu의 고증기압 전구체를 이용하여 대기압 MOVPE에 의해 제조하였다. Ru-InP 레이어는, Fe-InP 도핑된 기판상에 적층되고, n-도핑된 InGaAs이 캡(cap)으로서 그 위에 적층 된다. 동일한 적층 두께를 가지는 또 다른 동일한 테스트 샘플(샘플 A)은, 일반적인 n-도핑된 InP 레이어(황으로 도핑됨)를 n-도핑된 Ru-InP로 대체하여 만들어진다.

[0034] 이차 이온 질량 분석(secondary mass spectroscopy, SIMS)을 이용하여 샘플의 절대적인 도핑 농도가 측정되는 한편, 전기적 활성 도펀트의 농도는 전기화학적(electrochemical) 분석을 이용하여 측정된다. 샘플의 저항률은 다음의 단계에 의해 측정된다:

- [0035] 1. 샘플의 InGaAs 캡 레이어에 티타늄과 금을 증착(Evaporating)시키는 단계.
- [0036] 2. 10 μm에서 350 μm 사이의 상이한 간격의 범위를 가지고 대략 150 μm×500 μm의 설계 영역(plan area)을 가지는 일련의 평행 패드(parallel pad)가 형성되도록, 금속과 하부의 InGaAs를 패터닝(Patterning) 및 에칭(etching)하는 단계.
- [0037] 3. 각 세트의 패드의 주위의 샘플을 재패터닝(Re-patterning)하고, 주변에 모든 성장한 InP를 철-도핑된 반-절연 기판까지 아래로 제거하기 위해 에칭하는 단계.
- [0038] 4. 금속 패드들 사이의 저항을 측정하는 단계.

[0039] 표 1에서, 저항 및 전기적 활성 도핑 농도, 이동도의 값이 계산되어 표시된다. 기대 이상으로, Ru-도핑된 InP의 시험 샘플 B가 동격의 표준 n-형 황-도핑된 InP(샘플 A)보다 대략 15배 더 낮은 이동도를 가지는 것이 발견

되었다.

표 1

[0040]

샘플	레이어	측정된 두께 (nm)	측정된 전기적 활성 도핑 (Cm^{-3})	측정된 저항률 (ohm. Cm)	이동도 (crff/V.scc)
샘플 A	n+-InGaAs 캡	205	1.4×10^{19}		
	n-InP	1030	3.5×10^{16}	9.75×10^{-2}	1.84×10^3
	Fe-InP 기판				
샘플 B	n+-InGaAs 캡	205	1.6×10^{19}		
	Ru-InP	1020	1.4×10^{16}	3.7	1.2×10^2
	Fe-InP 기판				

[0041]

본 발명자들은, 종래 기술과는 다르게, Ru-InP 레이어의 기대 이상으로 낮은 이동도가, 전자가 블로킹 구조를 통해 지나갈 수 있는 능력을 극적으로 감소시키는 점에 기인하여, 전류 블로킹 접합의 n-형 Ru-InP의 레이어가 0.6 μm 또는 0.8 μm 보다 더 얇으면서도, 여전히 일반적인 p-n 전류 블로킹 레이어의 구성에서도 과도한 전류 누설과 사이리스터 현상을 방지할 수 있게 하는 기술을 실현하였다.

[0042]

본 발명은 첨부된 청구범위에 기재된 바대로 설명된다.

[0043]

이에 따르면, 본 발명은; n-형 루테튬이 도핑된 인듐 인화물(n-type ruthenium doped indium phosphide, Ru-InP) 레이어를 포함하는 반도체 재료 구성부(semiconductor material arrangement); 및 제1의 p-형 반도체 재료 레이어를 포함하는, 전류 블로킹 구조(current blocking structure)를 포함하고, 반도체 재료 구성부와 제1의 p-형 반도체 재료 레이어가 제1의 p-n 접합(p-n junction)을 형성하고; n-형 루테튬 도핑된 인듐 인화물 레이어가 0.6 μm 보다 더 작은 두께를 가지는, 전자 소자(electronic device)를 제공한다.

[0044]

본원 발명의 다른 측면에서는, 제1의 p-형 반도체 재료 레이어; 및 n-형의 루테튬이 도핑된 인듐 인화물(Ru-InP) 레이어를 가지는 반도체 재료 구성부를 포함하는, 전류 블로킹 구조를 포함하고, 반도체 재료 구성부와 제1의 p-형 반도체 재료 레이어가 제1의 p-n 접합을 형성하며; 반도체 재료 구성부는 n-형 루테튬 도핑된 인듐 인화물 레이어와 하나 이상의 추가적인 n-형 InP 재료를 포함하는 레이어 스택(layer stack)인, 전자 소자를 제공한다.

[0045]

본 발명의 또 다른 측면에서는, 제1의 p-형 반도체 재료 레이어; 및 n-형의 루테튬이 도핑된 인듐 인화물(Ru-InP) 레이어를 가지는 반도체 재료 구성부를 포함하는, 전류 블로킹 구조를 포함하고, 반도체 재료 구성부와 제1의 p-형 반도체 재료 레이어가 제1의 p-n 접합을 형성하며; 전류 블로킹 구조가 본래의 반도체 재료를 더 포함하는, 전자 소자를 제공한다.

도면의 간단한 설명

[0046]

도 1은 종래 기술의 첫 번째 전자 소자이고, 도 2는 종래 기술의 두 번째 전자 소자이며, 도 3은 종래 기술의 세 번째 전자 소자이다.

도 4는 본 발명의 제1 실시예에 따르는 전자 소자이다.

도 5는 본 발명의 제2 실시예에 따르는 전자 소자이다.

도 6는 본 발명의 제3 실시예에 따르는 전자 소자이다.

도 7는 본 발명의 제4 실시예에 따르는 전자 소자이다.

도 8 내지 도 10은, 종래 기술의 소자와 비교되는, 본 발명의 제2 실시예에 대해 측정된 결과들의 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0047]

본 발명은 n-형 Ru-도핑된 InP를 포함하는 p-n 전류 블로킹 구조를 제공한다. Ru-InP는, 원칙적으로는 n-형 도

핑된 InP를 형성하기 위한 어떠한 기술도 이용될 수 있으나, 바람직하게는 IPCPRu와 IBCPRu와 같은, 새로운 고 증기압 전구체(novel high vapour pressure precursor)들을 이용하여 대기압 MOVPE로 제조된다. 이러한 전구체들을 이용함으로써, 높은 농도의 Ru 주입(incorporation)이 달성될 수는 있으나, 과량의 n-형 백그라운드 도핑(residual n-type background doping)이 남게 된다. 620°C의 성장 온도와 77의 III/V(인듐에 대한 인화물) 비율을 포함하는 성장 조건에 대한 신중한 최적화를 통해, Ru-도핑된 InP의 두꺼운 레이어가 제2차 이온 질량 분석을 이용하여 측정할 때 약 $1e18\text{Cm}^{-3}$ 의 Ru 농도 레벨(concentration level)을 가지고 성장될 수 있는 뛰어난 모르폴로지(morphology)를 제공하는 레이어로 성장시키는 것이 가능해 진다. 이하의 설명에서, 본 발명의 실시예들은 도면을 참조하여 설명될 것이다. 이하의 실시예들은 본 발명이 어떠한 방법으로 실현될 수 있는지를 보여주기 위한 하나의 예시일 뿐이며, 본 발명의 범위를 한정하기 위한 것으로 의도되지 않는다.

[0048] (제1 실시예)

[0049] 본 발명의 제1 실시예는, 도 3에 도시된 소자 구조와 동일한 단면을 포함하는 광전자 소자로서, 도 4에 도시된다. 본 실시예를 포함한 다른 실시예들 모두 광전자 소자에 관한 것이나, 본 발명의 소자에는 전류 블록킹 구조를 필요로 하는 어떠한 전자 소자도 포함될 수 있다.

[0050] 제1 실시예에서는, 소자가 기판 위에 성장된다. 기판(101)은 바람직하게는, 높은 n-캐리어 전도성을 제공하기 위해, 일반적으로 황(S, sulphur), 실리콘(Si, silicon), 또는 주석(Sn, tin)으로 도핑된 InP와 같은 n-형 반도체 재료로 구성된다. 기판(101) 위에서는 InP의 n-형 버퍼 레이어(102)가 에피택셜하게(epitaxially) 성장된다. 레이어(102)도 또한 바람직하게, 높은 전자 전도성을 제공하기 위해, S, Si 또는 Sn으로 도핑된다. 소자의 활성 영역(103)은 레이어(102) 위에 성장되고, 일반적으로 하나 이상의 반도체 재료를 포함한다. 하나 이상의 반도체 재료 레이어는 바람직하게는, 다수의 양자 우물 활성 레이어를 형성하는 InGaAsP, InGaAs, InAlGaAs 또는 이러한 재료들의 조합으로 구성된 다수의 레이어 중의 어느 하나로서 구성된다. 이러한 활성 영역(103) 또는 활성 레이어 스택은 대체로 도핑되지 않고, 최종 소자는 개별의 격리 헤테로 구조 레이어(separate confinement heterostructure layer)에 의해 둘러싸인다.

[0051] 활성 레이어(103)는, 적어도 레이어(102) 및 레이어(103)와 p-n 헤테로 접합을 형성하는 p-형 반도체 레이어(104)로 덮이거나 씌워진다. p-도핑된 반도체 레이어(104)는, 바람직하게는 p-도핑된 InP이고, 이때 바람직한 도펀트는 Zn이다. 레이어(104)의 상면은, 보호 재료 레이어로 덮이고, 이 보호 재료 레이어는 이후 하나 이상의 메사 스트라이프(mesa stripe)를 마스크(mask)하고 형성하기 위해 표준 리소그래픽 기술을 이용하여 패터닝된다. 마스크된 영역을 바로 둘러싸는 레이어(103)와 레이어(104)를 완전히 에칭하고, 바람직하게는 레이어(102)의 일부를 에칭하여, 직립의 메사 구조를 남기도록 에칭 과정이 이용된다. 이러한 에칭은 바람직하게는, 레이어(102)의 상면 또는 그 안에서의 에칭된 바닥 레벨로부터 레이어(104)의 가장 위까지의 메사 높이가 대략 $1.0\mu\text{m}$ 가 되도록, InP 버퍼 레이어(102)에서 또는 그 안에서 정지된다. 그러나, 원칙적으로는, 메사 높이는 $1.0\mu\text{m}$ 보다 더 크거나 더 작을 수 있다. 메사의 너비(width)는 소자의 모르폴로지와 활성 영역(103)의 디자인에 따라 변화될 수 있으나, 원칙적으로는 $1.0\mu\text{m}$ 내지 $3.0\mu\text{m}$ 이다.

[0052] 메사 구조는, 상기 메사 구조 상방의 마스크 레이어에 의해 덮이지 않는 표면 위에 성장이 이루어질 수 있는 성장 조건에서, 대기압 MOVPE와 같은 성장 기술을 이용하여 주변 재료로 매립된다. 본 실시예에서, 메사는 주변 재료에 의해 양쪽이 매립되나, 원칙적으로는 단지 메사의 한쪽만 매립될 수 있다. 일반적으로 메사를 매립하는, 주변 재료는 하나 이상의 반도체 재료를 포함하나, 소자 설계에 대한 필요에 따라 금속 및 유전체와 같은 다른 재료들 또한 포함할 수 있다. 이러한 성장을 재성장(re-growth)이라고 한다.

[0053] 전류 블록킹 구조가 일반적으로 한쪽에서 만으로도 가능하지만, 본 재성장에서는, 메사의 양쪽에 형성된다. 전류 블록킹 구조의 첫 번째 성장 레이어는 제1의 p-형 반도체 재료 레이어(105)이다. 레이어(105)가 성장하여 웨이퍼(wafer)의 에칭된 표면 및 메사의 측벽(mesa side wall)과 밀접하게 접하여 접촉하고, 이들 위에 연속되는 레이어를 제공한다. 레이어(105)는 일반적으로, 전형적인 두께가 $0.05\mu\text{m}$ 내지 $0.5\mu\text{m}$ 이고 도핑 농도가 $5e17\text{Cm}^{-3}$ 내지 $1e18\text{Cm}^{-3}$ 사이인 Zn-도핑된 InP로 구성되나, 원칙적으로는 어떠한 p-도핑된 반도체 재료 레이어도 포함할 수 있다. 레이어(105) 위에는, 전형적으로 $0.8\mu\text{m}$ 미만의, 바람직하게는 $0.1\mu\text{m}$ 이상 $0.8\mu\text{m}$ 이하, 더 바람직하게는 $0.1\mu\text{m}$ 이상 $0.6\mu\text{m}$ 이하, 더더욱 바람직하게는 $0.1\mu\text{m}$ 이상 $0.4\mu\text{m}$ 이하의 두께를 가지는 n-형 Ru-도핑된 InP를 포함하는, 제1의 n-형 반도체 재료 레이어(117)가 성장된다. 0.2, 0.3, 0.5, 0.6 및 $0.7\mu\text{m}$ 과 같이, $0.8\mu\text{m}$ 보다 더 얇은 두께를 가지는 Ru-InP 또한 이용될 수 있다. 레이어(117)는, 바람직하게는

$5e17\text{Cm}^{-3}$ 내지 $2e18\text{Cm}^{-3}$ 의 Ru 도핑 농도를 포함하고, 또한 양호한 모르폴로지 및 전형적으로 Ru 농도의 1% 내지 10% 사이의 양호한 백그라운드 n 도핑 농도를 제공하도록, 최적화된 조건 아래에서 성장된다. 이를 달성하기 위해 필요한 전형적인 성장 조건으로는, 620°C 의 성장 온도, 시간당 $1.0\mu\text{m}$ 의 성장 속도, 및 77의 V/III(인듐에 대한 인화물) 비율이 있다. 레이어(105)와 레이어(117)는, 활성 레이어(103)와의 헤테로 접합이 정방향 바이어스인 경우에, 역방향 바이어스 접합으로서 작용하는데 이용되는 전류 블록킹 p-n 접합을 형성한다.

[0054] 레이어(105)와 레이어(117)가 적층된 후에, p-형 반도체 재료의 추가적인 레이어(118)가 선택적으로 레이어(117) 위에서 성장될 수 있다. 이러한 선택적인 레이어는 바람직하게는, 전형적으로 $0.05\mu\text{m}$ 내지 $0.1\mu\text{m}$ 의 두께와 $5e17\text{Cm}^{-3}$ 내지 $1e18\text{Cm}^{-3}$ 의 도핑 농도를 가지는 Zn-도핑된 InP를 포함하나, 원칙적으로는 어떠한 p-도핑된 반도체 재료 레이어도 포함할 수 있다. 메사를 덮는 마스크 레이어는 제거되고, 메사와 제1차 재성장의 레이어를 덮는 p-형 재료의 제2차 재성장이 수행된다. 제2차 재성장은 바람직하게는 도핑된 InP 클래딩 레이어(107)이다.

[0055] 전형적으로 InGaAs 또는 InGaAsP로 구성되는, 고농도로(highly) 도핑된 p-형 컨택 레이어(108)가 레이어(107) 위에 적층된다. p-형 컨택 레이어(108)는 바람직하게는, 메사를 통해 전류가 흐르게 하고 메사로부터의 전류가 분산되는 것을 제한하기 위해, 메사 위에 적어도 일부가 중첩된(super imposed) 패턴으로, 리소그래피 기법을 통해 형성된다. 패터닝된 레이어(108)을 둘러싸는 영역은, 실리카 또는 실리콘 질화물과 같은 비-전도 유전체 재료(non-conducting dielectric material)의 마스크 레이어(109)를, 레이어(107)의 노출된 상부면 위에 및 레이어(108) 위의 적어도 일부에 적층시킴으로써, '보호막이 씌워'진다(passivated). 바람직하게는 하나 이상의 금속으로 구성된 전도(conducting) 컨택 레이어(110)가, 레이어(108) 및 레이어(109) 위에 적층되어 전기적 컨택을 제공한다. 컨택 레이어(110)를 위한 금속은, 바람직하게는 TiPtAu이다.

[0056] 전류 블록킹 레이어 구조의 전체 두께는, 제2차 재성장으로 그 위에 적층이 이루어지는 상대적인 평평한 모르폴로지를 제공하기 위해, 바람직하게는 메사의 높이에서 $\pm 0.5\mu\text{m}$ 의 범위 내의 값과 같게 된다. 본 발명자들은, 전류 블록킹 레이어의 n-형 Ru-InP가 종래 기술에서 이전부터 예상하였던 것보다 더 얇게 될 수 있으나, 사이리스터 파괴를 막기 위해서는 여전히 높은 온도에서의 전류 블록킹이 필요하다는 점에 기인하여, 메사를 둘러싸는 구조의 전체적인 두께를 부적절한 범위로 증가시킴이 없이도 추가된 기능성을 제공하도록, 추가적인 레이어가 이용될 수 있다는 것을 발견하였다.

[0057] 전류 블록킹 구조는 원칙적으로, 메사 구조와는 별개로, 그 자체로 형성될 수 있다. 메사는 원칙적으로, n-형 반도체 재료 레이어와 p-형 반도체 재료 레이어를 포함하는 어떠한 p-n 접합도 포함할 수 있다.

[0058] (제2 실시예)

[0059] 본 발명의 제2 실시예는, 이하 설명된 부가적인 특징들과 함께, 본 발명의 제1 실시예에 기초한다.

[0060] n-형 Ru-InP 레이어가 예컨대 $0.1\mu\text{m}$ 이하의 굉장히 얇은 두께를 가지고도 사이리스터 파괴를 막을 수 있기 때문에, 하나 이상의 n-형 반도체 레이어(116, 116a)가, p-n 전류 블록킹 구조를 얇게 하기 위해, 전류 블록킹 구조에 결합될 수 있다. 하나 이상의 다른 n-형 레이어로 전류 블록킹 구조를 얇게 하는 것은, 소자의 전류 블록킹을 향상시키고, 다른 n-형 재료 레이어가 Ru-InP보다 쉽게 성장하될 수도 있으므로 성장 모르폴로지 문제에 더 이상 직면하지 않게 되는 장점 또한 존재한다. 제2 실시예에서도, Ru-InP 레이어가 $0.6\mu\text{m}$ 또는 $0.8\mu\text{m}$ 보다 더 두꺼운 두께를 가지는 것을 또한 생각할 수 있다.

[0061] 도 5는 본 발명의 제2 실시예에 따르는 소자의 단면을 도시한다. 메사의 제조 과정은 제1 실시예에서 설명된 것과 동일하기 때문에, 여기서는 상세하게 설명되지 않을 것이다. 메사가 형성되고 에칭된 후에, 제1의 재성장이 다시 수행된다. 본 재성장에서 제1 레이어(105)가 성장되어서, 메사의 측면 및 에칭된 표면과 밀접하게 접하여 접촉하고 그들 위에 연속하는 레이어를 제공한다. 본 실시예에서의 레이어(105)는, 바람직하게는, $0.05\mu\text{m}$ 내지 $0.5\mu\text{m}$ 의 전형적인 두께와 $5e17\text{Cm}^{-3}$ 내지 $1e18\text{Cm}^{-3}$ 의 도핑 농도를 가지는 Zn-도핑된 InP를 포함한다.

[0062] 레이어(105) 위에, n-형 반도체의 레이어(116), 바람직하게는 n-형 InP가, S와 같은, 그러나 이에 한정되지는 않는, 일반적인 도펀트 소스 재료를 이용하여 성장된다. 본 레이어는, 전형적으로, $0.1\mu\text{m}$ 내지 $0.2\mu\text{m}$ 의 두께를 가지고, $1e18\text{Cm}^{-3}$ 내지 $2e18\text{Cm}^{-3}$ 의 농도로 도핑된다. 레이어(105) 위에서는, 이전의 제1 실시예에서 설명된, 대략 $0.1\mu\text{m}$ 내지 $0.4\mu\text{m}$ 의 바람직한 두께를 가지고 $5e17\text{Cm}^{-3}$ 내지 $1e18\text{Cm}^{-3}$ 의 바람직한 Ru 도핑 농도를 가지는

Ru-도핑된 InP의 레이어(117)가 성장된다. 본 레이어(117)는, 바람직하게, 또한 양호한 모르폴로지와 1% 내지 10% 사이의 백그라운드 n 도핑 농도를 제공하기 위해 최적화되는 조건에서 성장한다. 이를 달성하기 위해 필요한 전형적인 성장 조건은, 620°C의 성장 온도, 시간당 1.0 μm의 성장 속도, 및 77의 V/III(인듐에 대한 인) 비율이 있다. 레이어(117) 위에는, 선택적으로 n-도핑된 InP와 같은 n-형 반도체 재료의 제2 레이어(116a)가 성장된다. 도 5에서 도시된 실시예의 레이어(116)와 레이어(116a)는, 레이어(117)를 사이에 두고 이것과 접하고 있다.

[0063] 레이어(116a)는 전형적으로, S와 같은, 그러나 이에 한정되지는 않는 일반적인 도펀트 소스를 이용하여 성장된다. 레이어(116a)는, 0.1 μm 내지 0.2 μm의 전형적인 두께를 포함하고, 바람직하게 1e18Cm⁻³ 내지 2e18Cm⁻³의 농도의 도핑을 포함한다. 최종적으로, p-형 반도체 재료의 임의의 얇은 레이어(118)가, 제1차 재성장을 완료하기 위해, 레이어(117) 또는 레이어(116a) 위에 선택적으로 성장된다. 이러한 레이어(118)는 바람직하게는, Zn-도핑된 InP를 포함하고, 전형적으로 0.05 μm 내지 0.1 μm의 두께를 포함하며, 5e17Cm⁻³ 내지 1e18Cm⁻³의 바람직한 도핑 농도를 가진다. 마스크 레이어가 제거되고, 레이어(107, 108, 109, 110)가 제1 실시예에서 설명된 것과 같이 형성된다.

[0064] 제2 실시예의 변형예에는, 레이어(116)와 레이어(117)의 두께의 감소와, 복수 개의 높고 낮은 이동도의 n-형 레이어(120)를 형성하도록 레이어(116a)의 성장에 앞서 이러한 레이어들의 성장을 반복하는 것이 있다. 바람직한 레이어(116)와 레이어(117)는, 서로 접하면서 교대로 구성되어 샌드위치 구조로 되는 것이다. 레이어(116a)는, 구조로부터 제거되어도 전류 블록킹 성능에 대한 중대한 영향은 없다.

[0065] 본 발명의 제2 실시예에 따르는 레이저 소자는, 0.1 μm 두께의 n-형 Ru-도핑된 InP의 레이어(117), 0.15 μm 두께의 n-형 S-도핑된 InP의 레이어(116), 0.15 μm 두께의 n-형 S-도핑된 InP의 레이어(116a), 및 0.5 μm 두께의 Zn-도핑된 InP의 레이어(105)를 가지고 제조되었다. 레이어(118)는 생략되었다. 이 소자는, 소자의 온도를 상수로 유지하고 주입 전류를 증가시키면서 측정되었다. 출력 광은, 파워 미터를 이용하여 각각의 전류 레벨에 대해 측정되었다. 도 8, 도 9 및 도 10은, 온도가 30, 70, 및 90° C인 각각의 소자에 대한 결과의 그래프를 도시한다. 각 그래프에서의 x축은 mA 단위의 주입 전류인 한편, 각 그래프에서의 y축은 관련 유닛의 파워 미터로부터의 출력 광 파워이다. 종래 기술의 소자들 또한, 도 5의 레이어(116), 레이어(117) 및 레이어(116a) 대신에 단일의 0.4 μm 두께의 n-형 S-도핑된 InP의 레이어로 하고, 레이어(118)는 생략된 것으로서, 도 1에 도시된 소자와 같이 만들어졌다. 이러한 '종래 기술'의 소자들 또한 상기 설명된 것과 같은 방법으로 측정되었다.

[0066] 도 8 내지 도 10의 그래프 상의 더 두꺼운 결과 선은 제2 실시예에 대한 결과(Ru-InP로 이름 붙여진)인 반면에, 그래프 상의 더 얇은 결과 선은 '종래 기술'의 결과이다. 도 8 내지 도 10의 모든 그래프에서, 'Ru-InP' 소자에 대한 레이저를 발산하는(lasing) 임계 전류는, 모든 측정된 온도에서, '종래 기술'의 소자보다 더 낮다. 더 낮은 임계 전류는, 'RU-InP' 소자의 n-형 Ru-도핑된 InP의 얇은 0.1 μm의 레이어의 결합이, 30°C와 같은 낮은 동작 온도에서도, 종래 기술의 소자보다 향상된 누설 전류 블록킹을 제공한다는 것을 나타낸다.

[0067] 높은 온도에서 Ru-InP 소자의 특히 더 향상된 성능이 도 9 내지 도 10에서 도시된다. Ru-InP 소자는, 비록 전술된 것과 같이 일부 향상된 사항이 30°C에서도 분명히 나타나지만(도 8을 참조), 여기에 주어진 주입 전류에 대해서도, 종래 기술의 소자에 비교되는 현저히 더 높은 값의 광 출력 파워를 보여준다. 도 10에서, 150mA의 전류에서의 Ru-InP 소자의 출력 파워는, 종래 기술의 소자의 출력 파워보다 약 두 배에 달하고 있다. 도 8 내지 도 10에서, Ru-InP 소자 또한, 70 및 90°C의 높은 온도에서의 Ru-도핑된 소자의 감소된 누설 전류를 나타내는 것을 추가로 보여주는 전류의 증가를 가지면서도, 출력 파워 또한 감소시키지 않는다.

[0068] (제3 실시예)

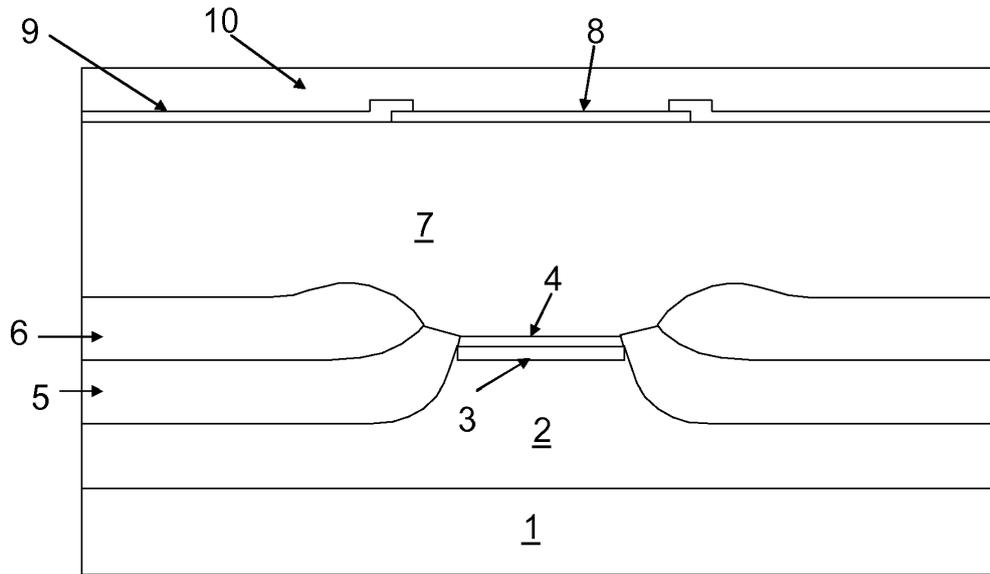
[0069] 본 발명의 제3 실시예는, 이하에서 설명되는 부가적인 특징들과 함께, 본 발명의 제1 실시예와 제2 실시예에 기초한다. 도 6은 본 발명의 제3 실시예에 따르는 소자 구조의 단면을 도시한다. 본 실시예는, 제1 실시예 및 제2 실시예와 동일하면서, 정방향 바이어스된 경우에, 소자의 정전 용량을 감소시키기 위한, 도핑되지 않은 진성의 반도체 재료(intrinsic semiconductor material)의 레이어(119)를 더 포함한다. 따라서, 본 발명의 제3 실시예는, 사용시 10Gbit/s와 같은 데이터 속도에서 직접 변조될 수 있는 소자를 제공한다. 진성의 반도체 레이어(119)의 기능은, 전류 블록킹 구조 내에서 n 레이어 구성부(120)와 p 레이어/레이어들(105)를 물리적으로 분리시켜서, 전류 블록킹 구조의 전류 블록킹 p-n 접합의 너비를 증가시키는 것이다.

- [0070] 메사 제조 과정은, 제1 실시예에서 설명된 과정과 동일하므로, 여기서는 상세하게 설명되지 않을 것이다. 레이 어(105) 위에는, 0.1 μm 내지 0.5 μm 의 바람직한 두께를 가진 InP와 같은, 도핑되지 않은 반도체 또는 진성의 반도체의 레이어(119)가 성장된다. 원칙적으로는, 진성 반도체의/도핑되지 않은 재료의 하나 이상의 레이어가 성장할 수 있다. 레이어(119) 위에는, 적어도 하나의 n-형 레이어가 제1 실시예 및 제2 실시예에서 앞서 설명된 것과 같은 Ru-InP가 되는, n-형 반도체 재료의 하나 이상의 레이어를 포함하는 구성부(120)가 성장된다. 본 구성부(120)는, '낮은 이동도 구성부'로 지칭될 수 있고, 바람직하게는, 낮은 이동도의 n-도핑된 Ru-InP의 단일 레이어 또는, 제2 실시예에서 설명된 바와 같이, 적어도 하나의 레이어는 얇은 두께의 낮은 이동도의 n-도핑된 Ru-InP 레이어가 되고, 적어도 하나의 레이어가 S와 같은, 그러나 이에 한정되지는 않는, 일반적인 도펀트를 이용하여 성장한 얇은 두께의 높은 이동도의 n-도핑된 InP 레이어인 복수의 레이어 중 어느 하나를 포함한다. 구성(120)의 전체적인 두께는, 일반적으로 0.1 μm 내지 0.8 μm 의 두께이다. 그러나, 제3 실시예에서, Ru-InP 레이어/레이어들이 0.6 μm 또는 0.8 μm 보다 더 큰 두께로 이루어질 수 있다는 것 또한 생각할 수 있다. 전술한 두 실시예들과 동일하게, 선택적으로 p-도핑된 반도체 재료의 레이어(118), 바람직하게는 Zn-도핑된 InP가, 레이어(120)의 상면에 성장되어 재성장을 완료시킬 수 있다.
- [0071] 위에 설명된 제3 실시예는, 반도체 레이어 또는 반도체 광 증폭기(SOA)와 같은 낮은 임피던스(impedance)로 정방향 바이어스된 소자의 제조에 적합하다. 그러나, 메사의 측면과 접하고 접촉된 도 4 내지 도 6에서의 p-도핑된 InP 레이어(105)를 사용하는 것은, 전계-흡수 모듈레이터(electro-absorption modulator, EAM) 또는 도파관(waveguide) 포토다이오드(photodiode, PD)와 같이 높은 임피던스로 역방향 바이어스된 소자의 높은 정전 용량을 야기한다. 활성 레이어/레이어들(103)에 대한 레이어(105)의 상대적인 위치는, 전류 블록킹 구조가 오직 정방향 바이어스된 소자에 대해서만 동작할 것이기 때문에, 정방향 바이어스된 소자와 역방향 바이어스된 소자를 모두 결합하여, 모놀리스하게(monolithically) 집적된 소자에서의 제3 실시예의 유용성 또한 제한한다. 모놀리스하게 집적된 소자는, (정방향 바이어스된) 레이저 또는 SOA와, 모놀리스하게 집적된 광자 소자(photonic device)의 EAM 또는 PD와 같은 역방향 바이어스된 소자를 포함할 수 있다. 그러한 모놀리스한 소자의 일 예시로는, 집적된 레이저 모듈레이터가 있다.
- [0072] (제4 실시예)
- [0073] 본 발명의 제4 실시예는, 이하에서 설명되는 부가적인 특징들과 함께, 본 발명의 제1, 제2, 및 제3 실시예에 기초한다.
- [0074] 도 7은, 하나의 칩 내에 정방향 바이어스된 소자와 역방향 바이어스된 소자를 모두 포함하는 집적된 소자뿐만 아니라 정방향 바이어스된 소자와 역방향 바이어스된 소자의 이용에 적합한 전류 블록킹 구조를 포함하는, 본 발명의 제4 실시예에 따르는 소자의 단면을 도시한다.
- [0075] 다시 한번 말하지만, 웨이퍼 성장과 메사 형성 과정은, 불연속 반도체 레이어, SOA, EAM 또는 PD와 같은 단일 바이어스 소자에 대한 이전의 실시예에서 다시 설명된 것과 같다. 모놀리스 칩(monolithic chip)을 위해서는, 소자의 정방향 바이어스된 부분과 역방향 바이어스된 부분 모두에 대해 소자 구조를 최적화시키기 위해 결합되기 위한 부가적인 단계가 필요할 수 있다. 그러한 변형에는, 양자 우물 혼합(quantum well intermixing) 또는 버트 결합 재성장(butt coupled regrowth)를 포함하나, 이에 한정되지는 않는다.
- [0076] 본 실시예에서는, 제1의 재성장에서 성장되는 제1 레이어(119a)가, InP와 같은 도핑되지 않은 또는 진성의 반도체의 레이어가 된다. 레이어(119a)는 밀접하게 접촉하고 웨이퍼의 에칭된 표면 및 메사의 측면과 이들 위로 연속되는 레이어를 제공한다. 레이어(119a)의 두께는 일반적으로 0.1 μm 내지 0.5 μm 사이가 된다. 레이어(119a) 위에는, Zn-도핑된 InP와 같은 p-형 반도체 재료의 레이어(105a)가 성장된다. 레이어(105a)는 0.05 μm 내지 0.5 μm 의 전형적인 두께와 $5 \times 10^{17} \text{cm}^{-3}$ 내지 $1 \times 10^{18} \text{cm}^{-3}$ 의 바람직한 도핑 농도를 가지나, 원칙적으로는 어떠한 적합한 두께와 도핑 농도도 가질 수 있다. 레이어(105a) 위에는, 제2 실시예와 제3 실시예에서 설명된 것과 같은, 낮은 이동도 구성부(120) 또는 n-형 Ru-도핑된 InP의 단일 레이어가 성장한다. 제4 실시예에서, Ru-InP 레이어/들이 0.6 μm 또는 0.8 μm 보다 더 두꺼운 두께일 수도 있다는 것도 생각할 수 있다.
- [0077] 상기 모든 실시예들의 레이어는, 당해 기술분야에서 통상의 지식을 가진 자가 일반적으로 이용 가능한 다른 기술 및 과정을 이용하여 형성될 수도 있다. 나아가, 본 출원에서 형성된 레이어의 또는 레이어에 의해 설명된 순서 및 방법은, 오직 원칙적으로 다른 과정 및 순서로 또는 그에 의해 형성될 수 있는 본 발명의 전류 블록킹 구조를 가지는 소자를 형성하는 바람직한 실시예로서 제시되는 것이다. p-도핑된 반도체 레이어(105, 105a,

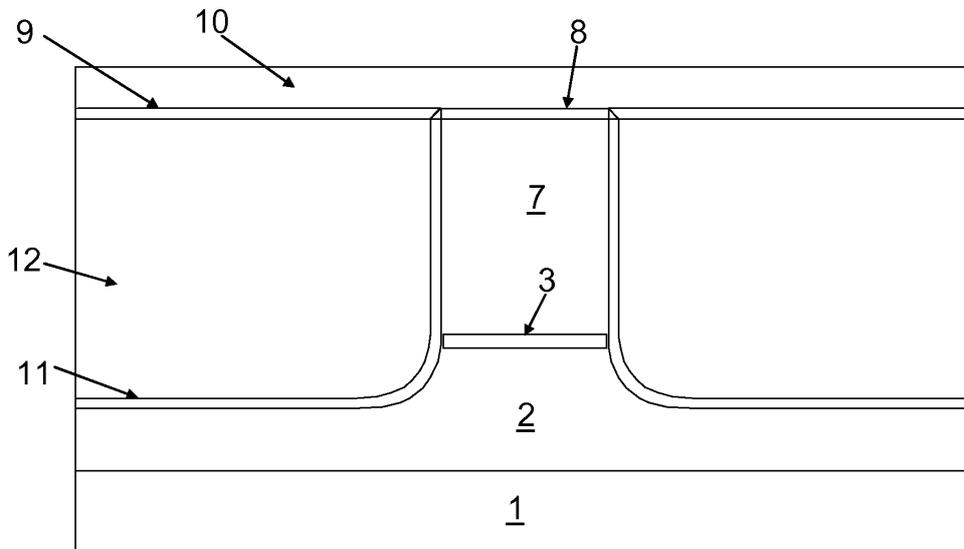
118)는, p-도핑된 재료의 하나 이상의 동일한 또는 상이한 레이어를 포함할 수 있다.

도면

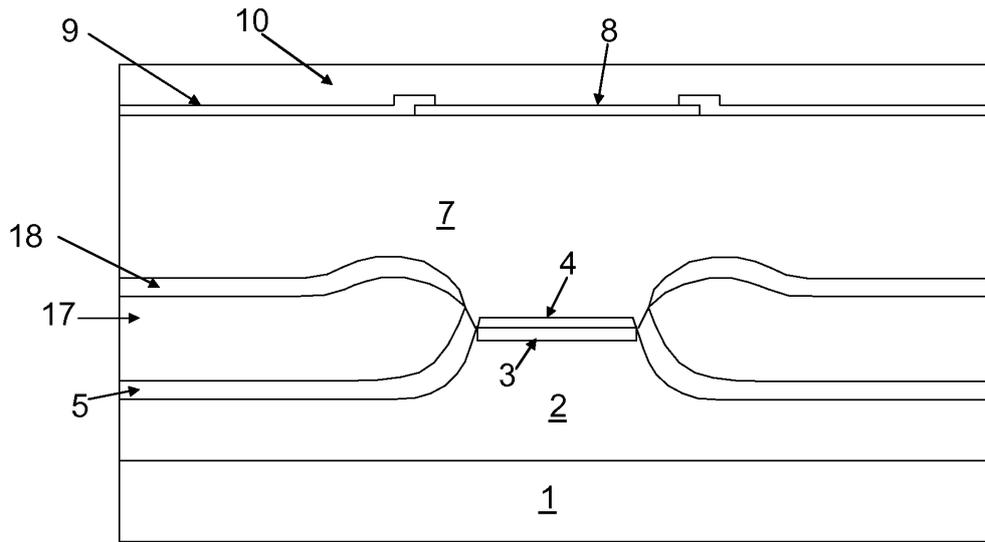
도면1



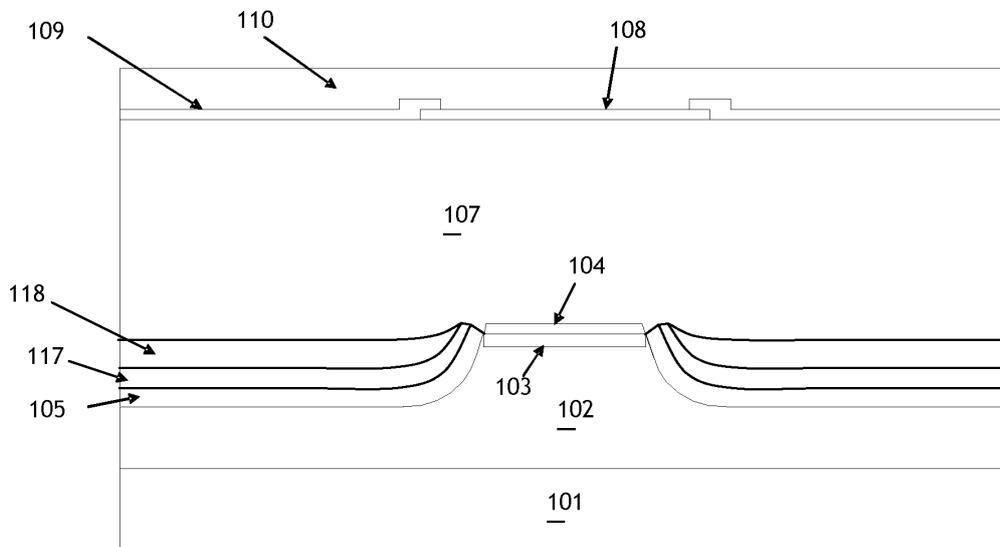
도면2



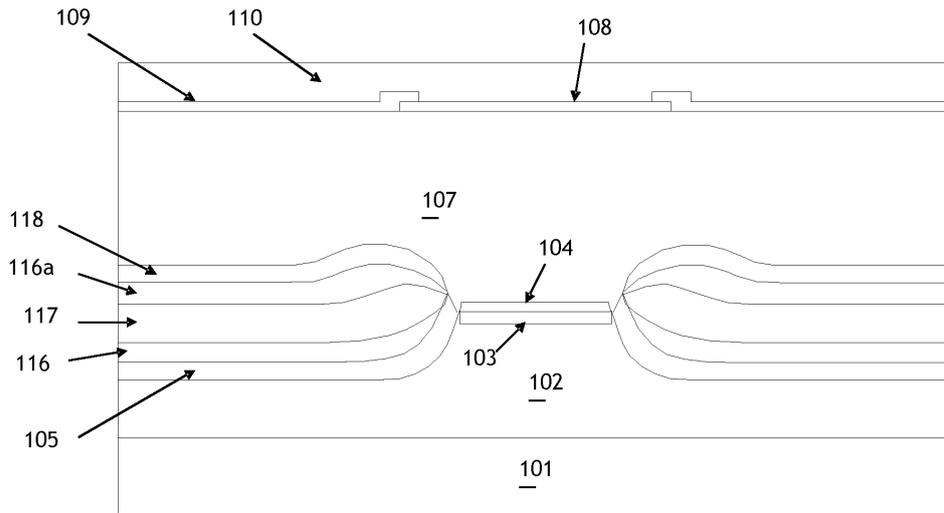
도면3



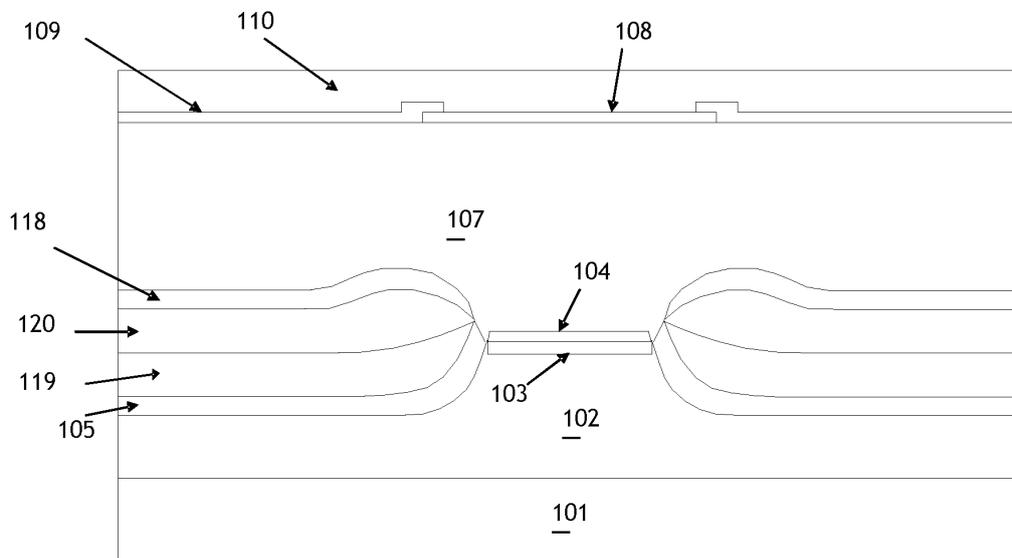
도면4



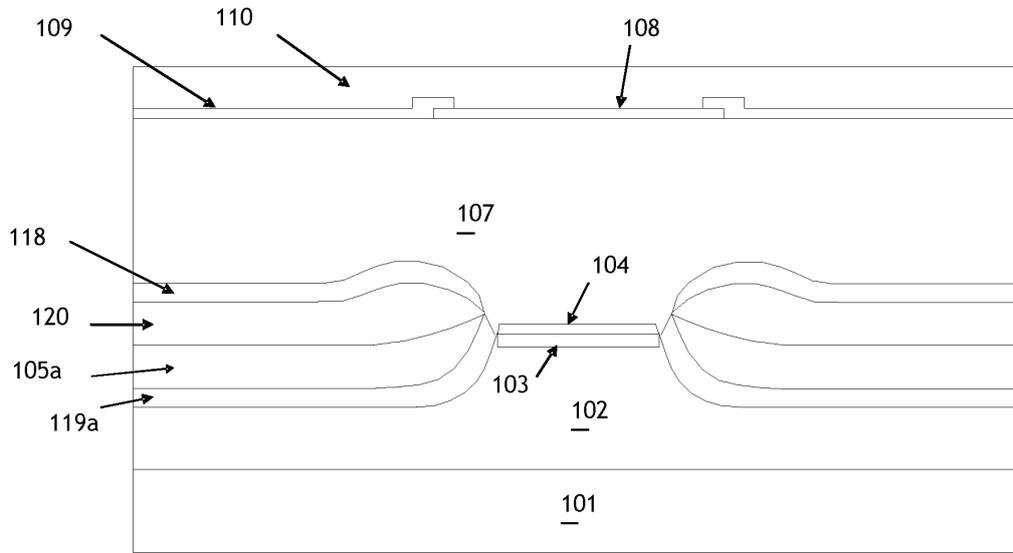
도면5



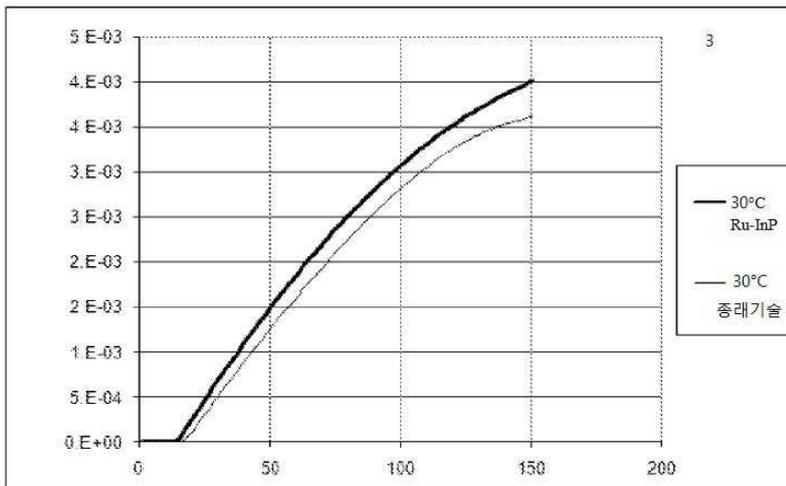
도면6



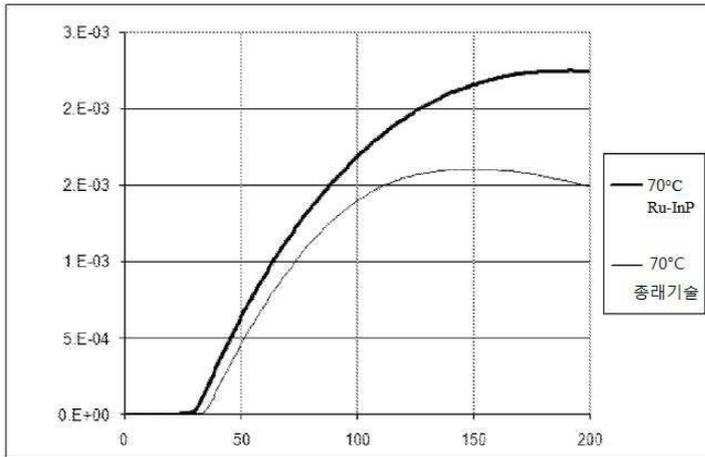
도면7



도면8



도면9



도면10

