

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶ H01L 27/10	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년12월02일 10-0532941 2005년11월25일
--	-------------------------------------	--

(21) 출원번호	10-1999-0023178	(65) 공개번호	10-2001-0003047
(22) 출원일자	1999년06월21일	(43) 공개일자	2001년01월15일

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 강태진
 경기도성남시수정구태평1동5979번지2층

 김재영
 경기도이천시대월면사동리현대전자사원아파트105동401호

 윤종원
 경기도이천시부발읍신원리558-38동서아파트304호

(74) 대리인 강성배

심사관 : 정병홍

(54) 반도체 소자의 제조방법

요약

본 발명은 비트라인이 형성되지 않는 부분의 워드라인 사이의 단차발생을 방지함과 동시에 콘택홀에서의 보이드 발생을 방지하여 고집적화에 대응할 수 있는 소자의 특성 및 신뢰성을 향상시킬 수 있는 반도체 소자의 제조방법을 제공한다.

본 발명에 따라 측벽에 스페이서가 구비된 다수개의 워드라인이 형성되고, 비트라인 예정영역의 상기 일부 워드라인 사이에는 랜딩 플러그 폴리실리콘막이 형성되고 다른 워드라인 사이에는 제 1 절연막이 형성되며, 제 1 절연막의 표면에 소정의 단차가 구비된 반도체 기판을 제공한다. 그런 다음, 기판 전면에 제 2 절연막을 형성하고, 랜딩 플러그 폴리실리콘막의 표면이 노출되도록 상기 제 2 절연막을 식각하여 비트라인용 콘택홀을 형성한 후, 콘택홀에 매립되도록 상기 제 2 절연막 상에 비트라인용 폴리실리콘막을 형성한다. 그리고 나서, 폴리실리콘막을 전면 식각하여 표면을 평탄화하고, 전면식각된 폴리실리콘막 상부에 금속 실리사이드막을 형성한다. 그런 다음, 금속 실리사이드막 상부에 마스크 산화막을 형성하고, 마스크 산화막을 식각 마스크로하여 상기 금속 실리사이드막 및 폴리실리콘막을 식각하여 비트라인을 형성한다. 본 실시예에서, 비트라인용 폴리실리콘막은 1,500 내지 2,500Å의 두께로 형성하고, 전면식각시 폴리실리콘막이 800 내지 1,000Å의 두께만큼 남도록 한다.

대표도

도 5e

명세서

도면의 간단한 설명

- 도 1은 일반적인 워드라인과 비트라인의 레이아웃을 나타낸 평면도.
- 도 2는 종래의 반도체 소자의 비트라인 형성방법을 설명하기 위한 단면도.
- 도 3a 및 도 3b는 종래의 비트라인 형성시 발생하는 잔류물을 나타낸 평면도 및 단면도.
- 도 4는 종래의 비트라인 형성시 발생하는 보이드를 나타낸 단면도.
- 도 5a 내지 도 5f는 본 발명의 실시예에 따른 반도체 소자의 비트라인 형성방법을 설명하기 위한 단면도.

(도면의 주요부분에 대한 부호의 설명)

- 30 : 반도체 기판 31 : 스페이서
- 32 : 랜딩 플러그 폴리실리콘막
- 33A, 33B : 제 1 및 제 2 절연막
- 34, 34A : 폴리실리콘막
- 35, 35A : 텅스텐 실리사이드막
- 36A : 마스크 산화막 37A : 감광막 패턴
- WL1, WL2, WL3, WL4 : 워드라인
- BL1, BL2, BL3, BL4 : 비트라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 반도체 소자의 비트라인 형성방법에 관한 것이다.

일반적으로, 비트라인의 저항을 감소시키기 위하여, 비트라인을 폴리실리콘막과 텅스텐 실리사이드막과 같은 금속실리사이드막의 적층구조로 이루어진 폴리사이드 구조로 형성한다.

도 1은 일반적인 워드라인과 비트라인의 레이아웃을 나타낸 평면도로서, 도 1에 도시된 바와 같이, 반도체 기판(10) 상에 다수개의 워드라인(WL1, WL2, WL3, WL4)과 다수개의 비트라인(BL1, BL2, BL3)이 매트릭스 형태로 배열된다.

도 2는 도 1의 A-A' 선에 따른 단면도로서, 도 2를 참조하여 종래의 폴리사이드 구조의 비트라인 형성방법을 설명한다.

도 2를 참조하면, 반도체 기판(10) 상에 다수개의 워드라인(WL1, WL2, WL3, WL4)을 형성하고, 워드라인(WL1, WL2, WL3, WL4)의 측벽에 스페이서(11)를 각각 형성한다. 그런 다음, 기판 전면에 제 1 절연막(13A)을 증착하고 비트라인이 형성되는 워드라인(WL3, WL4) 사이의 기판이 노출되도록 식각하여 랜딩 플러그용 콘택홀을 형성한다. 상기 콘택홀에 매립되도록 폴리실리콘막을 증착하고, 워드라인 (WL3, WL4)과의 절연을 위하여 워드라인(WL3, WL4)이 노출되도록 화학

기계연마 (Chemical Mechanical Polishing; CMP)로 폴리실리콘막 및 제 1 절연막(13A)를 전면 식각하여 랜딩 플러그 (landing plug) 폴리실리콘막(12)을 형성한다. 그 후, 기판 전면에 제 2 절연막(13B)을 형성하고, 랜딩 플러그 폴리실리콘막(12)이 노출되도록 제 2 절연막(13B)을 식각하여 비트라인용 콘택홀을 형성한다.

그리고 나서, 상기 콘택홀 표면 및 제 2 절연막(13B) 상에 비트라인용 폴리실리콘막(14) 및 텅스텐 실리사이드막(15)을 형성하고, 그 상부에 산화막을 증착하고 패터닝하여 마스크 산화막(16)을 형성한다. 그런 다음, 마스크 산화막(16)을 이용하여 식각 마스크로하여 텅스텐 실리사이드막(15)과 폴리실리콘막(14)을 식각하여 폴리사이드 구조의 비트라인(BL2)을 형성한다.

발명이 이루고자 하는 기술적 과제

그러나, 랜딩 플러그 폴리실리콘막 형성을 위한 CMP의 진행시 파티클이 많이 발생되기 때문에, 이러한 파티클을 제거하기 위하여 CMP의 진행 후 세정 공정이 진행되는데, 이때 비트라인이 형성되지 않는 부분의 워드라인(WL1, WL2) 사이의 제 1 절연막(13A)의 손실이 야기되어 단차가 발생되고 이러한 단차는 후속막에서도 계속유지된다.

이에 따라, 산화막 마스크(16)의 형성시 단차부분에 산화막의 잔류물이 남게되고, 이러한 잔류물을 완전히 제거하기 위하여 식각타겟(etch target)을 증가시키면 마스크 산화막(16) 형성시 사용되는 감광막(미도시)의 노칭(notching)이 발생되어 후속공정에 악영향을 미치게 된다. 또한, 이러한 산화막의 잔류물은 후속 비트라인 공정시 배리어로 작용하여, 비트라인(BL2)의 형성 후에도 도 2, 도 3a 및 도 3b에 도시된 바와 같이, 제 2 절연막(13B)의 단차부분에 비트라인 물질의 잔류물 (R)이 남게되어 비트라인 사이가 브리지가 발생된다. 또한, 이러한 잔류물(R)을 제거하기 위하여 식각타겟을 증가시켜 과도 식각하여도 완전히 제거되지 않을 뿐만 아니라, 마스크 산화막(16)의 손실이 더욱 증가되어 심하면 비트라인이 노출될 수 있어 이후에 형성될 캐패시터의 스토리지 전극과 브리지 발생확률을 증가시키게 된다.

또한, 고집적화에 따른 비트라인 콘택홀 크기의 감소로 인한 텅스텐 실리사이드막(15)의 열악한 스텝 커버리지(step coverage)에 의해, 도 2 및 도 4에 도시된 바와 같이, 보이드(V)가 발생되어 소자의 특성 및 신뢰성이 저하되는 문제가 있다.

따라서, 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 비트라인이 형성되지 않는 부분의 워드라인 사이의 제 1 절연막 상에 단차 부분에 식각 잔류물이 남는 것을 방지하여 비트라인 사이에 브리지가 발생하는 것을 방지할 수 있는 반도체 소자의 제조방법을 제공함에 있다. 본 발명의 다른 목적은 비트라인 형성시 콘택홀 내에 보이드 발생을 방지하여 소자의 특성 및 신뢰성을 향상시킬 수 있는 반도체 소자의 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명에 따라 측벽에 스페이서가 구비된 다수개의 워드라인이 형성되고, 비트라인 예정영역의 상기 일부 워드라인 사이에는 랜딩 플러그 폴리실리콘막이 형성되고 다른 워드라인 사이에는 제 1 절연막이 형성되며, 상기 제 1 절연막의 표면에 소정의 단차가 구비된 기판을 제공하는 단계; 상기 기판 전면에 상기 다수 개의 워드라인, 제 1 절연막 및 랜딩 플러그 폴리실리콘막을 덮도록 제 2 절연막을 형성하는 단계; 상기 랜딩 플러그를 상기 폴리실리콘막이 노출되도록 식각하여 비트라인용 콘택홀을 형성하는 단계; 상기 제 2 절연막 상에 상기 콘택홀을 매립하여 상기 랜딩 플러그와 접촉되도록 비트라인용 폴리실리콘막을 원하는 두께 보다 두껍게 형성하는 단계; 상기 폴리실리콘막을 원하는 두께가 되도록 전면 식각하여 표면을 평탄화하는 단계; 상기 전면식각되어 평탄화된 폴리실리콘막 상부에 금속 실리사이드막을 형성하는 단계; 상기 금속 실리사이드막 상부의 상기 랜딩 플러그와 대응하는 부분에 마스크 산화막을 형성하는 단계; 및 상기 마스크 산화막을 식각 마스크로하여 상기 금속 실리사이드막 및 폴리실리콘막을 패터닝하여 비트라인을 형성하는 단계를 포함한다.

본 실시예에서, 비트라인용 폴리실리콘막은 1,500 내지 2,500Å의 두께로 형성하고, 전면식각시 폴리실리콘막이 800 내지 1,000Å의 두께만큼 남도록 한다.

또한, 전면식각은 등방성식각이나 비등방성 식각, 또는 화학기계연마로 진행하는데, 여기서 비등방성 식각은 바이어스 파워를 0으로 하고, 압력을 50mTorr 이상으로 하고, 웨이퍼와 챔버 최상부 거리를 5cm이상으로 조절하여 진행한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

도 5a 내지 도 5f는 본 발명의 실시예에 따른 반도체 소자의 비트라인 형성방법을 설명하기 위한 단면도로서, 도 1의 A-A' 선에 따른 단면도이다.

도 5a를 참조하면, 반도체 기판(30) 상에 다수개의 워드라인(WL1, WL2, WL3, WL4)을 형성하고, 워드라인(WL1, WL2, WL3, WL4)의 측벽에 스페이서(31)를 각각 형성한다. 그런 다음, 기판 전면에 제 1 절연막(33A)을 증착하고 비트라인이 형성되는 워드라인(WL3, WL4) 사이의 기판이 노출되도록 식각하여 랜딩 플러그용 콘택홀을 형성한다. 상기 콘택홀에 매립되도록 폴리실리콘막을 증착하고, 워드라인 (WL3, WL4)과의 절연을 위하여 워드라인(WL3, WL4)이 노출되도록 CMP로 폴리실리콘막 및 제 1 절연막(33A)를 전면 식각하여 랜딩 플러그 폴리실리콘막(32)을 형성한다.

그런 다음, CMP의 진행시 발생된 파티클등을 제거하기 위하여 세정공정을 진행하는데, 이때 제 1 절연막(33A)의 손실로 인하여 도 5a에 도시된 바와 같이, 워드라인(WL1, WL2) 사이에 단차가 발생된다. 그리고 나서, 기판 전면에 제 2 절연막(33B)을 형성하고, 랜딩 플러그 폴리실리콘막(12)이 노출되도록 제 2 절연막(33B)을 식각하여 비트라인용 콘택홀을 형성한다. 이때, 워드라인(WL1, WL2) 사이의 제 2 절연막(33B)에서도 제 1 절연막(33A)에 의한 단차가 유지된다. 그런 다음, 상기 콘택홀에 매립되도록 제 2 절연막(33B) 상에 비트라인용 도핑된 폴리실리콘막(34)을 1,500 내지 2,500Å의 두께로 두껍게 형성한다. 이때, 비트라인용 도핑된 폴리실리콘막(34)은 두껍게 형성되므로 콘택홀을 완전히 매립하고 제 2 절연막(33B)의 단차부분도 채워 표면이 평탄해진다.

그 후, 도 5b에 도시된 바와 같이, 폴리실리콘막(34)을 800 내지 1,000Å의 두께만큼 남도록 전면식각하여 표면을 평탄화시킨다. 여기서, 전면식각은 등방성식각이나 비등방성 식각, 또는 CMP로 진행하는데, 예컨대 비등방성 식각은 바이어스 파워(bias power)를 0으로 하고, 압력을 50mTorr 이상의 고압력, 바람직하게 50 내지 100mTorr로 조절하고, 웨이퍼와 챔버 최상부 거리를 5cm이상, 바람직하게 5 내지 10cm 정도로 조절하여 진행한다.

도 5c를 참조하면, 전면식각된 폴리실리콘막(34A) 상부에 금속실리사이드막으로서 텅스텐 실리사이드막(35)을 형성한다. 이때, 폴리실리콘막(34A)에 의해 비트라인용 콘택홀이 완전히 채워지기 때문에 종래와 같은 보이드가 발생되지 않는다. 그런 다음, 도 5d에 도시된 바와 같이, 텅스텐 실리사이드막(35) 상부에 산화막(36)을 증착하고, 그 상부에 감광막(37)을 도포한다.

도 5e를 참조하면, 포토리소그래피로 감광막(37)을 노광 및 현상하여 감광막 패턴(37A)을 형성하고, 감광막 패턴(37A)을 식각 마스크로하여 텅스텐 실리사이드막(35)이 노출되도록 산화막(36)을 식각하여 마스크 산화막(36A)을 형성한다. 이때, 텅스텐 실리사이드막(35)의 노출된 표면에 마스크 산화막(36A)의 잔류물이 발생되지 않는다. 도 5f를 참조하면, 공지된 방법으로 감광막 패턴(37A)을 제거하고, 마스크 산화막(36A)을 식각 마스크로 하여 텅스텐 실리사이드막(35) 및 폴리실리콘막(34A)를 식각하여 폴리사이드 구조의 비트라인(BL2)을 형성한다. 이 때, 워드라인(WL1, WL2) 사이의 제 2 절연막(33B)에 형성된 단차 부분에 도핑된 폴리실리콘의 잔류물이 남지 않게 된다.

발명의 효과

상기한 본 발명에 의하면, 비트라인용 콘택홀을 폴리실리콘막으로 완전히 매립하고 표면을 평탄화시켜 텅스텐 실리사이드막 및 폴리실리콘막을 식각하여 비트라인을 형성하므로 이 비트라인이 형성되지 않는 워드라인 사이의 제 2 절연막에 형성된 단차 내에 잔류물 발생이 방지된다. 이에 따라, 잔류물 제거로 인하여 비트라인 사이에 브리지가 발생하는 것을 방지할 수 있다. 또한, 폴리실리콘막으로 비트라인용 콘택홀을 완전히 채우기 때문에 콘택홀 내에 보이드 발생이 효과적으로 방지된다. 따라서, 소자의 특성 및 신뢰성이 향상된다.

또한, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 요지를 벗어나지 않는 범위내에서 다양하게 변형시켜 실시할 수 있다.

(57) 청구의 범위

청구항 1.

측벽에 스페이서가 구비된 다수개의 워드라인이 형성되고, 비트라인 예정영역의 상기 일부 워드라인 사이에는 랜딩 플러그 폴리실리콘막이 형성되고 다른 워드라인 사이에는 제 1 절연막이 형성되며, 상기 제 1 절연막의 표면에 소정의 단차가 구비된 기판을 제공하는 단계;

상기 기판 전면에 상기 다수 개의 워드라인, 제 1 절연막 및 랜딩 플러그 폴리실리콘막을 덮도록 제 2 절연막을 형성하는 단계;

상기 랜딩 플러그를 상기 폴리실리콘막이 노출되도록 식각하여 비트라인용 콘택홀을 형성하는 단계;

상기 제 2 절연막 상에 상기 콘택홀을 매립하여 상기 랜딩 플러그와 접촉되도록 비트라인용 폴리실리콘막을 원하는 두께 보다 두껍게 형성하는 단계;

상기 폴리실리콘막을 원하는 두께가 되도록 전면 식각하여 표면을 평탄화하는 단계;

상기 전면식각되어 평탄화된 폴리실리콘막 상부에 금속 실리사이드막을 형성하는 단계;

상기 금속 실리사이드막 상부의 상기 랜딩 플러그와 대응하는 부분에 마스크 산화막을 형성하는 단계; 및

상기 마스크 산화막을 식각 마스크로하여 상기 금속 실리사이드막 및 폴리실리콘막을 패터닝하여 비트라인을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 비트라인용 폴리실리콘막을 1,500 내지 2,500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3.

제 2 항에 있어서, 상기 폴리실리콘막을 800 내지 1,000Å의 두께만큼 남도록 전면식각하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4.

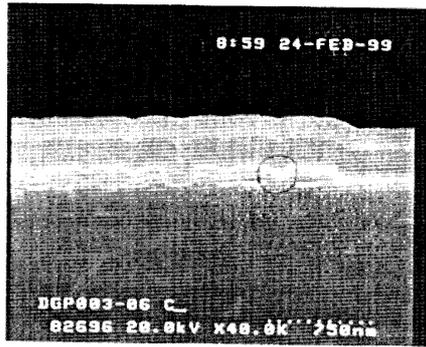
제 2 항에 있어서, 상기 전면식각은 등방성식각이나 비등방성 식각, 또는 화학기계연마로 진행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5.

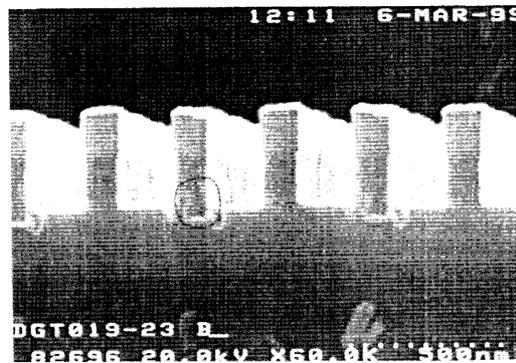
제 4 항에 있어서, 상기 비등방성 식각은 바이어스 파워를 0으로 하고, 압력을 50mTorr 이상으로 하고, 웨이퍼와 챔버 최상부 거리를 5cm 이상으로 조절하여 진행하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

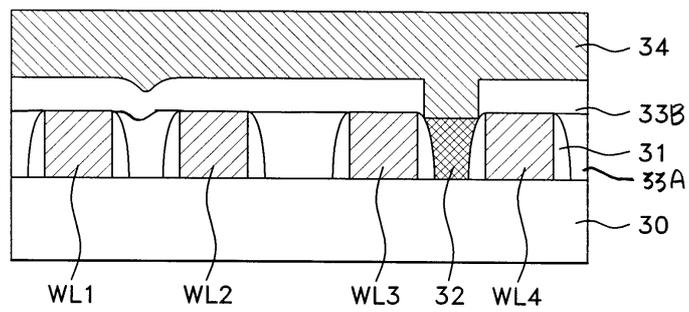
도면3b



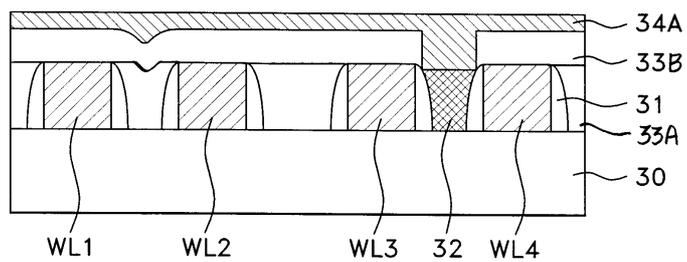
도면4



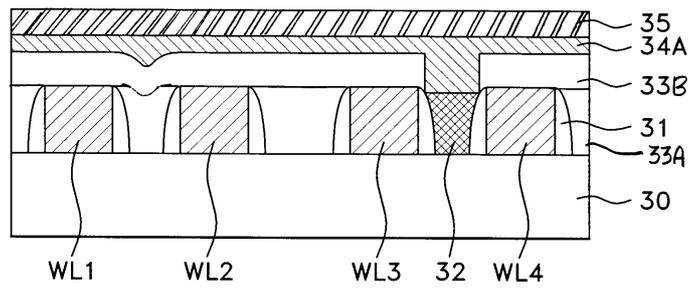
도면5a



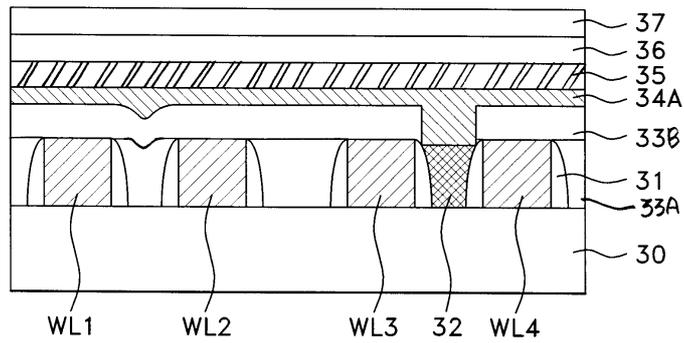
도면5b



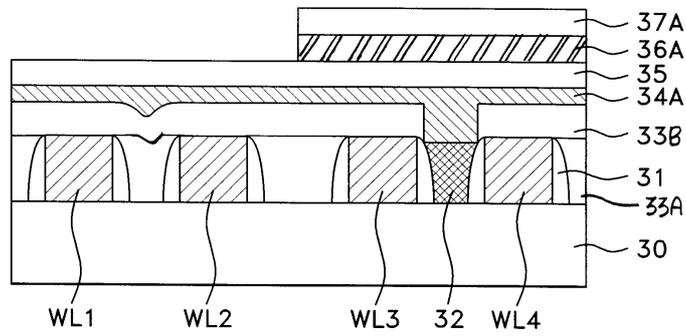
도면5c



도면5d



도면5e



도면5f

