

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7522250号
(P7522250)

(45)発行日 令和6年7月24日(2024.7.24)

(24)登録日 令和6年7月16日(2024.7.16)

(51)国際特許分類

F I

C 2 3 C 14/50 (2006.01)

C 2 3 C 14/50

A

C 2 3 C 14/54 (2006.01)

C 2 3 C 14/54

Z

H 0 1 L 21/677(2006.01)

H 0 1 L 21/68

A

H 0 1 L 21/68 (2006.01)

H 0 1 L 21/68

F

H 0 1 L 21/683(2006.01)

H 0 1 L 21/68

R

請求項の数 11 (全23頁) 最終頁に続く

(21)出願番号 特願2023-42251(P2023-42251)
(22)出願日 令和5年3月16日(2023.3.16)
(62)分割の表示 特願2021-58453(P2021-58453)の
分割
原出願日 令和3年3月30日(2021.3.30)
(65)公開番号 特開2023-80107(P2023-80107A)
(43)公開日 令和5年6月8日(2023.6.8)
審査請求日 令和5年3月16日(2023.3.16)

(73)特許権者 591065413
キャノントッキ株式会社
新潟県見附市新幸町10番1号
(74)代理人 110003281
弁理士法人大塚国際特許事務所
(72)発明者 滝沢 毅
新潟県見附市新幸町10番1号 キャノ
ントッキ株式会社内
(72)発明者 川畑 奉代
新潟県見附市新幸町10番1号 キャノ
ントッキ株式会社内
(72)発明者 河合 慈
新潟県見附市新幸町10番1号 キャノ
ントッキ株式会社内
審査官 宮崎 園子

最終頁に続く

(54)【発明の名称】 制御装置、成膜装置、スケジュール設定方法、及び電子デバイスの製造方法

(57)【特許請求の範囲】

【請求項1】

基板を吸着する静電チャックと、
前記静電チャックによる基板の吸着を検出する検出手段と、
を備えた成膜装置の制御装置であって、
前記検出手段は、基板と前記静電チャックとの間の静電容量を検出し、
前記検出手段の検出した前記静電容量に基づいて、基板を吸着するための吸着電圧が前
記静電チャックに印加されてから前記検出手段の検出した前記静電容量が所定値となるま
での時間を、前記吸着電圧が前記静電チャックに印加されてから前記基板の吸着が終了す
るまでの時間である吸着時間に関する情報として特定する特定手段と、

10

前記成膜装置の工程スケジュールを制御するスケジュール制御手段と、を備え、
前記スケジュール制御手段は、前記特定手段の特定した前記情報に基づいて、1つの基
板に対する、前記静電チャックへの前記吸着電圧の印加の開始から基板の吸着の後に行わ
れる工程の開始タイミングまでの時間を変更する、
ことを特徴とする制御装置。

【請求項2】

前記スケジュール制御手段は、前記開始タイミングを第1タイミングに設定している場
合において、前記吸着時間が所定範囲外の場合は、その後の基板の吸着の後に行われる工
程の前記開始タイミングを前記第1タイミングと異なる第2タイミングに設定する、
ことを特徴とする請求項1に記載の制御装置。

20

【請求項 3】

前記スケジュール制御手段は、前記開始タイミングを第 1 タイミングに設定している場合において、前記吸着時間が第 3 閾値以上のときは、その後の基板の吸着の後に行われる工程の前記開始タイミングを前記第 1 タイミングよりも遅く設定する、

ことを特徴とする請求項 1 に記載の制御装置。

【請求項 4】

前記スケジュール制御手段は、前記開始タイミングを第 1 タイミングに設定している場合において、前記吸着時間が第 4 閾値以下のときは、その後の基板の吸着の後に行われる工程の前記開始タイミングを前記第 1 タイミングよりも早く設定する、

ことを特徴とする請求項 1 に記載の制御装置。

10

【請求項 5】

前記スケジュール制御手段は、所定枚数の基板の前記吸着時間に基づいて、その後の基板の吸着の後に行われる工程の前記開始タイミングを設定する、

ことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の制御装置。

【請求項 6】

前記基板の吸着の後に行われる工程は、前記静電チャックに吸着された基板とマスクとのアライメントを行うアライメント工程である、

ことを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の制御装置。

【請求項 7】

前記検出手段は、前記静電チャックの複数の位置における基板の吸着を検出し、
前記スケジュール制御手段は、前記複数の位置における基板の吸着の検出結果から特定された前記吸着時間に基づいて、前記開始タイミングを変更する、

ことを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の制御装置。

20

【請求項 8】

基板を吸着する静電チャックと、

前記静電チャックによる基板の吸着を検出する検出手段と、を備え、

請求項 1 ~ 7 のいずれか 1 項に記載の制御装置に制御される、

ことを特徴とする成膜装置。

【請求項 9】

前記検出手段は、基板と前記静電チャックとの間の静電容量を検出する静電容量センサである、

ことを特徴とする請求項 8 に記載の成膜装置。

30

【請求項 10】

基板を吸着する静電チャックと、

前記静電チャックによる基板の吸着を検出する検出手段と、

を備えた成膜装置の工程スケジュールを設定するスケジュール設定方法であって、

前記検出手段は、基板と前記静電チャックとの間の静電容量を検出し、

前記検出手段の検出した前記静電容量に基づいて、基板を吸着するための吸着電圧が前記静電チャックに印加されてから前記検出手段の検出した前記静電容量が所定値となるまでの時間を、前記吸着電圧が前記静電チャックに印加されてから前記基板の吸着が終了するまでの時間である吸着時間に関する情報として特定する特定工程と、

前記成膜装置の工程スケジュールを設定するスケジュール設定工程と、を含み、

前記スケジュール設定工程は、前記特定工程で特定された前記情報に基づいて、1 つの基板に対する、前記静電チャックへの前記吸着電圧の印加の開始から、基板の吸着の後に行われる工程の開始タイミングまでの時間を変更する、

ことを特徴とするスケジュール設定方法。

40

【請求項 11】

請求項 10 に記載のスケジュール設定方法によって前記開始タイミングを設定するスケジュール設定工程と、

前記スケジュール設定工程で設定された前記開始タイミングで、前記静電チャックに吸

50

着された基板と、マスク台に載置されたマスクとのアライメントを行うアライメント工程と、

前記マスクを介して前記基板上に成膜する成膜工程と、を含む、
ことを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、制御装置、成膜装置、スケジュール設定方法、及び電子デバイスの製造方法に関する。

【背景技術】

【0002】

有機ELディスプレイパネル等の製造においては、マスクを介して基板上に蒸着物質が成膜される。成膜処理は、基板を静電チャックに吸着させた状態で行われることがある。静電チャックによる吸着においては、静電チャックに電圧を印加してから静電容量が定常値をとるまでの時間を読み取ることが知られている（例えば特許文献1、2）。また、特許文献3には、静電チャックの電極の電圧を制御する制御部が、静電容量センサで計測される静電容量の変化に応じて電圧を調整することが開示されている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開平05-036806号公報

【文献】特開2001-308164号公報

【文献】特開2016-063005号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

静電チャックによる基板の吸着が不十分な状態で成膜処理を実行すると、成膜精度が低下する場合がある。一例として、マスクに設けられている開口部の形状及び寸法の通りに成膜されない、いわゆる「膜ボケ」が発生することがある。

【0005】

本発明は、成膜精度の低下を抑制する技術を提供する。

【課題を解決するための手段】

【0006】

本発明の一側面によれば、
基板を吸着する静電チャックと、
前記静電チャックによる基板の吸着を検出する検出手段と、
を備えた成膜装置の制御装置であって、
前記検出手段は、基板と前記静電チャックとの間の静電容量を検出し、
前記検出手段の検出した前記静電容量に基づいて、基板を吸着するための吸着電圧が前記静電チャックに印加されてから前記検出手段の検出した前記静電容量が所定値となるまでの時間を、前記吸着電圧が前記静電チャックに印加されてから前記基板の吸着が終了するまでの時間である吸着時間に関する情報として特定する特定手段と、

前記成膜装置の工程スケジュールを制御するスケジュール制御手段と、を備え、

前記スケジュール制御手段は、前記特定手段の特定した前記情報に基づいて、1つの基板に対する、前記静電チャックへの前記吸着電圧の印加の開始から基板の吸着の後に行われる工程の開始タイミングまでの時間を変更する、

ことを特徴とする制御装置が提供される。

【発明の効果】

【0007】

本発明によれば、成膜精度の低下を抑制することができる。

10

20

30

40

50

【図面の簡単な説明】

【0008】

【図1】電子デバイスの製造ラインの一部の模式図。

【図2】一実施形態に係る成膜装置の概略図。

【図3】基板支持ユニット及び吸着板の説明図。

【図4】成膜装置のハードウェアの構成例を示す図。

【図5】成膜装置の製造工程の例を示すフローチャート。

【図6】図5のフローチャートの各工程における成膜装置の状態の説明図。

【図7】(A)は、静電チャックが基板を吸着する際の静電チャック及び基板の関係を
示す模式図。(B)は、基板に形成される導電膜パターンの例を示す図。

10

【図8】(A)及び(B)は、処理部の処理例を示すフローチャート。

【図9】吸着電圧と吸着時間の関係を示す図。

【図10】(A)及び(B)は、処理部の処理例を示すフローチャート。

【図11】(A)は有機EL表示装置の全体図、(B)は1画素の断面構造を示す図。

【発明を実施するための形態】

【0009】

以下、添付図面を参照して実施形態を詳しく説明する。尚、以下の実施形態は特許請求の範囲に係る発明を限定するものではない。実施形態には複数の特徴が記載されているが、これらの複数の特徴の全てが発明に必須のものとは限らず、また、複数の特徴は任意に組み合わせられてもよい。さらに、添付図面においては、同一若しくは同様の構成に同一の参照番号を付し、重複した説明は省略する。

20

【0010】

<電子デバイスの製造ライン>

図1は、本発明の成膜装置が適用可能な電子デバイスの製造ラインの構成の一部を示す模式図である。図1の製造ラインは、例えば、スマートフォン用の有機EL表示装置の表示パネルの製造に用いられるもので、基板100が成膜ブロック301に順次搬送され、基板100に有機EL素子の成膜が行われる。

【0011】

成膜ブロック301には、平面視で八角形の形状を有する搬送室302の周囲に、基板100に対する成膜処理が行われる複数の成膜室303a~303dと、使用前後のマスクが収納されるマスク格納室305とが配置されている。搬送室302には、基板100を搬送する搬送ロボット302aが配置されている。搬送ロボット302aは、基板100を保持するハンドと、ハンドを水平方向に移動する多関節アームとを含む。換言すれば、成膜ブロック301は、搬送ロボット302aの周囲を取り囲むように複数の成膜室303a~303dが配置されたクラスタ型の成膜ユニットである。なお、成膜室303a~303dを総称する場合、或いは、区別しない場合は成膜室303と表記する。

30

【0012】

基板100の搬送方向(矢印方向)で、成膜ブロック301の上流側、下流側には、それぞれ、バッファ室306、旋回室307、受渡室308が配置されている。製造過程において、各室は真空状態に維持される。なお、図1においては成膜ブロック301を一つしか図示していないが、本実施形態に係る製造ラインは複数の成膜ブロック301を有しており、複数の成膜ブロック301が、バッファ室306、旋回室307、受渡室308で構成される連結装置で連結された構成を有する。なお、連結装置の構成はこれに限定はされず、例えばバッファ室306又は受渡室308のみで構成されていてもよい。

40

【0013】

搬送ロボット302aは、上流側の受渡室308から搬送室302への基板100の搬入、成膜室303間での基板100の搬送、マスク格納室305と成膜室303との間でのマスクの搬送、及び、搬送室302から下流側のバッファ室306への基板100の搬出、を行う。

【0014】

50

バッファ室 306 は、製造ラインの稼働状況に応じて基板 100 を一時的に格納するための室である。バッファ室 306 には、カセットとも呼ばれる基板収納棚と、昇降機構とが設けられる。基板収納棚は、複数枚の基板 100 を基板 100 の被処理面（被成膜面）が重力方向下方を向く水平状態を保ったまま収納可能な多段構造を有する。昇降機構は、基板 100 が搬入又は搬出される段を搬送位置に合わせるために、基板収納棚を昇降させる。これにより、バッファ室 306 には複数の基板 100 を一時的に収容し、滞留させることができる。

【0015】

旋回室 307 は基板 100 の向きを変更する装置を備えている。本実施形態では、旋回室 307 は、旋回室 307 に設けられた搬送ロボットによって基板 100 の向きを 180 度回転させる。旋回室 307 に設けられた搬送ロボットが、バッファ室 306 で受け取った基板 100 を支持した状態で 180 度旋回し受渡室 308 に引き渡すことで、バッファ室 306 内と受渡室 308 とで基板の前端と後端が入れ替わる。これにより、成膜室 303 に基板 100 を搬入する際の向きが、各成膜ブロック 301 で同じ向きになるため、基板 100 に対する蒸発源のスキャン方向やマスクの向きを各成膜ブロック 301 において一致させることができる。このような構成とすることで、各成膜ブロック 301 においてマスク格納室 305 にマスクを設置する向きを揃えることができ、マスクの管理が簡易化されユーザビリティを高めることができる。

【0016】

製造ラインの制御系は、ホストコンピュータとしてライン全体を制御する上位装置 300 と、各構成を制御する制御装置 14a ~ 14d、309、310 とを含み、これらは有線又は無線の通信回線 300a を介して通信可能である。制御装置 14a ~ 14d は、成膜室 303a ~ 303d に対応して設けられ、後述する成膜装置 1 を制御する。なお、制御装置 14a ~ 14d を総称する場合、或いは、区別しない場合は制御装置 14 と表記する。

【0017】

制御装置 309 は搬送ロボット 302a を制御する。制御装置 310 は旋回室 307 の装置を制御する。上位装置 300 は、基板 100 に関する情報や搬送タイミング等の指示を各制御装置 14、309、310 に送信し、各制御装置 14、309、310 は受信した指示に基づき各構成を制御する。

【0018】

< 成膜装置の概要 >

図 2 は一実施形態に係る成膜装置 1 の概略図である。成膜室 303 に設けられる成膜装置 1 は、基板 100 に蒸着物質を成膜する装置であり、マスク 101 を介して所定のパターンの蒸着物質の薄膜を形成する。成膜装置 1 で成膜が行われる基板 100 の材質は、ガラス、樹脂、金属等の材料を適宜選択可能であり、ガラス上にポリイミド等の樹脂層が形成されたものが好適に用いられる。蒸着物質としては、有機材料、無機材料（金属、金属酸化物など）などの物質である。成膜装置 1 は、例えば表示装置（フラットパネルディスプレイなど）や薄膜太陽電池、有機光電変換素子（有機薄膜撮像素子）等の電子デバイスや、光学部材等を製造する製造装置に適用可能であり、特に、有機 EL パネルを製造する製造装置に適用可能である。以下の説明においては成膜装置 1 が真空蒸着によって基板 100 に成膜を行う例について説明するが、本実施形態はこれに限定はされず、スパッタや CVD 等の各種成膜方法にも適用可能である。なお、各図において矢印 Z は上下方向（重力方向）を示し、矢印 X 及び矢印 Y は互いに直交する水平方向を示す。

【0019】

成膜装置 1 は、内部を真空に保持可能な箱型の真空チャンバ 3（単にチャンバとも呼ぶ）を有する。真空チャンバ 3 の内部空間 3a は、真空雰囲気か、窒素ガスなどの不活性ガス雰囲気に維持されている。本実施形態では、真空チャンバ 3 は不図示の真空ポンプに接続されている。なお、本明細書において「真空」とは、大気圧より低い圧力の気体で満たされた状態、換言すれば減圧状態をいう。真空チャンバ 3 の内部空間 3a には、基板 10

10

20

30

40

50

0を水平姿勢で支持する基板支持ユニット6、マスク101を支持するマスク台5、成膜ユニット4、プレートユニット9、静電チャック15が配置される。マスク101は、基板100上に形成する薄膜パターンに対応する開口パターンをもつマスクであり、マスク台5の上に載置されている。なお、マスク台5は、マスク101を所定の位置に固定する他の形態の手段に置換可能である。マスク101としては、枠状のマスクフレームに数 μm ~数十 μm 程度の厚さのマスク箔が溶接固定された構造を有するマスクを用いることができる。マスク101の材質は特に限定はされないが、例えばインバー材などの熱膨張係数の小さい金属が用いられてもよい。成膜処理は、基板100がマスク101の上に載置され、基板100とマスク101とが互いに重ね合わされた状態で行われる。

【0020】

プレートユニット9は、冷却プレート10と磁石プレート11とを備える。冷却プレート10は磁石プレート11の下に、磁石プレート11に対してZ方向に変位可能に吊り下げられている。冷却プレート10は、成膜時に後述する静電チャック15と接触することにより、成膜時に静電チャック15に吸着された基板100を冷却する機能を有する。冷却プレート10は水冷機構等を備えて積極的に基板100を冷却するものに限定はされず、水冷機構等は設けられていないものの静電チャック15と接触することによって基板100の熱を奪うような板状の部材であってもよい。磁石プレート11は、磁力によってマスク101を引き寄せるプレートであり、基板100の上面に載置されて、成膜時に基板100とマスク101の密着性を向上させる。

【0021】

なお、冷却プレート10と磁石プレート11は適宜省略されてもよい。例えば、静電チャック15に冷却機構が設けられている場合、冷却プレート10はなくてもよい。また、静電チャック15がマスク101を吸着する場合、磁石プレート11は省略されてもよい。

【0022】

成膜ユニット4は、ヒータ、シャッタ、蒸発源の駆動機構、蒸発レートモニタなどから構成され、蒸着物質を基板100に蒸着する蒸着源である。より具体的には、本実施形態では、成膜ユニット4は複数のノズル(不図示)がX方向に並んで配置され、それぞれのノズルから蒸着材料が放出されるリニア蒸発源である。例えば、リニア蒸発源は、蒸発源移動機構(不図示)によってY方向(装置の奥行き方向)に往復移動される。本実施形態では、成膜ユニット4が後述するアライメント工程が実行される真空チャンバ3に設けられている。しかしながら、アライメントが行われる真空チャンバ3とは別のチャンバで成膜処理を行う実施形態では、成膜ユニット4は真空チャンバ3には配置されない。

【0023】

図2に加えて図3を参照して説明する。図3は基板支持ユニット6及び静電チャック15の説明図であり、これらを下側から見た図である。

【0024】

基板支持ユニット6は、基板100の周縁部を支持する。基板支持ユニット6は、その外枠を構成する複数のベース部61a~61dと、ベース部61a~61dから内側へ突出した複数の載置部62及び63を備える。なお、載置部62及び63は「受け爪」又は「フィンガ」とも呼ばれることがある。ベース部61a~61dは、それぞれ支持軸R3により支持されている。複数の載置部62は基板100の周縁部の長辺側を受けるようにベース部61a~61dに間隔を置いて配置される。また、複数の載置部63は、基板100の周縁部の短辺側を受けるようにベース部61a~61dに間隔を置いて配置されている。搬送口ボット302aにより成膜装置1に搬入された基板100は、複数の載置部62及び63によって支持される。以下、ベース部61a~61dを総称する場合、或いは、区別しない場合はベース部61と表記する。

【0025】

本実施形態では、複数の載置部62及び63は板バネで構成されており、複数の載置部62及び63により支持されている基板100を静電チャック15に吸着させる際には、板バネの弾性力により基板100の周縁を静電チャック15に対して押し付けることがで

10

20

30

40

50

きる。

【 0 0 2 6 】

なお、図 3 の例では 4 つのベース部 6 1 により部分的に切り欠きがある矩形の枠体が構成されているが、これには限定されず、ベース部 6 1 は矩形の基板 1 0 0 の外周を取り囲むような切れ目のない矩形枠体であってもよい。ただし、複数のベース部 6 1 により切り欠きが設けられることで、搬送口ポット 3 0 2 a が載置部 6 2 及び 6 3 へと基板 1 0 0 を受け渡す際に、搬送口ポット 3 0 2 a がベース部 6 1 を避けて退避することができる。これにより、基板 1 0 0 の搬送及び受け渡しの効率を向上させることができる。

【 0 0 2 7 】

なお、基板支持ユニット 6 には、複数の載置部 6 2 及び 6 3 に対応して複数のクランプ部が設けられ、載置部 6 2 及び 6 3 に載置された基板 1 0 0 の周縁部をクランプ部により挟んで保持する態様が採用されてもよい。

10

【 0 0 2 8 】

静電チャック 1 5 は、基板 1 0 0 を吸着する。本実施形態では、静電チャック 1 5 は、基板支持ユニット 6 とプレートユニット 9 との間に設けられ、1 つまたは複数の支持軸 R 1 により支持されている。本実施形態では、静電チャック 1 5 は、4 つの支持軸 R 1 により支持されている。一実施形態において、支持軸 R 1 は円柱形状のシャフトである。

【 0 0 2 9 】

静電チャック 1 5 は、例えば、セラミックス材質のマトリックス（基体とも呼ばれる）の内部に金属電極などの電気回路が埋め込まれた構造を含む。静電チャック 1 5 の表面は、ポリイミド（樹脂）でも良く、アルマイト加工されていても良い。本実施形態では、静電チャック 1 5 は、複数の電極部 1 5 1 を有する。電極部 1 5 1 は、プラス（+）の電圧が印加される電極 1 5 1 1 と、マイナス（-）の電圧が印加される電極 1 5 1 2 を含む。電極 1 5 1 1 及び電極 1 5 1 2 に電圧が印加されると、セラミックスマトリックスを通じて基板 1 0 0 に分極電荷が誘導され、基板 1 0 0 と静電チャック 1 5 との間の静電的な引力（静電気力）により、基板 1 0 0 が静電チャック 1 5 の吸着面 1 5 0 に吸着固定される。

20

【 0 0 3 0 】

本実施形態では、電極 1 5 1 1 及び電極 1 5 1 2 がそれぞれ 歯形状の金属部材を有し、これらの 歯部分が互いに入り組んだ構成となるように交互に配置されている。しかしながら、電極部 1 5 1 の構成は適宜設定可能であり、被吸着物である基板 1 0 0 との間で静電引力を発生させることができればよい。また、電極部 1 5 1 の形状及び個数も適宜変更可能である。例えば、1 つの電極部 1 5 1 が静電チャック 1 5 の吸着面 1 5 0 の略全面に渡って形成されてもよい。

30

【 0 0 3 1 】

また、静電チャック 1 5 には複数の開口 1 5 2 が形成されており、後述する計測ユニット（第 1 計測ユニット 7 及び第 2 計測ユニット 8）が複数の開口 1 5 2 を介して後述するアライメント用マークを撮像することにより、基板 1 0 0 とマスク 1 0 1 との相対的な位置関係に関する情報を取得する。

【 0 0 3 2 】

位置調整ユニット 2 0 は、基板支持ユニット 6 により周縁部が支持された基板 1 0 0、あるいは、静電チャック 1 5 によって吸着された基板 1 0 0 と、マスク 1 0 1 との相対位置を調整する。位置調整ユニット 2 0 は、基板支持ユニット 6 又は静電チャック 1 5 を X - Y 平面上で変位することにより、マスク 1 0 1 に対する基板 1 0 0 の相対位置を調整する。すなわち、位置調整ユニット 2 0 は、マスク 1 0 1 と基板 1 0 0 との水平位置関係を調整するユニットであるとも言える。例えば、位置調整ユニット 2 0 は、基板支持ユニット 6 を X 方向及び Y 方向に変位させるとともに、Z 方向の軸周りに回転させることができる。本実施形態では、マスク 1 0 1 の位置を固定し、基板 1 0 0 を変位してこれらの相対位置を調整するが、マスク 1 0 1 を変位させて調整してもよく、或いは、基板 1 0 0 とマスク 1 0 1 の双方を変位させてもよい。例えば、位置調整ユニット 2 0 は、駆動源である

40

50

モータ及びモータの駆動力を直線運動に変換するボールねじ機構等、周知の構成により基板支持ユニット6を変位させてもよい。

【0033】

距離調整ユニット22は、静電チャック15及び基板支持ユニット6を昇降することで、それらとマスク台5との距離を調整し、基板100とマスク101とを基板100の厚み方向(Z方向)に接近及び離隔(離間)させる。本実施形態では、距離調整ユニット22は、複数の支持軸R1を介して静電チャック15を支持し、複数の支持軸R3を介して基板支持ユニット6を支持する第1昇降プレート220を備える。距離調整ユニット22は、第1昇降プレート220を昇降させることにより、静電チャック15及び基板支持ユニット6を昇降させる。つまり、距離調整ユニット22は、基板100とマスク101とを重ね合わせる方向に接近させたり、その逆方向に離隔させたりする。なお、距離調整ユニット22によって調整する「距離」はいわゆる垂直距離(又は鉛直距離)であり、距離調整ユニットは、マスク101と基板100の垂直位置を調整するユニットであるとも言える。例えば、位置調整ユニット20は、駆動源であるモータ及びモータの駆動力を直線運動に変換するボールねじ機構等、周知の構成により第1昇降プレート220を変位させてもよい。また、距離調整ユニット22は、第1昇降プレート220に対して基板支持ユニット6を相対移動させるアクチュエータ65を含み、これにより静電チャック15に対する基板支持ユニット6の相対位置を変化させる。

10

【0034】

なお、本実施形態の距離調整ユニット22は、マスク台5の位置を固定し、基板支持ユニット6及び静電チャック15を移動してこれらのZ方向の距離を調整するが、これに限定はされない。基板支持ユニット6又は静電チャック15の位置を固定し、マスク台5を移動させて調整してもよく、或いは、基板支持ユニット6、静電チャック15、及びマスク台5のそれぞれを移動させて互いの距離を調整してもよい。

20

【0035】

プレートユニット昇降ユニット13は、真空チャンバ3の外部に配置された第2昇降プレート12を昇降させることで、第2昇降プレート12に連結され、真空チャンバ3の内部に配置されたプレートユニット9を昇降する。プレートユニット9は1つまたは複数の支持軸R2を介して第2昇降プレート12と連結されている。本実施形態では、プレートユニット9は2つの支持軸R2により支持されている。支持軸R2は、磁石プレート11から上方に延設されており上壁部30の開口部、固定プレート20a及び可動プレート20bの各開口部、及び、第1昇降プレート220の開口部を通過して第2昇降プレート12に連結されている。例えば、位置調整ユニット20は、駆動源であるモータ及びモータの駆動力を直線運動に変換するボールねじ機構等、周知の構成により第2昇降プレート12を変位させてもよい。

30

【0036】

前述した各支持軸R1~R3が通過する真空チャンバ3の上壁部30の開口部は、各支持軸R1~R3がX方向及びY方向に変位可能な大きさを有している。真空チャンバ3の気密性を維持するため、各支持軸R1~R3が通過する上壁部30の開口部にはベローズ等が設けられる。

40

【0037】

計測ユニット(第1計測ユニット7及び第2計測ユニット8)は、基板支持ユニット6により周縁部が支持された基板100とマスク101の位置ずれを計測する。本実施形態の第1計測ユニット7及び第2計測ユニット8はいずれも画像を撮像する撮像装置(カメラ)である。第1計測ユニット7及び第2計測ユニット8は、上壁部30の上方に配置され、上壁部30に形成された窓部(不図示)を介して真空チャンバ3内の画像を撮像可能である。

【0038】

本実施形態では、基板100及びマスク101には、これらのアライメントに用いられるアライメントマークがそれぞれ形成されている。さらに言えば、基板100及びマスク

50

101には、これらの大まかな位置調整を行うためのラフアライメント用マークと、より高精度な位置調整を行うためのファインアライメント用マークとがそれぞれ設けられている。

【0039】

第1計測ユニット7は、相対的に視野が広いが低い解像度を有する低倍率CCDカメラ（ラフカメラ）であり、基板100とマスク101との大まかな位置ずれを計測する。例えば、第1計測ユニット7は、基板100及びマスク101の短辺中央付近にそれぞれ設けられたラフアライメント用マークを、開口152を介して撮像するように2つ設けられている。

【0040】

第2計測ユニット8は、相対的に視野が狭いが高い解像度（例えば数 μm のオーダ）を有する高倍率CCDカメラ（ファインカメラ）であり、基板100とマスク101との位置ずれを高精度で計測する。第2計測ユニット8は、例えば、基板100及びマスク101の四隅にそれぞれ設けられたファインアライメント用マークを、開口152を介して撮像するように4つ設けられている。

【0041】

本実施形態では、第1計測ユニット7の計測結果に基づいて基板100とマスク101との大まかな位置調整を行った後、第2計測ユニット8の計測結果に基づいて基板100とマスク101との精密な位置調整を行う。

【0042】

<ハードウェア構成>

図4は、成膜装置1のハードウェアの構成例を示す図である。なお、図4は、本実施形態の特徴に係る構成を中心に示した図であり一部の構成を省略して示している。

【0043】

制御装置14は、成膜装置1の全体を制御する。制御装置14は、処理部141、記憶部142、入出力インタフェース（I/O）143、及び通信部144を備える。処理部141は、CPUに代表されるプロセッサであり、記憶部142に記憶されたプログラムを実行して成膜装置1を制御する。記憶部142は、ROM、RAM、HDD等の記憶デバイスであり、処理部141が実行するプログラムの他、各種の制御情報を記憶する。I/O143は、処理部141と成膜装置1の各構成要素との間の信号を送受信するインタフェースである。通信部144は通信回線300aを介して上位装置300又は他の制御装置14、309、310等と通信を行う通信デバイスであり、処理部141は通信部144を介して上位装置300から情報を受信し、或いは、上位装置300へ情報を送信する。なお、制御装置14や上位装置300の全部又は一部がPLCやASIC、FPGAで構成されてもよい。

【0044】

電源ユニット17は、交流電源等の外部電源90から電力を受け取り所定の電力に変換する電源回路である。本実施形態では、電源ユニット17は、複数の電極部151のそれぞれに対応した複数の電源171を含む。電源171は、処理部141の指示に基づいて、所定の直流電圧を電極部151に印加する。

【0045】

検出ユニット16は、静電チャック15の電極部151の静電容量を検出する。本実施形態では、検出ユニット16は、複数の電極部151のそれぞれに対応した複数の検出器161を含む。つまり、本実施形態では、電極部151、検出器161及び電源171の組が複数設けられている。また、本実施形態では、検出ユニット16は、チャンバ3の外部に設けられる。

【0046】

本実施形態では、検出ユニット16は、静電チャック15の電極部151の静電容量を検出するため、静電チャック15に静電容量検出用の電極等を別途設ける必要がない。これにより、静電チャック15の電極部151の配置領域を広く確保することができ、静電

10

20

30

40

50

チャック 15 の吸着力を向上させることができる。

【 0 0 4 7 】

本実施形態では、処理部 141 は、検出ユニット 16 の検出結果に基づいて、静電チャック 15 による基板 100 の吸着時間を特定する。具体的には、電源 171 が電極部 151 に印加する電圧が一定の場合、電極部 151 と基板 100 との間の静電容量は、電極部 151 と基板 100 に形成された導電膜パターン（図 7（A）等参照）との間の距離により変化する。そのため、電極部 151 と基板 100 との間の静電容量は、基板 100 の吸着が行われている間はこれらの間の距離が小さくなっていくにしたがって大きくなっていく。一方で、基板 100 の吸着が終了し基板 100 と電極部 151 との間の距離が変化しなくなると一定の値を取るようになる。つまり、処理部 141 は、電源ユニット 17 が電極部 151 に電圧を印加し始めてから検出ユニット 16 により検出される静電容量が定常値となるまでの時間を、静電チャック 15 による基板 100 の吸着時間として特定することができる。

10

【 0 0 4 8 】

また、本実施形態では、後述するように、処理部 141 は、検出ユニット 16 の検出結果に基づいて、電源ユニット 17 が複数の電極部 151 に印加する電圧の電圧値又は電源ユニット 17 が複数の電極部 151 に電圧を印加するタイミングを制御する。

【 0 0 4 9 】

< 成膜装置の製造工程 >

図 5 は、成膜装置 1 の製造工程の例を示すフローチャートである。本フローチャートは、成膜装置 1 が 1 枚の基板 100 に対して実行する工程の概略を示している。また、図 6 は、各工程における成膜装置 1 の状態の説明図である。

20

【 0 0 5 0 】

ステップ S1（以下、単に S1 と表記し、他のステップについても同様とする）は、搬入工程である。本工程では、搬送ロボット 302a により成膜装置 1 内に基板 100 が搬入される。搬入された基板 100 は、基板支持ユニット 6 に支持される（状態 ST100）。

【 0 0 5 1 】

S2 は、吸着工程である。例えば、処理部 141 は、基板 100 を支持している基板支持ユニット 6 を所定の位置に上昇させる（状態 ST101）。ここで、状態 ST101 では、基板支持ユニット 6 によって支持されている基板 100 の周縁部は、静電チャック 15 に接触しているか、或いは、わずかに離間した位置にある。一方、基板 100 の中央部は、自重により撓んでいるため、周縁部と比較して静電チャック 15 から離間した位置にある。処理部 141 は、状態 ST101 の状態で、電源ユニット 17 により電極部 151 に電圧を印加することで吸着力を発生させ、静電チャック 15 に基板 100 を吸着させる（状態 ST102）。

30

【 0 0 5 2 】

S3 は、アライメント工程である。処理部 141 は、基板 100 を吸着している静電チャック 15 を距離調整ユニット 22 により下降させて基板 100 をマスク 101 に接近させる。そして、位置調整ユニット 20 により基板 100 とマスク 101 との水平方向の位置調整を行う（状態 ST103）。

40

【 0 0 5 3 】

S4 は、成膜工程である。処理部 141 は、その準備としてアライメントが行われた後の基板 100 とマスク 101 とを接触させる。次に、処理部 141 は、プレートユニット 9 を下降させて磁石プレート 11 の磁力により基板 100 とマスク 101 とをより密着させる（状態 ST104）。その状態で、処理部 141 は、成膜ユニット 4 により蒸着物質を基板 100 に蒸着させる。

【 0 0 5 4 】

S5 は、剥離工程である。処理部 141 は、電極部 151 への電圧の印加を止めることで、静電チャック 15 から基板 100 を剥離させる（状態 ST100）。なお、処理部 1

50

41は、電極部151への電圧の印加を止めずに、静電チャック15が基板100の吸着を維持できない程度に電極部151の吸着電圧を減少させてもよい。

【0055】

S6は、搬出工程である。本工程では、搬送ロボット302aにより成膜装置から基板100が装置外部へ搬出される。

【0056】

<静電チャックによる基板の吸着>

図7(A)は、静電チャック15が基板100を吸着する際の静電チャック15及び基板100の関係を示す模式図である。図7(B)は、基板100に形成される導電膜パターンの例を示す図である。

【0057】

まず、静電チャック15による基板100の吸着力について説明する。静電チャック15の吸着力Fは、下記の式(1)で算出される。

【0058】

$$F = K \cdot \epsilon_0 \cdot V^2 / 2r^2 \cdots (1)$$

ここで、Kは静電チャック15の電極パターン及び基板100の導電膜パターンの重なりに起因する定数である。また、 ϵ_0 は真空の誘電率、 ϵ は誘電層の誘電率(静電チャック15の誘電層153、静電チャック15表層から基板吸着面までの真空、基板厚みの合成誘電率)、Vは電源171による吸着電圧、rは誘電層の厚みである。なお、誘電層の厚みrは、静電チャック15の誘電層153の厚み及び吸着面150から基板100の導電膜1000までの距離の合計である。

【0059】

本実施形態では、静電チャック15側の電極パターンは基本的に一定のため、定数Kは基板100の導電膜パターン密度に応じた値に決定される。具体的には、基板100の導電膜パターン密度が大きいほど定数Kが大きい値となる。例えば、図7(A)に示される基板100の導電膜1000は、図7(B)で示される基板100の導電膜1000aよりも導電膜パターン密度が大きい。よって、図7(A)の基板100についての定数Kは、図7(B)の基板100についての定数Kよりも大きくなる。

【0060】

吸着電圧Vを一定とした場合、式(1)より、静電チャック15の吸着力Fは、定数Kが大きいほど大きくなる。吸着力Fが大きいほど、電源171が電圧を印加し始めてから基板100が静電チャック15に吸着されるまでの吸着時間は短くなる。よって、図7(A)に示される基板100は、図7(B)に示される基板よりも吸着時間が短くなる。このように、吸着電圧Vが一定の場合、吸着時間は、基板100の種類、より具体的には基板100の導電膜パターン密度に応じて変動する。

【0061】

ところで、成膜装置1での製造工程においては、静電チャック15による基板100の吸着の開始を基準として、所定の時間が経過した後に次工程を開始するように工程スケジュールが管理されている場合がある。図5の例で言えば、吸着工程(S2)において静電チャック15の電極部151に吸着電圧Vが印加され始めてから所定の時間の経過後に次工程であるアライメント工程(S3)が開始されるように工程スケジュールが管理される。このような場合において、基板100の種類により吸着時間が変動すると、静電チャック15による基板100の吸着が不十分な状態で次工程が開始されてしまう場合がある。

【0062】

静電チャック15による基板100の吸着が不十分な状態で次工程が開始されてしまうと、その後の成膜工程(S4)における成膜精度が低下する場合がある。例えば、次工程がアライメント工程の場合、基板100に撓みが生じた状態でアライメントが行われることにより、アライメント精度が低下することがある。アライメント精度の低下は、成膜精度に影響を及ぼすことがある。また例えば、静電チャック15による基板100の吸着が不十分な状態で成膜処理が実行されると、基板100の撓みの影響で、マスクに設けられ

10

20

30

40

50

ている開口部の形状及び寸法の通りに成膜されない、いわゆる「膜ボケ」が発生する等、成膜精度が低下する場合がある。

【 0 0 6 3 】

そこで、本実施形態では、下記の処理を実行することにより、成膜精度の低下を抑制している。

【 0 0 6 4 】

< 処理例 1 >

図 8 (A) は、処理部 1 4 1 の処理例を示すフローチャートである。本フローチャートの概略は、静電チャック 1 5 による基板 1 0 0 の吸着時間に基づいて、静電チャック 1 5 の電極部 1 5 1 への吸着電圧 V を設定する、というものである。さらに言えば、ロット単位で基板 1 0 0 に対して処理を行う場合に、ロットの最初の複数枚の基板 1 0 0 の吸着時間に基づいて基板吸着時の吸着電圧 V を設定する、というものである。本フローチャートは、例えば、複数枚の基板 1 0 0 で構成されるロットの、1 枚目の基板 1 0 0 に対して静電チャック 1 5 による吸着を行う際に開始される。

【 0 0 6 5 】

S 1 0 で、処理部 1 4 1 は、電極部 1 5 1 の吸着電圧 V の設定値を基準電圧 V_S に設定する。本実施形態では、複数の電極部 1 5 1 に対して複数の電源 1 7 1 がそれぞれ設けられるので、処理部 1 4 1 は、例えば各電極部 1 5 1 について設定値を電圧 V_S に設定する。ここでは、吸着電圧 V の設定値の初期化を行っているといえる。基準電圧 V_S の値は適宜設定可能である。

【 0 0 6 6 】

S 1 1 で、処理部 1 4 1 は、測定枚数を $i = 1$ に設定する。例えば、処理部 1 4 1 は、設定した測定枚数 ($i = 1$) を記憶部 1 4 2 に記憶する。本ステップは、制御パラメータの初期化である。

【 0 0 6 7 】

S 1 2 で、処理部 1 4 1 は、測定枚数 i が所定枚数 P_N であるか否かを確認し、測定枚数 i が所定枚数 P_N 以下であれば S 1 3 に進み、測定枚数 i が所定枚数 P_N を超えていれば S 1 5 に進む。所定枚数 P_N は、後述する S 1 3 のステップを実行する基板 1 0 0 の枚数として設定されている。所定枚数 P_N は適宜設定可能であるが、例えば所定枚数 $P_N = 3 \sim 5$ であってもよい。

【 0 0 6 8 】

S 1 3 で、処理部 1 4 1 は、吸着時間測定処理を実行する。例えば処理部 1 4 1 は、前述したように、電極部 1 5 1 に吸着電圧 V が印加され始めてから検出ユニット 1 6 により検出される静電容量値が定常値になるまでの時間を、吸着時間として測定する。つまり、処理部 1 4 1 は、検出ユニット 1 6 の検出結果を取得し、取得した検出結果から吸着時間を特定する。なお、本実施形態では、複数の電極部 1 5 1 ごとに検出器 1 6 1 が対応して設けられているため、処理部 1 4 1 は、検出器 1 6 1 ごとに吸着時間を測定する。換言すれば、処理部 1 4 1 は、複数の検出器 1 6 1 の検出結果に基づいて、静電チャック 1 5 の複数の位置における吸着時間を特定している。

【 0 0 6 9 】

S 1 4 で、処理部 1 4 1 は、測定枚数を $i = i + 1$ とする。すなわち、測定枚数 i を 1 増加させる。例えば、処理部 1 4 1 は、記憶部 1 4 2 に記憶されている測定枚数 i を更新する。その後、処理部 1 4 1 は、S 1 2 に戻り処理を繰り返す。すなわち、S 1 3 の吸着時間測定処理が、 P_N 枚の基板 1 0 0 に対して実行されることになる。

【 0 0 7 0 】

S 1 2 の分岐で N o に進んだ場合、S 1 5 で、処理部 1 4 1 は、S 1 3 での測定結果に基づいて電圧設定処理を実行する。その後フローチャートを終了する。

【 0 0 7 1 】

図 8 (B) は、処理部 1 4 1 の処理例を示すフローチャートであり、S 1 5 の具体例を示している。なお、本実施形態では複数の検出器 1 6 1 の検出結果に基づいて電極部 1 5

10

20

30

40

50

1ごとに吸着時間が測定されるため、処理部141は、各電極部151について本フローチャートの処理を順次、或いは並列に実行し得る。

【0072】

S151で、処理部141は、吸着時間T 閾値 T_{h1} であるか否かを確認し、吸着時間Tが閾値 T_{h1} 以上（閾値以上）であればS152に進み、吸着時間Tが閾値 T_{h1} 未満であればS153に進む。

【0073】

ここで、吸着時間Tは、S13の吸着時間測定処理での測定結果に基づく基板100の吸着時間である。例えば、吸着時間Tは、所定枚数PNの基板100の吸着時間の平均値であり得る。なお、吸着時間Tの設定方法は適宜変更可能であり、例えば所定枚数PNの基板100の吸着時間から外れ値を抜いた値の平均値であってもよいし、所定枚数PNの基板100の吸着時間の中央値であってもよい。

10

【0074】

また、閾値 T_{h1} は、静電チャック15による基板100の吸着時間の基準時間 T_S に基づいて設定され得る。例えば、吸着時間Tの許容範囲 T_A が基準時間 T_S と許容される誤差 t_0 で表される場合、閾値 $T_{h1} = T_S + t_0$ と設定され得る（図9参照）。なお、基準時間 T_S は、成膜装置1が基板100の吸着工程を実行するにあたって予め設定された、静電チャック15による基板100の吸着時間の基準値である。例えば、基準時間 T_S は、所定の導電膜パターン密度を有する基板100に対して静電チャック15が所定の吸着電圧Vで吸着を行った際の吸着時間であり得る。

20

【0075】

S152で、処理部141は、電源171による電極部151への吸着電圧Vの設定値を増加させる。吸着時間T 閾値 T_{h1} の場合、吸着時間Tが基準時間 T_S に対して長くなってしまっている。そこで、処理部141は、吸着電圧Vを増加させることにより、静電チャック15の吸着力Fを増加させて、ロット内の基板100の吸着時間を短縮する。

【0076】

S153で、処理部141は、吸着時間T 閾値 T_{h2} （閾値 T_{h1} ）であるか否かを確認し、吸着時間Tが閾値 T_{h2} 以下（閾値以下）であればS154に進み、吸着時間Tが閾値 T_{h2} を超える場合はフローチャートを終了する。例えば、吸着時間Tの許容範囲 T_A が基準時間 T_S と許容される誤差 t_0 で表される場合、閾値 $T_{h2} = T_S - t_0$ と設定され得る。

30

【0077】

S154で、処理部141は、電源171による電極部151への吸着電圧Vの設定値を減少させる。吸着時間T 閾値 T_{h2} の場合、吸着時間Tが基準時間 T_S に対して短くなってしまっている。そこで、処理部141は、吸着電圧Vを減少させることにより、静電チャック15の吸着力Fを減少させて、ロット内の基板100の吸着時間を長くする。

【0078】

図9は、吸着電圧Vと吸着時間Tの関係を示す図である。図9では、導電膜パターン密度の異なる3種類の基板100a~100cについて、吸着電圧Vと吸着時間Tの関係が示されている。なお、各基板の導電膜パターン密度は、100a、100b、100cの順に大きいものとする。図9の例では、導電膜パターン密度が最も大きい基板100aは、吸着電圧Vを基準電圧 V_S とした場合、吸着時間 T_1 が閾値 T_{h2} 未満となる（S153: Yes）。したがって、処理部141は、吸着電圧を V_S より低い V_1 に設定する（S154）。これにより、吸着時間Tを許容範囲 T_A 内に収めることができる。つぎに、基板100bは、吸着電圧Vを基準電圧 V_S とした場合、吸着時間 T_2 が許容範囲 T_A 内に収まっている（S151: NoかつS153: No）。したがって、処理部141は、電圧の設定値を吸着電圧 V_S から変更しない。最後に、導電膜パターン密度が最も小さい基板100cは、吸着電圧Vを基準電圧 V_S とした場合、吸着時間 T_3 が閾値 T_{h1} を超えることとなる（S151: Yes）。したがって、処理部141は、吸着電圧を V_S より高い V_3 に設定する（S152）。これにより、吸着時間Tを許容範囲 T_A 内に収め

40

50

ることができる。

【0079】

以上説明したように、本処理例によれば、静電チャック15による基板100の吸着時間に基づいて、静電チャック15の吸着電圧を設定する。これにより、静電チャック15による基板100の吸着が不十分な状態で後工程の処理が実行されることを抑制でき、基板100に対する成膜処理における成膜精度の低下を抑制することができる。

【0080】

また、本処理例によれば、吸着電圧Vを基準電圧V_Sに設定している場合において、吸着時間Tが所定範囲外、すなわち閾値Th₂から閾値Th₁までの範囲にないときは、その後の基板100の吸着時の吸着電圧Vを基準電圧V_Sと異なる値に設定する。具体的には、処理部141は、吸着時間Tが閾値Th₁以上の場合は吸着電圧Vを基準電圧V_Sよりも高い電圧に設定する。これにより、吸着時間Tが所定範囲に収まる方向に吸着時間Tを調整できるので、静電チャック15による基板100の吸着が不十分な状態で後工程の処理が実行されることを抑制できる。これにより、基板100に対する成膜処理における成膜精度の低下を抑制することができる。

10

【0081】

また、処理部141は、吸着時間Tが閾値Th₂以下の場合は吸着電圧Vを基準電圧V_Sよりも低い電圧に設定する。吸着時間Tが閾値Th₂以下の場合は吸着力Fが必要以上に高い場合がある。このような場合には、S5の剥離工程で静電チャック15から基板100がうまく剥離されずに剥離不良が発生する場合がある。したがって、吸着時間Tが短い場合には吸着電圧Vを低く設定し適切な吸着力Fを発生させることで、基板100の剥離不良等を抑制することができる。

20

【0082】

また、本処理例によれば、同一ロットの最初の複数枚の吸着時間Tに基づいて、その後の基板100に対する吸着電圧Vが設定される。したがって、吸着時間Tの実測値に基づいて、同様の基板特性を有する基板100に対する吸着電圧Vを設定することができる。

【0083】

また、本実施形態では、各電極部151に対して吸着電圧Vを設定しているため、電極部151が配置される位置ごとに静電チャック15の吸着力を設定することができる。これにより、静電チャック15の吸着力の調整をより効果的に行うことができる。しかしながら、各電極部151の電圧を一律に設定してもよい。例えば、複数の電極部151による基板100の吸着時間の平均時間や最も遅い時間をその基板100の吸着時間Tとし、その吸着時間Tに基づいて、複数の電極部151の吸着電圧Vが一律に設定されてもよい。この場合、電源171は複数の電極部151に対して1つ設けられてもよい。

30

【0084】

また、電極部151が複数のグループに区別され、グループごとに電源171が設けられてもよい。例えば、図3で示すように静電チャック15に9つの電極部151が設けられている場合、長辺方向に並んだ3つの電極部151を1つのグループとして、各グループの電極部151に電圧を印加することのできる電源171がそれぞれ設けられてもよい。

40

【0085】

また、前述の例では、処理部141が、電極部151に吸着電圧Vが印加され始めてから、検出ユニット16により検出される静電容量値が定常値になるまでの時間を、吸着時間として測定することを説明した。静電容量値が定常値になるまでではなく、静電容量値が一定の閾値に達するまでの時間を、吸着時間としてもよい。この場合、静電容量値が変化していても（つまり、定常とならなくても）、吸着時間は経過したと判断されうる。

【0086】

<処理例2>

図10(A)は、処理部141の処理例を示すフローチャートである。本フローチャートの概略は、静電チャック15による基板100の吸着時間に基づいて、その後の基板1

50

00 についての、静電チャック 15 による基板 100 の吸着開始後の工程スケジュールを設定するものである。工程スケジュールの設定は、具体的には、後工程の開始タイミングの設定であってもよい。さらに言えば、ロット単位で基板 100 に対して処理を行う場合に、ロットの最初の複数枚の基板 100 の吸着時間に基づいて、その後の基板 100 についての、静電チャック 15 による基板 100 の吸着開始後の工程の開始タイミングを設定するものであってもよい。

【0087】

すなわち、処理例 1 との比較を述べると、処理例 1 では、基板 100 の吸着時間 T が許容範囲 T_A に収まらない場合に吸着時間 T が許容範囲 T_A に収まるように吸着電圧 V を変更する。これにより、基板 100 の吸着が不十分な状態で次工程に進んでしまうこと等を抑制し、成膜工程における成膜精度の低下を抑制している。一方、処理例 2 では、基板 100 の吸着時間 T が許容範囲 T_A に収まらない場合に次工程の開始タイミングを変更することにより、基板 100 の吸着が不十分な状態で次工程に進んでしまうこと等を抑制し、成膜工程における成膜精度の低下を抑制している。

10

【0088】

本フローチャートは、例えば、複数枚の基板 100 で構成されるロットの、1 枚目の基板 100 に対して静電チャック 15 による吸着を行う場合に開始される。

【0089】

以下では、成膜装置 1 が図 5 で示す工程を実行する場合に、S2 の吸着工程内で静電チャック 15 による吸着の開始後、S3 のアライメント工程が開始されるタイミングを設定する場合について説明する。なお、本実施形態では、S3 のアライメント工程の開始タイミングが変更された場合、それに伴ってその後の工程 (S4 ~ S6) の開始タイミングも変更されるものとして説明する。

20

【0090】

S20 で、処理部 141 は、静電チャック 15 の基板 100 の吸着開始後の開始タイミングを基準値に設定する。なお、S21 ~ S24 の処理は S11 ~ S14 の処理と同様であるため説明を省略する。S25 で、処理部 141 は、成膜装置 1 の工程のスケジュール設定として、アライメント工程の開始タイミングを設定し、フローチャートを終了する。

【0091】

図 10 (B) は、S25 の処理の具体例を示すフローチャートである。S251 及び S253 は、S151 及び S153 とそれぞれ同様の処理であるため説明を省略する。

30

【0092】

S252 で、処理部 141 は、その後の基板 100 について後工程であるアライメント工程の開始タイミングを遅く設定する。吸着時間 T 閾値 T_{h1} の場合、吸着時間 T が基準時間 T_S に対して長くなってしまっている。そこで、処理部 141 は、後工程の開始タイミングを遅く設定する。

【0093】

S254 で、処理部 141 は、その後の基板 100 について後工程であるアライメント工程の開始タイミングを早く設定する。吸着時間 T 閾値 T_{h2} の場合、吸着時間 T が基準時間 T_S に対して短くなってしまっている。そこで、処理部 141 は、後工程の開始タイミングを早く設定する。

40

【0094】

以上説明したように、本処理例によれば、吸着電圧 V を基準電圧 V_S に設定している場合において、吸着時間 T が所定範囲外、すなわち閾値 T_{h2} から閾値 T_{h1} までの範囲にないときは、その後の工程の開始タイミングを基準値と異なるタイミングに設定する。具体的には、吸着時間 T が閾値 T_{h1} 以上の場合は後工程の開始タイミングを遅く設定し、吸着時間 T が閾値 T_{h2} 以下の場合は後工程の開始タイミングを早く設定する。これにより、静電チャック 15 による基板 100 の吸着が不十分な状態で後工程の処理が実行されることを抑制でき、基板 100 に対する成膜処理における成膜精度の低下を抑制することができる。また、吸着時間 T が短い場合には後工程の開始タイミングを早めて、基板 10

50

0 が静電チャック 1 5 に吸着され次第、後工程の処理を実行する。これにより、成膜装置 1 の 1 枚の基板 1 0 0 に対する処理時間を短縮することができる。

【 0 0 9 5 】

なお、開始タイミングの変更は、静電チャック 1 5 による基板 1 0 0 の吸着の直後の工程の開始タイミングの変更に限定されない。例えば、処理部 1 4 1 は、S 3 のアライメント工程の開始タイミングは変更せずに、S 4 の成膜工程以降の開始タイミングを変更してもよい。

【 0 0 9 6 】

< 電子デバイスの製造方法 >

次に、電子デバイスの製造方法の一例を説明する。以下、電子デバイスの例として有機 E L 表示装置の構成及び製造方法を例示する。この例の場合、図 1 に例示した成膜ブロック 3 0 1 が、製造ライン上に、例えば、3 か所、設けられる。

【 0 0 9 7 】

まず、製造する有機 E L 表示装置について説明する。図 1 1 (A) は有機 E L 表示装置 5 0 の全体図、図 1 1 (B) は 1 画素の断面構造を示す図である。

【 0 0 9 8 】

図 1 1 (A) に示すように、有機 E L 表示装置 5 0 の表示領域 5 1 には、発光素子を複数備える画素 5 2 がマトリクス状に複数配置されている。詳細は後で説明するが、発光素子のそれぞれは、一対の電極に挟まれた有機層を備えた構造を有している。

【 0 0 9 9 】

なお、ここでいう画素とは、表示領域 5 1 において所望の色の表示を可能とする最小単位を指している。カラー有機 E L 表示装置の場合、互いに異なる発光を示す第 1 発光素子 5 2 R、第 2 発光素子 5 2 G、第 3 発光素子 5 2 B の複数の副画素の組み合わせにより画素 5 2 が構成されている。画素 5 2 は、赤色 (R) 発光素子と緑色 (G) 発光素子と青色 (B) 発光素子の 3 種類の副画素の組み合わせで構成されることが多いが、これに限定はされない。画素 5 2 は少なくとも 1 種類の副画素を含めばよく、2 種類以上の副画素を含むことが好ましく、3 種類以上の副画素を含むことがより好ましい。画素 5 2 を構成する副画素としては、例えば、赤色 (R) 発光素子と緑色 (G) 発光素子と青色 (B) 発光素子と黄色 (Y) 発光素子の 4 種類の副画素の組み合わせでもよい。

【 0 1 0 0 】

図 1 1 (B) は、図 1 1 (A) の A - B 線における部分断面模式図である。画素 5 2 は、基板 5 3 上に、第 1 の電極 (陽極) 5 4 と、正孔輸送層 5 5 と、赤色層 5 6 R ・ 緑色層 5 6 G ・ 青色層 5 6 B のいずれかと、電子輸送層 5 7 と、第 2 の電極 (陰極) 5 8 と、を備える有機 E L 素子で構成される複数の副画素を有している。これらのうち、正孔輸送層 5 5、赤色層 5 6 R、緑色層 5 6 G、青色層 5 6 B、電子輸送層 5 7 が有機層に当たる。赤色層 5 6 R、緑色層 5 6 G、青色層 5 6 B は、それぞれ赤色、緑色、青色を発する発光素子 (有機 E L 素子と記述する場合もある) に対応するパターンに形成されている。

【 0 1 0 1 】

また、第 1 の電極 5 4 は、発光素子ごとに分離して形成されている。正孔輸送層 5 5 と電子輸送層 5 7 と第 2 の電極 5 8 は、複数の発光素子 5 2 R、5 2 G、5 2 B にわたって共通で形成されていてもよいし、発光素子ごとに形成されていてもよい。すなわち、図 1 1 (B) に示すように正孔輸送層 5 5 が複数の副画素領域にわたって共通の層として形成された上に赤色層 5 6 R、緑色層 5 6 G、青色層 5 6 B が副画素領域ごとに分離して形成され、さらにその上に電子輸送層 5 7 と第 2 の電極 5 8 が複数の副画素領域にわたって共通の層として形成されていてもよい。

【 0 1 0 2 】

なお、近接した第 1 の電極 5 4 の間でのショートを防ぐために、第 1 の電極 5 4 間に絶縁層 5 9 が設けられている。さらに、有機 E L 層は水分や酸素によって劣化するため、水分や酸素から有機 E L 素子を保護するための保護層 6 0 が設けられている。

【 0 1 0 3 】

10

20

30

40

50

図 1 1 (B) では正孔輸送層 5 5 や電子輸送層 5 7 が一つの層で示されているが、有機 E L 表示素子の構造によって、正孔ブロック層や電子ブロック層を有する複数の層で形成されてもよい。また、第 1 の電極 5 4 と正孔輸送層 5 5 との間には第 1 の電極 5 4 から正孔輸送層 5 5 への正孔の注入が円滑に行われるようにすることのできるエネルギーバンド構造を有する正孔注入層を形成してもよい。同様に、第 2 の電極 5 8 と電子輸送層 5 7 の間にも電子注入層を形成してもよい。

【 0 1 0 4 】

赤色層 5 6 R、緑色層 5 6 G、青色層 5 6 B のそれぞれは、単一の発光層で形成されていてもよいし、複数の層を積層することで形成されていてもよい。例えば、赤色層 5 6 R を 2 層で構成し、上側の層を赤色の発光層で形成し、下側の層を正孔輸送層又は電子ブ
10
ロック層で形成してもよい。あるいは、下側の層を赤色の発光層で形成し、上側の層を電子輸送層又は正孔ブロック層で形成してもよい。このように発光層の下側又は上側に層を設けることで、発光層における発光位置を調整し、光路長を調整することによって、発光素子の色純度を向上させる効果がある。

【 0 1 0 5 】

なお、ここでは赤色層 5 6 R の例を示したが、緑色層 5 6 G や青色層 5 6 B でも同様の構造を採用してもよい。また、積層数は 2 層以上としてもよい。さらに、発光層と電子ブ
20
ロック層のように異なる材料の層が積層されてもよいし、例えば発光層を 2 層以上積層するなど、同じ材料の層が積層されてもよい。

【 0 1 0 6 】

次に、有機 E L 表示装置の製造方法の例について具体的に説明する。ここでは、赤色層 5 6 R が下側層 5 6 R 1 と上側層 5 6 R 2 の 2 層からなり、緑色層 5 6 G と青色層 5 6 B は単一の発光層からなる場合を想定する。

【 0 1 0 7 】

まず、有機 E L 表示装置を駆動するための回路（不図示）及び第 1 の電極 5 4 が形成された基板 5 3 を準備する。なお、基板 5 3 の材質は特に限定はされず、ガラス、プラスチック、金属などで構成することができる。本実施形態においては、基板 5 3 として、ガラス基板上にポリイミドのフィルムが積層された基板を用いる。

【 0 1 0 8 】

第 1 の電極 5 4 が形成された基板 5 3 の上にアクリル又はポリイミド等の樹脂層をバー
30
コートやスピコートでコートし、樹脂層をリソグラフィ法により、第 1 の電極 5 4 が形成された部分に開口が形成されるようにパターニングし絶縁層 5 9 を形成する。この開口部が、発光素子が実際に発光する発光領域に相当する。

【 0 1 0 9 】

絶縁層 5 9 がパターニングされた基板 5 3 を第 1 の成膜室 3 0 3 に搬入し、正孔輸送層 5 5 を、表示領域の第 1 の電極 5 4 の上に共通する層として成膜する。正孔輸送層 5 5 は、最終的に 1 つ 1 つの有機 E L 表示装置のパネル部分となる表示領域 5 1 ごとに開口が形成されたマスクを用いて成膜される。

【 0 1 1 0 】

次に、正孔輸送層 5 5 までが形成された基板 5 3 を第 2 の成膜室 3 0 3 に搬入する。基板 5 3 とマスクとのアライメントを行い、基板をマスクの上に載置し、正孔輸送層 5 5 の上の、基板 5 3 の赤色を発する素子を配置する部分（赤色の副画素を形成する領域）に、赤色層 5 6 R を成膜する。ここで、第 2 の成膜室で用いるマスクは、有機 E L 表示装置の副画素となる基板 5 3 上における複数の領域のうち、赤色の副画素となる複数の領域のみ開口が形成された高精細マスクである。これにより、赤色発光層を含む赤色層 5 6 R は、基板 5 3 上の複数の副画素となる領域のうちの赤色の副画素となる領域のみに成膜される。換言すれば、赤色層 5 6 R は、基板 5 3 上の複数の副画素となる領域のうちの青色の副画素となる領域や緑色の副画素となる領域には成膜されずに、赤色の副画素となる領域に選択的に成膜される。
40

【 0 1 1 1 】

10

20

30

40

50

赤色層 5 6 R の成膜と同様に、第 3 の成膜室 3 0 3 において緑色層 5 6 G を成膜し、さらに第 4 の成膜室 3 0 3 において青色層 5 6 B を成膜する。赤色層 5 6 R、緑色層 5 6 G、青色層 5 6 B の成膜が完了した後、第 5 の成膜室 3 0 3 において表示領域 5 1 の全体に電子輸送層 5 7 を成膜する。電子輸送層 5 7 は、3 色の層 5 6 R、5 6 G、5 6 B に共通の層として形成される。

【 0 1 1 2 】

電子輸送層 5 7 までが形成された基板を第 6 の成膜室 3 0 3 に移動し、第 2 の電極 5 8 を成膜する。本実施形態では、第 1 の成膜室 3 0 3 ~ 第 6 の成膜室 3 0 3 では真空蒸着によって各層の成膜を行う。しかし、本発明はこれに限定はされず、例えば第 6 の成膜室 3 0 3 における第 2 の電極 5 8 の成膜はスパッタによって成膜するようにしてもよい。その後、第 2 の電極 5 8 までが形成された基板を封止装置に移動してプラズマ C V D によって保護層 6 0 を成膜して（封止工程）、有機 E L 表示装置 5 0 が完成する。なお、ここでは保護層 6 0 を C V D 法によって形成するものとしたが、これに限定はされず、A L D 法やインクジェット法によって形成してもよい。

10

【 0 1 1 3 】

ここで、第 1 の成膜室 3 0 3 ~ 第 6 の成膜室 3 0 3 での成膜は、形成されるそれぞれの層のパターンに対応した開口が形成されたマスクを用いて成膜される。成膜の際には、基板 5 3 とマスクとの相対的な位置調整（アライメント）を行った後に、マスクの上に基板 5 3 を載置して成膜が行われる。ここで、各成膜室において行われるアライメント工程は、上述のアライメント工程の通り行われる。

20

【 0 1 1 4 】

< 他の実施形態 >

上記実施形態では、S 1 0 又は S 2 0 において吸着電圧 V の初期化を実行しているが、本ステップは省略可能である。例えば、基板 1 0 0 をロット単位で処理する場合において、前回のロットにおける吸着電圧 V を吸着電圧 V の初期値として用いてもよい。

【 0 1 1 5 】

或いは、基板 1 0 0 をロット単位で処理する場合において、次ロットの基板 1 0 0 が前ロットの基板 1 0 0 と同様の導電膜パターン密度を有する場合には前述した < 処理例 1 > 又は < 処理例 2 > の処理自体を省略してもよい。この場合、例えば前ロットに対する処理で設定された吸着電圧 V 又は開始タイミングの設定値に基づいて、成膜装置 1 の処理が実行されてもよい。また例えば、初期ロットから複数ロット（例えば 2 ~ 5 ロット）の設定値の平均値等に基づいて、以降のロットにおける吸着電圧 V 又は開始タイミングの設定値が設定されてもよい。そして、次ロットの基板 1 0 0 が前ロットの基板 1 0 0 と異なる導電膜パターン密度を有する場合には前述した < 処理例 1 > 又は < 処理例 2 > の処理を実行し、吸着電圧 V 又は開始タイミングの設定値が再設定されてもよい。

30

【 0 1 1 6 】

上記実施形態では、電極部 1 5 1 の静電容量を検出する検出ユニット 1 6 の検出結果に基づいて吸着時間 T を特定しているが、他の方法で吸着時間 T を特定してもよい。例えば、静電チャック 1 5 に、基板 1 0 0 との接触を検出可能な 1 又は複数のタッチセンサが設けられてもよい。そして、処理部 1 4 1 は、電極部 1 5 1 に電圧が印加され始めてからタッチセンサが基板 1 0 0 との接触を検出するまでの時間を吸着時間として特定してもよい。例えば、タッチセンサは、基板 1 0 0 の吸着方向に進退可能な接触子を有し、接触子が基板 1 0 0 に触れることで接触子が変位して所定の電気信号を出力するような、メカニカルなセンサであってもよい。これにより、簡易な構成で吸着時間 T を特定することができる。

40

【 0 1 1 7 】

また例えば、基板 1 0 0 との距離を光学的に検出可能な測距センサ等の検出結果に基づいて、吸着時間 T が特定されてもよい。例えば、静電チャック 1 5 の下方にこのような測距センサが設けられ、静電チャック 1 5 に電圧が印加され始めてから基板 1 0 0 と測距センサとの距離が定常値になるまでの時間が吸着時間 T として特定されてもよい。

50

【0118】

上記実施形態では、成膜装置1の制御装置14の処理部141が前述した<処理例1>又は<処理例2>の処理を実行している。しかしながら、電子デバイスの製造ラインを統括的に制御する上位装置300等が前述した<処理例1>又は<処理例2>の処理を実行してもよい。或いは、制御装置14と通信可能な他の装置により前述した<処理例1>又は<処理例2>の処理が実行されてもよい。

【0119】

本発明は、上述の実施形態の1以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける1つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1以上の機能を実現する回路(例えば、ASIC)によっても実現可能である。

10

【0120】

発明は上記実施形態に制限されるものではなく、発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、発明の範囲を公にするために請求項を添付する。

【符号の説明】

【0121】

1 成膜装置、5 マスク台、6 基板支持ユニット、141 処理部、15 静電チャック、151 電極部、16 検出ユニット、100 基板、101 マスク

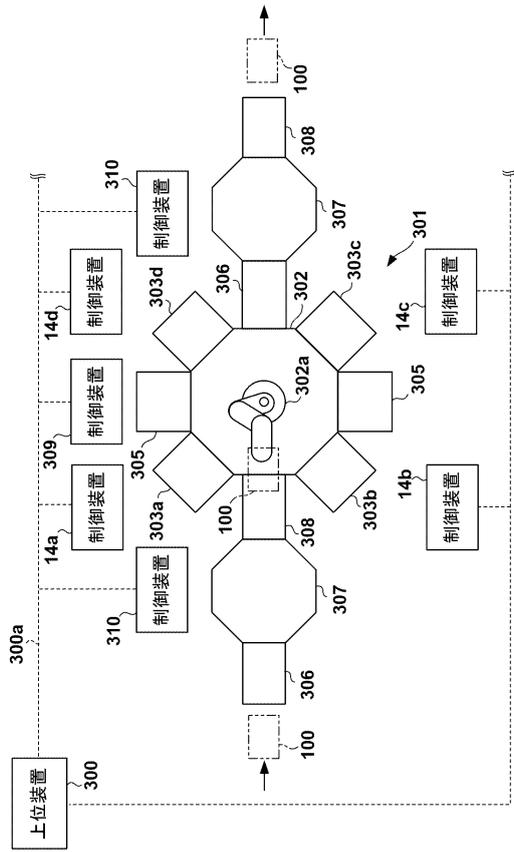
20

30

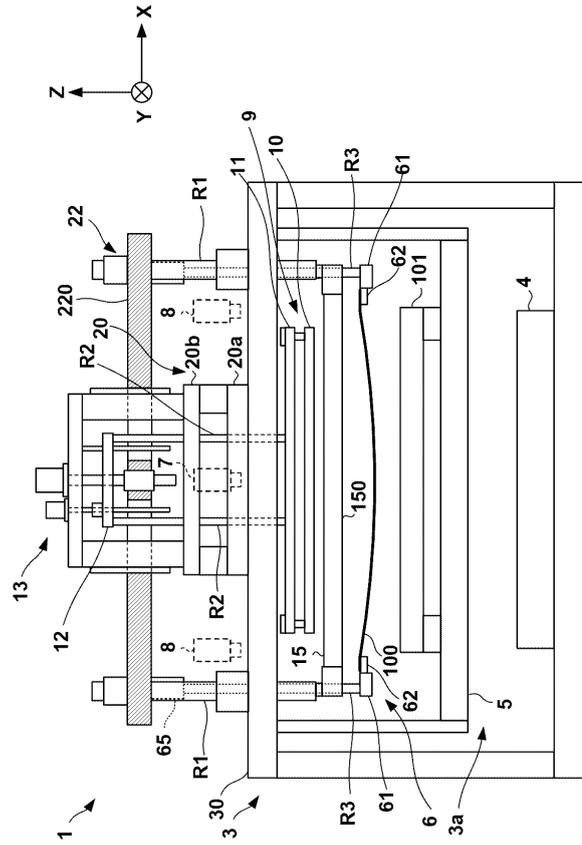
40

50

【図面】
【図 1】

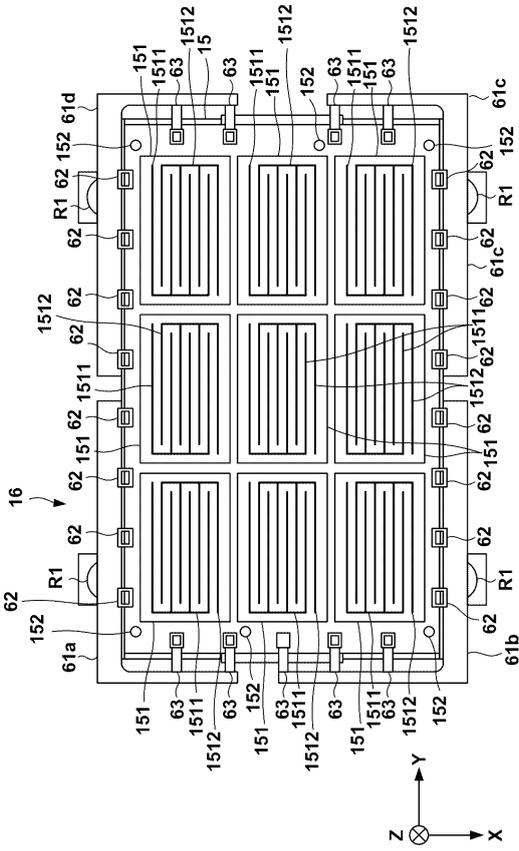


【図 2】

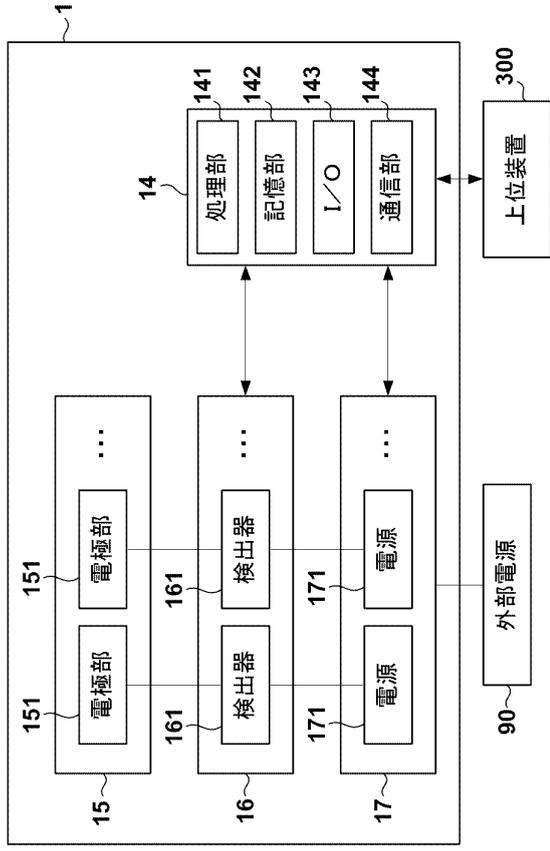


10
20

【図 3】

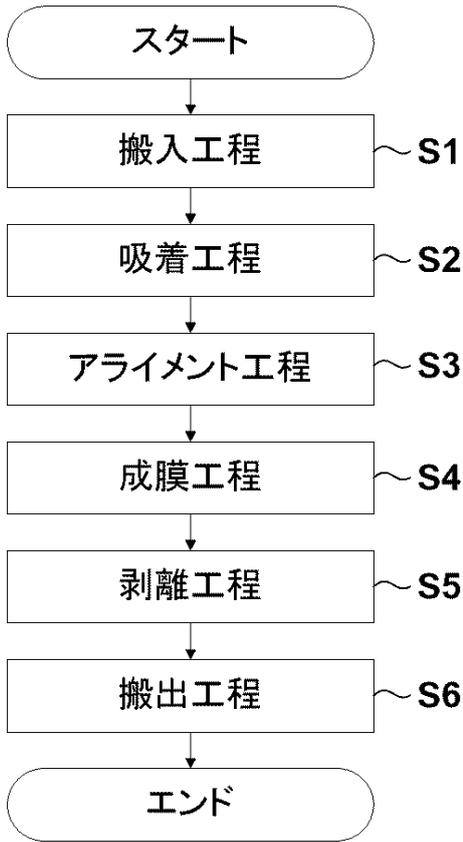


【図 4】

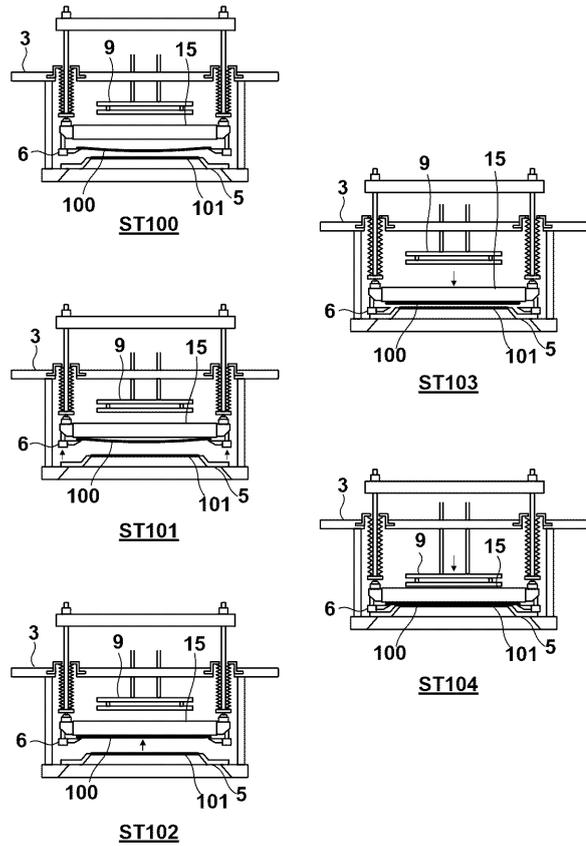


30
40
50

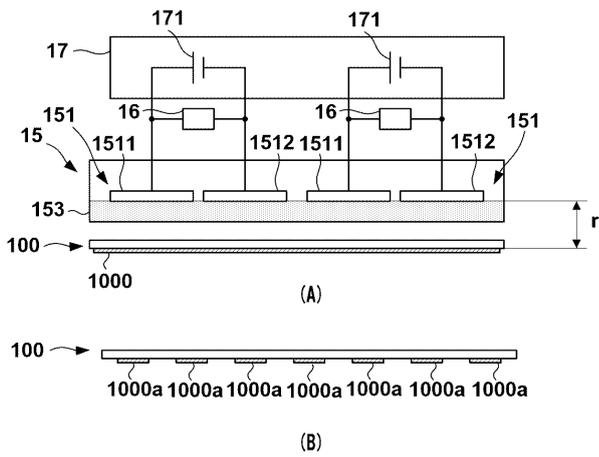
【図5】



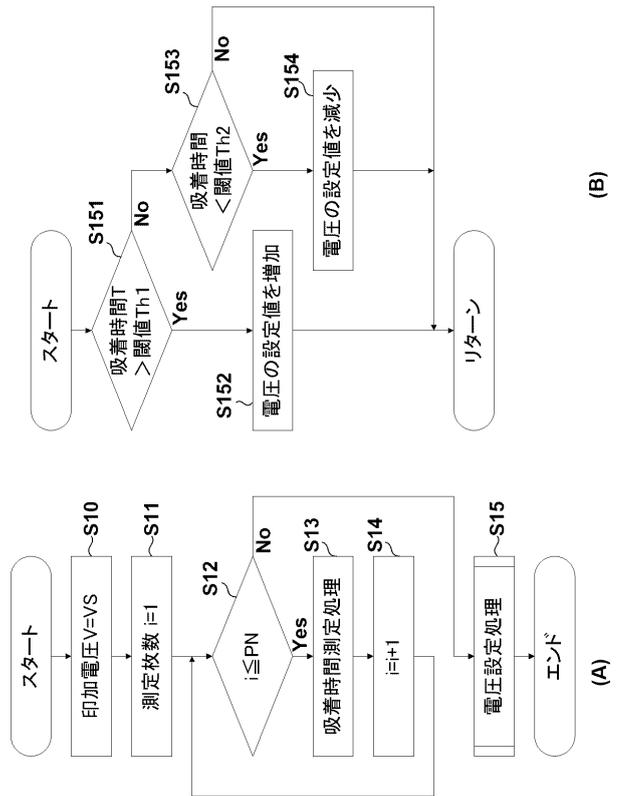
【図6】



【図7】



【図8】



10

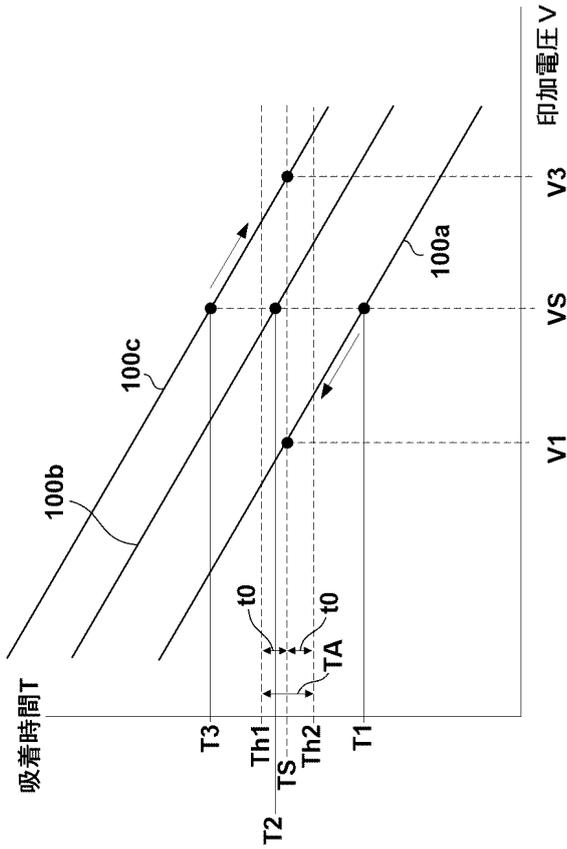
20

30

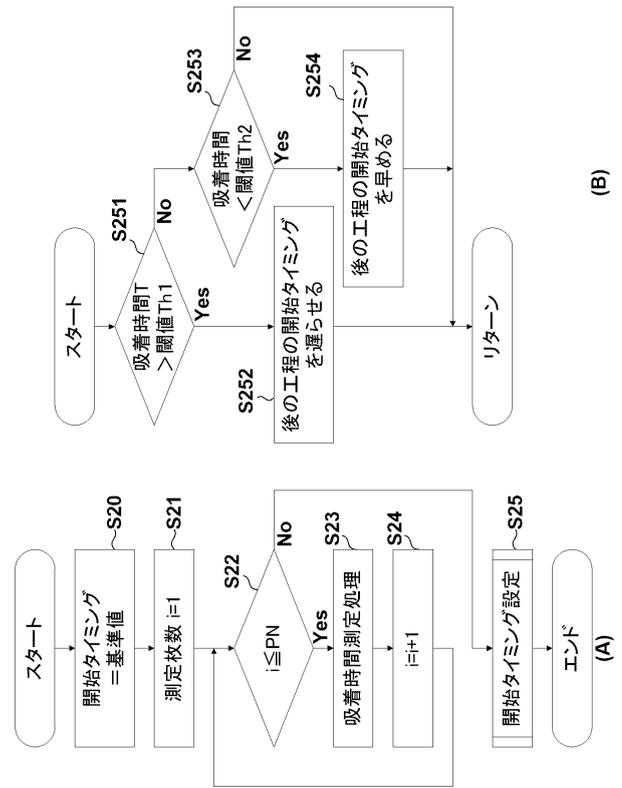
40

50

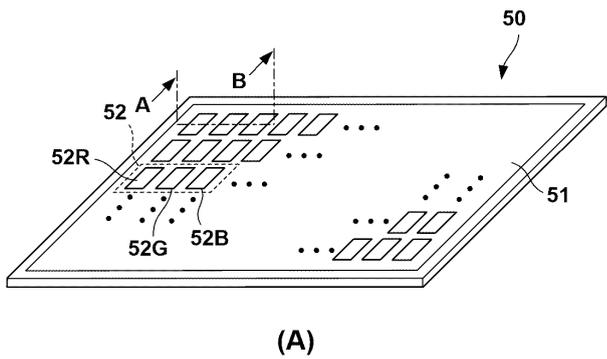
【図9】



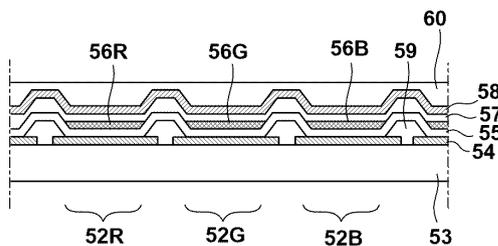
【図10】



【図11】



(A)



(B)

10

20

30

40

50

フロントページの続き

(51)国際特許分類		F I	
<i>H 1 0 K</i>	<i>50/00 (2023.01)</i>	<i>H 1 0 K</i>	<i>50/00</i>
<i>H 1 0 K</i>	<i>50/10 (2023.01)</i>	<i>H 1 0 K</i>	<i>50/10</i>
<i>H 1 0 K</i>	<i>59/00 (2023.01)</i>	<i>H 1 0 K</i>	<i>59/00</i>
<i>H 1 0 K</i>	<i>59/10 (2023.01)</i>	<i>H 1 0 K</i>	<i>59/10</i>
<i>H 1 0 K</i>	<i>71/16 (2023.01)</i>	<i>H 1 0 K</i>	<i>71/16</i>
(56)参考文献	特開 2 0 0 7 - 2 5 1 0 8 3 (J P , A)		
	特開 2 0 1 7 - 1 9 5 3 5 1 (J P , A)		
	特開 2 0 1 9 - 1 1 7 9 2 6 (J P , A)		
(58)調査した分野 (Int.Cl., D B 名)			
	C 2 3 C 1 4 / 5 4		
	C 2 3 C 1 4 / 5 0		
	H 0 1 L 2 1 / 6 8 3		
	H 0 1 L 2 1 / 6 8		
	H 0 1 L 2 1 / 6 7 7		
	H 1 0 K 5 0 / 0 0		
	H 1 0 K 5 0 / 1 0		
	H 1 0 K 5 9 / 0 0		
	H 1 0 K 5 9 / 1 0		
	H 1 0 K 7 1 / 1 6		