

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-245093
(P2006-245093A)

(43) 公開日 平成18年9月14日(2006.9.14)

(51) Int. Cl.		F I		テーマコード (参考)
HO 1 L 29/78 (2006.01)		HO 1 L 29/78	3 O 1 D	5 F 0 3 8
HO 1 L 27/04 (2006.01)		HO 1 L 27/04	H	5 F 1 4 0
HO 1 L 21/822 (2006.01)		HO 1 L 29/78	3 O 1 K	

審査請求 有 請求項の数 20 O L (全 13 頁)

(21) 出願番号	特願2005-55520 (P2005-55520)	(71) 出願人	599002238 聯詠科技股▲ふん▼有限公司 台湾台湾省新竹科學園區新竹縣創新一路1 3號2樓
(22) 出願日	平成17年3月1日(2005.3.1)	(74) 代理人	100082670 弁理士 西脇 民雄
		(72) 発明者	張 智毅 台湾台北縣新莊市中和街125巷20號9 樓
		(72) 発明者	▲洗▼ 立人 台湾台中市東山路一段146巷56號 Fターム(参考) 5F038 BH07 BH13 EZ20

最終頁に続く

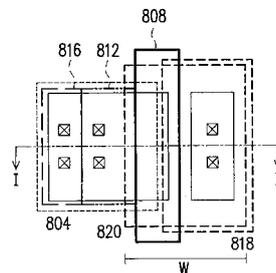
(54) 【発明の名称】 高電圧デバイス並びに静電気保護回路用高電圧デバイス

(57) 【要約】

【課題】従来の高電圧デバイスよりも高い頑健性を有する静電気放電保護回路のための高電圧デバイスを提供する。

【解決手段】静電気放電保護回路用高電圧デバイスを提供するもので、シリコン層を基板上に配置し、第1タイプウエルと第2タイプウエルを前記シリコン層内に配置する。第2タイプウエルの低ドーピング領域は前記第1タイプウエルの隣に位置させ、前記第2タイプウエルの高ドーピング領域は前記第1タイプウエルの一部と前記低ドーピング領域の下に位置する。ゲート構造を前記第1タイプウエルの一部と前記低ドーピング領域の上に配置し、第2タイプの第1ドーピング領域と第2タイプの第2ドーピング領域は前記低ドーピング領域と前記第1タイプウエル内で前記ゲート構造の両側に配置する。絶縁分離構造を前記低ドーピング領域内に配置し、第1タイプドーピング領域を前記第1タイプウエル内に配置する。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

第1タイプ基板；

前記第1タイプ基板内に配置した第1タイプエピタキシャルシリコン層；

前記第1タイプエピタキシャルシリコン層内に配置した第1タイプウエル；

前記第1タイプエピタキシャルシリコン層内に配置した第2タイプウエルで、その第2タイプウエルは、前記第1タイプウエルに隣接する第2タイプ低濃度ドーピング領域と、前記第1タイプウエルの一部と前記第2タイプ低濃度ドーピング領域の下に配置した第2タイプ高濃度ドーピング領域からなるもの；

前記第1タイプウエルの一部と前記第2タイプ低濃度ドーピング領域の上に配置したゲート構造； 10

それぞれ前記第2タイプ低濃度ドーピング領域と前記第1タイプウエル内で且つ前記ゲート構造の両側に配置した第2タイプの第1ドーピング領域と第2タイプの第2ドーピング領域；

前記第2タイプ低濃度ドーピング領域内で、且つ前記ゲート構造と前記第2タイプの第1ドーピング領域との間に配置した第1絶縁分離構造；並びに、

前記第1タイプウエル内で、且つ前記第2タイプの第2ドーピング領域に隣接して配置した第1タイプドーピング領域からなる静電気放電保護回路用高電圧デバイス。

【請求項 2】

前記第2タイプ低濃度ドーピング領域、前記第1タイプウエルと前記第2タイプの第2ドーピング領域が共に寄生バイポーラトランジスタを構成し、また、前記第2タイプ高濃度ドーピング領域、前記第1タイプウエルと前記第2タイプの第2ドーピング領域が共に他の寄生バイポーラトランジスタを構成し、前記第2タイプの第1ドーピング領域から入ってきたパルス電流が、前記二つの寄生バイポーラトランジスタを通過後、前記第2タイプの第2ドーピング領域を通して回路から排出することができるようにした請求項第1に記載の静電気放電保護回路用高電圧デバイス。 20

【請求項 3】

前記第2タイプ高濃度ドーピング領域と前記第1タイプウエル間のPN接合の破壊電圧が前記第2タイプ低濃度ドーピング領域と前記第1タイプウエル間のPN接合の破壊電圧より小さく、 30

また、前記第2タイプ高濃度ドーピング領域と前記第1タイプウエル間の前記PN接合の前記破壊電圧が静電気放電保護回路の破壊電圧である請求項第2に記載の静電気放電保護回路用高電圧デバイス。

【請求項 4】

前記第1タイプウエル内で、且つ前記第1タイプドーピング領域と前記第2タイプの第2ドーピング領域間に配置する第2絶縁分離構造からなる請求項第1乃至3のいずれかに記載の静電気放電保護回路用高電圧デバイス

【請求項 5】

前記第2絶縁分離構造がフィールド酸化物絶縁分離構造またはSTI素子絶縁分離(Shallow Trench Isolation)構造からなる請求項第4に記載の静電気放電保護回路用高電圧デバイス。 40

【請求項 6】

1絶縁分離構造がフィールド酸化物絶縁分離構造またはSTI素子絶縁分離(Shallow Trench Isolation)構造からなる請求項第1乃至5のいずれかに記載の静電気放電保護回路用高電圧デバイス。

【請求項 7】

前記第2タイプの第1ドーピング領域、前記第2タイプ低濃度ドーピング領域と前記第2タイプ高濃度ドーピング領域と一緒にドレインとして務め、前記第2タイプの第2ドーピング領域がソースを務める請求項第1乃至6のいずれかに記載の静電気放電保護回路用高電圧デバイス。

【請求項 8】

前記第 2 タイプ低濃度ドーピング領域が高電圧第 2 タイプウエルからなる請求項第 1 乃至 7 のいずれかに記載の静電気放電保護回路用高電圧デバイス。

【請求項 9】

前記第 2 タイプ高濃度ドーピング領域が第 2 タイプ埋込層からなる請求項第 1 乃至 8 のいずれかに記載の静電気放電保護回路用高電圧デバイス。

【請求項 10】

第 1 タイプが P タイプであり、第 2 タイプが N タイプである請求項第 1 乃至 9 のいずれかに記載の静電気放電保護回路用高電圧デバイス。

【請求項 11】

第 1 タイプ基板；

前記第 1 タイプ基板内に配置した第 1 タイプエピタキシャルシリコン層；

前記第 1 タイプエピタキシャルシリコン層内に配置した第 1 タイプウエル；

前記第 1 タイプエピタキシャルシリコン層内に配置した第 2 タイプウエルで、その第 2 タイプウエルは、前記第 1 タイプウエルに隣接する第 2 タイプ低濃度ドーピング領域と、前記第 1 タイプウエルの一部と前記第 2 タイプ低濃度ドーピング領域の下に配置した第 2 タイプ高濃度ドーピング領域からなるもの；

前記第 1 タイプウエルの一部と前記第 2 タイプ低濃度ドーピング領域の上に配置したゲート構造；

それぞれ前記第 2 タイプ低濃度ドーピング領域内および前記第 1 タイプウエル内で、前記ゲート構造の両側に配置した第 2 タイプの第 1 ドーピング領域と第 2 タイプの第 2 ドーピング領域；

前記第 2 タイプ低濃度ドーピング領域内で、且つ前記ゲート構造と前記第 2 タイプの第 1 ドーピング領域との間に配置した第 1 絶縁分離構造；並びに、

前記第 1 タイプウエル内で、且つ前記第 2 タイプの第 2 ドーピング領域に隣接して配置した第 1 タイプドーピング領域からなる高電圧デバイス。

【請求項 12】

前記第 1 タイプウエル内で、且つ前記第 1 タイプドーピング領域と前記第 2 タイプの第 2 ドーピング領域間に配置する第 2 絶縁分離構造からなる請求項第 11 に記載の高電圧デバイス。

【請求項 13】

前記第 2 絶縁分離構造がフィールド酸化物絶縁分離構造または S T I 素子絶縁分離 (Shallow Trench Isolation) 構造からなる請求項第 12 に記載の高電圧デバイス。

【請求項 14】

前記第 1 絶縁分離構造がフィールド酸化物絶縁分離構造または S T I 素子絶縁分離 (Shallow Trench Isolation) 構造からなる請求項第 11 乃至 13 のいずれかに記載の高電圧デバイス。

【請求項 15】

前記高電圧デバイスが回路設計上種々の用途を有する請求項第 11 乃至 14 のいずれかに記載の高電圧デバイス。

【請求項 16】

前記高電圧デバイスがディスプレイドライバ I C、電源、電力管理、遠距離通信、自動車用エレクトロニクス及び工業用コントローラ内部に用いられる請求項第 15 に記載の高電圧デバイス。

【請求項 17】

前記第 2 タイプの第 1 ドーピング領域、前記第 2 タイプ低濃度ドーピング領域と前記第 2 タイプ高濃度ドーピング領域が一緒にドレインとして務め、前記第 2 タイプの第 2 ドーピング領域がソースを務める請求項第 11 乃至 16 のいずれかに記載の高電圧デバイス。

【請求項 18】

前記第 2 タイプ低濃度ドーピング領域が高電圧第 2 タイプウエルからなる請求項第 11

10

20

30

40

50

乃至 17 のいずれかに記載の高電圧デバイス。

【請求項 19】

前記第 2 タイプ高濃度ドーピング領域が第 2 タイプ埋込層からなる請求項第 11 乃至 18 のいずれかに記載の高電圧デバイス。

【請求項 20】

第 1 タイプが P タイプであり、第 2 タイプが N タイプである請求項第 11 乃至 19 のいずれかに記載の高電圧デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体デバイスに関し、特に高電圧デバイス並びに静電気保護回路用高電圧デバイスに関する。

【背景技術】

【0002】

相対湿度 (RH) が高い場合にカーペットの床を人間が歩くと、数百から数千ボルトの静電気が発生する。相対湿度が低いと数千ボルトの静電気が発生する。又半導体デバイスのパッケージやテストに用いられる機械も通常、数百から数千ボルトの静電気を発生する。帯電体 (人体や機械など) がシリコンウエハーと接触すると、静電気はシリコンウエハーを通して放電する。静電気が放電する時の瞬時電力は、ウエハーを持つ半導体装置を破損させ、その結果デバイス不良となる程の強さである。同種の静電気放電は封止チップをも破損させるおそれがある。

【0003】

静電気放電 (ESD) による破損を防止する多くの方法が開発されている。もっともありふれた ESD 保護方法は、パッケージの中に特別なハードウェアを組み込むことである。即ち、特別に設計した静電気防止回路を保護されるべき内部回路と各々のボンディングパッドとの間に組み込む。

【0004】

米国特許 6,624,487 で Kunz は二つの N 型金属酸化物半導体 (NMOS) トランジスタ 100 と 102 を持った設計を開示した (図 1 参照)。図 1 に示すようにトランジスタ 100 と 102 のゲートは相互に接続されている。これら二つのトランジスタ 100 と 102 のドレイン 104a と 104b は N 型ウエル 106 の中に形成され、互いに接続されている。更にそのトランジスタ (100 または 102) の一つは他のトランジスタ 102 の寄生バイポーラトランジスタの起動に用いられる。

【0005】

他の米国特許 6,365,941 で Samsung Electronics Co. Ltd. の Rhee は、一つの静電気保護回路を開示した (図 2 参照)。図 2 に示す通り、その静電気保護回路は、MOS トランジスタ 200 とツエナーダイオード 202 からなる。MOS トランジスタのしきい値電圧は内部回路の動作電圧よりも高いが内部回路内の MOS トランジスタのドレインの接合破壊電圧よりは低い。更に、ボンディングパッドとツエナーダイオードを一对にして用いる代わりに、複数のボンディングパッドと大きい接合領域を有する共通の一つのダイオードを使うこともできる。

【0006】

他の米国特許 5,932,914 で NEC の Horiguchi は、一つの静電気破壊保護回路を開示した (図 3 参照)。図 3 に示す通り、そのデバイスは保護ダイオード 300、NPN 保護バイポーラトランジスタ 302、P 型ウエル 304、N 型金属酸化物半導体電界効果型トランジスタ (NMOSFET) 306、および N 型埋込層 308 からなる。Horiguchi によれば、内部回路が注入された電子によって破壊されることを防止するために、保護素子が作動している間 N 型埋込層がその保護素子から出る電子を吸収する。

【0007】

10

20

30

40

50

更に、米国特許 6,365,932 (図 4 参照)で Denso の Kouno 等は、保護ダイオードを有するパワー MOS を開示した。このパワー MOS は大きな破壊電圧差と小さいシート抵抗を持つ。図 4 に示す通り、パワー MOS はアップドレイン型 MOSFET である。この MOSFET はドレイン側に厚いゲート絶縁分離層を有している。更に、サージバイパス用の保護ダイオードは、P 型ドーピング領域 400 と深い N 型ドーピング領域 402 の間に形成される。

【0008】

最近、高電圧信号用途として、高電圧用相補型金属酸化物半導体 (CMOS) トランジスタを製造できるプロセスが開発された。これらのタイプのトランジスタは、高電圧パワー IC やビデオ用インターフェイス回路、またディスプレイドライバ IC、電源、電力管理、遠距離通信、自動車用エレクトロニクス、工業用コントローラ等にしばしば応用されている。高電圧のシステム (例えば、10V 以上の動作電圧) 用途のために、大部分の MOS トランジスタに用いられる製造方法は、破壊電圧を上げるための以下のタイプのデザインを適用している。第 1 は、破壊電圧と動作電圧を上げる目的で、低目の高濃度ドーピングエピタキシャルシリコン層をデバイス領域のドーピング濃度に戻すように、シリコン基板上に形成する。第 2 は、接合破壊電圧を上げそれにより動作電圧を上げる目的で、MOS トランジスタのソースとドレインに高濃度ドーピング領域を加える。第 3 は、ドレインとゲート間の破壊電圧を上げる目的で、フィールド酸化層をドレインとゲート間に配置する。

【0009】

図 5 は、高電圧システムでの従来の対称型 NMOS の断面の概略図である。図 5 に示すとおり、高電圧 N 型ウエル (HVNW) 500 と 502 がソース/ドレイン N 型高濃度ドーピング領域 504 と 506 の下に配置されている。更に、その N 型高濃度ドーピング領域 504 と高電圧 N 型ウエル 500 が一緒に NMOS トランジスタのソースを形成し、N 型高濃度ドーピング領域 506 と高電圧 N 型ウエル 502 が一緒に NMOS トランジスタのドレインを形成している。ソースとドレインが対称的に配置されているので、回路応用上ソースとドレインは交換可能である。又、NMOS トランジスタのバルク領域が基本的に P 型ウエルの中に形成される。バルクポテンシャルは P 型エピタキシャルシリコン層 510、P 型基板 512、P 型ウエル 514 及び P 型高濃度ドーピング領域 516 によってコントロールされる。更に NMOS トランジスタの種々のコンポーネントが、普通のイオンプレATING、熱拡散、酸化やフォトリソグラフィー等の CMOS プロセスによって厚膜 P 型エピタキシャルシリコン層 510 (厚みは約 3 ~ 20 μm) の上に形成されている。実際、薄膜 P 型エピタキシャルシリコン層 510 は、CMOS プロセス後厚膜 P 型エピタキシャルシリコン層の残りの部分である。高電圧システムの NMOS トランジスタにおいて、高い破壊電圧を有する P 型ウエルと高電圧 N 型ウエルとの接合はソース/バルク界面を構成する。更にフィールド酸化層絶縁分離構造 518 がドレインと多結晶シリコンゲート 520 の間に配置されている。その結果、高い動作電圧を NMOS トランジスタのドレインとゲート間にかけることが可能となる。

【0010】

図 6 は高電圧システム用の従来の非対称型 NMOS の断面概略図である。図 5 と異なり、フィールド酸化層絶縁分離構造 604 がドレイン 600 とゲート 602 の間に配置されているが、フィールド酸化層絶縁分離構造 604 はソース 606 とゲート 602 の間には配置されていない。又ソース 606 の下には高電圧 N 型ウエル 608 は配置されていない。NMOS トランジスタのソースとドレインは非対称であるので、回路設計上ソースとドレインを交換して使用することはできない。

【0011】

前述の記載は常に NMOS トランジスタについて記述しているが、PMOS トランジスタは N 型 / P 型ドーピングを変えることにより同様につくることが可能である。また、前述のデバイスは高電圧システムに適用する場合優れた動作特性を示す。然し、これらのデバイスは、静電気保護回路に用いる場合はさらに高い破壊電圧が必要なため、このデバイ

10

20

30

40

50

スは頑健性が劣る。また、これらのデバイスを装着するためには広い面積が必要である。

【0012】

図7は、伝送路パルス(TLP)システムで測定した図5の対称型NMOSの特性電流電圧関係のグラフである。一般にTLPによるI-V特性は静電気放電を受けるデバイスの動作状態を説明する。このI-V特性曲線は電圧の上昇と共に点Aで電流が上昇し始め、最終B点(デバイス破損)で最大値となることを示す。図7に示すとおりNMOSトランジスタのみが適度な静電気放電保護能力を有する。パルス電流がNMOSトランジスタを通過すると電圧は上昇し高い瞬時電圧を生じ、その瞬時電圧がデバイスを破損させる。

【発明の開示】

【発明が解決しようとする課題】

10

【0013】

本発明の少なくとも一つの目的は、従来の高電圧デバイスよりも高い頑健性を有する静電気放電保護回路のための高電圧デバイスを提供することにある。

【0014】

本発明の少なくとも二つ目の目的は、静電気放電保護回路だけでなく一般的回路にも使える高電圧デバイスを提供することにある。

【課題を解決するための手段】

【0015】

これらや他のメリットを達成し、そして本発明の目的に従ってここに具体的にまたは広く記載しているように、本発明は静電気放電保護回路用高電圧デバイスを提供する。この高電圧デバイスは、第1タイプ基板、第1タイプエピタキシャルシリコン層、第1タイプウエル、第2タイプウエル、ゲート構造、第2タイプの第1ドーピング領域、第2タイプの第2ドーピング領域、第1絶縁分離構造および第1タイプドーピング領域からなる。第1タイプエピタキシャルシリコン層を第1タイプ基板内に配置する。第1タイプウエルと第2タイプウエルを、各々第1タイプエピタキシャルシリコン層内に配置する。第2タイプウエルは、第2タイプ低濃度ドーピング領域と第2タイプ高濃度ドーピング領域からなる。第2タイプ低濃度ドーピング領域を第1タイプウエルの隣に配置し、第2タイプ高濃度ドーピング領域を第1タイプウエルの一部と第2タイプ低濃度ドーピング領域の下に配置する。ゲート構造を第1タイプウエルの一部と第2タイプ低濃度ドーピング領域に配置する。第2タイプの第1ドーピング領域と第2タイプの第2ドーピング領域を、それぞれ第2タイプ低濃度ドーピング領域と第1タイプウエル内で、ゲート構造の両側に配置する。第1絶縁分離構造を、第2タイプ低濃度ドーピング領域内で且つゲート構造と第2タイプの第1ドーピング領域間に配置する。第1タイプドーピング領域を第1タイプウエル内で且つ第2タイプの第2ドーピング領域に隣接して配置する。

20

30

【0016】

本発明はまたひとつの高電圧デバイスを提供する。この高電圧デバイスは、第1タイプ基板、第1タイプエピタキシャルシリコン層、第1タイプウエル、第2タイプウエル、ゲート構造、第2タイプの第1ドーピング領域、第2タイプの第2ドーピング領域、第1絶縁分離構造および第1タイプドーピング領域からなる。第1タイプエピタキシャルシリコン層を第1タイプ基板内に配置する。第1タイプウエルと第2タイプウエルを第1タイプエピタキシャルシリコン層内に配置する。第2タイプウエルは第2タイプ低濃度ドーピング領域と第2タイプ高濃度ドーピング領域からなる。第2タイプ低濃度ドーピング領域を第1タイプウエルの隣に配置し、第2タイプ高濃度ドーピング領域を第1タイプウエルの一部と第2タイプ低濃度ドーピング領域の下に配置する。ゲート構造を第1タイプウエルの一部と第2タイプ低濃度ドーピング領域に配置する。第2タイプの第1ドーピング領域と第2タイプの第2ドーピング領域を、それぞれ第2タイプ低濃度ドーピング領域と第1タイプウエル内でゲート構造の両側に配置する。第1絶縁分離構造を第2タイプウエルの第2タイプ低濃度ドーピング領域内で、且つゲート構造と第2タイプの第1ドーピング領域間に配置する。第1タイプドーピング領域は第1タイプウエル内で、且つ第2タイプの第2ドーピング領域に隣接して配置する。

40

50

【0017】

本発明の高電圧デバイス内の第2タイプ低濃度ドーピング領域、第1タイプウエル及び第2タイプの第2ドーピング領域は、寄生型バイポーラトランジスタを形成する。同様に、第2タイプ高濃度ドーピング領域、第1タイプウエル及び第2タイプの第2ドーピング領域は共に他の寄生型バイポーラトランジスタを形成する。それ故第2タイプの第1ドーピング領域から入ってくる全てのパルス電流は二つの寄生型バイポーラトランジスタを通過後、第2タイプの第2ドーピング領域を通過して回路から排出される。言い換えると、本発明の高電圧デバイスは通常の回路に加え、静電気放電保護回路内に使うことができる。

【発明の効果】

【0018】

10

まとめると、本発明は以下の利点を有する：

1. 高電圧デバイスのI-V特性が改善され、より高いパルス電流に耐えることが可能となる。頑健性が増し、このデバイスは静電気放電保護用として、または入出力バッファ用として用いることが可能となる。
2. 必要エリアが小さくなるので、別の回路上の要求がある場合には、その減らした分のエリアを使える。
3. 静電気放電保護用以外に、この高電圧デバイスは高電圧のパワーIC、ビデオ用インターフェイス回路やディスプレイドライバIC、電源、電力管理、通信、自動車用エレクトロニクスや工業用コントローラなどにも使用可能である。更に、このデバイスは12~50Vまたはそれ以上のシステム電圧の場合にも正常に動作可能である。

20

【発明を実施するための最良の形態】

【0019】

前述の一般的記載と以下の詳細な記載は典型的なものの記載であることを理解すべきであり、また請求項記載の本発明の更なる説明を提供することを意図したものである。添付図面は本発明の更なる理解をするために提供するとともに、本明細書の一部を構成する。これら図面は本発明の実施態様を図によって説明し、同時に明細書記載と共に本発明の考え方の説明に役立たせる。

【0020】

本発明の現時点での最良の実施態様の詳細を説明するが、その事例を添付図に記載する。同一または類似部品を引用する図面及び記載においては、可能な限り同一参照番号を使

30

【0021】

以下の実施態様において、本発明の高電圧デバイスは静電気放電保護回路に用いるが、本発明はそれに限定するものではない。本発明の高電圧デバイスは普通の回路にも応用することも可能である。また本発明の高電圧デバイスにおいては、第1タイプとはP型で、第2タイプとはN型を意味している。

【0022】

図8は本発明の一つの最良の実施態様に従った高電圧デバイスの上面からの図である。図9は、図8の高電圧デバイスにおけるI-I'線に沿っての概略断面図である。図8, 9に示すように本発明の高電圧デバイスは、P型基板800、P型エピタキシャルシリコン層802、P型ウエル804、N型ウエル806、ゲート構造808、N型ドーピング領域810, 812、絶縁分離構造814、P型ドーピング領域816からなる。更にN型ウエル806はN型低濃度ドーピング領域818とN型高濃度ドーピング領域820からなり、ゲート構造808は底部ゲート絶縁分離層822と上部ゲート824からなる。

40

【0023】

P型エピタキシャルシリコン層802をP型基板800内に配置する。P型エピタキシャルシリコン層802のドーパント濃度はP型基板800のドーパント濃度より少ない。P型ウエル804をP型エピタキシャルシリコン層802内に配置する。

【0024】

N型ウエル806をP型エピタキシャルシリコン層802内に配置する。N型低濃度ド

50

ーピング領域 818 を P 型ウエル 804 の隣に配置する。N 型高濃度ドーピング領域 820 を、P 型ウエル 804 の一部と N 型低濃度ドーピング領域 818 の下に配置する。例えば、N 型低濃度ドーピング領域 818 は高電圧 N 型ウエル (HVNW) であり、N 型高濃度ドーピング領域 820 は N 型埋込層 (NBL) である。N 型高濃度ドーピング領域 820 の幅 W (図 8 に示す) に関しては特別な制限はない。唯一の基準は、N 型高濃度ドーピング領域 820 の一部が P 型ウエル 804 の下にあることである。一般的に N 型高濃度ドーピング領域 820 の幅 W が小さければ小さいほど、デバイスが占有する面積は小さくなり、利用できる面積が広がる。

【0025】

ゲート構造 808 を P 型ウエル 804 の一部と N 型低濃度ドーピング領域 818 の上に配置する。N 型ドーピング領域 810 と 812 をそれぞれ N 型低濃度ドーピング領域 818 と P 型ウエル 804 内で、ゲート構造 808 の両側に位置する。N 型ドーピング領域 810、N 型低濃度ドーピング領域 818 と N 型高濃度ドーピング領域 820 は一緒にドレインを務め、一方 N 型ドーピング領域 812 はソースを務める。言い換えると高電圧デバイスにおけるソースとドレインの配置は非対称である。

【0026】

絶縁分離構造 814 は、ドレインとゲート間の破壊電圧を上げるため、N 型低濃度ドーピング領域 818 内で、ゲート構造 808 と N 型ドーピング領域 810 との間に配置する。絶縁分離構造 814 は、例えばプロセス上必要となる線幅により、フィールド酸化物または STI 素子絶縁分離 (Shallow Trench Isolation) が可能である。更に複数の高電圧デバイス同士は他の絶縁分離構造 826 によってお互いに分離されている。

【0027】

P 型ドーピング領域 816 を P 型ウエル 804 内で、且つ N 型ドーピング領域 812 に隣接して配置する。P 型ドーピング領域 816 と N 型ドーピング領域 812 はお互いに隣接しているので、一つの操作でこれら二つの領域での電位をコントロールするように回路設計することができる。更に、P 型ドーピング領域 816 と P 型ウエル 804 はバルク領域を務めることができる。このバルク領域と P 型基板 800 は同一のドーパントを有するため、これらはバルク電位と基板電位が同一となるよう相互に結合する。

【0028】

前述の高電圧デバイスの N 型低濃度ドーピング領域 818、P 型ウエル 804 と N 型ドーピング領域 812 は NPN 寄生バイポーラトランジスタを形成することに注目すべきである。同様にこの高電圧デバイスの N 型高濃度ドーピング領域 820、P 型ウエル 804 と N 型ドーピング領域 812 は別の NPN 寄生バイポーラトランジスタを形成する。それ故、パルス電流が N 型ドーピング領域 810 に入った場合、ベース - エミッタ間の電圧が寄生バイポーラトランジスタのしきい値電圧より大きくなるようなら、寄生バイポーラトランジスタのエミッタ - コレクタチャネルが導通し、二つの寄生バイポーラトランジスタを起動させる。導通した寄生バイポーラトランジスタが静電気の放電をして回路を保護する。言い換えると、N 型ドーピング領域 810 に入ってきたパルス電流は、二つの寄生バイポーラトランジスタを通った後、N 型ドーピング領域 812 を通って回路から排出される。N 型ドーピング領域 812 はシステム電圧 VDD または接地電圧 VSS に更に接続することができる。さらに、N 型高濃度ドーピング領域 820 と P 型ウエル 804 の間の PN 接合の破壊電圧は、N 型低濃度ドーピング領域 818 と P 型ウエル 804 の間の PN 接合の破壊電圧より小さい。その結果、N 型高濃度ドーピング領域 820 と P 型ウエル 804 の間の低い PN 接合の破壊電圧は静電気放電保護用の破壊電圧として用いることができる。

【0029】

本発明の別の実施態様として、他の絶縁分離構造 828 (図 10 参照) を P 型ドーピング領域 816 と N 型ドーピング領域 812 の間に配置する。この場合、バルク領域内の P 型ドーピング領域 816 と、ソースを務める N 型ドーピング領域 812 はお互いに分離している。それ故、この二つの領域は、デバイスに占有される全体の面積を減らすことがで

10

20

30

40

50

きるので、他の高電圧デバイス用に用いることができる。

【0030】

図11は伝送路パルス(TLP)システムで測定した本発明の一つの最良の実施例に従った高電圧デバイスの特性電流対電圧(I-V)の関係を示すグラフである。図11に示すようにパルス電流が増加すると、例えば、静電気放電の間衝撃的な電流が生成されて、N型高濃度ドーピング領域820とP型ウエル804間のPN接合が低い接合破壊電圧のため(C点で)破壊する。然し、N型低濃度ドーピング領域818、P型ウエル804およびN型ドーピング領域812からなる寄生バイポーラトランジスタと、N型高濃度ドーピング領域820、P型ウエル804とN型ドーピング領域812からなる寄生バイポーラトランジスタがすぐに起動する。こうして、この動作はI-V曲線の反転領域(D-E)に戻り、点Eで破損する。従って、たとえ本発明の高電圧デバイスが静電気放電のような大きなパルス電流を受けても、回路保護のため比較的小さな電圧が現れるに留まる。それ故本発明の高電圧デバイスは従来の高電圧デバイスより本質的により頑健性に優れる。

10

【0031】

本発明の範囲、概念から外れることなく構成範囲内で行える種々の修正や変更は当業者にとって容易なものである。上記観点から、本発明は、以下の請求項及びその等価なものに属するものと認められる本発明の種々の修正や変更をも含んでいることを意図している。

【図面の簡単な説明】

【0032】

【図1】米国特許番号6,624,487に開示された静電気放電保護回路用デバイスの概略断面図である。

【図2】米国特許番号6,365,941に開示された静電気放電保護回路用デバイスの概略断面図である。

【図3】米国特許番号5,932,914に開示された静電気放電保護回路用デバイスの概略断面図である。

【図4】は米国特許番号6,365,932に開示された静電気放電保護回路用デバイスの概略断面図である。

【図5】高電圧システムにおける従来の対称型NMOSの概略断面図である。

【図6】高電圧システムにおける従来の非対称型NMOSトランジスタの概略断面図である。

20

30

【図7】伝送線路パルス(TLP)システムで測定した図5の対称型NMOSの特性電流対電圧(I-V)の関係を示すグラフである。

【図8】本発明の一つの最良の実施例に従った高電圧デバイスの上から見た図である。

【図9】図8の高電圧デバイスのI-I'線に沿った概略断面図である。

【図10】本発明の他の最良の実施態様に従った高電圧デバイスの概略断面図である。

【図11】伝送路パルス(TLP)システムで測定した本発明の高電圧デバイスの特性電流対電圧(I-V)の関係を示すグラフである。

【符号の説明】

【0033】

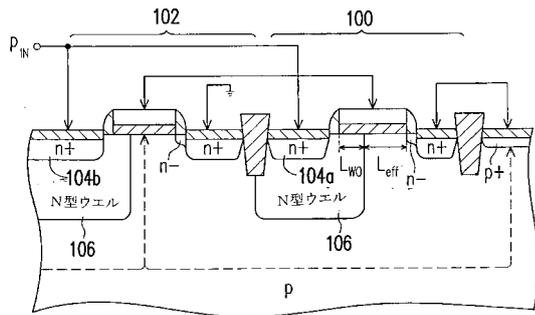
- 800・・・P型基板
- 802・・・P型エピタキシャルシリコン層
- 804・・・P型ウエル
- 806・・・N型ウエル
- 808・・・ゲート構造
- 810, 812・・・N型ドーピング領域
- 814・・・絶縁分離構造
- 816・・・P型ドーピング領域
- 806・・・N型ウエル
- 818・・・N型低濃度ドーピング領域

40

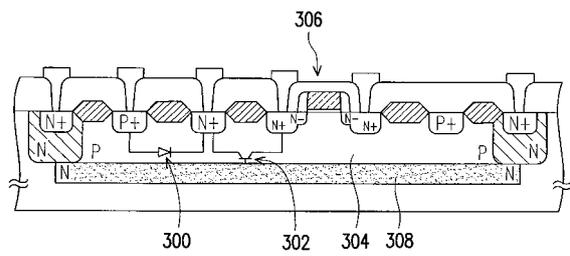
50

- 8 2 0 . . . N型高濃度ドーピング領域
- 8 0 8 . . . ゲート構造
- 8 2 2 . . . 底部ゲート絶縁分離層
- 8 2 4 . . . 上部ゲート
- 8 2 8 . . . 絶縁分離構造

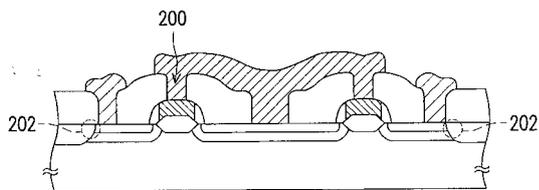
【 図 1 】



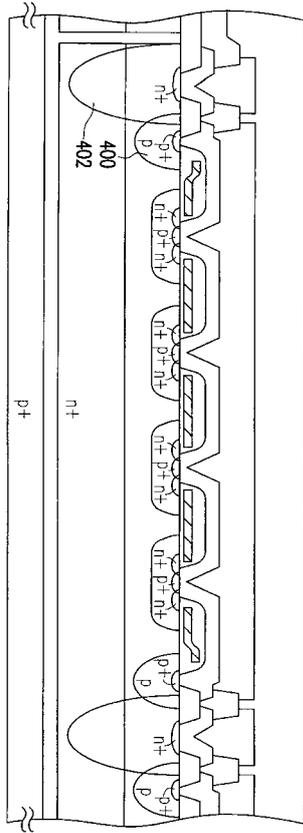
【 図 3 】



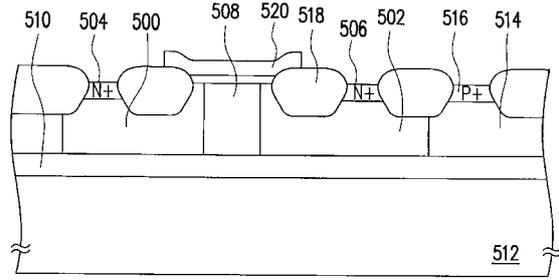
【 図 2 】



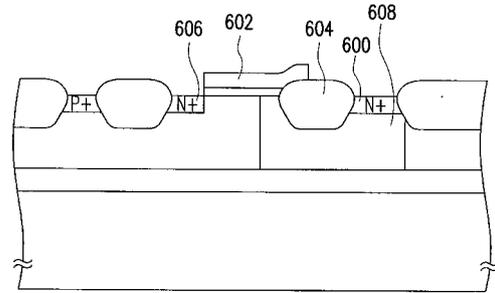
【 図 4 】



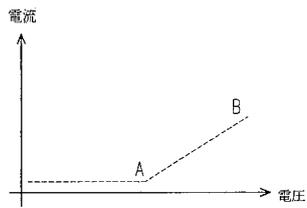
【 図 5 】



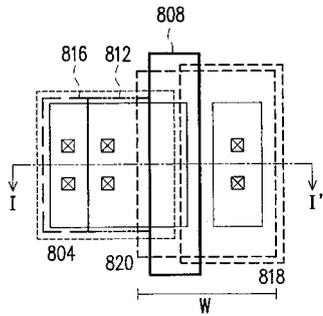
【 図 6 】



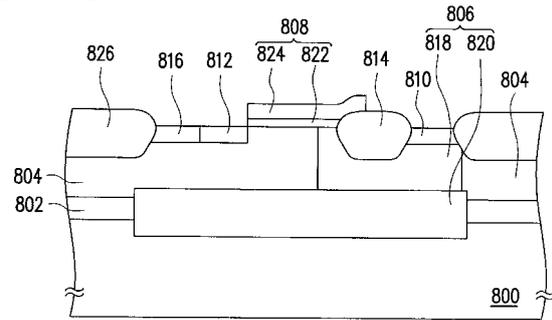
【 図 7 】



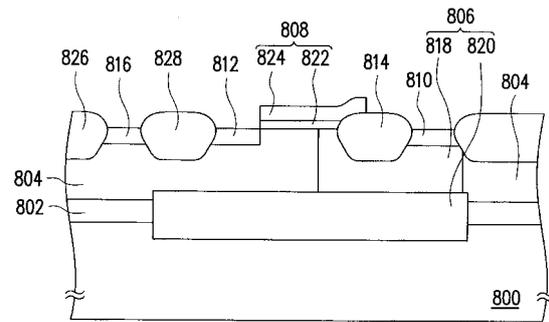
【 図 8 】



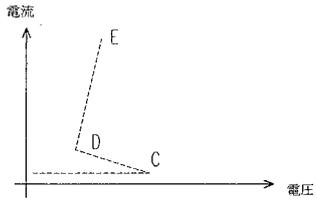
【 図 9 】



【 図 10 】



【 図 1 1 】



フロントページの続き

Fターム(参考) 5F140 AA31 AA38 AB01 AB04 AB07 AC21 BA01 BA16 BC12 BD19
BF44 BH05 BH15 BH17 BH30 BH43 BH47 CB01 CB04 CB08
CD02 DA08