

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-206841

(P2018-206841A)

(43) 公開日 平成30年12月27日(2018.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 K	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 C	5 F 0 4 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/088 H	5 F 0 6 4
HO 1 L 21/8234 (2006.01)	HO 1 L 27/088 E	5 F 0 8 3
HO 1 L 27/088 (2006.01)	HO 1 L 21/82 A	5 F 1 0 1

審査請求 未請求 請求項の数 16 O L (全 113 頁) 最終頁に続く

(21) 出願番号 特願2017-107900 (P2017-107900)
 (22) 出願日 平成29年5月31日 (2017.5.31)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5F038 AC05 AC09 AC15 CA16 CD16
 DF04 DF05 DF11 DF12 EZ00
 EZ02 EZ06

最終頁に続く

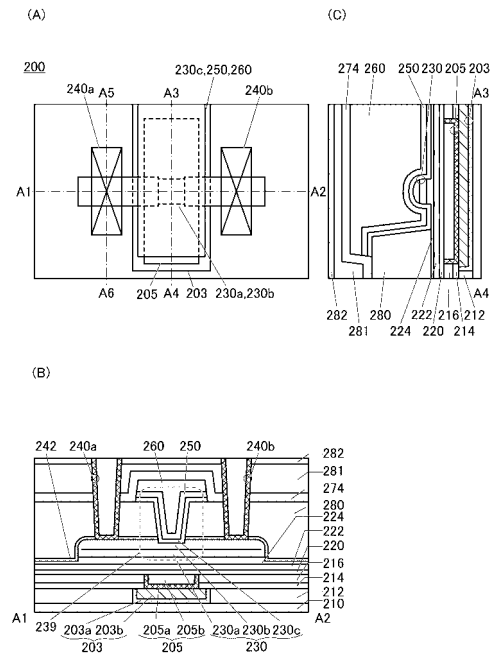
(54) 【発明の名称】 半導体装置、および半導体装置の作製方法

(57) 【要約】

【課題】 良好な電気特性を有する半導体装置を提供する。

【解決手段】 トランジスタを有する半導体装置であって、トランジスタは、酸化物と、酸化物上の第1の絶縁体および第2の絶縁体と、第1の絶縁体上の導電体と、を有し、酸化物は、第1の領域と、第2の領域と、を有し、第1の領域は、第1の絶縁体と接する領域を有し、第2の領域は、第1の領域よりも酸素濃度が小さく、第1の絶縁体は、第2の絶縁体に設けられた開口の内壁に沿った領域を有するように配置され、導電体は、開口を埋め込むように配置される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トランジスタを有する半導体装置であって、

前記トランジスタは、

酸化物と、

前記酸化物上の第 1 の絶縁体および第 2 の絶縁体と、

前記第 1 の絶縁体上の導電体と、を有し、

前記酸化物は、第 1 の領域と、第 2 の領域と、を有し、

前記第 1 の領域は、前記第 1 の絶縁体と接する領域を有し、

前記第 2 の領域は、前記第 1 の領域よりも酸素濃度が小さく、

前記第 1 の絶縁体は、前記第 2 の絶縁体に設けられた開口の内壁に沿った領域を有するよう
に配置され、

前記導電体は、前記開口を埋め込むように配置される、

ことを特徴とする半導体装置。

10

【請求項 2】

トランジスタを有する半導体装置であって、

前記トランジスタは、

酸化物と、

前記酸化物上の膜および第 1 の絶縁体と、

前記膜上の第 2 の絶縁体と、

前記第 1 の絶縁体上の導電体と、を有し、

前記酸化物は、第 1 の領域と、第 2 の領域と、を有し、

前記第 1 の領域は、前記第 1 の絶縁体と接する領域を有し、

前記第 2 の領域は、前記第 1 の領域よりも酸素濃度が小さく、

前記膜は、前記第 2 の領域と接して設けられ、

前記第 1 の絶縁体は、前記第 2 の絶縁体に設けられた開口の内壁に沿った領域を有するよ
うに配置され、

前記導電体は、前記開口を埋め込むように配置される、

ことを特徴とする半導体装置。

20

【請求項 3】

請求項 1 または請求項 2 において、

前記酸化物は、In と、元素 M (M は Al、Ga、Y、または Sn) と、Zn と、を有す
る、

ことを特徴とする半導体装置。

30

【請求項 4】

請求項 3 において、

前記酸化物は、原子数比において、前記元素 M よりも前記 In の方が多い、

ことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 2 の領域は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタン
グステンの少なくとも一を有する、

ことを特徴とする半導体装置。

40

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 2 の領域は、さらに窒素を有する、

ことを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記第 1 の領域は、前記第 2 の領域よりも水素濃度が低い、

50

ことを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、前記トランジスタは、ノーマリーオフ型である、ことを特徴とする半導体装置。

【請求項 9】

請求項 2 において、前記膜は、前記第 2 の領域と混合する部分を有する、ことを特徴とする半導体装置。

【請求項 10】

請求項 2 または請求項 9 において、前記膜は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタンゲステンの少なくとも一を有する、ことを特徴とする半導体装置。

10

【請求項 11】

請求項 2 または請求項 10 において、前記膜は、アルミニウムおよびチタンを有する、ことを特徴とする半導体装置。

【請求項 12】

請求項 2、請求項 10、または請求項 11 のいずれか一項において、前記膜は、さらに窒素および酸素のいずれか一方または双方を有する、ことを特徴とする半導体装置。

20

【請求項 13】

請求項 2、または請求項 9 乃至請求項 12 のいずれか一項において、前記膜の厚さは、0.5 nm 以上 5 nm 以下である、ことを特徴とする半導体装置。

【請求項 14】

トランジスタを有する半導体装置の作製方法であって、前記トランジスタは、第 1 の領域、および第 2 の領域を含む酸化物と、前記酸化物上の膜および第 1 の絶縁体と、前記膜上の第 2 の絶縁体と、前記第 1 の絶縁体上の導電体と、を有し、前記酸化物を覆い、かつ前記第 2 の領域に接するように金属を含む膜を形成し、少なくとも、前記酸化物および前記膜に対して、窒素を含む雰囲気中で第 1 の加熱処理を行うことで、前記第 2 の領域に含まれる酸素が前記膜に引き抜かれる、ことを特徴とする半導体装置の作製方法。

30

【請求項 15】

請求項 14 において、前記膜は、アルゴン、窒素、および窒素より選ばれるいずれか一または複数のガスを用いて、スパッタリング法により形成される、ことを特徴とする半導体装置の作製方法。

40

【請求項 16】

請求項 14 または請求項 15 において、前記第 1 の加熱処理の後に、さらに第 2 の加熱処理を行う、ことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本

50

発明の一態様は、半導体ウエハ、モジュール、および電子機器に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、および電子機器などは、半導体装置を有すると言える場合がある。

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

10

【背景技術】

【0004】

近年、半導体装置の開発が進められ、LSIやCPUやメモリが主に用いられている。CPUは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタおよびメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

【0005】

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えば、プリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

20

【0006】

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0007】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

30

【0008】

また、酸化物半導体を用いたトランジスタとして、セルフアライン構造のトランジスタが提案されている。当該セルフアライン構造のトランジスタとして、ソース領域およびドレイン領域上に金属膜を形成し、当該金属膜に対して熱処理を行うことで、金属膜を高抵抗化させるとともに、ソース領域およびドレイン領域を低抵抗化させる方法が開示されている（特許文献2参照。）。

【0009】

また、酸化物半導体を用いたトランジスタの作製方法として、ソース領域およびドレイン領域上に金属膜を形成したのち熱処理を行い、その後、当該金属膜を通過してドーパントを導入することで、ソース領域およびドレイン領域を低抵抗化させる方法が開示されている（特許文献3参照。）。

40

【0010】

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積した集積回路の要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2012-257187号公報

50

【特許文献2】特開2011-228622号公報

【特許文献3】特開2013-016782号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

特許文献2においては、ソース領域およびドレイン領域を低抵抗化させる際に、ソース領域およびドレイン領域上に金属膜を形成し、当該金属膜に対して酸素雰囲気下で熱処理を行っている。熱処理を行うことで、酸化物半導体膜のソース領域およびドレイン領域中には金属膜の構成元素がドーパントとして入り込んで、低抵抗化させている。また、酸素雰囲気下で熱処理を行うことで、導電膜を酸化させ、当該導電膜を高抵抗化させている。ただし、酸素雰囲気下で熱処理を行っているため、酸化物半導体膜中から金属膜が酸素を引き抜く作用が低い。

10

【0013】

また、特許文献2においては、チャンネル形成領域の酸素濃度については記載されているが、水、水素などの不純物の濃度については、言及されていない。すなわち、チャンネル形成領域の高純度化（水、水素などの不純物の低減化、代表的には脱水・脱水素化）が行われていないため、ノーマリーオンのトランジスタ特性となりやすいといった問題があった。なお、ノーマリーオンのトランジスタ特性とは、ゲートに電位を印加しなくてもチャンネルが存在し、トランジスタに電流が流れてしまう状態のことである。一方でノーマリーオフのトランジスタ特性とは、ゲートに電位を印加しない状態では、トランジスタに電流が流れない状態である。

20

【0014】

上述の問題に鑑み、本発明の一態様は、トランジスタのソース領域およびドレイン領域を安定して低抵抗化させるとともに、チャンネル形成領域を高純度化させることで良好な電気特性を有する半導体装置を提供することを課題の一つとする。

【0015】

または、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

30

【0016】

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様には、情報の書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

【0017】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

40

【課題を解決するための手段】

【0018】

本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、酸化物と、酸化物上の第1の絶縁体および第2の絶縁体と、第1の絶縁体上の導電体と、を有し、酸化物は、第1の領域と、第2の領域と、を有し、第1の領域は、第1の絶縁体と接する領域を有し、第2の領域は、第1の領域よりも酸素濃度が小さく、第1の絶縁体は、第2の絶縁体に設けられた開口の内壁に沿った領域を有するように配置され、導電体は、開口を埋め込むように配置される、半導体装置である。

50

【0019】

また、本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、酸化物と、酸化物上の膜および第1の絶縁体と、膜上の第2の絶縁体と、第1の絶縁体上の導電体と、を有し、酸化物は、第1の領域と、第2の領域と、を有し、第1の領域は、第1の絶縁体と接する領域を有し、第2の領域は、第1の領域よりも酸素濃度が小さく、膜は、第2の領域と接して設けられ、第1の絶縁体は、第2の絶縁体に設けられた開口の内壁に沿った領域を有するように配置され、導電体は、開口を埋め込むように配置される、半導体装置である。

【0020】

また、上記において、酸化物は、Inと、元素M（MはAl、Ga、Y、またはSn）と、Znと、を有していてもよい。

10

【0021】

また、上記において、酸化物は、原子数比において、元素MよりもInの方が多くてもよい。

【0022】

また、上記において、第2の領域は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有していてもよい。

【0023】

また、上記において、第2の領域は、さらに窒素を有していてもよい。

【0024】

また、上記において、第1の領域は、第2の領域よりも水素濃度が低くてもよい。

20

【0025】

また、上記において、トランジスタは、ノーマリーオフ型であってもよい。

【0026】

また、上記において、膜は、第2の領域と混合する部分を有していてもよい。

【0027】

また、上記において、膜は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有していてもよい。

【0028】

また、上記において、膜は、アルミニウムおよびチタンを有していてもよい。

30

【0029】

また、上記において、膜は、さらに窒素および酸素のいずれか一方または双方を有していてもよい。

【0030】

また、上記において、膜の厚さは、0.5nm以上5nm以下であってもよい。

【0031】

また、本発明の一態様は、トランジスタを有する半導体装置の作製方法であって、トランジスタは、第1の領域、および第2の領域を含む酸化物と、酸化物上の膜および第1の絶縁体と、膜上の第2の絶縁体と、第1の絶縁体上の導電体と、を有し、酸化物を覆い、かつ第2の領域に接するように金属を含む膜を形成し、少なくとも、酸化物および膜に対して、窒素を含む雰囲気中で第1の加熱処理を行うことで、第2の領域に含まれる酸素が膜に引き抜かれる、半導体装置の作製方法である。

40

【0032】

また、上記において、膜は、アルゴン、窒素、および窒素より選ばれるいずれか一または複数のガスを用いて、スパッタリング法により形成されてもよい。

【0033】

また、上記において、第1の加熱処理の後に、さらに第2の加熱処理を行ってもよい。

【発明の効果】

【0034】

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。

50

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。

【0035】

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

【0036】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

10

【図面の簡単な説明】

【0037】

【図1】本発明の一態様に係る半導体装置の上面図および断面図。

【図2】本発明の一態様に係る半導体装置の断面図。

【図3】本発明の一態様に係る半導体装置の断面図。

【図4】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図5】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

20

【図6】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図7】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図8】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図9】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図10】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図11】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図12】本発明の一態様に係る半導体装置の上面図および断面図。

【図13】本発明の一態様に係る半導体装置の上面図および断面図。

【図14】本発明の一態様に係る半導体装置の上面図および断面図。

【図15】本発明の一態様に係る半導体装置の上面図および断面図。

30

【図16】InGaZnO₄結晶中の領域区分を説明する模式図。

【図17】InO₂面と(Ga, Zn)O面の間の領域における水素原子の移動経路と、その経路上での活性化障壁を説明する図。

【図18】(Ga, Zn)O領域における水素原子の移動経路と、その経路上での活性化障壁を説明する図。

【図19】InO₂領域における水素原子の移動経路と、その経路上での活性化障壁を説明する図。

【図20】c軸方向に沿った水素原子の移動経路と、その経路上での活性化障壁を説明する図。

【図21】計算モデルを説明する図。

40

【図22】酸素欠損モデルの全エネルギーの相対値を説明する図。

【図23】初期状態のモデルと最終状態のモデルを説明する図。

【図24】活性化障壁を説明する図。

【図25】本発明の一態様に係る半導体装置の上面図および断面図。

【図26】本発明の一態様に係る半導体装置の上面図および断面図。

【図27】本発明の一態様に係る半導体装置の回路図および断面図。

【図28】本発明の一態様に係る半導体装置の回路図および断面図。

【図29】本発明の一態様に係る記憶装置の構成を示す断面図。

【図30】本発明の一態様に係る記憶装置の構成を示す断面図。

【図31】本発明の一態様に係る記憶装置の構成を示す断面図。

50

- 【図 3 2】本発明の一態様に係る記憶装置の構成を示す断面図。
- 【図 3 3】本発明の一態様に係る記憶装置の回路図および断面図。
- 【図 3 4】本発明の一態様に係る記憶装置の構成を示す断面図。
- 【図 3 5】本発明の一態様に係る記憶装置の構成を示す断面図。
- 【図 3 6】本発明の一態様に係るインバータ回路の構成例を示す回路図と、その動作例を示すタイミングチャート。
- 【図 3 7】本発明の一態様に係る記憶装置の構成例を示すブロック図。
- 【図 3 8】本発明の一態様に係る記憶装置の構成例を示す回路図。
- 【図 3 9】本発明の一態様に係る記憶装置の構成例を示す回路図。
- 【図 4 0】本発明の一態様に係る記憶装置の構成例を示すブロック図。 10
- 【図 4 1】本発明の一態様に係る記憶装置の構成例を示すブロック図および回路図。
- 【図 4 2】本発明の一態様に係る半導体装置の構成例を示すブロック図。
- 【図 4 3】本発明の一態様に係る半導体装置の構成例を示すブロック図、回路図、および半導体装置の動作例を示すタイミングチャート。
- 【図 4 4】本発明の一態様に係る半導体装置の構成例を示すブロック図。
- 【図 4 5】本発明の一態様に係る半導体装置の構成例を示す回路図、および半導体装置の動作例を示すタイミングチャート。
- 【図 4 6】本発明の一態様に係る A I システムの構成例を示すブロック図。
- 【図 4 7】本発明の一態様に係る A I システムの応用例を説明するブロック図。
- 【図 4 8】本発明の一態様に係る A I システムを組み込んだ I C の構成例を示す斜視模式図。 20
- 【図 4 9】本発明の一態様に係る電子機器を示す図。
- 【図 5 0】本発明の一態様に係る電子機器を示す図。
- 【図 5 1】本実施例のサンプルのシート抵抗を説明する図。
- 【図 5 2】本実施例のサンプルの S I M S 分析結果を説明する図。
- 【発明を実施するための形態】
- 【0038】
- 以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。 30
- 【0039】
- また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために省略して示すことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。 40
- 【0040】
- また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。
- 【0041】
- また、本明細書等において、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。 50

【 0 0 4 2 】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【 0 0 4 3 】

例えば、本明細書等において、XとYとが直接的に接続されている場合と、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

10

【 0 0 4 4 】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【 0 0 4 5 】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

20

【 0 0 4 6 】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

30

【 0 0 4 7 】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

40

【 0 0 4 8 】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域、またはドレイン電極）とソース（ソース端子、ソース領域、またはソース電極）の間にチャンネルが形成される領域を有しており、チャンネルが形成される領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネルが形成される領域とは、電流が主として流れる領域をいう。

50

【 0 0 4 9 】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

【 0 0 5 0 】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに、半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値、または平均値とする。

10

【 0 0 5 1 】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに、半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値、または平均値とする。

20

【 0 0 5 2 】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

30

【 0 0 5 3 】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【 0 0 5 4 】

そこで、本明細書では、見かけ上のチャンネル幅を、「囲い込みチャンネル幅（S C W : S u r r o u n d e d C h a n n e l W i d t h）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

40

【 0 0 5 5 】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS（Density of States）が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族

50

元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

【0056】

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲に含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲に含まれるものをいう。

10

【0057】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

20

【0058】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

【0059】

また、本明細書等に示すトランジスタは、明示されている場合を除き、電界効果トランジスタとする。また、本明細書等に示すトランジスタは、明示されている場合を除き、nチャネル型のトランジスタとする。よって、その閾値電圧(「 V_{th} 」ともいう。)は、明示されている場合を除き、0Vよりも大きいものとする。

30

【0060】

また、本明細書等において、「平行」とは、二つの直線が-10度以上10度以下の角度で配置されている状態をいう。したがって、-5度以上5度以下の場合も含まれる。また、「略平行」とは、二つの直線が-30度以上30度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が80度以上100度以下の角度で配置されている状態をいう。したがって、85度以上95度以下の場合も含まれる。また、「略垂直」とは、二つの直線が60度以上120度以下の角度で配置されている状態をいう。

【0061】

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、当該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

40

【0062】

本明細書等において、金属酸化物(metal oxide)とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体(透明酸化物導電体を含む。)など分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSFETあるいはOSTランジスタと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

【0063】

50

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャンネル幅 $1 \mu\text{m}$ あたりの電流が、室温において $1 \times 10^{-20} \text{ A}$ 以下、 85°C において $1 \times 10^{-18} \text{ A}$ 以下、または 125°C において $1 \times 10^{-16} \text{ A}$ 以下であることをいう。

【0064】

(実施の形態1)

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

【0065】

<半導体装置の構成例>

図1(A)、図1(B)、および図1(C)は、本発明の一態様に係るトランジスタ200、およびトランジスタ200周辺の上面図および断面図である。

【0066】

図1(A)は、トランジスタ200を有する半導体装置の上面図である。また、図1(B)、および図1(C)は、当該半導体装置の断面図である。ここで、図1(B)は、図1(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図1(C)は、図1(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。なお、図1(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0067】

本発明の一態様の半導体装置は、トランジスタ200と、層間膜として機能する絶縁体210、絶縁体212、絶縁体281、および絶縁体282を有する。また、トランジスタ200と電氣的に接続し、配線として機能する導電体203、およびプラグとして機能する導電体240(導電体240a、および導電体240b)とを有する。

【0068】

なお、導電体203は、絶縁体212の開口の内壁に接して導電体203の第1の導電体203aが形成され、さらに内側に導電体203の第2の導電体203bが形成されている。ここで、導電体203の上面の高さと、絶縁体212の上面の高さは同程度にできる。なお、トランジスタ200では、導電体203の第1の導電体203aおよび導電体203の第2の導電体203bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体203を単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

【0069】

また、導電体240は、層242、絶縁体280、絶縁体274、絶縁体281、および絶縁体282の開口の内壁に接して導電体240の第1の導電体が形成され、さらに内側に導電体240の第2の導電体が形成されている。ここで、導電体240の上面の高さと、絶縁体282の上面の高さは同程度にできる。なお、トランジスタ200では、導電体240の第1の導電体および導電体240の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240を単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

【0070】

[トランジスタ200]

図1に示すように、トランジスタ200は、基板(図示しない。)の上に配置された絶縁体214と、絶縁体214の上に配置された絶縁体216と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216と導電体205の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230aと、酸化物230aの上に配置された酸化物230bと、絶縁体224、酸化物230

10

20

30

40

50

a、および酸化物230bの上に配置された層242と、層242の上に配置された絶縁体280と、少なくとも導電体205と重なる領域を有するように設けられた層242および絶縁体280の開口において、当該開口の内壁と接する領域を有するように配置された酸化物230cと、酸化物230cの上に配置された絶縁体250と、絶縁体250の上において、当該開口を埋め込むように配置された導電体260と、絶縁体280および導電体260の上に配置された絶縁体274と、を有する。

【0071】

なお、トランジスタ200では、酸化物230a、および酸化物230b、および酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230bと酸化物230aの2層構造、酸化物230bと酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ200では、導電体260を単層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体260が、2層以上の積層構造であってもよい。

10

【0072】

また、トランジスタ200は、チャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を含む酸化物230（酸化物230a、酸化物230b、および酸化物230c）に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

20

【0073】

チャンネル形成領域に酸化物半導体を用いたトランジスタ200は、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200に用いることができる。

【0074】

例えば、酸化物230として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

30

【0075】

ここで、酸化物半導体は、酸化物半導体を構成する元素の他に、アルミニウム、ルテニウム、チタン、タンタル、クロム、タングステン、などの金属元素が添加されることで、金属化合物を形成し、低抵抗化する。特に、アルミニウム、チタン、タンタル、タングステンなどを用いることが好ましい。

【0076】

酸化物半導体に、金属元素を添加するには、例えば、酸化物半導体上に、当該金属元素を含む金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けるとよい。また、当該膜を設けることで、当該膜と酸化物半導体との界面、または当該界面近傍に位置する酸化物半導体中の一部の酸素が当該膜などに吸収され、酸素欠損を形成し、酸化物半導体の当該界面近傍が低抵抗化する場合がある。

40

【0077】

また、酸化物半導体上に、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けた後、窒素を含む雰囲気下で、熱処理を行うとよい。窒素を含む雰囲気下の熱処理により、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜から、当該膜の成分である金属元素が酸化物半導体へ、または酸化物半導体の成分である金属元素が当該膜へと、拡散し、酸化物半導体と、当該膜とが金属化合物を形成し、低抵抗化させることができる。酸化物半導体に添加された金属元素は、酸化物半導体と反応して金属化合物を形成することで、比較的安定な状態となるため、信頼性の高い半導体装置を提

50

供することができる。

【0078】

また、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜と、酸化物半導体との界面に、化合物層（異層）が形成されていてもよい。なお、化合物層（異層）とは、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜の成分と、酸化物半導体の成分と、を含む金属化合物を有する層とする。例えば、化合物層として、酸化物半導体の金属元素と、添加された金属元素とが、合金化した層が形成されていてもよい。当該合金化した層は、比較的安定な状態であり、信頼性の高い半導体装置を提供することができる。

【0079】

また、酸化物半導体に存在する水素は、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入った場合、比較的安定な状態になると考えられる。また、酸化物半導体に存在する酸素欠損中の水素は、250以上の熱処理によって、酸素欠損から抜け出し、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入り、比較的安定な状態になる場合がある。したがって、熱処理によって、酸化物半導体の低抵抗化した領域、または金属化合物が形成された領域は、より低抵抗化し、低抵抗化していない酸化物半導体は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する傾向がある。

【0080】

また、酸化物半導体は、水素、または窒素などの不純物元素が存在すると、キャリア密度が増加する。酸化物半導体中の水素は、金属原子と結合する酸素と反応して水になり、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ると、キャリア密度が増加する。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。つまり、窒素、または水素を有する酸化物半導体は、低抵抗化される。

【0081】

したがって、酸化物半導体に、金属元素、ならびに、水素、および窒素などの不純物元素を、選択的に添加することで、酸化物半導体に高抵抗領域、および低抵抗領域を設けることができる。つまり、酸化物230を選択的に低抵抗化することで、島状に加工した酸化物230に、キャリア密度が低い半導体として機能する領域と、ソース領域、またはドレイン領域として機能する低抵抗化した領域を設けることができる。

【0082】

ここで、図1(B)において破線で囲む、選択的に低抵抗化した酸化物230bを含む領域239の拡大図を図2に示す。

【0083】

図2に示すように、酸化物230は、トランジスタ200のチャンネル形成領域として機能する領域234と、ソース領域またはドレイン領域として機能する領域231（領域231a、および領域231b）と、を有する。

【0084】

ソース領域またはドレイン領域として機能する領域231は、酸素濃度が低く、低抵抗化した領域である。また、チャンネル形成領域として機能する領域234は、ソース領域またはドレイン領域として機能する領域231よりも、酸素濃度が高く、キャリア密度が低い高抵抗領域である。なお、図2では示していないが、領域231と領域234の間に、領域231よりも酸素濃度が高く、キャリア密度が低い、かつ、領域234よりも酸素濃度が低く、キャリア密度が高い領域を有していてもよい。

【0085】

なお、領域231は、金属元素、ならびに水素、および窒素などの不純物元素、の少なくとも一の濃度が、領域234よりも高いことが好ましい。

【0086】

例えば、領域231は、酸化物230の他に、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素の中から選ばれるいずれか一つまたは複数

10

20

30

40

50

の金属元素を有することが好ましい。

【0087】

領域231を形成するために、例えば、酸化物230の領域231に接して、金属元素を有する膜として、層242を設ければよい。なお、層242として、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜を用いることができる。その際、層242と、酸化物230との界面に、化合物層が形成されていてもよい。なお、化合物層とは、層242の成分と、酸化物230の成分とを含む金属化合物を有する層とする。例えば、化合物層として、酸化物230中の金属元素と、添加された金属元素とが、合金化した層が形成されていてもよい。

【0088】

酸化物230に、金属元素が添加されることで、酸化物230中に、金属化合物が形成され、領域231を低抵抗化することができる。なお、当該金属化合物は、必ずしも、酸化物230中に形成されていなくともよい。例えば、層242に、金属化合物が形成されていてもよい。また、例えば、酸化物230の表面、層242の表面、または層242と酸化物230との界面に形成された化合物層に設けられていてもよい。

【0089】

したがって、領域231は、層242の低抵抗領域、または、層242と酸化物230との間に形成された化合物層の低抵抗領域も含む場合がある。つまり、本明細書では、ソース領域またはドレイン領域として機能する領域を、領域231とする。

【0090】

また、図2では、領域231が、酸化物230bに形成されているが、これに限られない。例えば、領域231は、層242、層242と酸化物230との間に形成された化合物層、酸化物230a、および酸化物230cにも、形成されていてもよい。

【0091】

また、酸化物230において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化（グラデーションともいう。）していてもよい。つまり、チャンネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

【0092】

酸化物230を、選択的に低抵抗化するには、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの導電性を高める金属元素、および不純物の少なくとも一を、所望の領域に添加すればよい。なお、不純物としては、酸素欠損を形成する元素、または酸素欠損に捕獲される元素などを用いればよい。例えば、当該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノン等がある。

【0093】

領域231は、上述の導電性を高める金属元素、酸素欠損を形成する元素、または酸素欠損に捕獲される元素の含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。

【0094】

領域231を低抵抗化するために、例えば、酸化物230の領域231に接して、層242を成膜するとよい。層242としては、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜などを用いることができる。

【0095】

酸化物230と層242とが接することにより、層242の成分と、酸化物230の成分とが、金属化合物を形成し、領域231となり、低抵抗化する。また、酸化物230と層242との界面、または当該界面近傍に位置する酸化物230中の酸素の一部が層242に吸収され、酸化物230に酸素欠損を形成して、酸化物230が低抵抗化し、領域2

10

20

30

40

50

3 1 を形成する場合がある。

【 0 0 9 6 】

また、酸化物 2 3 0 と、層 2 4 2 とが、接した状態で、窒素を含む雰囲気下において熱処理を行うとよい。当該熱処理により、層 2 4 2 から、層 2 4 2 の成分である金属元素が酸化物 2 3 0 へ、または酸化物 2 3 0 の成分である金属元素が層 2 4 2 へと、拡散し、酸化物 2 3 0 と、層 2 4 2 とが金属化合物を形成し、低抵抗化する。なお、その際、酸化物 2 3 0 の金属元素と、層 2 4 2 の金属元素とが、合金化してもよい。酸化物 2 3 0 の金属元素と、層 2 4 2 の金属元素とが、合金化することで、金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

【 0 0 9 7 】

なお、図 2 において、上述した酸化物 2 3 0 の金属化合物形成領域を、一例として斜線（領域 2 4 3）で示す。なお、本明細書等において、斜線で表す範囲（領域 2 4 3）については、図 2 の範囲に限定されない。例えば、図 1 で示す酸化物 2 3 0 と導電体 2 4 0 との界面近傍の領域、または層 2 4 2 と酸化物 2 3 0 とが重畳する領域における、酸化物 2 3 0 の上面から酸化物 2 3 0 の下面までの領域に、上記低抵抗化した金属化合物形成領域（または範囲）が形成される場合がある。なお、他の図面においても同様である。

【 0 0 9 8 】

また、酸化物 2 3 0 中の水素は、領域 2 3 1 に拡散し、領域 2 3 1 に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域 2 3 4 に存在する酸素欠損中の水素は、250 以上の熱処理によって、酸素欠損から抜け出し、領域 2 3 1 に拡散し、領域 2 3 1 に存在する酸素欠損の中に入り、比較的安定な状態となる。したがって、熱処理によって、領域 2 3 1 は、より低抵抗化し、領域 2 3 4 は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

【 0 0 9 9 】

一方、酸化物 2 3 0 の領域 2 3 4 は、層 2 4 2 と重畳しないため、金属元素の添加が抑制される。また、酸化物 2 3 0 の領域 2 3 4 において、酸化物 2 3 0 中の酸素原子が、層 2 4 2 へ吸収されることが抑制される。

【 0 1 0 0 】

また、層 2 4 2 に、酸化物 2 3 0 の領域 2 3 1 の酸素が吸収されることで、領域 2 3 1 に酸素欠損が生じる場合がある。酸化物 2 3 0 中の水素が、当該酸素欠損に入ることによって、領域 2 3 1 のキャリア密度は、増加する。したがって、酸化物 2 3 0 の領域 2 3 1 は、低抵抗化される。

【 0 1 0 1 】

ここで、層 2 4 2 が、水素を吸収する特性を有する場合、酸化物 2 3 0 中の水素は、層 2 4 2 へと吸収される。したがって、酸化物 2 3 0 中の不純物である水素を低減することができる。また、層 2 4 2 は、後の工程で、酸化物 2 3 0 から吸収した水素とともに除去してもよい。

【 0 1 0 2 】

なお、層 2 4 2 は、必ずしも除去しなくともよい。例えば、層 2 4 2 を絶縁化し、高抵抗化している場合は、残存させてもよい。例えば、層 2 4 2 は、酸化物 2 3 0 から吸収した酸素により、酸化し、絶縁体となり、高抵抗化する場合がある。その場合、層 2 4 2 は、層間膜として機能する場合がある。

【 0 1 0 3 】

また、例えば、層 2 4 2 に、導電性を有する領域が残存している場合、熱処理を行うことにより、酸化させることで、当該領域が絶縁体となり、高抵抗化する。当該熱処理は、例えば、酸化性雰囲気下で行うことが好ましい。また、層 2 4 2 の近傍に酸素を有する構造体がある場合、熱処理を行うことで、層 2 4 2 は、当該構造体が有する酸素と反応し、酸化する場合がある。

【 0 1 0 4 】

層 2 4 2 を、絶縁体として残存させることで、層 2 4 2 を、層間膜として機能させるこ

10

20

30

40

50

とができる。当該構造とする場合、層 2 4 2 は、後工程で、絶縁化させることができる程度の膜厚で設ける。例えば、層 2 4 2 は、0.5 nm 以上 5 nm 以下、好ましくは 1 nm 以上 2 nm 以下の膜厚で設けるとよい。なお、上記酸化性雰囲気下で熱処理を行う場合には、酸化物 2 3 0 と、層 2 4 2 とが、接した状態で、窒素を含む雰囲気下において一度熱処理を行った後に行うと好適である。窒素を含む雰囲気下において、一度熱処理を行うことで、酸化物 2 3 0 中の酸素が層 2 4 2 に拡散しやすくなる。

【0105】

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、チャネルが形成される領域 2 3 4 中の酸素欠損はできる限り低減されていることが好ましい。

10

【0106】

そこで、図 1 および図 2 に示すように、酸化物 2 3 0 と近接して、化学量論的組成を満たす酸素よりも多くの酸素（過剰酸素ともいう。）を含む絶縁体 2 8 0 を設けることが好ましい。絶縁体 2 8 0 が有する過剰酸素は、層 2 4 2 を通過し、酸化物 2 3 0 へと拡散し、酸化物 2 3 0 の酸素欠損を低減することができる。

【0107】

つまり、絶縁体 2 8 0 が有する過剰酸素が、酸化物 2 3 0 の領域 2 3 4 へと拡散することで、酸化物 2 3 0 の領域 2 3 4 における酸素欠損を低減することができる。一方、酸化物 2 3 0 の領域 2 3 1 に形成された酸素欠損も、絶縁体 2 8 0 から供給された酸素により補償される。しかしながら、酸化物 2 3 0、および層 2 4 2 に形成された低抵抗領域は、金属化合物が形成されているため、安定である。したがって、金属化合物が形成されていない領域 2 3 4 よりも、低い抵抗を維持することができる。

20

【0108】

また、絶縁体 2 8 0 に酸素領域を設けるには、絶縁体 2 8 0 に接する絶縁体 2 7 4 として、酸化物を、スパッタリング法により成膜するとよい。酸化物の成膜にスパッタリング法を用いることにより、酸素を多く含み、かつ、水または水素などの不純物の少ない絶縁体を成膜することができる。スパッタリング法を用いる場合は、例えば、対向ターゲット型のスパッタリング装置を用いて成膜することが好ましい。対向ターゲット型のスパッタリング装置は、対向するターゲット間の高電界領域に被成膜面が晒されることなく成膜できるので、被成膜面がプラズマによる損傷を受けにくく成膜することができるので、絶縁体 2 7 4 となる絶縁体の成膜時に、絶縁体 2 8 0 および導電体 2 6 0 への成膜ダメージを小さくすることができるので好ましい。対向ターゲット型のスパッタリング装置を用いた成膜法を、VDS P (V a p o r D e p o s i t i o n S P) (登録商標)と呼ぶことができる。

30

【0109】

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位 E_0 が与えられる。また、基板は、接地電位などの電位 E_1 が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位 E_2 となる領域が存在する。各電位の大小関係は、 $E_2 > E_1 > E_0$ である。

40

【0110】

プラズマ内のイオンが、電位差 $E_2 - E_0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を介して、形成された膜を通過し、被成膜面と接する絶縁体 2 8 0 に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E_2 - E_1$ によって加速され、成膜表面を衝撃する。この際、一部のイオンは、絶縁体 2 8 0 内部まで到達する。イオンが絶縁体 2 8 0 に取り込まれることにより、イ

50

オンが取り込まれた領域が絶縁体 280 に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁体 280 に過剰酸素領域が形成される。

【0111】

絶縁体 280 に過剰な酸素を導入することで、絶縁体 280 中に過剰酸素領域を形成することができる。絶縁体 280 の過剰な酸素は、熱処理などによって、層 242 を通過して酸化物 230 に供給され、酸化物 230 の酸素欠損を補償することができる。

【0112】

なお、絶縁体 280 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを用いることが好ましい。酸化窒化シリコンなどの材料は、過剰酸素領域を形成されやすい傾向がある。一方、上述の酸化窒化シリコンなどの材料と比較して、酸化物 230 は、スパッタリング法を用いた酸化膜を、酸化物 230 上に形成したとしても、過剰酸素領域が形成しにくい傾向がある。したがって、過剰酸素領域を有する絶縁体 280 を、酸化物 230 の領域 234 の周辺に設けることで、酸化物 230 の領域 234 へ、絶縁体 280 の過剰酸素を効果的に供給することができる。

【0113】

また、絶縁体 274 は、酸化アルミニウムを用いることが好ましい。ここで、酸化アルミニウムは、酸化物と近接した状態で、熱処理を行うことで、酸化物中の水素を引き抜く性質を有することが知られている。そのため、図 1 に示すように、酸化物 230 と、酸化アルミニウムとの間に層 242、および絶縁体 280 が設けられている場合、層 242、および絶縁体 280 中の水素を酸化アルミニウムが吸収し、水素が低減された層 242 は、酸化物 230 中の水素を吸収する場合がある。したがって、酸化物 230 中の水素濃度を低減することができる場合がある。

【0114】

また、絶縁体 274 として、スパッタリング法により成膜した酸化アルミニウムを用いると、酸素を多く含む絶縁体 274 を形成することができる。これにより、絶縁体 274 が酸素供給源となって、上述したように、絶縁体 280、および酸化物 230 の領域 234 へと酸素を供給することができる。

【0115】

上記構成、または上記工程を組み合わせることで、酸化物 230 の選択的な低抵抗化を行うことができる。

【0116】

また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、チャンネル形成領域に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置を提供できる。

【0117】

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させた半導体装置を提供することができる。

【0118】

以下では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の詳細な構成について説明する。

【0119】

導電体 203 は、図 1 (A) および図 1 (C) に示すように、チャンネル幅方向に延伸されており、導電体 205 に電位を印加する配線として機能する。なお、導電体 203 は、絶縁体 212 に埋め込まれて設けることが好ましい。

【0120】

導電体 205 は、酸化物 230、および導電体 260 と、重なるように配置する。また、導電体 205 は、導電体 203 の上に接して設けるとよい。また、導電体 205 は、絶

10

20

30

40

50

縁体 2 1 4 および絶縁体 2 1 6 に埋め込まれて設けることが好ましい。

【 0 1 2 1 】

ここで、導電体 2 6 0 は、第 1 のゲート (トップゲートともいう。) 電極として機能する場合がある。また、導電体 2 0 5 は、第 2 のゲート (ボトムゲートともいう。) 電極として機能する場合がある。その場合、導電体 2 0 5 に印加する電位を、導電体 2 6 0 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 2 0 0 の V_{th} を制御することができる。特に、導電体 2 0 5 に負の電位を印加することにより、トランジスタ 2 0 0 の V_{th} を 0 V より大きくし、オフ電流を低減することが可能となる。したがって、導電体 2 0 5 に負の電位を印加したほうが、印加しない場合よりも、導電体 2 6 0 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

10

【 0 1 2 2 】

また、導電体 2 0 3 上に導電体 2 0 5 を設けることで、第 1 のゲート電極、および配線としての機能を有する導電体 2 6 0 と、導電体 2 0 3 との距離を適宜設計することが可能となる。つまり、導電体 2 0 3 と導電体 2 6 0 の間に絶縁体 2 1 4 および絶縁体 2 1 6 などが設けられることで、導電体 2 0 3 と導電体 2 6 0 の間の寄生容量を低減し、導電体 2 0 3 と導電体 2 6 0 の間の絶縁耐圧を高めることができる。

【 0 1 2 3 】

また、導電体 2 0 3 と導電体 2 6 0 の間の寄生容量を低減することで、トランジスタ 2 0 0 のスイッチング速度を向上させ、高い周波数特性を有するトランジスタにすることができる。また、導電体 2 0 3 と導電体 2 6 0 の間の絶縁耐圧を高めることで、トランジスタ 2 0 0 の信頼性を向上させることができる。よって、絶縁体 2 1 4 および絶縁体 2 1 6 の膜厚を厚くすることが好ましい。なお、導電体 2 0 3 の延伸方向はこれに限られず、例えば、トランジスタ 2 0 0 のチャンネル長方向に延伸されてもよい。

20

【 0 1 2 4 】

なお、導電体 2 0 5 は、図 1 (A) に示すように、酸化物 2 3 0、および導電体 2 6 0 と重なるように配置する。また、導電体 2 0 5 は、酸化物 2 3 0 における領域 2 3 4 よりも、大きく設けるとよい。特に、図 1 (C) に示すように、導電体 2 0 5 は、酸化物 2 3 0 の領域 2 3 4 のチャンネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物 2 3 0 のチャンネル幅方向における側面において、導電体 2 0 5 と、導電体 2 6 0 とは、絶縁体を介して重畳していることが好ましい。

30

【 0 1 2 5 】

上記構成を有することで、導電体 2 6 0、および導電体 2 0 5 に電位を印加した場合、導電体 2 6 0 から生じる電界と、導電体 2 0 5 から生じる電界と、がつつなり、酸化物 2 3 0 に形成されるチャンネル形成領域を覆うことができる。

【 0 1 2 6 】

つまり、第 1 のゲート電極としての機能を有する導電体 2 6 0 の電界と、第 2 のゲート電極としての機能を有する導電体 2 0 5 の電界によって、領域 2 3 4 のチャンネル形成領域を電気的に取り囲むことができる。本明細書において、第 1 のゲート電極、および第 2 のゲート電極の電界によって、チャンネル形成領域を電気的に取り囲むトランジスタの構造を、*surrounded channel* (*S - channel*) 構造とよぶ。

40

【 0 1 2 7 】

また、導電体 2 0 5 は、絶縁体 2 1 4 および絶縁体 2 1 6 の開口の内壁に接して第 1 の導電体 2 0 5 a が形成され、さらに内側に第 2 の導電体 2 0 5 b が形成されている。ここで、第 1 の導電体 2 0 5 a および第 2 の導電体 2 0 5 b の上面の高さと、絶縁体 2 1 6 の上面の高さは同程度にできる。なお、トランジスタ 2 0 0 では、第 1 の導電体 2 0 5 a および第 2 の導電体 2 0 5 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 2 0 5 は、単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

【 0 1 2 8 】

50

ここで、導電体 205 または導電体 203 の第 1 の導電体（導電体 205 a または導電体 203 a）は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一またはすべての拡散を抑制する機能とする。

【0129】

導電体 205 または導電体 203 の第 1 の導電体（導電体 205 a または導電体 203 a）が酸素の拡散を抑制する機能を持つことにより、導電体 205 または導電体 203 の第 2 の導電体（導電体 205 b または導電体 203 b）が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。したがって、導電体 205 または導電体 203 の第 1 の導電体（導電体 205 a または導電体 203 a）としては、上記導電性材料を単層または積層とすればよい。これにより、絶縁体 210 より基板側から、水素、水などの不純物が、導電体 203、および導電体 205 を通じて、トランジスタ 200 側に拡散するのを抑制することができる。

10

【0130】

また、導電体 205 の第 2 の導電体 205 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205 の第 2 の導電体 205 b を単層で図示したが、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

20

【0131】

また、導電体 203 の第 2 の導電体 203 b は、配線として機能するため、導電体 205 の第 2 の導電体 205 b より導電性が高い導電体を用いることが好ましい。例えば、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 203 の第 2 の導電体 203 b は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

30

【0132】

特に、導電体 203 に、銅を用いることが好ましい。銅は抵抗が小さいため、配線等に用いることが好ましい。一方、銅は拡散しやすいため、酸化物 230 に拡散することで、トランジスタ 200 の電気特性を低下させる場合がある。そこで、例えば、絶縁体 214 には、銅の透過性が低い酸化アルミニウム、または酸化ハフニウムなどの材料を用いることで、銅の拡散を抑えることができる。

30

【0133】

なお、導電体 205、絶縁体 214、および絶縁体 216 は必ずしも設けなくともよい。その場合、導電体 203 の一部が第 2 のゲート電極として機能することができる。

【0134】

絶縁体 210、絶縁体 214、および絶縁体 282 は、水または水素などの不純物が、基板側または絶縁体 282 よりも上側からトランジスタ 200 に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 210、絶縁体 214、および絶縁体 282 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料を用いることが好ましい。

40

【0135】

例えば、絶縁体 210、および絶縁体 282 として酸化アルミニウムなどを用い、絶縁体 214 として窒化シリコンなどを用いることが好ましい。これにより、水素、水などの

50

不純物が絶縁体 210 および絶縁体 214 よりも基板側からトランジスタ 200 側に拡散するのを抑制することができる。または、絶縁体 224 などに含まれる酸素が、絶縁体 210 および絶縁体 214 よりも基板側に、拡散するのを抑制することができる。または、水素、水などの不純物が、絶縁体 282 よりも上側からトランジスタ 200 側に拡散するのを抑制することができる。

【0136】

また、導電体 203 の上に導電体 205 を積層して設ける構成にすることにより、導電体 203 と導電体 205 の間に絶縁体 214 を設けることができる。ここで、導電体 203 の第 2 の導電体に銅など拡散しやすい金属を用いても、絶縁体 214 として窒化シリコンなどを設けることにより、当該金属が絶縁体 214 より上の層に拡散するのを抑制する

10

【0137】

また、層間膜として機能する絶縁体 212、絶縁体 216、および絶縁体 281 は、絶縁体 210、または絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0138】

例えば、絶縁体 212、絶縁体 216、および絶縁体 281 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO₃) または (Ba, Sr)TiO₃ (BST) などの絶縁体を単層または積層で用

20

【0139】

絶縁体 220、絶縁体 222、および絶縁体 224 は、ゲート絶縁体としての機能を有する。

【0140】

ここで、酸化物 230 と接する絶縁体 224 は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体 224 には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

30

【0141】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 400 以下の範囲が好ましい。

40

【0142】

また、絶縁体 224 が、過剰酸素領域を有する場合、絶縁体 222 は、酸素 (例えば、酸素原子、酸素分子など) の少なくとも一の拡散を抑制する機能を有する (上記酸素が過剰しにくい。) ことが好ましい。

【0143】

絶縁体 222 が、酸素の拡散を抑制する機能を有することで、絶縁体 224 が有する過剰酸素領域の酸素は、絶縁体 220 側へ拡散することなく、効率良く酸化物 230 へ供給

50

することができる。また、導電体 205 が、絶縁体 224 が有する過剰酸素領域の酸素と反応することを抑制することができる。

【0144】

絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコニウム酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3) または $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) などのいわゆる high-k 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に high-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

10

【0145】

特に、不純物、および酸素などの拡散を抑制する機能を有する (上記酸素が透過しにくい。) 絶縁性材料であるアルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物 (ハフニウムアルミネート) などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 からの酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 への水素等の不純物の混入を抑制する層として機能する。

20

【0146】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

20

【0147】

また、絶縁体 220 は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、high-k 材料の絶縁体と絶縁体 220 とを組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

30

【0148】

なお、絶縁体 220、絶縁体 222、および絶縁体 224 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0149】

酸化物 230 は、酸化物 230 a と、酸化物 230 a 上の酸化物 230 b と、酸化物 230 b 上の酸化物 230 c と、を有する。酸化物 230 b 下に酸化物 230 a を有することで、酸化物 230 a よりも下方に形成された構造物から、酸化物 230 b への不純物の拡散を抑制することができる。また、酸化物 230 b 上に酸化物 230 c を有することで、酸化物 230 c よりも上方に形成された構造物から、酸化物 230 b への不純物の拡散を抑制することができる。

40

【0150】

なお、酸化物 230 は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物 230 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 230 a に用いる金属酸化物において、 I_n に対する元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、 I_n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 230 b に用いる金属酸化物において、元素 M に対する I_n の原子数比が、酸化物 230 a に用いる金属酸化物における、元素 M に対する I_n の原子数比より大きいことが好ましい。また、

50

酸化物 230c は、酸化物 230a または酸化物 230b に用いることができる金属酸化物を、用いることができる。

【0151】

また、酸化物 230a および酸化物 230c の伝導帯下端のエネルギーが、酸化物 230b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 230a および酸化物 230c の電子親和力が、酸化物 230b の電子親和力より小さいことが好ましい。

【0152】

ここで、酸化物 230a、酸化物 230b、および酸化物 230c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 230a、酸化物 230b、および酸化物 230c の接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物 230a と酸化物 230b との界面、および酸化物 230b と酸化物 230c との界面において形成される混合層の欠陥準位密度を低くするとよい。

10

【0153】

具体的には、酸化物 230a と酸化物 230b、酸化物 230b と酸化物 230c が、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 230b が In-Ga-Zn 酸化物の場合、酸化物 230a および酸化物 230c として、In-Ga-Zn 酸化物、Ga-Zn 酸化物、酸化ガリウムなどを用いるとよい。

20

【0154】

このとき、キャリアの主たる経路は酸化物 230b となる。酸化物 230a、酸化物 230c を上述の構成とすることで、酸化物 230a と酸化物 230b との界面、および酸化物 230b と酸化物 230c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 200 は高いオン電流を得られる。

【0155】

また、酸化物 230 は、領域 231 および領域 234 を有する。なお、領域 231 の少なくとも一部は、層 242 と接する領域を有する。

【0156】

なお、トランジスタ 200 をオンさせると、領域 231a、または領域 231b は、ソース領域、またはドレイン領域として機能する。一方、領域 234 の少なくとも一部は、チャンネルが形成される領域として機能する。

30

【0157】

つまり、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

【0158】

酸化物 230 は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。例えば、領域 234 となる金属酸化物としては、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

40

【0159】

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

【0160】

絶縁体 250 は、ゲート絶縁体として機能する。絶縁体 250 は、酸化物 230c の上面に接して配置することが好ましい。絶縁体 250 は、加熱により酸素が放出される絶縁

50

体を用いて形成することが好ましい。例えば、昇温脱離ガス分光法分析（TDS分析）にて、酸素分子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100以上700以下の範囲が好ましい。

【0161】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

10

【0162】

加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、絶縁体250から、酸化物230cを通じて、酸化物230bの領域234に効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

【0163】

また、絶縁体250が有する過剰酸素を、効率的に酸化物230へ供給するために、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250からの酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への過剰酸素の拡散が抑制される。つまり、酸化物230へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体260の酸化を抑制することができる。

20

【0164】

なお、当該金属酸化物は、第1のゲートの一部としての機能を有してもよい。例えば、酸化物230として用いることができる酸化物半導体を、当該金属酸化物として用いることができる。その場合、導電体260をスパッタリング法で成膜することで、当該金属酸化物の電気抵抗値を低下させて、導電体とすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

30

【0165】

また、当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、当該金属酸化物は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体250と当該金属酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

40

【0166】

当該金属酸化物がゲート電極として機能する場合は、導電体260からの電界の影響を弱めることなく、トランジスタ200のオン電流の向上を図ることができる。または、当該金属酸化物がゲート絶縁体として機能する場合は、絶縁体250と、当該金属酸化物との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。したがって、絶縁体250、および当該金属酸化物との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

【0167】

具体的には、当該金属酸化物として、酸化物230に用いることができる酸化物半導体

50

を低抵抗化することで、当該金属酸化物として用いることができる。また、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

【0168】

特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいことが好ましい。なお、当該金属酸化物は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

10

【0169】

第1のゲート電極として機能する導電体260は、図1では単層構造として示しているが、2層以上の積層構造であってもよい。例えば、導電体260が、2層構造である場合、導電体260の1層目は、導電体205の第1の導電体205aと同様に、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0170】

導電体260の1層目が酸素の拡散を抑制する機能を持つことにより、絶縁体250が有する過剰酸素により、導電体260の2層目が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

20

【0171】

また、導電体260の2層目は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260の2層目は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。

30

【0172】

また、図1(C)に示すように、導電体205が、酸化物230のチャンネル幅方向と交わる端部よりも外側の領域において、延伸している場合、導電体260は、当該領域において、絶縁体250を介して、重畳していることが好ましい。つまり、酸化物230の側面の外側において、導電体205と、絶縁体250と、導電体260とは、積層構造を形成することが好ましい。

【0173】

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながり、酸化物230に形成されるチャンネル形成領域を覆うことができる。

40

【0174】

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャンネル形成領域を電気的に取り囲むことができる。

【0175】

また、導電体260の2層目の上に、バリア膜として機能する絶縁体を配置してもよい。当該絶縁体は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、当該絶縁体よりも上方からの酸素で導電体260が酸化

50

するのを抑制することができる。また、当該絶縁体よりも上方からの水または水素などの不純物が、導電体 260 および絶縁体 250 を介して、酸化物 230 に混入することを抑制することができる。

【0176】

層 242 は、少なくとも、酸化物 230 の領域 231 と接する領域を有するように設けられる。層 242 としては、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜などを用いることができる。上述したように、層 242 は、酸化物 230 に金属化合物層を形成するための層である。なお、<半導体装置の作製方法>で後述するが、層 242 となる膜を酸化物 230 上に成膜しただけでは、上記金属化合物層は形成されない。層 242 となる膜を酸化物 230 上に成膜後に、熱処理を行うことによって、上記金属化合物層が形成される。また、この際、層 242 となる膜が、酸化物 230 中などに含まれる酸素と反応し、絶縁体となり、高抵抗化する。すなわち、層 242 となる膜は、成膜後の段階では、導電体としての性質を有しているが、当該熱処理後の段階では、絶縁体としての性質を有する。したがって、トランジスタ 200 の完成図を示す図 1 においては、層 242 は、絶縁体であり、層間膜としての機能を有する。

10

【0177】

絶縁体 280 は、層 242 を介して、絶縁体 224 および酸化物 230 b 上に設けられる。絶縁体 280 は、過剰酸素領域を有することが好ましい。例えば、絶縁体 280 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

20

【0178】

上述のように、絶縁体 280 は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体 280 として、酸化物 230 b および絶縁体 224 上、かつ酸化物 230 c と接して設けることで、絶縁体 280 中の酸素を、酸化物 230 c または層 242 を通じて、酸化物 230 の領域 234 へと効率良く供給することができる。なお、絶縁体 280 中の水または水素などの不純物濃度が低減されていることが好ましい。

30

【0179】

ここで、絶縁体 280 が含む酸素は、加熱により、層 242 を通じて酸化物 230 全体へと供給される。しかしながら、酸化物 230 の層 242 と接する低抵抗領域（領域 231）は、金属化合物が形成されているため、安定である。そのため、絶縁体 280 から酸化物 230 へと供給された酸素は、主に酸化物 230 の金属化合物が形成されていない領域、すなわち、領域 234 において反応する。したがって、絶縁体 280 からの酸素供給によって、領域 231 の低抵抗状態を保ったまま、領域 234 の酸素欠損を選択的に補償することができる。

40

【0180】

絶縁体 274 は、絶縁体 280 および導電体 260 上に設けられる。絶縁体 274 をスパッタリング法で成膜することで、絶縁体 280 へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物 230 中に酸素を供給することができる。また、絶縁体 274 を、酸化物 230 の領域 231 上に設けることで、酸化物 230 中の水素を、熱処理などで、絶縁体 280 を通じて絶縁体 274 へと引き抜くことができる場合がある。

【0181】

例えば、絶縁体 274 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タンゲステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることがで

50

きる。

【0182】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。例えば、スパッタリング法で成膜した酸化アルミニウムを絶縁体274に用いることで、絶縁体274は、絶縁体280に酸素供給を行うとともに、絶縁体274の上方からの水素などの不純物が、絶縁体280側に混入するのを抑制することができる。

【0183】

また、絶縁体274の上に、層間膜として機能する絶縁体281を設けることが好ましい。絶縁体281は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

【0184】

また、絶縁体281の上に、絶縁体274と同じ材料からなる絶縁体282を設けることが好ましい。当該構成とすることで、絶縁体282の上方からの水素などの不純物が、トランジスタ200側に混入するのを抑制することができる。また、絶縁体281中に含まれる水素を、絶縁体282へ引き抜くことができる場合がある。なお、絶縁体282の上に、絶縁体281と同様の絶縁体を設けてもよい。

【0185】

また、絶縁体282、絶縁体281、絶縁体274、絶縁体280、および層242に形成された開口に、導電体240aおよび導電体240bを配置する。導電体240aおよび導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240aおよび導電体240bの上面の高さは、絶縁体282の上面と、同一平面上としてもよい。

【0186】

導電体240aは、トランジスタ200のソース領域およびドレイン領域の一方として機能する領域231aと接しており、導電体240bはトランジスタ200のソース領域およびドレイン領域の他方として機能する領域231bと接している。よって、導電体240aはソース電極およびドレイン電極の一方として機能でき、導電体240bはソース電極およびドレイン電極の他方として機能できる。

【0187】

なお、絶縁体282、絶縁体281、絶縁体274、絶縁体280、および層242の開口の内壁に接して、導電体240aの第1の導電体が形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231aが位置しており、導電体240aが領域231aと接する。同様に、絶縁体282、絶縁体281、絶縁体274、絶縁体280、および層242の開口の内壁に接して、導電体240bの第1の導電体が形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231bが位置しており、導電体240bが領域231bと接する。

【0188】

ここで、図3に、図1(A)にA5 - A6の一点鎖線で示す部位、すなわちトランジスタ200のソース領域またはドレイン領域の断面図を示す。図3に示すように、導電体240a(導電体240b)は、少なくとも酸化物230の上面と接し、さらに酸化物230の側面と接することが好ましい。特に、導電体240a(導電体240b)は、酸化物230のチャンネル幅方向と交わる側面において、A5側の側面、およびA6側の側面の双方または一方と接することが好ましい。また、導電体240a(導電体240b)が、酸化物230のチャンネル長方向と交わる側面において、A1側(A2側)の側面と接する構成にしてもよい。このように、導電体240a、および導電体240bを、酸化物230の上面に加えて、酸化物230の側面と接する構成にすることにより、導電体240a、および導電体240bと酸化物230のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体240a、および導電体240bと酸化物230の

10

20

30

40

50

接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

【0189】

導電体240aおよび導電体240bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240aおよび導電体240bは積層構造としてもよい。

【0190】

ここで、例えば、絶縁体282、絶縁体281、絶縁体274、絶縁体280、および層242に開口を形成する際に、酸化物230において、領域231の低抵抗化した領域が除去され、低抵抗化していない酸化物230が露出する場合がある。その場合、導電体240の酸化物230と接する導電体（以下、導電体240の第1の導電体ともいう。）に用いる導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。つまり、低抵抗化していない酸化物230と導電体240の第1の導電体とが接することで、金属化合物、または酸化物230に酸素欠損が形成され、酸化物230の領域231が、低抵抗化する。したがって、導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体240とのコンタクト抵抗を低減することができる。したがって、導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、などの金属元素を含むことが好ましい。

10

【0191】

また、導電体240を積層構造とする場合、層242、絶縁体280、絶縁体274、絶縁体281、および絶縁体282と接する導電体には、導電体205の第1の導電体205aなどと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体282より上層から水素、水などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。

20

【0192】

また、図示しないが、導電体240aの上面、および導電体240bの上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、導電体203などと同様に、絶縁体に設けられた開口に埋め込むように形成してもよい。

30

【0193】

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

【0194】

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化

40

50

物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0195】

また、基板として、可撓性基板を用いてもよい。なお、可撓性基板上にトランジスタを設ける方法としては、非可撓性の基板上にトランジスタを作製した後、トランジスタを剥離し、可撓性基板である基板に転置する方法もある。その場合には、非可撓性基板とトランジスタとの間に剥離層を設けるとよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。すなわち、丈夫な半導体装置を提供することができる。

10

【0196】

可撓性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはこれらの繊維などを用いることができる。また、基板として、繊維を編み込んだシート、フィルムまたは箔などを用いてもよい。可撓性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可撓性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可撓性基板である基板として好適である。

20

【0197】

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

30

【0198】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0199】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

40

【0200】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【0201】

また、特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定である。そのため、

50

例えば、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。また、例えば、酸化シリコン、および酸化窒化シリコンは、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

【0202】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。

【0203】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウム、または酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

【0204】

例えば、絶縁体274、絶縁体282として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

【0205】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。また、酸化ハフニウムは、酸化アルミニウムよりもバリア性が低い、膜厚を厚くすることによりバリア性を高めることができる。したがって、酸化ハフニウムの膜厚を調整することで、水素、および窒素の適切な添加量を調整することができる。

【0206】

例えば、ゲート絶縁体の一部として機能する絶縁体224および絶縁体250は、過剰酸素領域を有する絶縁体であることが好ましい。例えば、過剰酸素領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

【0207】

また、例えば、ゲート絶縁体の一部として機能する絶縁体222において、アルミニウム、ハフニウム、およびガリウムの一種または複数種の酸化物を含む絶縁体を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

【0208】

例えば、絶縁体220には、熱に対して安定である酸化シリコンまたは酸化窒化シリコンを用いることが好ましい。ゲート絶縁体として、熱に対して安定な膜と、比誘電率が高い積層構造とすることで、物理膜厚を保持したまま、ゲート絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。

【0209】

上記積層構造とすることで、ゲート電極からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、ゲート絶縁体の物理的な厚みにより、ゲート電極と、チャンネルが形成される領域との間の距離を保つことで、ゲート電極とチャンネル形成領域と

10

20

30

40

50

の間のリーク電流を抑制することができる。

【0210】

絶縁体212、絶縁体216、絶縁体280、および絶縁体281は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体212、絶縁体216、絶縁体280、および絶縁体281は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。または、絶縁体212、絶縁体216、絶縁体280、および絶縁体281は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、またはアクリルなどがある。

10

【0211】

絶縁体210、絶縁体214、絶縁体274、および絶縁体282としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体210、絶縁体214、絶縁体274、および絶縁体282としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、または酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

20

【0212】

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

30

【0213】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0214】

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

40

【0215】

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウ

50

ムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0216】

導電体260、導電体203、導電体205、および導電体240としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

10

【0217】

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物(以下、酸化物半導体ともいう。)を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

【0218】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

20

【0219】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する $In_n M_m Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、またはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0220】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物(metal oxide)と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物(metal oxynitride)と呼称してもよい。

30

【0221】

[金属酸化物の構成]

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC(Cloud-Aligned Composite)-OSの構成について説明する。

【0222】

なお、本明細書等において、CAC(c-axis aligned crystal)、およびCAC(Cloud-Aligned Composite)と記載する場合がある。なお、CACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

40

【0223】

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの半導体層に用いる場合、導電性の機能は、キャリアとなる電子(または正孔)を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能(On/Offさせる機能)をCAC-OSまたはCAC-metal oxideに付与すること

50

ができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0224】

また、CAC-OSまたはCAC-metal oxideは、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0225】

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

【0226】

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

【0227】

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

【0228】

[金属酸化物の構造]

酸化物半導体(金属酸化物)は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

【0229】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0230】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう。)を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

10

20

30

40

50

【0231】

また、CAAC-Osは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

【0232】

CAAC-Osは結晶性の高い金属酸化物である。一方、CAAC-Osは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-Osは不純物や欠陥（酸素欠損（ V_o : oxygen vacancyともいう。）など）の少ない金属酸化物ともいえる。したがって、CAAC-Osを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-Osを有する金属酸化物は熱に強く、信頼性が高い。

10

【0233】

nc-Osは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-Osは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、a-like Osや非晶質酸化物半導体と区別が付かない場合がある。

20

【0234】

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム-ガリウム-亜鉛酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

【0235】

a-like Osは、nc-Osと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like Osは、鬆または低密度領域を有する。すなわち、a-like Osは、nc-OsおよびCAAC-Osと比べて、結晶性が低い。

30

【0236】

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like Os、nc-Os、CAAC-Osのうち、二種以上を有していてもよい。

【0237】

[金属酸化物を有するトランジスタ]

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

【0238】

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

40

【0239】

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物膜のキャリア密度を低くする場合には、金属酸化物膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよ

50

い。

【0240】

また、高純度真性または実質的に高純度真性である金属酸化物膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0241】

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

【0242】

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0243】

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

【0244】

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる濃度)を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0245】

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0246】

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、チャネル形成領域の窒素はできる限り低減されていることが好ましい。例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0247】

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

【0248】

また、金属酸化物に含まれる水素は、金属酸化物中に浅い欠陥準位(sDOS: shallow level Density of States)を形成する場合がある。

10

20

30

40

50

浅い欠陥準位とは、伝導帯下端の近くに位置する界面準位を指す。浅い欠陥準位は、金属酸化物中の高密度領域と低密度領域の境界近傍に存在することが推定される。ここでは、金属酸化物中の高密度領域と低密度領域は、領域に含まれる水素の量で区別する。すなわち、低密度領域と比較して、高密度領域は、水素をより多く含む領域とする。金属酸化物中の高密度領域と低密度領域の境界近傍は、両領域間の応力歪によって、微小なクラックが生じやすく、当該クラック近傍に酸素欠損およびインジウムのダンダリングボンドが発生し、ここに、水素または水などの不純物が局在することで、浅い欠陥準位が形成されるものと推定される。

【0249】

また、上記金属酸化物中の高密度領域は、低密度領域よりも結晶性が高くなる場合がある。また、上記金属酸化物中の高密度領域は、低密度領域よりも膜密度が高くなる場合がある。また、上記金属酸化物が、インジウムと、ガリウムと、亜鉛と、を有する組成の場合、高密度領域は、インジウムと、ガリウムと、亜鉛と、を有し、低密度領域は、インジウムと、亜鉛と、を有する場合がある。別言すると、低密度領域は、高密度領域よりもガリウムの割合が少ない場合がある。

【0250】

なお、上記浅い欠陥準位は、酸素欠損に起因すると推定される。金属酸化物中の酸素欠損が増えると、浅い欠陥準位とともに深い欠陥準位 (d D O S : d e e p l e v e l D e n s i t y o f S t a t e s) も増えると推定される。これは、深い欠陥準位も酸素欠損によるものだと考えられるためである。なお、深い欠陥準位とは、バンドギャップの中央付近に位置する欠陥準位を指す。

【0251】

したがって、金属酸化物中の酸素欠損を抑制することで、浅い欠陥準位及び深い欠陥準位の双方の準位を低減させることが可能となる。また、浅い欠陥準位については、金属酸化物の成膜時の温度を調整することで、ある程度制御できる可能性がある。具体的には、金属酸化物の成膜時の温度を、170 またはその近傍、好ましくは130 またはその近傍、さらに好ましくは室温とすることで、浅い欠陥準位を低減することができる。

【0252】

また、金属酸化物の浅い欠陥準位は、金属酸化物を半導体層に用いたトランジスタの電気特性に影響を与える。すなわち、浅い欠陥準位によって、トランジスタのドレイン電流 - ゲート電圧 (I d - V g) 特性において、ゲート電圧 V g に対するドレイン電流 I d の変化が緩やかとなり、トランジスタのオフ状態からオン状態への立ち上がり特性の良し悪しの目安の1つである、S値 (S u b t h r e s h o l d S w i n g , S S と も 言 う 。) が悪化する。これは浅い欠陥準位に電子がトラップされたためと考えられる。

【0253】

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 1×10^{20} atoms / cm³ 未満、好ましくは 1×10^{19} atoms / cm³ 未満、より好ましくは 5×10^{18} atoms / cm³ 未満、さらに好ましくは 1×10^{18} atoms / cm³ 未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0254】

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200を有する半導体装置について、作製方法を図4乃至図11を用いて説明する。また、図4乃至図11において、各図の(A)は上面図を示す。また、各図の(B)は、(A)に示すA1 - A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、各図の(C)は、(A)にA3 - A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。なお、各図の(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

10

20

30

40

50

【0255】

まず、基板（図示しない。）を準備し、当該基板上に絶縁体210を成膜する。絶縁体210の成膜は、スパッタリング法、化学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法、またはALD（Atomic Layer Deposition）法などを用いて行うことができる。

【0256】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

10

【0257】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

20

【0258】

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法は、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて行うことができる。

30

【0259】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせる用いることが好ましい場合もある。

【0260】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整にかかる時間を要さない分、成膜にかかる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

40

【0261】

本実施の形態では、絶縁体210として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体210は、多層構造としてもよい。例えば、スパッタリング法

50

によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、ALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

【0262】

次に絶縁体210上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、CVD法によって酸化シリコンを成膜する。

【0263】

次に、絶縁体212に、絶縁体210に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。また、絶縁体210は、絶縁体212をエッチングして開口を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、開口を形成する絶縁体212に酸化シリコン膜を用いた場合は、絶縁体210は、エッチングストップ膜として機能する絶縁膜として、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

10

【0264】

開口の形成後に、導電体203の第1の導電体となる導電膜を成膜する。当該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体203の第1の導電体となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

20

【0265】

本実施の形態では、導電体203の第1の導電体となる導電膜として、スパッタリング法によって窒化タンタル、または、窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体203の第1の導電体としてこのような金属窒化物を用いることにより、後述する導電体203の第2の導電体で銅など拡散しやすい金属を用いても、当該金属が導電体203の第1の導電体から外に拡散するのを抑制することができる。

30

【0266】

次に、導電体203の第1の導電体となる導電膜上に、導電体203の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、導電体203の第2の導電体となる導電膜として、銅などの低抵抗導電性材料を成膜する。

【0267】

次に、CMP処理を行うことで、導電体203の第1の導電体となる導電膜、ならびに導電体203の第1の導電体となる導電膜の一部を除去し、絶縁体212を露出する。その結果、開口部のみに、導電体203の第2の導電体となる導電膜、ならびに導電体203の第2の導電体となる導電膜が残存する。これにより、上面が平坦な、導電体203の第1の導電体および導電体203の第2の導電体を含む導電体203を形成することができる(図4参照。)。なお、当該CMP処理により、絶縁体212の一部が除去される場合がある。

40

【0268】

次に、絶縁体212、および導電体203上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体214として、CVD法によって窒化シリコンを成膜する。このように、絶縁体214として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、導電体203の第2の導電体に銅など拡散しやすい金

50

属を用いても、当該金属が絶縁体 2 1 4 より上の層に拡散するのを抑制することができる。

【 0 2 6 9 】

次に、絶縁体 2 1 4 上に絶縁体 2 1 6 を成膜する。絶縁体 2 1 6 の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体 2 1 6 として、CVD法によって酸化シリコンを成膜する。

【 0 2 7 0 】

次に、絶縁体 2 1 4 および絶縁体 2 1 6 に、導電体 2 0 3 に達する開口を形成する。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。

10

【 0 2 7 1 】

開口の形成後に、導電体 2 0 5 の第 1 の導電体となる導電膜を成膜する。導電体 2 0 5 の第 1 の導電体となる導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体 2 0 5 の第 1 の導電体となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

【 0 2 7 2 】

本実施の形態では、導電体 2 0 5 の第 1 の導電体となる導電膜として、スパッタリング法によって窒化タンタルを成膜する。

20

【 0 2 7 3 】

次に、導電体 2 0 5 の第 1 の導電体となる導電膜上に、導電体 2 0 5 の第 2 の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

【 0 2 7 4 】

本実施の形態では、導電体 2 0 5 の第 2 の導電体となる導電膜として、CVD法によって窒化チタンを成膜し、当該窒化チタン上にCVD法によってタングステンを成膜する。

【 0 2 7 5 】

次に、CMP処理を行うことで、導電体 2 0 5 の第 1 の導電体となる導電膜、ならびに導電体 2 0 5 の第 2 の導電体となる導電膜の一部を除去し、絶縁体 2 1 6 を露出する。その結果、開口部のみに、導電体 2 0 5 の第 1 の導電体、および導電体 2 0 5 の第 2 の導電体となる導電膜が残存する。これにより、上面が平坦な、導電体 2 0 5 の第 1 の導電体および導電体 2 0 5 の第 2 の導電体を含む導電体 2 0 5 を形成することができる（図 4 参照）。なお、当該CMP処理により、絶縁体 2 1 6 の一部が除去される場合がある。

30

【 0 2 7 6 】

次に、絶縁体 2 1 6、および導電体 2 0 5 上に絶縁体 2 2 0 を成膜する。絶縁体 2 2 0 の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体 2 2 0 として、CVD法によって酸化シリコンを成膜する。

40

【 0 2 7 7 】

次に、絶縁体 2 2 0 上に絶縁体 2 2 2 を成膜する。絶縁体 2 2 2 として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体 2 2 2 が、水素および水に対するバリア性を有することで、トランジスタ 2 0 0 の周辺に設けられた構造体に含まれる水素、および水が、絶縁体 2 2 2 を通じてトランジスタ 2 0 0 の内側へ拡散することが抑制され、酸化物 2 3 0 中の酸素欠損の生成を抑制することができ

50

る。

【0278】

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

【0279】

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、CVD法によって酸化シリコンを成膜する。

【0280】

続いて、加熱処理を行うと好ましい。加熱処理は、250以上650以下、好ましくは300以上500以下、さらに好ましくは320以上450以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素または不活性ガス雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気加熱処理を行ってもよい。

10

【0281】

本実施の形態では、加熱処理として、絶縁体224の成膜後に窒素雰囲気にて400の温度で1時間の処理を行う。当該加熱処理によって、絶縁体224に含まれる水素や水などの不純物を除去することなどができる。

20

【0282】

また、加熱処理は、絶縁体220成膜後、および絶縁体222の成膜後のそれぞれのタイミングで行うこともできる。当該加熱処理は、上述した加熱処理条件を用いることができるが、絶縁体220成膜後の加熱処理は、窒素を含む雰囲気中で行うことが好ましい。

【0283】

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えば、マイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率良く絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水素や水などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

30

【0284】

次に、絶縁体224上に、酸化物230aとなる酸化膜230Aと、酸化物230bとなる酸化膜230Bを順に成膜する(図4参照)。なお、上記酸化膜は、大気環境に晒さずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230Aと酸化膜230Bとの界面近傍を清浄に保つことができる。

40

【0285】

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

【0286】

例えば、酸化膜230A、および酸化膜230Bの成膜をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜の成膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットを用いることができる。

50

【0287】

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。したがって、酸化膜230Aのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

【0288】

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。

10

【0289】

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4[原子数比]のターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230に求める特性に合わせて形成するとよい。

【0290】

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜230A、および酸化膜230B中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400の温度で1時間の処理を行う。

20

【0291】

次に、酸化膜230A、および酸化膜230Bを島状に加工して、酸化物230a、および酸化物230bを形成する(図5参照)。なお、当該加工処理にて、絶縁体224の一部が除去される場合がある。

【0292】

ここで、酸化物230a、および酸化物230bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、および酸化物230bの側面は、絶縁体222の上面に対し、略垂直であることが好ましい。酸化物230a、および酸化物230bの側面が、絶縁体222の上面に対し、略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。なお、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角は大きいほど好ましい。

30

【0293】

また、酸化物230a、および酸化物230bの側面と、酸化物230bの上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい(以下、ラウンド状ともいう)。湾曲面は、例えば、酸化物230bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

40

【0294】

なお、当該酸化膜の加工はリソグラフィ法を用いて行えばよい。また、当該加工はドライエッチング法やウエットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0295】

リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザー光、ArFエキシマレー

50

ザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、レジスト上に直接描画を行うため、上述のレジスト露光用のマスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウエットエッチング処理を行う、ドライエッチング処理後にウエットエッチング処理を行う、またはウエットエッチング処理後にドライエッチング処理を行う、などで、除去することができる。

【0296】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、酸化膜230B上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。酸化膜230A、および酸化膜230Bのエッチングは、レジストマスクを除去してから行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。上記酸化膜のエッチング後にハードマスクをエッチングにより除去してもよい。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

【0297】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なる高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

【0298】

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が、酸化膜230a、および酸化膜230bなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

【0299】

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウエット洗浄、プラズマを用いたプラズマ処理、または熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。

【0300】

ウエット洗浄としては、シュウ酸、リン酸、またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

【0301】

続いて、加熱処理を行ってもよい。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

【0302】

次に、絶縁膜224、酸化膜230a、および酸化膜230b上に膜242Aを成膜する（図6参照）。なお、膜242Aは、0.5nm以上5nm以下、好ましくは、1nm以上3nm以下の膜厚にするとよい。膜242Aは、金属膜、金属元素を有する窒化膜

10

20

30

40

50

、または金属元素を有する酸化膜を用いる。膜242Aは、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含む膜とする。なお、膜242Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

【0303】

次に、膜242Aの上に、絶縁体280を成膜する。絶縁体280は、比誘電率の低い絶縁体を有することが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁膜280に用いると、後の工程で絶縁体280中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。絶縁体280の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。または、スピコート法、ディップ法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）、ドクターナイフ法、ロールコーター法、またはカーテンコーター法などを用いて行うことができる。本実施の形態では、絶縁体280として、CVD法によって酸化窒化シリコンを成膜する。

10

【0304】

なお、絶縁体280は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体280は、成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体280は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP処理を用いる。ただし、絶縁体280の上面は必ずしも平坦性を有さなくてもよい。

20

【0305】

次に、少なくとも導電体205と重なる領域を有するように、絶縁体280および膜242Aに対して加工処理を行い、開口245および層242を形成する（図7参照。）。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。なお、当該加工処理により、酸化物230bの一部が除去される場合がある。

30

【0306】

続いて、加熱処理を行う（図8参照。）。加熱処理は、250 以上650 以下、好ましくは300 以上500 以下、さらに好ましくは320 以上450 以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。例えば、加熱処理として、窒素雰囲気にて400 の温度で1時間の処理を行う。

【0307】

窒素を含む雰囲気下での熱処理により、層242から、上述した金属元素が酸化物230へ拡散し、酸化物230に金属元素を添加することができる。また、酸化物230の層242との界面近傍における酸素が層242に吸収される場合がある。その結果、酸化物230の層242との界面近傍が金属化合物となり、低抵抗化する。なお、その際、酸化物230の一部と、上述した金属元素とが、合金化してもよい。酸化物230の一部と金属元素が、合金化することで、酸化物230に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。なお、図8(B)では、酸化物230の上記低抵抗化領域を、一例として、斜線で示している。

40

【0308】

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の

50

水素は、250 以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。したがって、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

【0309】

また、窒素または不活性ガス雰囲気加熱処理した後に、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気加熱処理を行ってもよい。加熱処理は、250 以上650 以下、好ましくは300 以上500 以下、さらに好ましくは320 以上450 以下で行えばよい。

【0310】

また、層242に導電性を有する領域が残存している場合、酸化性雰囲気下で熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。層242を、絶縁体として残存させることで、層間膜として機能させることができる。

【0311】

なお、膜242Aの成膜後、または、層242の形成後の加熱処理において、膜242Aまたは層242に、酸化物230の領域231の酸素が吸収されることで、領域231に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることによって、領域231のキャリア密度は、増加する。したがって、酸化物230の領域231は、n型となり、低抵抗化される。

【0312】

次に、開口245の内壁と接する領域を有するように、絶縁体280上に酸化膜230Cを成膜する。

【0313】

酸化膜230Cの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。酸化物230cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、In : Ga : Zn = 1 : 3 : 4 [原子数比]のターゲットを用いて成膜する。

【0314】

続いて、酸化膜230C上に、絶縁膜250A、および導電膜260Aを順に成膜する（図9参照。）。

【0315】

まず、絶縁膜250Aを成膜する。絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。絶縁膜250Aとして、CVD法により、酸化窒化シリコンを成膜することが好ましい。なお、絶縁膜250Aを成膜する際の成膜温度は、350 以上450 未満、特に400 前後とすることが好ましい。絶縁膜250Aを、400 で成膜することで、不純物が少ない絶縁体を成膜することができる。

【0316】

なお、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させ、当該酸素プラズマに絶縁膜250Aを曝すことで、絶縁膜250A、へ酸素を導入することができる。

【0317】

また、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。当該加熱処理によって、絶縁膜250Aの水分濃度および水素濃度を低減させることができる。

【0318】

続いて、導電膜260Aを成膜する。なお、導電膜260Aの成膜前に、別途、金属酸化膜を成膜してもよい。当該金属酸化膜として、例えば、スパッタリング法により、In - Ga - Zn酸化物を形成する。当該金属酸化膜の形成方法としては、スパッタリング法を用い、酸素ガスを含む雰囲気中で形成することが好ましい。酸素ガスを含む雰囲気中で金属

10

20

30

40

50

酸化膜を形成することで、絶縁膜 250 A 中に、過剰酸素領域を形成することができる。絶縁膜 250 A に添加された過剰酸素は、酸化物 230 に酸素を供給することで、酸化物 230 中の酸素欠損を補償することができる。

【0319】

ここで、当該金属酸化膜を成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、金属酸化膜を成膜しながら、絶縁膜 250 A に酸素を導入することができる。また、当該金属酸化膜に、バリア性を有するアルミニウムおよびハフニウム的一方または双方の酸化物を用いることで、絶縁膜 250 A に導入した過剰酸素を、効果的に封じ込めることができる。

【0320】

また、導電膜 260 A は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。なお、導電膜 260 A は、2層以上の積層構造であってもよい。例えば、導電膜 260 A の1層目として、窒化チタンを成膜し、導電膜 260 A の2層目として、タングステンを成膜してもよい。

【0321】

例えば、導電膜 260 A の1層目として、スパッタリング法により、金属窒化物を形成するとよい。例えば、絶縁膜 250 A 上に、上述した金属酸化膜として、In-Ga-Zn酸化物に代表される酸化物半導体を用いた場合、当該金属酸化膜は、窒素または水素が供給されることで、キャリア密度が高くなる。つまり、当該金属酸化膜は、酸化物導電体(OC:Oxide Conductor)として機能する。そこで、導電膜 260 A の1層目として、スパッタリング法により、金属窒化物を形成することで、金属窒化物中の構成元素(特に窒素)が当該金属酸化膜に拡散し、当該金属酸化膜が低抵抗化する。また、導電膜 260 A の1層目の成膜時のダメージ(例えば、スパッタリングダメージなど)により、当該金属酸化膜が低抵抗化する。したがって、当該金属酸化膜のキャリア密度が高くなり、当該金属酸化膜の導電性が高くなる。

【0322】

また、導電膜 260 A の2層目として、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。

【0323】

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本加熱処理によって、上述の金属酸化膜から、絶縁膜 250 A に過剰酸素が添加され、絶縁膜 250 A に過剰酸素領域を容易に形成することができる。

【0324】

次に、リソグラフィ法により、酸化膜 230 C、絶縁膜 250 A、および導電膜 260 A をエッチングし、酸化物 230 c、絶縁体 250、および導電体 260 を形成する(図10参照)。なお、当該エッチング処理により、絶縁体 280 の一部が除去される場合がある。

【0325】

また、酸化物 230 c、絶縁体 250、および導電体 260 は、少なくとも一部が、導電体 205、酸化物 230 a、および酸化物 230 b と重なるように形成する。

【0326】

ここで、バリア膜としての機能を有する絶縁膜を、別途成膜してもよい。当該絶縁膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。当該絶縁膜は、バリア膜として機能するため、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いる。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、この後成膜する導電体 274 から供給される酸素などによって、導電体 260 が酸化するのを抑制することができる。また、導電体 260 および絶縁体 250 を介して、水または水素などの不純物が酸化物 230 に混入することを抑制することができる。

10

20

30

40

50

【0327】

次に、絶縁体280、および導電体260上に絶縁体274を成膜する(図11参照。)。絶縁体274は、スパッタリング法を用いて酸化アルミニウムを成膜することが好ましい。スパッタリング法を用いることにより、酸素を多く含み、かつ、水または水素などの不純物の少ない酸化アルミニウムを成膜することができる。

【0328】

また、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、絶縁体274を成膜しながら、絶縁体280に酸素を導入することもできる。これにより、絶縁体274を酸素供給源として、絶縁体280に絶縁体274中の酸素が供給され、絶縁体280中に過剰酸素領域を形成することができる。

10

【0329】

上述のようにして過剰酸素領域が形成された絶縁体280は、当該過剰酸素領域から、層242を通じて、酸化物230の領域234へ、酸素を効果的に供給することができる。

【0330】

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、酸化物230の領域231に形成された酸素欠損に捕獲された水素が、層242、および絶縁体280を通じて、絶縁体274へ吸収され、酸化物230中の水素を低減することができる場合がある。

【0331】

次に、絶縁体274の上に、絶縁体281を成膜する。絶縁体281の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。または、スピコート法、ディップ法、液滴吐出法(インクジェット法など)、印刷法(スクリーン印刷、オフセット印刷など)、ドクターナイフ法、ロールコーター法、またはカーテンコーター法などを用いて行うことができる。本実施の形態では、当該絶縁体281として、酸化窒化シリコンを用いる。

20

【0332】

次に、絶縁体281の一部を除去する。絶縁体281は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体281は、成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体281は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP処理を用いる。ただし、絶縁体281の上面は必ずしも平坦性を有さなくてもよい。

30

【0333】

次に、絶縁体281上に絶縁体282を成膜する。絶縁体282は、絶縁体274と同じ材料からなる絶縁体282を設けることが好ましい。当該構成とすることで、絶縁体282の上方からの水素や水などの不純物が、トランジスタ200側に混入するのを抑制することができる。また、絶縁体281中に含まれる水素を、絶縁体282へ引き抜くことができる場合がある。

40

【0334】

次に、絶縁体282、絶縁体281、絶縁体274、絶縁体280、および層242に、酸化物230に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、導電体240a、および導電体240bが酸化物230の側面に接して設けられるように、酸化物230に達する開口において、酸化物230の側面が露出するように、当該開口を形成する。

【0335】

次に、導電体240の第1の導電体、および導電体240の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

50

【0336】

ここで、例えば、絶縁体282、絶縁体281、絶縁体274、絶縁体280、および層242に開口を形成する際に、酸化物230における領域231の低抵抗化した領域を除去してもよい。また、導電体240の第1の導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いてもよい。これにより、酸化物230と導電体240の第1の導電体とが接する領域を有するため、当該領域に金属化合物、または酸素欠損が形成され、酸化物230と導電体240の接触領域を低抵抗化することができる。導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体240との十分なオーミック接触を確保することができる。したがって、導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含むことが好ましい。

10

【0337】

次に、CMP処理を行うことで、導電体240a、および導電体240bとなる導電膜の一部を除去し、絶縁体282を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体240a、および導電体240bを形成することができる(図1参照。)。なお、当該CMP処理により、絶縁体282の一部が除去する場合がある。

【0338】

以上により、トランジスタ200を有する半導体装置を作製することができる。図4乃至図11に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200を作成することができる。

20

【0339】

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

30

【0340】

以上、本実施の形態に示す構成、方法などは、他の実施の形態や実施例に示す構成、方法などと適宜組み合わせ用いることができる。

【0341】

<半導体装置の変形例1>

以下では、図12を用いて、先の<半導体装置の構成例>で示したものと異なる、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

【0342】

図12(A)は、トランジスタ200を有する半導体装置の上面図である。また、図12(B)、および図12(C)は、当該半導体装置の断面図である。ここで、図12(B)は、図12(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図12(C)は、図12(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。なお、図12(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

40

【0343】

なお、図12に示す半導体装置において、<半導体装置の構成例>に示した半導体装置(図1参照。)を構成する構造と同機能を有する構造には、同符号を付記する。

【0344】

以下、トランジスタ200の構成について、それぞれ図12を用いて説明する。なお、

50

本項目においても、トランジスタ200の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

【0345】

図12に示す半導体装置は、トランジスタ200が、導電体251aおよび導電体251bを有している点が、<半導体装置の構成例>に示した半導体装置(図1参照。)とは異なる。トランジスタ200が、当該構成を有する場合、導電体251aおよび導電体251bが、ソース電極またはドレイン電極としての機能を有する。そのため、当該構成では、酸化物の230の低抵抗化領域(領域231)と導電体251a(導電体251b)とに挟まれた層242は、図1に示すトランジスタ200とは異なり、導電性を有する必要がある。すなわち、図1に示すトランジスタ200では、層242は絶縁性を有し、層間膜としての機能を有するが、図12に示すトランジスタ200では、層242は導電性を有し、領域231a(領域231b)、および導電体251a(導電体251b)とともに、ソース電極またはドレイン電極の一部としての機能を有する。

10

【0346】

なお、図12に示すトランジスタ200では、層242を有する構成となっているが、本発明の一態様はこの限りではない。例えば、トランジスタ200が層242を有さず、導電体251aおよび導電体251bと、酸化物230とが、直接接する構成であってもよい。トランジスタ200が当該構成の場合、<半導体装置の作製方法>で説明した膜242Aの成膜後(図6参照。)に、膜242Aの導電体205と重なる領域を除去して層242を形成することが好ましい。そして、その後、熱処理を行って酸化物230と層242の重畳する領域を低抵抗化させた後に、層242を除去すればよい。次に、絶縁体280を成膜後に、開口245を形成する。続いて、図9乃至図11に示す工程を経ることで、図12に示すトランジスタ200を有する半導体装置を作製することができる。

20

【0347】

<半導体装置の変形例2>

以下では、図13を用いて、先の<半導体装置の構成例>で示したものと異なる、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

【0348】

図13(A)は、トランジスタ200を有する半導体装置の上面図である。また、図13(B)、および図13(C)は、当該半導体装置の断面図である。ここで、図13(B)は、図13(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図13(C)は、図13(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。なお、図13(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

30

【0349】

なお、図13に示す半導体装置において、<半導体装置の構成例>に示した半導体装置(図1参照。)を構成する構造と同機能を有する構造には、同符号を付記する。

【0350】

以下、トランジスタ200の構成について、それぞれ図13を用いて説明する。なお、本項目においても、トランジスタ200の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

40

【0351】

図13に示す半導体装置は、<半導体装置の構成例>に示した半導体装置(図1参照。)とは、酸化物230a、および酸化物230bの側面が、基板面と平行な面に対し、テーパ構造を有することが異なる。具体的には、図13(B)に示すように、酸化物230a、および酸化物230bの側面が有するテーパ角度は、45度乃至80度、好ましくは、50度乃至70度とすればよい。

【0352】

したがって、上述のテーパ形状を有さない構造の半導体装置(図1参照。)と比べて

50

、酸化物 230 a および酸化物 230 b の側面においても、確実に膜 242 A と接する（図 6 参照。）ことになる。これにより酸化物 230 a および酸化物 230 b の側面においても、確実に金属化合物が形成され、低抵抗化することができる。つまり、酸化物 230 の側面にも、確実に領域 231 を形成することができる。また、酸化物 230 a および酸化物 230 b の側面がテーパ構造を有することで、酸化物 230 a および酸化物 230 b よりも上層に形成される構造体の被膜性を高めることができる。

【0353】

<半導体装置の変形例 3>

以下では、図 14 を用いて、先の<半導体装置の構成例>で示したものと異なる、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

10

【0354】

図 14 (A) は、トランジスタ 200 を有する半導体装置の上面図である。また、図 14 (B)、および図 14 (C) は、当該半導体装置の断面図である。ここで、図 14 (B) は、図 14 (A) に A1 - A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャンネル長方向の断面図でもある。また、図 14 (C) は、図 14 (A) に A3 - A4 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャンネル幅方向の断面図でもある。なお、図 14 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0355】

なお、図 14 に示す半導体装置において、<半導体装置の構成例>に示した半導体装置（図 1 参照。）を構成する構造と同機能を有する構造には、同符号を付記する。

20

【0356】

以下、トランジスタ 200 の構成について、それぞれ図 14 を用いて説明する。なお、本項目においても、トランジスタ 200 の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

【0357】

図 14 に示す半導体装置は、<半導体装置の構成例>に示した半導体装置（図 1 参照。）とは、トランジスタ 200 が有する酸化物 230 c、絶縁体 250、および導電体 260 の形状が異なる。具体的には、図 1 に示すトランジスタ 200 では、酸化物 230 c、絶縁体 250、および導電体 260 の一部が、絶縁体 280 上にも形成されているのに対し、図 12 に示すトランジスタ 200 では、酸化物 230 c、絶縁体 250、および導電体 260 の最上面の高さが、絶縁体 280 の上面の高さとほぼ同程度である点異なる。

30

【0358】

なお、図 12 に示すトランジスタ 200 が有する酸化物 230 c、絶縁体 250、および導電体 260 は、<半導体装置の作製方法>で説明した酸化膜 230 C、絶縁膜 250 A、および導電膜 260 A の成膜後（図 9 参照。）に、絶縁体 280 が露出するまで平坦化処理を行うことで、形成することができる。

【0359】

<半導体装置の変形例 4>

以下では、図 15 を用いて、先の<半導体装置の構成例>で示したものと異なる、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

40

【0360】

図 15 (A) は、トランジスタ 200 を有する半導体装置の上面図である。また、図 15 (B)、および図 15 (C) は、当該半導体装置の断面図である。ここで、図 15 (B) は、図 15 (A) に A1 - A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャンネル長方向の断面図でもある。また、図 15 (C) は、図 15 (A) に A3 - A4 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャンネル幅方向の断面図でもある。なお、図 15 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0361】

50

なお、図15に示す半導体装置において、＜半導体装置の構成例＞に示した半導体装置（図1参照。）を構成する構造と同機能を有する構造には、同符号を付記する。

【0362】

以下、トランジスタ200の構成について、それぞれ図15を用いて説明する。なお、本項目においても、トランジスタ200の構成材料については＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

【0363】

図15に示す半導体装置は、上述した図14に示す半導体装置同様、酸化物230c、絶縁体250、および導電体260の最上面の高さが、絶縁体280の上面の高さと同程度である点が、＜半導体装置の構成例＞に示した半導体装置（図1参照。）とは異なる。そして、図14に示す半導体装置と比べた場合、酸化物230c、絶縁体250、および導電体260の形状が異なる。具体的には、図14に示す半導体装置では、トランジスタ200が有する酸化物230c、絶縁体250、および導電体260の側面が、基板面に対してテーパー形状を有しているのに対し、図15に示す半導体装置では、トランジスタ200が有する酸化物230c、絶縁体250、および導電体260の側面が、基板面に対して略垂直な形状を有している点が異なる。図15に示すように、トランジスタ200の第1のゲート電極としての機能を有する導電体260が、基板面に対して略垂直な形状を有することで、プラグとしての機能を有する導電体240aと導電体240bとの間隔を狭めることができ、トランジスタ200の微細化を図ることができる。

10

【0364】

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

20

【0365】

（実施の形態2）

以下では、本発明の一態様に係るトランジスタ200に酸化物半導体として用いることができるIGZO中の水素について説明する。

【0366】

<1. 水素原子の移動>

ここでは、IGZO結晶における水素原子の移動の起こりやすさを、水素原子の移動経路上の活性化障壁の観点から評価した。なお、水素原子の移動様式には、1つの酸素から他の酸素へのホッピング、および一つの酸素上における移動を想定した。

30

【0367】

水素原子の移動経路を検討したInGaZnO₄結晶中の領域区分の模式図を図16に示す。ここでは、図16に示す、InO₂領域、(Ga, Zn)O領域、およびInO₂面と(Ga, Zn)O面との間の領域それぞれにおける経路(ab面内方向)、および各領域を横切る経路(c軸方向)について検討した。

【0368】

活性化障壁の評価には、第一原理電子状態・分子動力学計算パッケージVASP(Vienna ab initio simulation package)を用いて行い、化学反応経路探索手法であるNEB(Nudged Elastic Band)法を援用した。NEB法とは、初期状態と最終状態からその2つの状態を結ぶ状態の中で必要なエネルギーが最も低くなる状態を探し出す手法である。活性化障壁は、経路内の最大エネルギーと、経路上で最も安定な構造のエネルギーとの差とした。

40

【0369】

<<InO₂面と(Ga, Zn)O面の間の領域>>

図17に、InO₂面と(Ga, Zn)O面の間の領域の水素原子の移動経路と、その経路上での活性化障壁を示す。ただし、経路上で最も安定な構造を基準とし、当該構造のエネルギーをエネルギーの原点とした。図17(A)および図17(C)は、水素原子の移動の様子を示し、それぞれ経路A、経路Bとする。なお、図17(A)乃至図17(D)において、数字は水素原子の移動の順番を示す。経路Aでは、水素原子が3から4に向

50

かう経路について、直線的な経路である。一方、経路 B では、水素原子が 3 から 4 に向かう経路について、5 を経由した経路である。

【0370】

また、図 17 (B) は、経路 A (水素原子が 1 から 4 迄移動する経路) における活性化障壁を示し、図 17 (D) は、経路 B (水素原子が 1 から 4 迄、5 を経由して移動する経路) における活性化障壁を示す。

【0371】

図 17 (B) に示す、経路 A 上での活性化障壁は 1.12 eV であり、図 17 (D) に示す、経路 B 上での活性化障壁は 0.23 eV であった。経路 A と比較して、経路 B 上での活性化障壁の方が小さいため、水素原子が 3 から 4 に向かう場合、経路上の障壁が低い経路 B が起こりやすいと考えられる。すなわち、水素原子が InO_2 面と $(\text{Ga}, \text{Zn})\text{O}$ 面の間の領域を移動する際には、経路上の障壁が低い経路 B が起こりやすいと推測される。

10

【0372】

<< $(\text{Ga}, \text{Zn})\text{O}$ 領域 >>

次に、 $(\text{Ga}, \text{Zn})\text{O}$ 領域における水素原子の移動経路と、その経路上での活性化障壁を、図 18 に示す。ただし、経路上で最も安定な構造を基準とし、当該構造をエネルギーの原点とした。図 18 (A) は、 $(\text{Ga}, \text{Zn})\text{O}$ 領域における水素原子の移動の様子を示す。図 18 (A) において、数字は水素原子の移動の順番を示す。図 18 (B) は、図 18 (A) において、水素原子が 1 から 4 迄移動する経路における、活性化障壁を示す。

20

【0373】

図 18 (B) から、 $(\text{Ga}, \text{Zn})\text{O}$ 領域における水素原子の移動経路上での活性化障壁は 0.16 eV であり、図 17 (D) に示す活性化障壁と比較して小さいことがわかる。障壁の高さのみを考えたとき、水素原子が $(\text{Ga}, \text{Zn})\text{O}$ 領域に存在する場合は、 InO_2 面と $(\text{Ga}, \text{Zn})\text{O}$ 面の間の領域に存在する場合と比較して、水素原子の移動は起こりやすいと予想される。

【0374】

<< InO_2 領域 >>

次に、 InO_2 領域における水素原子の移動経路と、その経路上での活性化障壁を図 19 に示す。ただし、経路上で最も安定な構造を基準とし、当該構造をエネルギーの原点とした。図 19 (A) は、 InO_2 領域における水素の移動の様子を示す。図 19 (A) において、数字は水素原子の移動の順番を示す。図 19 (B) は、図 19 (A) において、水素原子が 1 から 4 迄移動する経路における、活性化障壁を示す。

30

【0375】

図 19 (B) から、 InO_2 領域における 1 つの酸素から他の酸素へ水素原子が移動する際の活性化障壁は、 1.2 eV 以上であった。つまり、図 17 (D) および図 18 (B) に示す活性化障壁と比較して、 InO_2 領域における水素原子の移動経路上での活性化障壁が非常に大きくなっていることがわかる。したがって、他の領域に比べて InO_2 領域では、水素原子の移動は起こりにくいと考えられる。

40

【0376】

次に、c 軸方向に沿った水素原子の移動経路とその経路上での活性化障壁を、図 20 に示す。ただし、経路上で最も安定な構造を基準とし、当該構造をエネルギーの原点とした。図 20 (A) は、c 軸方向に沿った水素原子の移動の様子を示す。図 20 (A) において、数字は水素原子の移動の順番を示す。図 20 (B) は、図 20 (A) において、水素原子が 1 から 8 迄移動する経路における、活性化障壁を示す。

【0377】

図 20 (B) から、水素原子が 2 から 5 迄移動する経路における活性化障壁は 0.9 eV であった。つまり、水素原子が $(\text{Ga}, \text{Zn})\text{O}$ 領域へ入る、あるいは出る際に大きな活性化障壁が存在することがわかる。これは水素原子の移動経路が金属原子と酸素原子の

50

結合を遮るためと考えられる。また、図 20 (B) から、水素原子が 7 から 8 迄移動する経路における活性化障壁は約 1.3 eV であった。つまり、InO₂ 領域における水素原子の移動でも大きな活性化障壁の存在が確認される。このため、c 軸方向への連続した水素原子の移動は起こりにくいと予想される。なお、活性化障壁が大きい原因の一つとして、In のイオン半径が大きいことが考えられる。

【0378】

ここで、計算により得られた活性化障壁と以下の数式 1 より、移動頻度 () を算出した。

【0379】

【数 1】

$$\Gamma = \nu \exp\left(-\frac{E_a}{k_B T}\right)$$

【0380】

ここで、E_a は活性化障壁、k_B はボルツマン定数、T は絶対温度、 ν は頻度因子を示す。

【0381】

最後に、各経路上の最大障壁から見積もった移動頻度を表 1 に示す。

【0382】

【表 1】

経路		経路上の 最大障壁(eV)	移動頻度(1/sec)	
			450°C	27°C
InO ₂ 面と(Ga,Zn)O面の間の領域 (ab面方向)	A	1.12	1.6E+05	1.0E-06
InO ₂ 面と(Ga,Zn)O面の間の領域 (ab面方向)	B	0.23	2.5E+11	1.4E+09
(Ga,Zn)O領域 (ab面方向)		0.16	7.7E+11	2.1E+10
InO ₂ 領域 (c軸方向)		1.45	8.0E+02	4.6E-12
(Ga,Zn)O面へ入る(出る)経路 (c軸方向)		0.90	5.4E+06	7.8E-03

【0383】

27、450 とともに、InO₂ 面と (Ga, Zn) O 面の間の領域、および (Ga, Zn) O 領域における ab 面方向への移動頻度が最も高く、一方、InO₂ 領域における c 軸方向への移動頻度が低い傾向にあることがわかった。すなわち、完全な結晶系では水素は優先的に ab 面に沿って拡散することを示唆している。しかし、450 の加熱処理においては、水素は I G Z O 膜中を十分拡散することがわかった。

【0384】

< 2 . 酸素欠損 V_O のできやすいサイト >

金属原子と酸素原子の結合の強さは金属の種類や価数によって異なるため、I G Z O 中の酸素欠損 V_O のできやすさは、酸素原子の結合相手となる金属の種類、数、距離等で差が生じると推測される。そこで、InGaZnO₄ 結晶モデルに対して酸素欠損のできやすさを計算した。

【0385】

10

20

30

40

50

計算には InGaZnO_4 結晶モデル (112 原子) を用いた。このモデルを図 2.1 に示す。(Ga, Zn)O 領域内の Ga および Zn は、エネルギー的に安定となるような配置をとった。このとき、結合相手と数より、酸素サイトの種類は 4 つとなる (図 2.1 中に示す 1 から 4)。各酸素サイトについて表 2 に示す。

【0386】

【表 2】

酸素サイト		結合相手
InO ₂ 層	1	In × 3、Ga × 1
	2	In × 3、Zn × 1
(Ga,Zn)O層	3	Ga × 2、Zn × 2
	4	Ga × 2、Zn × 2

10

【0387】

上記モデルから酸素サイトの酸素原子を一個引き抜くことで、酸素欠損モデルを作成し、構造最適化後の全エネルギーの比較を行った。計算条件を表 3 に示す。

20

【0388】

【表 3】

ソフトウェア	VASP
汎関数	GGA-PBE
擬ポテンシャル	PAW
カットオフエネルギー	500 eV
k点	2 × 2 × 3

30

【0389】

最適化された構造に対する全エネルギーの比較を行った。酸素サイト 4 の酸素欠損モデルの全エネルギーを基準 (0.0 eV) として、全エネルギーの相対値を図 2.2 に示す。図 2.2 より、酸素欠損が形成されやすいのは酸素サイト 4 であり、酸素サイト 2 も比較的 formed されやすいと推測される。一方、酸素サイト 1 および酸素サイト 3 については、酸素サイト 2 や酸素サイト 4 と比べると形成されにくいと推測される。

【0390】

40

< 3. H_o の形成しやすさおよび安定性 >

IGZO 中では、特に加熱処理時には水素は拡散するという計算結果を、< 1. 水素原子の移動 > において説明した。そこで、酸素欠損 V_o が存在する場合、酸素欠損 V_o 中の水素は、酸素欠損 V_o から抜け出すかについて計算を行った。ここで、酸素欠損 V_o に水素原子がある状態を H_o (V_oH と表記する場合もある。) と表記する。

【0391】

計算には、図 2.1 に示す InGaZnO_4 結晶モデルを用いた。ここで、酸素欠損 V_o 中の水素原子が V_o から抜け出し、酸素原子と結合するまでの水素原子の移動経路における、活性化障壁 (E_a) を NEB 法を用いて計算した。計算条件を表 4 に示す。

【0392】

50

【表 4】

ソフトウェア	VASP
計算手法	NEB法
汎関数	GGA-PBE
擬ポテンシャル	PAW
カットオフエネルギー	800 eV
k点	2×2×3

10

【0393】

酸素欠損 V_o を最も形成しやすい酸素サイトは、図 2 1 に示す酸素サイト 4 であるという計算結果を、< 2 . 酸素欠損 V_o のできやすいサイト > において説明した。そこで、酸素欠損 V_o が 1 個の Ga と 2 個の Zn と結合した酸素サイト (図 2 1 に示す 4) に存在する場合、酸素欠損 V_o 中の水素原子は、酸素欠損 V_o から抜け出すかについて計算を行った。

【0394】

初期状態のモデルを図 2 3 (A) に示し、最終状態のモデルを図 2 3 (B) に示す。なお、ここでの初期状態とは、酸素欠損 V_o 中に水素原子がある状態 (H_o) であり、最終状態とは、酸素欠損 V_o と、1 個の Ga および 2 個の Zn と結合した酸素原子と水素原子とが結合した状態 ($H-O$) を有する構造である。また、水素原子が初期状態から最終状態まで移動する経路における、活性化障壁を図 2 4 に示す。ここで、初期状態の全エネルギーを基準 ($0.0 eV$) とした。

20

【0395】

計算の結果、酸素欠損 V_o 中の水素原子が V_o から抜け出す際の活性化障壁 (E_a) は約 $1.70 eV$ であった。

【0396】

次に、計算により得られた活性化障壁 (E_a) と上記の数式 1 より、1 時間当たりの、酸素欠損 V_o 中の水素原子が酸素欠損 V_o から抜け出す平均回数を算出した。

30

【0397】

頻度因子 $\nu = 10^{13} [1/sec]$ と仮定して、室温および $250^\circ C$ における、酸素欠損 V_o 中の水素原子が酸素欠損 V_o から抜け出す平均回数を算出した。図 2 3 (A) に示すモデルから図 2 3 (B) に示すモデルへ水素原子が移動する平均回数は、室温では約 $1 \times 10^{-12} [回]$ であった。このことから、室温では、酸素欠損 V_o 中の水素原子が酸素欠損 V_o から抜け出る確率は極めて低く、 H_o の状態が安定であることが示唆される。また、図 2 3 (A) に示すモデルから図 2 3 (B) に示すモデルへ水素原子が移動する平均回数は、 $250^\circ C$ では約 2 [回] であった。このことから、 $250^\circ C$ 以上の温度で 1 時間のベークを行うと、酸素欠損 V_o 中の水素原子が酸素欠損 V_o から抜け出すことが可能であることが示唆される。

40

【0398】

以上のことから、チャンネル形成領域に存在する酸素欠損 V_o 中の水素は、熱処理によって、酸素欠損 V_o から抜け出すことが分かった。また、酸素欠損から抜け出した水素は、低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損 V_o の中に入って、 H_o となりやすいことが分かった。したがって、熱処理によって、チャンネル形成領域の高純度化 (水、水素などの不純物の低減) が行われ、ノーマリーオフのトランジスタ特性が得られる。

【0399】

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせ用いることができる。

50

【0400】

(実施の形態3)

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

【0401】

<半導体装置の構成例1>

図25(A)、図25(B)、および図25(C)は、本発明の一態様に係るトランジスタ200、容量素子100、およびトランジスタ200周辺の上面図、および断面図である。なお、本明細書では、1つの容量素子、および少なくとも1つのトランジスタを有する記憶装置をセルと称する。

10

【0402】

図25(A)は、トランジスタ200、および容量素子100を有するセル600の上面図である。また、図25(B)、および図25(C)はセル600の断面図である。ここで、図25(B)は、図25(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図25(C)は、図25(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。図25(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0403】

[セル600]

20

本発明の一態様の半導体装置は、トランジスタ200と、容量素子100、および層間膜として機能する絶縁体281および絶縁体282を有する。また、トランジスタ200と電気的に接続し、プラグとして機能する導電体240(導電体240a、導電体240b、および導電体240c)とを有する。

【0404】

図25に示すセル600は、トランジスタ200と、容量素子100とを、同層に設けることで、トランジスタ200を構成する構造の一部を、容量素子100が構成する構造の一部と、併用することができる。つまり、トランジスタ200の構造の一部は、容量素子100の構造の一部として、機能する場合がある。

【0405】

30

また、トランジスタ200に、容量素子100の一部、または全体が、重畳することで、トランジスタ200の投影面積、および容量素子100の投影面積の合計した面積を小さくすることができる。

【0406】

また、トランジスタ200と電気的に接続するプラグ、または配線として機能する導電体240b、および導電体207を、容量素子100、およびトランジスタ200が重畳する領域の下部に設けることで、セル600の微細化、または高集積化が容易となる。また、導電体207は、トランジスタ200の構成である導電体205と同工程で形成できるため、工程短縮が可能となる。また、容量素子100において、トランジスタ200と同様に、導電体207の下面に接して、配線として機能する導電体203を設けてもよい。

40

【0407】

なお、容量素子100において、必要な容量値に応じて、トランジスタ200、および容量素子100のレイアウトを適宜設計することができる。

【0408】

例えば、容量素子100の面積は、酸化物230の領域231bと、導電体120が、重畳する面積により決定される。したがって、セル600に必要な容量値が、図25(A)および図25(B)に示す容量素子100では得られない場合、酸化物230aおよび酸化物230bの領域231bにおけるA3-A4方向の幅を、酸化物230aおよび酸化物230bの領域234におけるA3-A4方向の幅よりも大きくすることで、容量値

50

を大きくすることができる。

【0409】

また、例えば、酸化物230の領域231bにおけるA1 - A2方向の長さを、導電体120におけるA1 - A2方向の長さよりも長くしてもよい。その場合、導電体240bを、絶縁体280、絶縁体274、絶縁体281、および絶縁体282に埋め込むことができる。つまり、酸化物230の領域231bと、導電体240bとが、酸化物230の領域231bと導電体120とが重畳しない領域で接するように設けてもよい。したがって、導電体240a、導電体240b、および導電体240cを同一工程で形成することで、工程を短縮することができる。

【0410】

上記構造を有することで、微細化または高集積化が可能である。また、設計自由度を高くすることができる。また、トランジスタ200は、容量素子100と、同一の工程で形成する。したがって、工程を短縮することができるため、生産性を向上させることができる。

【0411】

[トランジスタ200]

トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図25に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0412】

[容量素子100]

図25に示すように、容量素子100は、トランジスタ200と共通の構造を有する構成である。本実施の形態では、トランジスタ200の酸化物230に設けられた領域231bを、容量素子100の電極の一方として機能する容量素子100の例について示す。

【0413】

容量素子100は、酸化物230の領域231b、領域231b上に層242、層242上に絶縁体291、絶縁体291上に絶縁体292、絶縁体292上に絶縁体293、絶縁体293上に導電体120を有する。さらに、層242、絶縁体291、絶縁体292、および絶縁体293の上に、少なくとも一部が酸化物230の領域231bと重なるように、導電体120が配置されることが好ましい。また、導電体120の上に接して導電体240cが配置されることが好ましい。

【0414】

酸化物230の領域231bは、容量素子100の電極の一方として機能し、導電体120は容量素子100の電極の他方として機能する。層242、絶縁体291、絶縁体292、および絶縁体293は、容量素子100の誘電体として機能する。酸化物230の領域231bは低抵抗化されており、導電性酸化物である。したがって、容量素子100の電極の一方として機能することができる。

【0415】

また、図25において、容量素子100の誘電体として、層242、絶縁体291、絶縁体292、および絶縁体293を設ける4層構造を示したが、これに限られるものではない。例えば、層242、絶縁体291、絶縁体292、および絶縁体293以外に、別途、誘電体用の絶縁体を積層する構成(5層以上の構造)にしてもよい。または、層242、絶縁体291、絶縁体292、および絶縁体293のいずれかからなる単層、2層、または3層構造であってもよい。

【0416】

導電体120は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体120は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【0417】

<半導体装置の構成例2>

10

20

30

40

50

図 26 に示すセル 600 は、＜半導体装置の構成例 1＞で示したセル 600（図 25 参照。）とは異なるセルの構成例である。

【0418】

図 26（A）は、トランジスタ 200、および容量素子 100 を有するセル 600 の上面図である。また、図 26（B）、および図 26（C）はセル 600 の断面図である。ここで、図 26（B）は、図 26（A）に A1 - A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャンネル長方向の断面図でもある。また、図 26（C）は、図 26（A）に A3 - A4 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャンネル幅方向の断面図でもある。図 26（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

10

【0419】

図 26 に示すセル 600 は、トランジスタ 200 として、図 12 で示した構成を有するトランジスタを用いている点が、図 25 で示したセル 600 とは異なる。具体的には、トランジスタ 200 が、ソース電極またはドレイン電極としての機能を有する導電体 251a および導電体 251b を有している点が、図 25 で示したセル 600 とは異なる。

【0420】

図 26 に示すセル 600 が、上述した構成を有することで、導電体 251b が、容量素子 100 の電極の一方として機能する。上記以外の構成については、＜半導体装置の構成例 1＞で説明した内容を参照することができる。

20

【0421】

＜セルアレイの構造＞

ここで、本実施の形態のセルアレイの一例を、図 27、および図 28 に示す。例えば、図 25 に示すトランジスタ 200、および容量素子 100 を有するセル 600 を、行列、またはマトリクス状に配置することで、セルアレイを構成することができる。

【0422】

図 27（A）は、図 25 に示すセル 600 を、マトリクス状に配置した一形態を示す回路図である。図 27（A）においては、行方向に隣り合うセル 600 が有するトランジスタのソースおよびドレインの一方が共通の BL（BL01、BL02、BL03）と電氣的に接続する。また、当該 BL は、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方とも電氣的に接続する。一方、行方向に隣り合うセル 600 が有するトランジスタの第 1 のゲートは、異なる WL（WL01 乃至 WL06）と電氣的に接続する。また、各セル 600 が有するトランジスタには第 2 のゲート BG が設けられていてもよい。BG に印加される電位により、トランジスタの V_{th} を制御することができる。また、セル 600 が有する容量の第 1 の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。このとき、容量の第 1 の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル 600 が有する容量の第 2 の電極は、PL と電氣的に接続する。

30

【0423】

図 27（B）は、図 27（A）における、行の一部として WL04 と BL02 に電氣的に接続されたセル 600a、および WL03 と BL02 に電氣的に接続されたセル 600b を含む回路 610 を抜き出した断面図である。図 27（B）は、セル 600a、およびセル 600b の断面図を示す。

40

【0424】

セル 600a は、トランジスタ 200a および容量素子 100a を有している。セル 600b は、トランジスタ 200b および容量素子 100b を有している。

【0425】

トランジスタ 200a のソースおよびドレインの一方と、トランジスタ 200b のソースおよびドレインの一方は、いずれも BL02 と電氣的に接続している。

【0426】

上記構成より、ソースおよびドレインの一方と電氣的に接続する配線を共通化すること

50

で、セルアレイの占有面積をさらに縮小することができる。

【0427】

図28(A)は、図25に示すセル600を、マトリクス状に配置した回路において、図27(A)と異なる形態を示す回路図である。図28(A)においては、行方向に配置されたセル600が有するトランジスタの第1のゲートが共通のWL(WL01、WL02、WL03)と電氣的に接続する。また、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方が、共通のBL(BL01乃至BL06)と電氣的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタのV_{th}を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。このとき、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電氣的に接続する。ここで、図28(A)に示すように、セル600の容量の第2の電極は、当該セル600に隣接するセル600の容量の第2の電極と、共通のPLに電氣的に接続する構成としてもよい。

10

【0428】

図28(B)は、図28(A)における、行の一部としてWL02とBL03に電氣的に接続されたセル600a、およびWL02とBL04に電氣的に接続されたセル600bを含む回路620を抜き出した断面図である。図28(B)は、セル600aおよびセル600bの断面図を示す。

20

【0429】

セル600aは、トランジスタ200aおよび容量素子100aを有している。セル600bは、トランジスタ200bおよび容量素子100bを有している。

【0430】

容量素子100aの第2の電極と、容量素子100bの第2の電極は、共通の導電体を用いており、当該導電体はPLと電氣的に接続している。

【0431】

また、セル600を平面に配置するのみでなく、積層して配置する構成としてもよい。図29に回路610を含むセルアレイをn+1層積層する構成の断面図を示す。図29に示すように、複数のセルアレイを積層することにより、セルアレイの専有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

30

【0432】

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

【0433】

(実施の形態4)

本実施の形態では、半導体装置の一形態を、図30乃至図35を用いて説明する。

【0434】

<記憶装置1>

図30、図31、および図32に示す記憶装置は、トランジスタ300と、トランジスタ200、および容量素子100を有している。図30および図32は、トランジスタ200およびトランジスタ300のチャンネル長方向の断面図である。図31には、トランジスタ300近傍のトランジスタ300のチャンネル幅方向の断面図を示す。

40

【0435】

トランジスタ200は、酸化物半導体を有する半導体層にチャンネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

50

【 0 4 3 6 】

図 3 0、および図 3 2 に示す記憶装置において、配線 1 0 0 1 はトランジスタ 3 0 0 のソースと電氣的に接続され、配線 1 0 0 2 はトランジスタ 3 0 0 のドレインと電氣的に接続されている。また、配線 1 0 0 3 はトランジスタ 2 0 0 のソースおよびドレインの一方と電氣的に接続され、配線 1 0 0 4 はトランジスタ 2 0 0 のトップゲートと電氣的に接続され、配線 1 0 0 6 はトランジスタ 2 0 0 のボトムゲートと電氣的に接続されている。そして、トランジスタ 3 0 0 のゲート、およびトランジスタ 2 0 0 のソースおよびドレインの他方は、容量素子 1 0 0 の電極の一方と電氣的に接続され、配線 1 0 0 5 は容量素子 1 0 0 の電極の他方と電氣的に接続されている。

【 0 4 3 7 】

図 3 0、および図 3 2 に示す記憶装置は、トランジスタ 3 0 0 のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【 0 4 3 8 】

情報の書き込みおよび保持について説明する。まず、配線 1 0 0 4 の電位を、トランジスタ 2 0 0 が導通状態となる電位にして、トランジスタ 2 0 0 を導通状態とする。これにより、配線 1 0 0 3 の電位が、トランジスタ 3 0 0 のゲート、および容量素子 1 0 0 の電極の一方と電氣的に接続するノード S N に与えられる。すなわち、トランジスタ 3 0 0 のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下、L o w レベル電荷、H i g h レベル電荷という。）のどちらかが与えられるものとする。その後、配線 1 0 0 4 の電位を、トランジスタ 2 0 0 が非導通状態となる電位にして、トランジスタ 2 0 0 を非導通状態とすることにより、ノード S N に電荷が保持される（保持）。

【 0 4 3 9 】

トランジスタ 2 0 0 のオフ電流が小さい場合、ノード S N の電荷は長期間にわたって保持される。

【 0 4 4 0 】

次に情報の読み出しについて説明する。配線 1 0 0 1 に所定の電位（定電位）を与えた状態で、配線 1 0 0 5 に適切な電位（読み出し電位）を与えると、配線 1 0 0 2 は、ノード S N に保持された電荷量に応じた電位をとる。これは、トランジスタ 3 0 0 を n チャンネル型とすると、トランジスタ 3 0 0 のゲートに H i g h レベル電荷が与えられている場合の見かけ上の閾値電圧 $V_{t h_H}$ は、トランジスタ 3 0 0 のゲートに L o w レベル電荷が与えられている場合の見かけ上の閾値電圧 $V_{t h_L}$ より低くなるためである。ここで、見かけ上の閾値電圧とは、トランジスタ 3 0 0 を導通状態とするために必要な配線 1 0 0 5 の電位をいうものとする。したがって、配線 1 0 0 5 の電位を $V_{t h_H}$ と $V_{t h_L}$ の間の電位 V_0 とすることにより、ノード S N に与えられた電荷を判別できる。例えば、書き込みにおいて、ノード S N に H i g h レベル電荷が与えられていた場合には、配線 1 0 0 5 の電位が $V_0 (> V_{t h_H})$ となれば、トランジスタ 3 0 0 は導通状態となる。一方、ノード S N に L o w レベル電荷が与えられていた場合には、配線 1 0 0 5 の電位が $V_0 (< V_{t h_L})$ となっても、トランジスタ 3 0 0 は非導通状態のままである。このため、配線 1 0 0 2 の電位を判別することで、ノード S N に保持されている情報を読み出すことができる。

【 0 4 4 1 】

< 記憶装置 1 の構造 >

本発明の一態様の記憶装置は、図 3 0 に示すようにトランジスタ 3 0 0、トランジスタ 2 0 0、容量素子 1 0 0 を有する。トランジスタ 2 0 0 はトランジスタ 3 0 0 の上方に設けられ、容量素子 1 0 0 はトランジスタ 3 0 0、およびトランジスタ 2 0 0 の上方に設けられている。

【 0 4 4 2 】

トランジスタ 3 0 0 は、基板 3 1 1 上に設けられ、導電体 3 1 6、絶縁体 3 1 5、基板

10

20

30

40

50

311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

【0443】

トランジスタ300は、図31に示すように、半導体領域313の上面およびチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

【0444】

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0445】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

【0446】

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

【0447】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0448】

なお、導電体の材料により、仕事関数を定めることで、トランジスタのV_{th}を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタンゲステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタンゲステンをを用いることが耐熱性の点で好ましい。

【0449】

なお、図30に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0450】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

【0451】

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0452】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜として機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されて

10

20

30

40

50

いてもよい。

【0453】

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0454】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

10

【0455】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、50 から500 の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atom/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atom/cm}^2$ 以下であればよい。

【0456】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体324の比誘電率は、絶縁体326の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

20

【0457】

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能を有する。また、プラグまたは配線として機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

30

【0458】

各プラグ、および配線(導電体328、および導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0459】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図30において、絶縁体350、絶縁体352、および絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

【0460】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、ト

50

ランジスタ300とランジスタ200とは、バリア層により分離することができ、ランジスタ300からランジスタ200への水素の拡散を抑制することができる。

【0461】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、ランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

【0462】

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図30において、絶縁体360、絶縁体362、および絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、および絶縁体364には、導電体366が形成されている。導電体366は、プラグ、または配線として機能を有する。なお導電体366は、導電体328、および導電体330と同様の材料を用いて設けることができる。

10

【0463】

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、ランジスタ300とランジスタ200とは、バリア層により分離することができ、ランジスタ300からランジスタ200への水素の拡散を抑制することができる。

20

【0464】

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図30において、絶縁体370、絶縁体372、および絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、および絶縁体374には、導電体376が形成されている。導電体376は、プラグ、または配線として機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

【0465】

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、ランジスタ300とランジスタ200とは、バリア層により分離することができ、ランジスタ300からランジスタ200への水素の拡散を抑制することができる。

30

【0466】

絶縁体374、および導電体376上に、配線層を設けてもよい。例えば、図30において、絶縁体380、絶縁体382、および絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、および絶縁体384には、導電体386が形成されている。導電体386は、プラグ、または配線として機能を有する。なお導電体386は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

【0467】

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、ランジスタ300とランジスタ200とは、バリア層により分離することができ、ランジスタ300からランジスタ200への水素の拡散を抑制することができる。

【0468】

上記において、導電体356を含む配線層、導電体366を含む配線層、導電体376を含む配線層、および導電体386を含む配線層、について説明したが、本実施の形態に

50

係る記憶装置はこれに限られるものではない。導電体 3 5 6 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 3 5 6 を含む配線層と同様の配線層を 5 層以上にしてもよい。

【0469】

絶縁体 3 8 4 上には絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 が、順に積層して設けられている。絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0470】

例えば、絶縁体 2 1 0、および絶縁体 2 1 4 には、例えば、基板 3 1 1、またはトランジスタ 3 0 0 を設ける領域などから、トランジスタ 2 0 0 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 3 2 4 と同様の材料を用いることができる。

10

【0471】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 2 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 2 0 0 と、トランジスタ 3 0 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

20

【0472】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 2 1 0、および絶縁体 2 1 4 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0473】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 2 0 0 への混入を防止することができる。また、トランジスタ 2 0 0 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 2 0 0 に対する保護膜として用いることに適している。

30

【0474】

また、例えば、絶縁体 2 1 2、および絶縁体 2 1 6 には、絶縁体 3 2 0 と同様の材料を用いることができる。また、当該絶縁膜に、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 2 1 2、および絶縁体 2 1 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0475】

また、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 には、導電体 2 1 8、およびトランジスタ 2 0 0 を構成する導電体（導電体 2 0 5）等が埋め込まれている。なお、導電体 2 1 8 は、容量素子 1 0 0、またはトランジスタ 3 0 0 と電氣的に接続するプラグ、または配線としての機能を有する。導電体 2 1 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

40

【0476】

特に、絶縁体 2 1 0、および絶縁体 2 1 4 と接する領域の導電体 2 1 8 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、酸素、水素、および水に対するバリア性を有する層で、完全により分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

【0477】

絶縁体 2 1 6 の上方には、トランジスタ 2 0 0 が設けられている。なお、トランジスタ

50

200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図30に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0478】

トランジスタ200の上方には、絶縁体281を設ける。

【0479】

絶縁体281上には、絶縁体282が設けられている。絶縁体282は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体282には、絶縁体214と同様の材料を用いることができる。例えば、絶縁体282には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

10

【0480】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

【0481】

また、絶縁体282上には、絶縁体286が設けられている。絶縁体286は、絶縁体320と同様の材料を用いることができる。また、当該絶縁膜に、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体286として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

20

【0482】

また、絶縁体220、絶縁体222、絶縁体224、絶縁体280、絶縁体274、絶縁体281、絶縁体282、および絶縁体286には、導電体246、および導電体248等が埋め込まれている。

【0483】

導電体246、および導電体248は、容量素子100、トランジスタ200、またはトランジスタ300と電気的に接続するプラグ、または配線として機能を有する。導電体246、および導電体248は、導電体328、および導電体330と同様の材料を用いて設けることができる。

30

【0484】

続いて、トランジスタ200の上方には、容量素子100が設けられている。容量素子100は、導電体110と、導電体120、絶縁体130とを有する。

【0485】

また、導電体246、および導電体248上に、導電体112を設けてもよい。導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電気的に接続するプラグ、または配線として機能を有する。導電体110は、容量素子100の電極として機能を有する。なお、導電体112、および導電体110は、同時に形成することができる。

40

【0486】

導電体112、および導電体110には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【0487】

50

図30では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0488】

絶縁体130を介して、導電体110と重畳するように、導電体120を設ける。なお、導電体120は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu(銅)やAl(アルミニウム)等を用いればよい。

10

【0489】

導電体120、および絶縁体130上には、絶縁体150が設けられている。絶縁体150は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体150は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0490】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

20

【0491】

<記憶装置1の変形例>

以下では、図32を用いて、本発明の一態様に係る記憶装置の一例について説明する。

【0492】

図32は、容量素子100、トランジスタ200、およびトランジスタ300を有する記憶装置の断面図である。なお、図32に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

【0493】

図32に示す記憶装置は、<記憶装置1の構造>に示した記憶装置と、先の実施の形態で説明したセル600を設けた点において異なる。

30

【0494】

具体的には、図32に示すように、容量素子100と、トランジスタ200の代わりに、容量素子100の構成の一部と、トランジスタ200の構成の一部とを共有するセル600を有する。

【0495】

上記構造により、セル600と、トランジスタ300との一部、または全体が、重畳することで、記憶装置の投影面積の合計した面積を小さくすることができる。したがって、セル600の微細化、または高集積化が容易となる。また、工程短縮が可能となる。

40

【0496】

<記憶装置2>

図33に示す半導体装置は、トランジスタ400と、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図33を用いて説明する。

【0497】

本実施の形態に示す半導体装置における、トランジスタ200、トランジスタ400、および容量素子100の接続関係の一例を示した回路図を図33(A)に示す。また、図33(A)に示す配線1004から配線1010などを対応させた半導体装置の断面図を図33(B)に示す。

50

【0498】

基板（図示しない。）の上に形成されたトランジスタ200およびトランジスタ400は、異なる構成を有する。例えば、トランジスタ400は、トランジスタ200と比較して、ボトムゲート電位およびトップゲート電位が0Vのときのドレイン電流が小さい構成とすればよい。トランジスタ400をスイッチング素子として、トランジスタ200のボトムゲートの電位を制御できる構成とする。これにより、トランジスタ200のボトムゲートと接続するノードを所望の電位にした後、トランジスタ400をオフ状態にすることで、トランジスタ200のボトムゲートと接続するノードの電荷が消失することを抑制することができる。

【0499】

10

図33に示すように、トランジスタ200は、ゲートが配線1004と、ソースおよびドレインの一方が配線1003と、ソースおよびドレインの他方が容量素子100の電極の一方と電氣的に接続される。また、容量素子100の電極の他方が配線1005と電氣的に接続される。また、トランジスタ400のドレインが配線1010と電氣的に接続される。また、図33(B)に示すように、トランジスタ200のボトムゲートと、トランジスタ400のソース、トップゲート、およびボトムゲートが、配線1006、配線1007、配線1008、および配線1009を介して電氣的に接続される。

【0500】

20

ここで、配線1004に電位を印加することで、トランジスタ200のオン状態、オフ状態を制御することができる。トランジスタ200をオン状態として、配線1003に電位を印加することで、トランジスタ200を介して、容量素子100に電荷を供給することができる。このとき、トランジスタ200をオフ状態にすることで、容量素子100に供給された電荷を保持することができる。また、配線1005は、任意の電位を与えることで、容量結合によって、トランジスタ200と容量素子100の接続部分の電位を制御することができる。例えば、配線1005に接地電位を与えると、上記電荷を保持しやすくなる。また、配線1010に負の電位を印加することで、トランジスタ400を介して、トランジスタ200のボトムゲートに負の電位を与え、トランジスタ200の V_{th} を0Vより大きくし、オフ電流を低減し、 I_{cut} を非常に小さくすることができる。ここで、 I_{cut} とは、トップゲートに印加する電位が0Vのときのドレイン電流のことを指す。

30

【0501】

トランジスタ400のトップゲートおよびボトムゲートをソースとダイオード接続し、トランジスタ400のソースとトランジスタ200のボトムゲートを接続する構成にすることで、配線1010によって、トランジスタ200のボトムゲート電位を制御することができる。トランジスタ200のボトムゲートの負電位を保持するとき、トランジスタ400のトップゲートとソース間の電圧、およびボトムゲートとソース間の電圧は、0Vになる。トランジスタ400の I_{cut} が非常に小さく、 V_{th} がトランジスタ200より大きいので、この構成とすることにより、トランジスタ400に電源供給をしなくてもトランジスタ200のボトムゲートの負電位を長時間維持することができる。

【0502】

40

さらに、トランジスタ200のボトムゲートの負電位を保持することで、トランジスタ200に電源供給をしなくてもトランジスタ200の I_{cut} を非常に小さくすることができる。つまり、トランジスタ200およびトランジスタ400に電源供給をしなくても、容量素子100に電荷を長時間保持することができる。例えば、このような半導体装置を記憶素子として用いることにより、電源供給無しで長時間の記憶保持を行うことができる。よって、リフレッシュ動作の頻度が少ない、またはリフレッシュ動作を必要としない記憶装置を提供することができる。

【0503】

なお、トランジスタ200、トランジスタ400および容量素子100の接続関係は、図33(A)および図33(B)に示すものに限定されない。必要な回路構成に応じて適

50

直接続関係を変更することができる。

【0504】

<記憶装置2の構造>

図33(B)は、容量素子100、トランジスタ200、およびトランジスタ400を有する記憶装置の断面図である。なお、図33に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

【0505】

本発明の一態様の記憶装置は、図33に示すようにトランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400は同一層に設けられ、容量素子100はトランジスタ200、およびトランジスタ400の上方に設けられている。

10

【0506】

なお、容量素子100、およびトランジスタ200としては、先の実施の形態、ならびに図30および図32で説明した半導体装置、および記憶装置が有する容量およびトランジスタを用いればよい。なお、図33に示す容量素子100、トランジスタ200、およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0507】

トランジスタ400は、トランジスタ200と同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ400は、トップゲート電極として機能する導電体460と、ボトムゲート電極として機能する導電体405と、ゲート絶縁体として機能する絶縁体450と、チャンネルが形成される領域を有する酸化物430cと、ソースまたはドレインの一方として機能する酸化物431a、および酸化物431bと、ソースまたはドレインの他方として機能する酸化物432a、および酸化物432bと、を有する。また、ボトムゲート電極として機能する導電体405は、配線として機能する導電体403と、電氣的に接続されている。

20

【0508】

トランジスタ400において、導電体405は、導電体205と、同じ層である。酸化物431a、および酸化物432aは、酸化物230aと、同じ層であり、酸化物431b、および酸化物432bは、酸化物230bと、同じ層である。酸化物430cは、酸化物230cと同じ層である。絶縁体450は、絶縁体250と、同じ層である。導電体460は、導電体260と、同じ層である。

30

【0509】

トランジスタ400のチャンネル形成領域として機能する酸化物430cは、酸化物230などと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ400の V_{th} を0Vより大きくし、オフ電流を低減し、ボトムゲート電位およびトップゲート電位が0Vのときのドレイン電流を非常に小さくすることができる。

【0510】

また、上記の通り、酸化物431a、および酸化物432aは、酸化物230aと同じ層であり、酸化物431b、および酸化物432bは、酸化物230bと同じ層である。よって、酸化物431a、酸化物432a、酸化物431b、および酸化物432bには、領域231aおよび領域231bに相当する低抵抗領域が形成されている。

40

【0511】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装

50

置を生産性良く提供することができる。

【0512】

< 記憶装置 3 >

図34に示す半導体装置は、トランジスタ300と、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図34を用いて説明する。

【0513】

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

10

【0514】

図34において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200のゲートと電氣的に接続され、配線1006はトランジスタ200のボトムゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。配線1007はトランジスタ400のソースと電氣的に接続され、配線1008はトランジスタ400のゲートと電氣的に接続され、配線1009はトランジスタ400のボトムゲートと電氣的に接続され、配線1010はトランジスタ400のドレインと電氣的に接続されている。ここで、配線1006、配線1007、配線1008、および配線1009が電氣的に接続されている。

20

【0515】

図34に示す半導体装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

30

【0516】

情報の書き込みおよび保持について説明する。まず、第4の配線1004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、第3の配線1003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電氣的に接続するノードSNに与えられる。すなわち、トランジスタ300のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下、Lowレベル電荷、Highレベル電荷という。)のどちらかが与えられるものとする。その後、第4の配線1004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードSNに電荷が保持される(保持)。

40

【0517】

トランジスタ200のオフ電流が小さい場合、ノードSNの電荷は長期間にわたって保持される。

【0518】

次に情報の読み出しについて説明する。第1の配線1001に所定の電位(定電位)を与えた状態で、第5の配線1005に適切な電位(読み出し電位)を与えると、第2の配線1002は、ノードSNに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が

50

与えられている場合の見かけ上の閾値電圧 V_{th_H} は、トランジスタ 300 のゲートに Low レベル電荷が与えられている場合の見かけ上の閾値電圧 V_{th_L} より低くなるためである。ここで、見かけ上の閾値電圧とは、トランジスタ 300 を導通状態とするために必要な第 5 の配線 1005 の電位をいうものとする。したがって、第 5 の配線 1005 の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノード SN に与えられた電荷を判別できる。例えば、書き込みにおいて、ノード SN に High レベル電荷が与えられていた場合には、第 5 の配線 1005 の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ 300 は導通状態となる。一方、ノード SN に Low レベル電荷が与えられていた場合には、第 5 の配線 1005 の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ 300 は非導通状態のままである。このため、第 2 の配線 1002 の電位を判別することで、ノード SN に保持されている情報を読み出すことができる。

10

【0519】

< 記憶装置 3 の構造 >

【0520】

図 34 は、容量素子 100、トランジスタ 200、トランジスタ 300、およびトランジスタ 400 を有する記憶装置の断面図である。なお、図 34 に示す記憶装置において、先の実施の形態、< 記憶装置 1 の構造 >、および < 記憶装置 2 の構造 >、に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

【0521】

本発明の一態様の記憶装置は、図 34 に示すように、トランジスタ 300、トランジスタ 200、トランジスタ 400 および容量素子 100 を有する。トランジスタ 200 およびトランジスタ 400 はトランジスタ 300 の上方に設けられ、容量素子 100 はトランジスタ 300、トランジスタ 200 およびトランジスタ 400 の上方に設けられている。

20

【0522】

なお、容量素子 100、トランジスタ 200、トランジスタ 300、およびトランジスタ 400 としては、先の実施の形態、および図 30 乃至図 33 で説明した半導体装置、および記憶装置が有する容量およびトランジスタを用いればよい。なお、図 34 に示す容量素子 100、トランジスタ 300、トランジスタ 200 およびトランジスタ 400 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

30

【0523】

図 34 に示す記憶装置では、絶縁体 212、絶縁体 214、絶縁体 216、絶縁体 220、絶縁体 222、絶縁体 224、層 242、絶縁体 280、絶縁体 274、および絶縁体 281 に、開口部 500 を設け、絶縁体 210 と絶縁体 282 を接続する例を示している。このような構造とすることで、トランジスタ 200、およびトランジスタ 400 は、絶縁体 210 と絶縁体 282 に囲まれるため、水や水素などの不純物の影響を受けにくくなる。また、酸化物や絶縁体中の酸素の外部への放出が低減される。このような構造を有する記憶装置は、信頼性が向上するため、好ましい。なお、開口部 500 は設けなくてもよい。

【0524】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

40

【0525】

< メモリセルアレイの構造 >

【0526】

本実施の形態のメモリセルアレイの一例を、図 35 に示す。トランジスタ 200 をメモ

50

リセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。

【0527】

なお、図35に示す記憶装置は、図30、および図34に示す記憶装置をマトリクス状に配置することで、メモリセルアレイを構成する半導体装置である。なお、1個のトランジスタ400は、複数のトランジスタ200のボトムゲート電位を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けるとよい。

【0528】

したがって、図35には、図34に示すトランジスタ400は省略する。図35は、図30、および図34に示す記憶装置を、マトリクス状に配置した場合における、行の一部を抜き出した断面図である。

10

【0529】

また、図34と、トランジスタ300の構成が異なる。図35に示すトランジスタ300はチャンネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は、仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は、半導体基板の凸部を利用していることから、Fin型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

20

【0530】

図35に示す記憶装置では、メモリセル650aとメモリセル650bが隣接して配置されている。メモリセル650aおよびメモリセル650bは、トランジスタ300、トランジスタ200、および容量素子100を有し、配線1001、配線1002、配線1003、配線1004、配線1005、および配線1006と電氣的に接続される。また、メモリセル650aおよびメモリセル650bにおいて、トランジスタ300のゲートと、容量素子100の電極の一方と、が電氣的に接続するノードを、ノードSNとする。なお、配線1002は、隣接するメモリセル650aとメモリセル650bで共通の配線である。

30

【0531】

メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、メモリセルアレイがNOR型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を非導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードSNに与えられた電荷によらずトランジスタ300が非導通状態となるような電位、つまり、 V_{th_H} より低い電位を、情報を読み出さないメモリセルと接続される配線1005に与えればよい。または、例えば、メモリセルアレイがNAND型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードSNに与えられた電荷によらずトランジスタ300が導通状態となるような電位、つまり、 V_{th_L} より高い電位を、情報を読み出さないメモリセルと接続される配線1005に与えればよい。

40

【0532】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

50

【0533】

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせ用いることができる。

【0534】

(実施の形態5)

本実施の形態では、上記実施の形態に示す半導体装置を用いたインバータ回路について説明を行う。なお、本明細書中において、高電源電圧をHレベル(またはVDD)、低電源電圧をLレベル(またはGND)と呼ぶ場合がある。

【0535】

<インバータ回路の構成例>

図36(A)に示す回路INVは、容量素子C1と、直列に接続されたトランジスタM1、トランジスタM2、およびトランジスタM3と、を有する。回路INVは、インバータ回路としての機能を有する。

【0536】

トランジスタM1乃至トランジスタM3は、nチャネル型トランジスタである。回路INVはnチャネル型のトランジスタのみで構成されているので、CMOSTランジスタで構成されるインバータ回路と比べて、製造コストを低減させることができる。

【0537】

トランジスタM1乃至トランジスタM3として、上記実施の形態に示すトランジスタ200を用いることが好ましい。

【0538】

トランジスタM1は、互いに電氣的に接続された第1ゲートと第2ゲートを有する。第1ゲートと第2ゲートとは半導体層を間に介して互いに重なる領域を有する。トランジスタM2、トランジスタM3についても同様である。なお、第1ゲートをトップゲート、第2ゲートをボトムゲートという場合がある。

【0539】

回路INVは、端子IN、端子OUT、端子CLK、および端子CLKBを有する。端子INは入力端子として機能し、端子OUTは出力端子として機能する。端子CLKはクロック信号が入力され、端子CLKBは端子CLKに入力されるクロック信号の反転信号が入力される。

【0540】

また、回路INVは、電源電圧としてVDD、VSSが供給される。VDDは、高電源電圧であり、トランジスタM1のドレインに入力される。VSSは、低電源電圧であり、トランジスタM3のソースに入力される。

【0541】

トランジスタM1において、トップゲートおよびボトムゲートは端子CLKに電氣的に接続され、ソースはトランジスタM2のドレインに電氣的に接続される。

【0542】

トランジスタM2において、トップゲートおよびボトムゲートは端子CLKBに電氣的に接続され、ソースはトランジスタM3のドレインに電氣的に接続される。

【0543】

トランジスタM3において、トップゲートおよびボトムゲートは端子INに電氣的に接続される。

【0544】

容量素子C1の第1端子はトランジスタM1のソースに電氣的に接続される。容量素子C1の第2端子はVSSが入力される。

【0545】

端子OUTは、トランジスタM1のソース、トランジスタM2のドレイン、および容量素子C1の第1端子に電氣的に接続される。

【0546】

10

20

30

40

50

なお、容量素子C1は配線の寄生容量やトランジスタのゲート容量で代用してもよい。その場合、これら半導体装置の占有面積を小さくすることができる。

【0547】

次に、回路INVの動作について説明を行う。

【0548】

図36(B)は回路INVの動作を説明するためのタイミングチャートである。それぞれ、端子IN、端子CLK、端子CLKB、端子OUTの電位変化を表している。また、図36(B)を期間P1、期間P2、期間P3の3つの期間に分類している。

【0549】

端子INは、期間P1乃至期間P3の間、Hレベルを与えられている。すなわち、期間P1乃至期間P3において、トランジスタM3はオンになっている。

10

【0550】

期間P1において、端子CLKに電位VHが入力され、端子CLKBに電位VLが入力される。トランジスタM1はオンになり、トランジスタM2はオフになる。このとき、容量素子C1にVDDが供給され、容量素子C1は充電(プリチャージ)を開始する。

【0551】

なお、VHは、VDDとトランジスタM1のVthを足し合わせた電位($VDD + Vth$)以上にするのが好ましい。そうすることで、端子OUTにVDDを正確に伝えることができる。VLは低電源電位(またはGND)とすればよい。なお、VHを高電位、VLを低電位と呼ぶ場合もある。

20

【0552】

期間P2において、端子CLKにVLが入力され、端子CLKBにVHが入力される。トランジスタM1はオフになり、トランジスタM2はオンになる。このとき、トランジスタM3はオンであるため、容量素子C1の第1端子とトランジスタM3のソースが導通状態になり、容量素子C1は放電を開始する。最終的に端子OUTはLレベルを出力する。すなわち、端子OUTは端子INに入力された信号の反転信号を出力する。

【0553】

期間P3において、端子CLKにVHが入力され、端子CLKBにVLが入力される。トランジスタM1はオンになり、トランジスタM2はオフになる。期間P1と同様に、容量素子C1は再びプリチャージを開始する。

30

【0554】

期間P1乃至期間P3における端子INの入力をLレベルとした場合、期間P2において、端子OUTはHレベルを出力する。すなわち、端子OUTは端子INに入力された信号の反転信号を出力する。

【0555】

以上より、回路INVは端子CLKがVHのときに容量素子C1のプリチャージを行い、端子CLKがVLのときにインバータ回路として動作することがわかる。

【0556】

また、回路INVは、容量素子C1の充電と放電を繰り返すことで動作するダイナミッククロジック回路として機能することがわかる。トランジスタM1は容量素子C1を充電するプリチャージ用のトランジスタとして機能し、トランジスタM2は容量素子C1に蓄積された電荷を放電するディスチャージ用のトランジスタとして機能する。

40

【0557】

トランジスタM1乃至トランジスタM3は、オフ電流が小さいOSTランジスタを用いることが好ましい。例えば、上記実施の形態に示すトランジスタ200を用いることが好ましい。

【0558】

トランジスタM1乃至トランジスタM3にOSTランジスタを用いることで、回路INVは貫通電流を小さくすることができる。その結果、回路INVは消費電力を低減させることができる。

50

【0559】

また、トランジスタM1乃至トランジスタM3にOSトランジスタを用いることで、容量素子C1にプリチャージされた電荷が、リーク電流によって失われずに済む。その結果、回路INVはより正確にデータを伝えることができる。

【0560】

トランジスタM1は、トップゲートとボトムゲートを電気的に接続することで、トップゲートとボトムゲートから同時に半導体層にゲート電位を印加することが可能になり、オン電流を増大させることができる。トランジスタM2およびトランジスタM3についても同様である。その結果、回路INVは、動作周波数の高いインバータ回路を実現することができる。

10

【0561】

回路INVは、端子INをトランジスタM2のトップゲートおよびボトムゲートに電気的に接続し、端子CLKBをトランジスタM3のトップゲートおよびボトムゲートに電気的に接続してもよい。

【0562】

また、トランジスタM1乃至トランジスタM3がそれぞれ有するボトムゲートは、トップゲートと異なる電位を与えてもよい。例えば、トランジスタM1乃至トランジスタM3がそれぞれ有するボトムゲートに共通の固定電位を与えてもよい。そうすることで、回路INVは、トランジスタM1乃至トランジスタM3のV_{th}を制御することができる。

20

【0563】

また、回路INVは、場合によっては、トランジスタM1乃至トランジスタM3のボトムゲートを全て省略してもよい。その場合、回路INVは製造工程を簡略化することができる。

【0564】

以上、回路INVは消費電力が小さく単極性のトランジスタで構成されるインバータ回路を提供することができる。また、動作周波数が高く単極性のトランジスタで構成されるインバータ回路を提供することができる。

【0565】

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせることができる。

30

【0566】

(実施の形態6)

本実施の形態では、図37乃至図39を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ(以下、OSトランジスタと呼ぶ。)、および容量素子が適用されている記憶装置の一例として、NOSRAMについて説明する。NOSRAM(登録商標)とは「Nonvolatile Oxide Semiconductor RAM」の略称であり、ゲインセル型(2T型、3T型)のメモリセルを有するRAMを指す。なお、以下において、NOSRAMのようにOSトランジスタを用いたメモリ装置を、OSメモリと呼ぶ場合がある。

【0567】

NOSRAMでは、メモリセルにOSトランジスタが用いられるメモリ装置(以下、「OSメモリ」と呼ぶ。)が適用されている。OSメモリは、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有するメモリである。OSトランジスタが極小オフ電流のトランジスタであるので、OSメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

40

【0568】

<<NOSRAM1600>>

図37にNOSRAMの構成例を示す。図37に示すNOSRAM1600は、メモリセルアレイ1610、コントローラ1640、行ドライバ1650、列ドライバ1660、出力ドライバ1670を有する。なお、NOSRAM1600は、1のメモリセルで多

50

値データを記憶する多値NOSRAMである。

【0569】

メモリセルアレイ1610は複数のメモリセル1611、複数のワード線WWL、複数のワード線RWL、ビット線BL、ソース線SLを有する。ワード線WWLは書き込みワード線であり、ワード線RWLは読み出しワード線である。NOSRAM1600では、1のメモリセル1611で3ビット(8値)のデータを記憶する。

【0570】

コントローラ1640は、NOSRAM1600全体を統括的に制御し、データWDA[31:0]の書き込み、データRDA[31:0]の読み出しを行う。コントローラ1640は、外部からのコマンド信号(例えば、チップイネーブル信号、書き込みイネーブル信号など)を処理して、行ドライバ1650、列ドライバ1660および出力ドライバ1670の制御信号を生成する。

10

【0571】

行ドライバ1650は、アクセスする行を選択する機能を有する。行ドライバ1650は、行デコーダ1651、およびワード線ドライバ1652を有する。

【0572】

列ドライバ1660は、ソース線SLおよびビット線BLを駆動する。列ドライバ1660は、列デコーダ1661、書き込みドライバ1662、DAC(デジタルアナログ変換回路)1663を有する。

20

【0573】

DAC1663は3ビットのデジタルデータをアナログ電圧に変換する。DAC1663は32ビットのデータWDA[31:0]を3ビットごとに、アナログ電圧に変換する。

【0574】

書き込みドライバ1662は、ソース線SLをプリチャージする機能、ソース線SLを電氣的に浮遊状態にする機能、ソース線SLを選択する機能、選択されたソース線SLにDAC1663で生成した書き込み電圧を入力する機能、ビット線BLをプリチャージする機能、ビット線BLを電氣的に浮遊状態にする機能等を有する。

【0575】

出力ドライバ1670は、セクタ1671、ADC(アナログデジタル変換回路)1672、出力バッファ1673を有する。セクタ1671は、アクセスするソース線SLを選択し、選択されたソース線SLの電位をADC1672に送信する。ADC1672は、アナログ電圧を3ビットのデジタルデータに変換する機能を持つ。ソース線SLの電位はADC1672において、3ビットのデータに変換され、出力バッファ1673はADC1672から出力されるデータを保持する。

30

【0576】

なお、本実施の形態に示す、行ドライバ1650、列ドライバ1660、および出力ドライバ1670の構成は、上記に限定されるものではない。メモリセルアレイ1610の構成または駆動方法などに応じて、これらのドライバおよび当該ドライバに接続される配線の配置を変更してもよいし、これらのドライバおよび当該ドライバに接続される配線の有する機能を変更または追加してもよい。例えば、上記のソース線SLが有する機能の一部を、ビット線BLに有せしめる構成にしてもよい。

40

【0577】

なお、上記においては、各メモリセル1611に保持させる情報量を3ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。各メモリセル1611に保持させる情報量を2ビット以下にしてもよいし、4ビット以上にしてもよい。例えば、各メモリセル1611に保持させる情報量を1ビットにする場合、DAC1663およびADC1672を設けない構成にしてもよい。

【0578】

<メモリセル1611乃至メモリセル1614>

50

図38(A)はメモリセル1611の構成例を示す回路図である。メモリセル1611は2T型のゲインセルであり、メモリセル1611はワード線WWL、ワード線RWL、ビット線BL、ソース線SL、配線BGLに電氣的に接続されている。メモリセル1611は、ノードSN、OSTランジスタMO61、ランジスタMP61、容量素子C61を有する。OSTランジスタMO61は書き込みランジスタである。ランジスタMP61は読み出しランジスタであり、例えばpチャネル型Siランジスタで構成される。容量素子C61はノードSNの電位を保持するための保持容量である。ノードSNはデータの保持ノードであり、ここではランジスタMP61のゲートに相当する。

【0579】

メモリセル1611の書き込みランジスタがOSTランジスタMO61で構成されているため、NOSRAM1600は長時間データを保持することが可能である。

10

【0580】

図38(A)の例では、ビット線は、書き込みと読み出しで共通のビット線であるが、図38(B)に示すように、書き込みビット線として機能する、ビット線WBLと、読み出しビット線として機能する、ビット線RBLとを設けてもよい。

【0581】

図38(C)乃至図38(E)にメモリセルの他の構成例を示す。図38(C)乃至図38(E)には、書き込み用のビット線WBLと読み出し用のビット線RBLを設けた例を示しているが、図38(A)のように書き込みと読み出しで共有されるビット線を設けてもよい。

20

【0582】

図38(C)に示すメモリセル1612は、メモリセル1611の変形例であり、読み出しランジスタをnチャネル型ランジスタ(MN61)に変更したものである。ランジスタMN61はOSTランジスタであってもよいし、Siランジスタであってもよい。

【0583】

メモリセル1611、メモリセル1612において、OSTランジスタMO61はボトムゲートの無いOSTランジスタであってもよい。

【0584】

図38(D)に示すメモリセル1613は、3T型ゲインセルであり、ワード線WWL、RWL、ビット線WBL、ビット線RBL、ソース線SL、配線BGL、配線PCLに電氣的に接続されている。メモリセル1613は、ノードSN、OSTランジスタMO62、ランジスタMP62、ランジスタMP63、容量素子C62を有する。OSTランジスタMO62は書き込みランジスタである。ランジスタMP62は読み出しランジスタであり、ランジスタMP63は選択ランジスタである。

30

【0585】

図38(E)に示すメモリセル1614は、メモリセル1613の変形例であり、読み出しランジスタおよび選択ランジスタをnチャネル型ランジスタ(ランジスタMN62、ランジスタMN63)に変更したものである。ランジスタMN62、ランジスタMN63はOSTランジスタであってもよいし、Siランジスタであってもよい。

40

【0586】

メモリセル1611乃至メモリセル1614に設けられるOSTランジスタは、ボトムゲートの無いランジスタでもよいし、ボトムゲートが有るランジスタであってもよい。

【0587】

上記においては、メモリセル1611などが並列に接続された、いわゆるNOR型の記憶装置について説明したが、本実施の形態に示す記憶装置はこれに限られるものではない。例えば、以下に示すようなメモリセル1615が直列に接続された、いわゆるNAND型の記憶装置にしてもよい。

50

【0588】

図39はNAND型のメモリセルアレイ1610の構成例を示す回路図である。図39に示すメモリセルアレイ1610は、ソース線SL、ビット線RBL、ビット線WBL、ワード線WWL、ワード線RWL、配線BGL、およびメモリセル1615を有する。メモリセル1615は、ノードSN、OSトランジスタMO63、トランジスタMN64、容量素子C63を有する。ここで、トランジスタMN64は、例えばnチャネル型Siトランジスタで構成される。これに限られず、トランジスタMN64は、pチャネル型Siトランジスタ、であってもよいし、OSトランジスタであってもよい。

【0589】

以下では、図39に示すメモリセル1615aおよびメモリセル1615bを例として説明する。ここで、メモリセル1615aまたはメモリセル1615bのいずれかに接続する配線、または回路素子の符号については、aまたはbの符号を付して表す。

10

【0590】

メモリセル1615aにおいて、トランジスタMN64aのゲートと、OSトランジスタMO63aのソースおよびドレインの一方と、容量素子C63aの電極の一方とは、電氣的に接続されている。また、ビット線WBLとOSトランジスタMO63aのソースおよびドレインの他方とは、電氣的に接続されている。また、ワード線WWLaと、OSトランジスタMO63aのゲートとは、電氣的に接続されている。また、配線BGLaと、OSトランジスタMO63aのボトムゲートとは、電氣的に接続されている。そして、ワード線RWLaと、容量素子C63aの電極の他方は電氣的に接続されている。

20

【0591】

メモリセル1615bは、ビット線WBLとのコンタクト部を対称の軸として、メモリセル1615aと対称的に設けることができる。よって、メモリセル1615bに含まれる回路素子も、上記メモリセル1615aと同じように配線と接続される。

【0592】

さらに、メモリセル1615aが有するトランジスタMN64aのソースは、メモリセル1615bのトランジスタMN64bのドレインと電氣的に接続される。メモリセル1615aが有するトランジスタMN64aのドレインは、ビット線RBLと電氣的に接続される。メモリセル1615bが有するトランジスタMN64bのソースは、複数のメモリセル1615が有するトランジスタMN64を介してソース線SLと電氣的に接続される。このように、NAND型のメモリセルアレイ1610では、ビット線RBLとソース線SLの間に、複数のトランジスタMN64が直列に接続される。

30

【0593】

図39に示すメモリセルアレイ1610を有する記憶装置では、同じワード線WWL(またはワード線RWL)に接続された複数のメモリセル(以下、メモリセル列と呼ぶ。)ごとに、書き込み動作および読み出し動作を行う。例えば、書き込み動作は次のように行うことができる。書き込みを行うメモリセル列に接続されたワード線WWLにOSトランジスタMO63がオン状態となる電位を与え、書き込みを行うメモリセル列のOSトランジスタMO63をオン状態にする。これにより、指定したメモリセル列のトランジスタMN64のゲートおよび容量素子C63の電極の一方にビット線WBLの電位が与えられ、当該ゲートに所定の電荷が与えられる。それから当該メモリセル列のOSトランジスタMO63をオフ状態にすると、当該ゲートに与えられた所定の電荷を保持することができる。このようにして、指定したメモリセル列のメモリセル1615にデータを書き込むことができる。

40

【0594】

また、例えば、読み出し動作は次のように行うことができる。まず、読み出しを行うメモリセル列に接続されていないワード線RWLに、トランジスタMN64のゲートに与えられた電荷によらず、トランジスタMN64がオン状態となるような電位を与え、読み出しを行うメモリセル列以外のトランジスタMN64をオン状態とする。それから、読み出しを行うメモリセル列に接続されたワード線RWLに、トランジスタMN64のゲートが

50

有する電荷によって、トランジスタMN64のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線SLに定電位を与え、ビット線RBLに接続されている読み出し回路を動作状態とする。ここで、ソース線SL - ビット線RBL間の複数のトランジスタMN64は、読み出しを行うメモリセル列を除いてオン状態となっているため、ソース線SL - ビット線RBL間のコンダクタンスは、読み出しを行うメモリセル列のトランジスタMN64の状態（オン状態またはオフ状態）によって決定される。読み出しを行うメモリセル列のトランジスタMN64のゲートが有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線RBLの電位は異なる値をとることになる。ビット線RBLの電位を読み出し回路によって読み出すことで、指定したメモリセル列のメモリセル1615から情報を読み出すことができる。

10

【0595】

容量素子C61、容量素子C62、または容量素子C63の充放電によってデータを書き換えるため、NOSRAM1600は原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、長時間データを保持することが可能であるので、リフレッシュ頻度を低減できる。

【0596】

上記実施の形態に示す半導体装置をメモリセル1611、メモリセル1612、メモリセル1613、メモリセル1614、メモリセル1615に用いる場合、OSTランジスタM061、OSTランジスタM062、OSTランジスタM063としてトランジスタ200を用い、容量素子C61、容量素子C62、容量素子C63として容量素子100を用い、トランジスタMP61、トランジスタMP62、トランジスタMP63、トランジスタMN61、トランジスタMN62、トランジスタMN63、トランジスタMN64としてトランジスタ300を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置をさらに高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

20

【0597】

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせることができる。

【0598】

30

（実施の形態7）

本実施の形態では、図40および図41を用いて、本発明の一態様に係る、OSTランジスタ、および容量素子が適用されている記憶装置の一例として、DOSRAMについて説明する。DOSRAM（登録商標）とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T（トランジスタ）1C（容量）型のメモリセルを有するRAMを指す。DOSRAMも、NOSRAMと同様に、OSメモリが適用されている。

【0599】

<<DOSRAM1400>>

図40にDOSRAMの構成例を示す。図40に示すように、DOSRAM1400は、コントローラ1405、行回路1410、列回路1415、メモリセルおよびセンスアンプアレイ1420（以下、「MC-SAアレイ1420」と呼ぶ。）を有する。

40

【0600】

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セクタ1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、GBLRを有する。

【0601】

50

(MC - SAアレイ1420)

MC - SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、グローバルビット線GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。

【0602】

メモリセルアレイ1422は、N個(Nは2以上の整数)のローカルメモリセルアレイ1425<0>乃至ローカルメモリセルアレイ1425<N-1>を有する。図41(A)にローカルメモリセルアレイ1425の構成例を示す。ローカルメモリセルアレイ1425は、複数のメモリセル1445、複数のワード線WL、複数のビット線BLRを有する。図41(A)の例では、ローカルメモリセルアレイ1425の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

10

【0603】

図41(B)に共通のビット線BLR(ビット線BLR)に接続される、ペア状の一組のメモリセル1445aおよびメモリセル1445bの回路構成例を示す。メモリセル1445aはトランジスタMW1a、容量素子CS1a、端子B1a、端子B2aを有し、ワード線WL a、ビット線BLR(ビット線BLR)に接続される。また、メモリセル1445bはトランジスタMW1b、容量素子CS1b、端子B1b、端子B2bを有し、ワード線WL b、ビット線BLR(ビット線BLR)に接続される。なお、以下において、メモリセル1445aおよびメモリセル1445bのいずれかを特に限定しない場合は、メモリセル1445およびそれに付随する構成にaまたはbの符号を付さない場合がある。

20

【0604】

トランジスタMW1aは容量素子CS1aの充放電を制御する機能をもち、トランジスタMW1bは容量素子CS1bの充放電を制御する機能をもつ。トランジスタMW1aのゲートはワード線WL aに電氣的に接続され、第1端子はビット線BLR(ビット線BLR)に電氣的に接続され、第2端子は容量素子CS1aの第1端子に電氣的に接続されている。また、トランジスタMW1bのゲートはワード線WL bに電氣的に接続され、第1端子はビット線BLR(ビット線BLR)に電氣的に接続され、第2端子は容量素子CS1bの第1端子に電氣的に接続されている。このように、ビット線BLR(ビット線BLR)がトランジスタMW1aの第1端子とトランジスタMW1bの第1端子に共通で用いられる。

30

【0605】

トランジスタMW1は容量素子CS1の充放電を制御する機能をもつ。容量素子CS1の第2端子は端子B2に電氣的に接続されている。端子B2には、定電位(例えば、低電源電位)が入力される。

【0606】

上記実施の形態に示す半導体装置をメモリセル1445a、メモリセル1445bに用いる場合、トランジスタMW1aとしてトランジスタ200a、トランジスタMW1bとしてトランジスタ200bを用い、容量素子CS1aとして容量素子100aを用い、容量素子CS1bとして容量素子100bを用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

40

【0607】

トランジスタMW1はボトムゲートを備えており、ボトムゲートは端子B1に電氣的に接続されている。そのため、端子B1の電位によって、トランジスタMW1のV_{th}を変更することができる。例えば、端子B1の電位は固定電位(例えば、負の定電位)であってもよいし、DOSRAM1400の動作に応じて、端子B1の電位を変化させてもよい

50

。

【0608】

トランジスタMW1のボトムゲートをトランジスタMW1のゲート、ソース、またはドレインに電氣的に接続してもよい。あるいは、トランジスタMW1にボトムゲートを設けなくてもよい。

【0609】

センスアンプアレイ1423は、N個のローカルセンスアンプアレイ1426<0>乃至ローカルセンスアンプアレイ1426<N-1>を有する。ローカルセンスアンプアレイ1426は、1のスイッチアレイ1444、複数のセンスアンプ1446を有する。センスアンプ1446には、ビット線対が電氣的に接続されている。センスアンプ1446は、ビット線対をプリチャージする機能、ビット線対の電位差を増幅する機能、この電位差を保持する機能を有する。スイッチアレイ1444は、ビット線対を選択し、選択したビット線対とグローバルビット線対と間を導通状態にする機能を有する。

10

【0610】

ここで、ビット線対とは、センスアンプによって、同時に比較される2本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される2本のグローバルビット線のことをいう。ビット線対を一对のビット線と呼ぶことができ、グローバルビット線対を一对のグローバルビット線と呼ぶことができる。ここでは、ビット線BL Lとビット線BL Rが1組のビット線対を成す。グローバルビット線GB L Lとグローバルビット線GB L Rとが1組のグローバルビット線対をなす。以下、ビット線対(B L L , B L R)、グローバルビット線対(B L L , B L R)とも表す。

20

【0611】

(コントローラ1405)

コントローラ1405は、DOSRAM1400の動作全般を制御する機能を有する。コントローラ1405は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路1410、列回路1415の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

【0612】

(行回路1410)

行回路1410は、MC-SAアレイ1420を駆動する機能を有する。デコーダ1411はアドレス信号をデコードする機能を有する。ワード線ドライバ回路1412は、アクセス対象行のワード線WLを選択する選択信号を生成する。

30

【0613】

列セクタ1413、センスアンプドライバ回路1414はセンスアンプアレイ1423を駆動するための回路である。列セクタ1413は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セクタ1413の選択信号によって、各ローカルセンスアンプアレイ1426のスイッチアレイ1444が制御される。センスアンプドライバ回路1414の制御信号によって、複数のローカルセンスアンプアレイ1426は独立して駆動される。

40

【0614】

(列回路1415)

列回路1415は、データ信号WDA[31:0]の入力を制御する機能、データ信号RDA[31:0]の出力を制御する機能を有する。データ信号WDA[31:0]は書き込みデータ信号であり、データ信号RDA[31:0]は読み出しデータ信号である。

【0615】

グローバルセンスアンプ1447はグローバルビット線対(GB L L , GB L R)に電氣的に接続されている。グローバルセンスアンプ1447はグローバルビット線対(GB L L , GB L R)間の電位差を増幅する機能、この電位差を保持する機能を有する。グローバルビット線対(GB L L , GB L R)へのデータの書き込み、および読み出しは、入

50

出力回路 1417 によって行われる。

【0616】

DOSRAM1400の書き込み動作の概要を説明する。入出力回路1417によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ1416によって保持される。アドレスが指定するローカルセンスアンプアレイ1426のスイッチアレイ1444によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ1426は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ1425において、行回路1410によって、対象行のワード線WLが選択され、選択行のメモリセル1445にローカルセンスアンプアレイ1426の保持データが書き込まれる。

10

【0617】

DOSRAM1400の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ1425の1行が指定される。指定されたローカルメモリセルアレイ1425において、対象行のワード線WLが選択状態となり、メモリセル1445のデータがビット線に書き込まれる。ローカルセンスアンプアレイ1426によって、各列のビット線対の電位差がデータとして検出され、かつ保持される。スイッチアレイ1444によって、ローカルセンスアンプアレイ1426の保持データの内、アドレスが指定する列のデータが、グローバルビット線対に書き込まれる。グローバルセンスアンプアレイ1416は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ1416の保持データは入出力回路1417に出力される。以上で、読み出し動作が完了する。

20

【0618】

容量素子CS1の充放電によってデータを書き換えるため、DOSRAM1400には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル1445の回路構成が単純であるため、大容量化が容易である。

【0619】

トランジスタMW1はOSTランジスタである。OSTランジスタはオフ電流が極めて小さいため、容量素子CS1から電荷がリークすることを抑えることができる。したがって、DOSRAM1400の保持時間はDRAMに比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。よって、DOSRAM1400は大容量のデータを高頻度で書き換えるメモリ装置、例えば、画像処理に利用されるフレームメモリに好適である。

30

【0620】

MC-SAアレイ1420が積層構造であることによって、ローカルセンスアンプアレイ1426の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル1445の保持容量を低減することができる。また、ローカルセンスアンプアレイ1426にスイッチアレイ1444を設けることで、長いビット線の本数を減らすことができる。以上の理由から、DOSRAM1400のアクセス時に駆動する負荷が低減され、消費電力を低減することができる。

40

【0621】

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせることができる。

【0622】

(実施の形態8)

本実施の形態では、図42から図45を用いて、本発明の一態様に係る、OSTランジスタ、および容量素子が適用されている半導体装置の一例として、FPGA(フィールドプログラマブルゲートアレイ)について説明する。本実施の形態のFPGAは、コンフィギュレーションメモリ、およびレジスタにOSメモリが適用されている。ここでは、このようなFPGAを「OS-FPGA」と呼ぶ。

50

【0623】

<<OS - FPGA>>

図42(A)にOS - FPGAの構成例を示す。図42(A)に示すOS - FPGA 3110は、マルチコンテキスト構造によるコンテキスト切り替え、細粒度パワーゲーティング、NOFF(ノーマリーオフ)コンピューティングが可能である。OS - FPGA 3110は、コントローラ3111、ワードドライバ3112、データドライバ3113、プログラマブルエリア3115を有する。

【0624】

プログラマブルエリア3115は、2個の入出力ブロック(IOB)3117、コア3119を有する。IOB3117は複数のプログラマブル入出力回路を有する。コア3119は、複数のロジックアレイブロック(LAB)3120、複数のスイッチアレイブロック(SAB)3130を有する。LAB3120は複数のPLE3121を有する。図42(B)には、LAB3120を5個のPLE3121で構成する例を示す。図42(C)に示すようにSAB3130はアレイ状に配列された複数のスイッチブロック(SB)3131を有する。LAB3120は自身の入力端子と、SAB3130を介して4(上下左右)方向のLAB3120に接続される。

【0625】

図43(A)乃至図43(C)を参照して、SB3131について説明する。図43(A)に示すSB3131には、data、datab、信号context[1:0]、信号word[1:0]が入力される。data、databはコンフィギュレーションデータであり、dataとdatabは論理が相補的な関係にある。OS - FPGA 3110のコンテキスト数は2であり、信号context[1:0]はコンテキスト選択信号である。信号word[1:0]はワード線選択信号であり、信号word[1:0]が入力される配線がそれぞれワード線である。

【0626】

SB3131は、PRS(プログラマブルルーティングスイッチ)3133[0]、PRS3133[1]を有する。PRS3133[0]、PRS3133[1]は、相補データを格納できるコンフィギュレーションメモリ(CM)を有する。なお、PRS3133[0]とPRS3133[1]とを区別しない場合、PRS3133と呼ぶ。他の要素についても同様である。

【0627】

図43(B)にPRS3133[0]の回路構成例を示す。PRS3133[0]とPRS3133[1]とは同じ回路構成を有する。PRS3133[0]とPRS3133[1]とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号context[0]、信号word[0]はPRS3133[0]に入力され、信号context[1]、信号word[1]はPRS3133[1]に入力される。例えば、SB3131において、信号context[0]が“H”になることで、PRS3133[0]がアクティブになる。

【0628】

PRS3133[0]は、CM3135、シトランジスタM31を有する。シトランジスタM31は、CM3135により制御されるパストランジスタである。CM3135は、メモリ回路3137、メモリ回路3137Bを有する。メモリ回路3137、メモリ回路3137Bは同じ回路構成である。メモリ回路3137は、容量素子C31、OSTランジスタMO31、OSTランジスタMO32を有する。メモリ回路3137Bは、容量素子CB31、OSTランジスタMOB31、OSTランジスタMOB32を有する。

【0629】

上記実施の形態に示す半導体装置をSAB3130に用いる場合、OSTランジスタMO31、OSTランジスタMOB31としてランジスタ200を用い、容量素子C31、容量素子CB31として容量素子100を用いることができる。これにより、ランジ

10

20

30

40

50

スタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

【0630】

OSTランジスタMO31、OSTランジスタMO32、OSTランジスタMOB31、OSTランジスタMOB32はボトムゲートを有し、これらボトムゲートはそれぞれ固定電位を供給する電源線に電氣的に接続されている。

【0631】

SitランジスタM31のゲートがノードN31であり、OSTランジスタMO32のゲートがノードN32であり、OSTランジスタMOB32のゲートがノードNB32である。ノードN32、ノードNB32はCM3135の電荷保持ノードである。OSTランジスタMO32はノードN31と信号context[0]用の信号線との間の導通状態を制御する。OSTランジスタMOB32はノードN31と低電位電源線VSSとの間の導通状態を制御する。

10

【0632】

メモリ回路3137、メモリ回路3137Bが保持するデータは相補的な関係にある。したがって、OSTランジスタMO32またはOSTランジスタMOB32のいずれか一方が導通する。

【0633】

図43(C)を参照して、PRS3133[0]の動作例を説明する。PRS3133[0]にコンフィギュレーションデータが既書き込まれており、PRS3133[0]のノードN32は“H”であり、ノードNB32は“L”である。

20

【0634】

信号context[0]が“L”である間はPRS3133[0]は非アクティブである。この期間に、PRS3133[0]の入力端子が“H”に遷移しても、SitランジスタM31のゲートは“L”が維持され、PRS3133[0]の出力端子も“L”が維持される。

【0635】

信号context[0]が“H”である間はPRS3133[0]はアクティブである。信号context[0]が“H”に遷移すると、CM3135が記憶するコンフィギュレーションデータによって、SitランジスタM31のゲートは“H”に遷移する。

30

【0636】

PRS3133[0]がアクティブである期間に、入力端子が“H”に遷移すると、メモリ回路3137のOSTランジスタMO32がソースフォロアであるために、ブースティングによってSitランジスタM31のゲート電位は上昇する。その結果、メモリ回路3137のOSTランジスタMO32は駆動能力を失い、SitランジスタM31のゲートは浮遊状態となる。

【0637】

マルチコンテキスト機能を備えるPRS3133において、CM3135はマルチプレサの機能を併せ持つ。

【0638】

図44にPLE3121の構成例を示す。PLE3121はLUT(ルックアップテーブル)ブロック3123、レジスタブロック3124、セクタ3125、CM3126を有する。LUTブロック3123は、入力inA-inDに従って内部の16ビットCM対の出力をマルチプレクスする構成である。セクタ3125は、CM3126が格納するコンフィギュレーションに従って、LUTブロック3123の出力またはレジスタブロック3124の出力を選択する。

40

【0639】

PLE3121は、パワースイッチ3127を介して電圧VDD用の電源線に電氣的に接続されている。パワースイッチ3127のオンオフは、CM3128が格納するコンフィギュレーションデータによって設定される。各PLE3121にパワースイッチ312

50

7を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されないPLE3121をパワーゲーティングすることができるので、待機電力を効果的に低減できる。

【0640】

NOFFコンピューティングを実現するため、レジスタブロック3124は、不揮発性レジスタで構成される。PLE3121内の不揮発性レジスタはOSメモリを備えるフリップフロップ（以下、[OS-FF]と呼ぶ）である。

【0641】

レジスタブロック3124は、OS-FF3140[1]3140[2]を有する。信号user_res、信号load、信号storeがOS-FF3140[1]、OS-FF3140[2]に入力される。クロック信号CLK1はOS-FF3140[1]に入力され、クロック信号CLK2はOS-FF3140[2]に入力される。図45(A)にOS-FF3140の構成例を示す。

10

【0642】

OS-FF3140は、FF3141、シャドウレジスタ3142を有する。FF3141は、ノードCK、ノードR、ノードD、ノードQ、ノードQBを有する。ノードCKにはクロック信号が入力される。ノードRには信号user_resが入力される。信号user_resはリセット信号である。ノードDはデータ入力ノードであり、ノードQはデータ出力ノードである。ノードQとノードQBとは論理が相補関係にある。

20

【0643】

シャドウレジスタ3142は、FF3141のバックアップ回路として機能する。シャドウレジスタ3142は、信号storeに従いノードQ、QBのデータをそれぞれバックアップし、また、信号loadに従い、バックアップしたデータをノードQ、ノードQBに書き戻す。

【0644】

シャドウレジスタ3142は、インバータ回路3188、インバータ回路3189、SiトランジスタM37、SiトランジスタMB37、メモリ回路3143、メモリ回路3143Bを有する。メモリ回路3143、メモリ回路3143Bは、PRS3133のメモリ回路3137と同じ回路構成である。メモリ回路3143は容量素子C36、OSTランジスタMO35、OSTランジスタMO36を有する。メモリ回路3143Bは容量素子CB36、OSTランジスタMOB35、OSTランジスタMOB36を有する。ノードN36、ノードNB36はOSTランジスタMO36、OSTランジスタMOB36のゲートであり、それぞれ電荷保持ノードである。ノードN37、ノードNB37は、SiトランジスタM37、SiトランジスタMB37のゲートである。

30

【0645】

上記実施の形態に示す半導体装置をLAB3120に用いる場合、OSTランジスタMO35、OSTランジスタMOB35としてトランジスタ200を用い、容量素子C36、容量素子CB36として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

40

【0646】

OSTランジスタMO35、OSTランジスタMO36、OSTランジスタMOB35、OSTランジスタMOB36はボトムゲートを有し、これらボトムゲートはそれぞれ固定電位を供給する電源線に電氣的に接続されている。

【0647】

図45(B)を参照して、OS-FF3140の動作方法例を説明する。

【0648】

(バックアップ)

“H”の信号storeがOS-FF3140に入力されると、シャドウレジスタ3142はFF3141のデータをバックアップする。ノードN36は、ノードQのデータが

50

書き込まれることで、“L”となり、ノードNB36は、ノードQBのデータが書き込まれることで、“H”となる。しかる後、パワーゲーティングが実行され、パワースイッチ3127をオフにする。FF3141のノードQ、ノードQBのデータは消失するが、電源オフであっても、シャドウレジスタ3142はバックアップしたデータを保持する。

【0649】

(リカバリ)

パワースイッチ3127をオンにし、PLE3121に電源を供給する。しかる後、“H”の信号loadがOS-FF3140に入力されると、シャドウレジスタ3142はバックアップしているデータをFF3141に書き戻す。ノードN36は“L”であるので、ノードN37は“L”が維持され、ノードNB36は“H”であるので、ノードNB37は“H”となる。よって、ノードQは“H”になり、ノードQBは“L”になる。つまり、OS-FF3140はバックアップ動作時の状態に復帰する。

10

【0650】

細粒度パワーゲーティングと、OS-FF3140のバックアップ/リカバリ動作とを組み合わせることで、OS-FPGA3110の消費電力を効果的に低減できる。

【0651】

メモリ回路において発生し得るエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出される線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。OSTランジスタを用いたOSメモリはソフトエラー耐性が高い。そのため、OSメモリを搭載することで、信頼性の高いOS-FPGA3110を提供することができる。

20

【0652】

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせて用いることができる。

【0653】

(実施の形態9)

本実施の形態では、図46を用いて、上記実施の形態に示す半導体装置を適用した、AIシステムについて説明を行う。

30

【0654】

図46は、AIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部4010と、制御部4020と、入出力部4030を有する。

【0655】

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA4014と、を有する。DOSRAM4012、NOSRAM4013、およびFPGA4014として、上記実施の形態に示す、DOSRAM1400、NOSRAM1600、およびOS-FPGA3110を用いることができる。

【0656】

制御部4020は、CPU(Central Processing Unit)4021と、GPU(Graphics Processing Unit)4022と、PLL(Phase Locked Loop)4023と、SRAM(Static Random Access Memory)4024と、PROM(Programmable Read Only Memory)4025と、メモリコントローラ4026と、電源回路4027と、PMU(Power Management Unit)4028と、を有する。

40

【0657】

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

50

【0658】

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

【0659】

アナログ演算回路4011はA/D(アナログ/デジタル)変換回路、D/A(デジタル/アナログ)変換回路、および積和演算回路を有する。

【0660】

アナログ演算回路4011はOSトランジスタを用いて形成することが好ましい。OSトランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

10

【0661】

DOSRAM4012は、OSトランジスタを用いて形成されたDRAMであり、DOSRAM4012は、CPU4021から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM4012は、OSトランジスタを含むメモリセルと、Siトランジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM4012は、全体の回路面積を小さくすることができる。

【0662】

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM4012は、上記入力データを効率良く格納することができる。

20

【0663】

NOSRAM4013はOSトランジスタを用いた不揮発性メモリである。NOSRAM4013は、フラッシュメモリや、ReRAM(Resistive Random Access Memory)、MRAM(Magnetoresistive Random Access Memory)などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することもなく、データの書き込み可能回数に制限が無い。

30

【0664】

また、NOSRAM4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。NOSRAM4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

【0665】

また、NOSRAM4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM4013をアナログメモリとして用いることもできる。NOSRAM4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM4013は周辺回路の面積を小さくすることができる。なお、本明細書においてアナログデータとは、3ビット(8値)以上分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

40

【0666】

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速かつ低消費電力に上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

50

【0667】

FPGA4014は、OSトランジスタを用いたFPGAである。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、より高速に実行することができる。

【0668】

FPGA4014は、OSトランジスタを有するFPGAである。OS FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

10

【0669】

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ(チップ)の上に設けることができる。そのため、AIシステム4041は、高速かつ低消費電力に、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コストで作製することができる。

20

【0670】

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一または複数を選択して設ければよい。

【0671】

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの演算を実行することができる。PROM4025は、これらの演算を実行するためのプログラムを保存することができる。また、これらプログラムの一部または全てを、NOSRAM4013に保存してもよい。

30

【0672】

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

【0673】

電源回路4027は、論理回路用の低電圧電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げるすることができる。

40

【0674】

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

【0675】

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメモリ中にデータ(論理値)を保持し続けることができる。その結

50

果、AIシステム4041は、電力を節約することができる。

【0676】

PLL4023は、クロックを生成する機能を有する。AIシステム4041は、PLL4023が生成したクロックを基準に動作を行う。PLL4023はOSメモリを有することが好ましい。PLL4023はOSメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

【0677】

AIシステム4041は、DRAMなどの外部メモリにデータを保存してもよい。そのため、AIシステム4041は、外部のDRAMとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、CPU4021またはGPU4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

10

【0678】

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうすることで、AIシステム4041は、高速かつ低消費電力に、ニューラルネットワークの計算を実行することができる。

【0679】

ニューラルネットワークの計算に用いられるデータは外部記憶装置(HDD(Hard Disk Drive)、SSD(Solid State Drive)など)に保存される場合が多い。そのため、AIシステム4041は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路4031を有することが好ましい。

20

【0680】

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、AIシステム4041は音声コーデック4032および映像コーデック4033を有する。音声コーデック4032は、音声データのエンコード(符号化)およびデコード(復号)を行い、映像コーデック4033は、映像データのエンコードおよびデコードを行う。

【0681】

AIシステム4041は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は汎用入出力モジュール4034を有する。汎用入出力モジュール4034は、例えば、USB(Universal Serial Bus)やI2C(Integrated Circuit)などを含む。

30

【0682】

AIシステム4041は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は、通信モジュール4035を有することが好ましい。

【0683】

アナログ演算回路4011は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する(演算回路とメモリを同じダイの上に形成する。)ことが非常に難しい。

40

【0684】

また、アナログ演算回路4011は、ReRAMをアナログメモリとして用いてもよい。しかし、ReRAMは書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2端子でなる素子でありため、データの書き込みと読み出しを分ける回路設計が複雑になる。

【0685】

また、アナログ演算回路4011は、MRAMをアナログメモリとして用いてもよい。しかし、MRAMは抵抗変化率が低く、記憶精度の点で問題がある。

【0686】

50

以上を鑑み、アナログ演算回路4011は、OSメモリをアナログメモリとして用いることが好ましい。

【0687】

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせることができる。

【0688】

(実施の形態10)

< AIシステムの応用例 >

本実施の形態では、上記実施の形態に示すAIシステムの応用例について図47を用いて説明を行う。

【0689】

図47(A)は、図46で説明したAIシステム4041を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、AIシステム4041Aである。

【0690】

図47(A)に図示するAIシステム4041Aは、複数のAIシステム4041__1乃至AIシステム4041__n(nは自然数)を有する。AIシステム4041__1乃至AIシステム4041__nは、バス線4098を介して互いに接続されている。

【0691】

また図47(B)は、図46で説明したAIシステム4041を図47(A)と同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、AIシステム4041Bである。

【0692】

図47(B)に図示するAIシステム4041Bは、複数のAIシステム4041__1乃至AIシステム4041__nを有する。AIシステム4041__1乃至AIシステム4041__nは、ネットワーク4099を介して互いに接続されている。

【0693】

ネットワーク4099は、AIシステム4041__1乃至AIシステム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えばWorld Wide Web(WWW)の基盤であるインターネット、イントラネット、エクストラネット、PAN(Personal Area Network)、LAN(Local Area Network)、CAN(Campus Area Network)、MAN(Metropolitan Area Network)、WAN(Wide Area Network)、GAN(Global Area Network)等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコルまたは通信技術として、LTE(Long Term Evolution)、GSM(Global System for Mobile Communication:登録商標)、EDGE(Enhanced Data Rates for GSM Evolution)、CDMA2000(Code Division Multiple Access 2000)、W-CDMA(登録商標)などの通信規格、またはWi-Fi(登録商標)、Bluetooth(登録商標)、ZigBee(登録商標)等のIEEEにより通信規格化された仕様を用いることができる。

【0694】

図47(A)および図47(B)の構成とすることで、外部のセンサ等で得られたアナログ信号を別々のAIシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のAIシステムでアナログ信号を処理することができる。別々のAIシステムのそれぞれで信号の処理、または学習を行うことで一つのAIシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれ

10

20

30

40

50

の AI システムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるということが期待できる。

【0695】

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせて用いることができる。

【0696】

(実施の形態 11)

本実施の形態では、上記実施の形態に示す AI システムが組み込まれた IC の一例を示す。

【0697】

上記実施の形態に示す AI システムは、CPU 等の Si トランジスタでなるデジタル処理回路と、OS トランジスタを用いたアナログ演算回路、OS - FPGA および DOS RAM、NOS RAM 等の OS メモリを、1 のダイに集積することができる。

【0698】

図 48 に、AI システムを組み込んだ IC の一例を示す。図 48 に示す AI システム IC 7000 は、リード 7001 および回路部 7003 を有する。AI システム IC 7000 は、例えばプリント基板 7002 に実装される。このような IC チップが複数組み合わせられて、それぞれがプリント基板 7002 上で電氣的に接続されることで電子部品が実装された基板(実装基板 7004)が完成する。回路部 7003 には、上記実施の形態で示した各種の回路が 1 のダイに設けられている。回路部 7003 は、先の実施の形態に示すように、積層構造をもち、Si トランジスタ層 7031、配線層 7032、OS トランジスタ層 7033 に大別される。OS トランジスタ層 7033 を Si トランジスタ層 7031 に積層して設けることができるため、AI システム IC 7000 の小型化が容易である。

【0699】

図 48 では、AI システム IC 7000 のパッケージに QFP (Quad Flat Package) を適用しているが、パッケージの態様はこれに限定されない。

【0700】

CPU 等のデジタル処理回路と、OS トランジスタを用いたアナログ演算回路、OS - FPGA および DOS RAM、NOS RAM 等の OS メモリは、全て、Si トランジスタ層 7031、配線層 7032 および OS トランジスタ層 7033 に形成することができる。すなわち、上記 AI システムを構成する素子は、同一の製造プロセスで形成することが可能である。そのため、本実施の形態に示す IC は、構成する素子が増えても製造プロセスを増やす必要がなく、上記 AI システムを低コストで組み込むことができる。

【0701】

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせて用いることができる。

【0702】

(実施の形態 12)

<電子機器>

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図 49 および図 50 に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

【0703】

図 49 (A) に示すロボット 5000 は、演算装置 5001、センサ 5002、ライト 5003、リフト 5004、駆動部 5005、移動機構 5011 を備えており、移動しながら静止画や動画を撮影することができる。このようなロボットは、警備システムや、監視システムとして用いることができる。

【0704】

ロボット 5000 は、さらに、通信手段 5006、スピーカ 5007、マイクロフォン 5008、表示部 5009、発光部 5010などを備えていてもよい。

10

20

30

40

50

【0705】

演算装置5001には、本発明の一態様に係る半導体装置を用いることができる。また、演算装置5001には、本発明の一態様に係るAIシステムが組み込まれたICを用いることができる。センサ5002は、ロボット5000の周囲を撮影する、カメラとしての機能を有する。ライト5003は、センサ5002でロボット5000の周囲を撮影する際のライトとして用いることができる。なお、センサ5002で、静止画を撮影する際には、ライト5003は、フラッシュライトとして機能することが好ましい。センサ5002は、リフト5004を介して、ロボット本体と接続されている。センサ5002の高さは、リフト5004により調整することができる。リフト5004は、伸縮式であることが好ましい。また、リフト5004は、複数のブームにより構成された折り畳み式のものでよい。また、ロボット5000には、駆動部5005と、駆動部5005に接続された移動機構5011が設けられているため、センサ5002による撮像範囲、すなわち監視範囲が広がり、好ましい。

10

【0706】

通信手段5006は、センサ5002により撮像された情報を管理者や、管理者が所有するサーバへ送信することができる。また、センサ5002により撮像された情報を演算装置5001にて解析し、犯罪、事故、火災などの非常事態と判断された場合は、警備会社、警察、消防、医療機関、土地や建物のオーナーへ連絡することができる。スピーカ5007は、犯罪者への警告、怪我人や急病人への問いかけ、避難の誘導など、ロボット周囲に情報の発信を行うことができる。マイクロフォン5008は、ロボット5000周囲の音声の取得に用いることができる。また、通信手段5006、およびスピーカ5007と合わせて用いることで、ロボット5000は電話としての機能を有することができる。ロボット5000周囲にいる人は、管理者や任意の人と会話することができる。表示部5009は、任意の情報を表示することができる。非常時の場合は、災害情報や避難経路を表示することができる。また、通信手段5006、スピーカ5007、およびマイクロフォン5008と合わせて用いることで、ロボット5000はテレビ電話としての機能を有することができる。ロボット5000周囲にいる人は、管理者や任意の人と表示部5009を見ながら会話することができる。

20

【0707】

発光部5010は、ロボット5000の進行方向や停止状態を文字や光で示すことができる。また、非常事態を示してもよい。

30

【0708】

図49(B)は、ロボット5000の構成を示すブロック図である。演算装置5001は、センサ5002により得られた映像などの情報から、ライト5003の点灯や消灯、明るさの調整を行う。また、リフト5004の高さの調整、あるいは、駆動部5005の制御を行い、ロボット5000や、センサ5002の位置合わせを行う。また、駆動部5005の動作状況を、発光部5010を用いて示すことができる。また、通信手段5006を用いて、センサ5002やマイクロフォン5008から得られたロボット5000の周囲の情報を管理者、または管理者が所有するサーバに送信することができる。また、演算装置5001や、管理者の判断により、スピーカ5007や表示部5009を用いて、ロボット5000の周囲に情報を発信することができる。

40

【0709】

センサ5002に用いるセンサとして、周囲が暗くても撮像が可能なセンサを用いる場合は、ライト5003は設けなくてもよい。このようなセンサとして、受光部にセレン(Se)を用いたイメージセンサを用いることができる。

【0710】

このようなロボット5000は、商業施設や、オフィスの警備に用いることができる。センサ5002やマイクロフォン5008から得られた情報は、演算装置5001やサーバに保存される。保存された情報は、AIシステムにより解析され、物品の紛失や破損、不審者の侵入、火災などの災害などの異常の有無を判断する。情報の解析には、ディープ

50

ラーニングを用いてもよい。異常が発生したと判断した場合、ロボット5000は、管理者への連絡および周囲への情報発信を行い、周囲の状況を記録する。

【0711】

また、ロボット5000は、農作物の生育状況の監視に用いてもよい。田んぼや畑に設置されたロボット5000は、センサ5002により、農作物の葉、あるいは実の形、大きさ、色を監視し、病気になっていないか、害虫の付着が無いかを判断する。ロボット5000には、移動機構5011が設けられているため、広範囲の農作物の生育状況を監視することができる。また、ロボット5000には、リフト5004が設けられているため、農作物の種類や、生育状況によらず、任意の高さの葉や実を監視することができる。監視結果は、通信手段5006を用いて生産者に送られ、生産者は、農作物に必要な肥料や農薬の種類、量、散布時期を判断することができる。また、演算装置5001を用いて、監視結果を、AIシステムにより解析し、農作物に必要な、肥料や農薬の種類、量、散布時期を判断して、生産者に通知してもよい。監視結果の解析には、ディープラーニングを用いてもよい。

10

【0712】

図50(A)は、ロボット6001を用いた、仕分けシステム6000を示す。ロボット6001は、演算装置6002、ブーム6003、およびアーム6004を備えている。また、ロボット6001は有線、または無線の通信手段6011を備えていてもよい。また、仕分けシステム6000は、センサ6009を有する筐体6008を備えている。筐体6008は、通信手段6010を有している。筐体6008は、仕分けシステム6000、または仕分け作業エリアの天井、壁、梁(いずれも図示しない。)に設けられる。また、筐体6008は、ロボット6001に設けられていてもよい。例えば、ブーム6003、またはアーム6004に設けられていてもよい。筐体6008がロボット6001に設けられている場合は、センサ6009により得られた情報は、通信手段6010、および通信手段6011を介さず、演算装置6002に送られ、処理されてもよい。

20

【0713】

ブーム6003は、可動式となっており、アーム6004を所望の位置に配置することができる。また、アーム6004は伸縮式としてもよい。所望の物品6007上に配置されたアームを伸ばし、所望の物品6007を掴み、アーム6004を縮めた後、ブーム6003によりアーム6004を移動してもよい。

30

【0714】

仕分けシステム6000は、容器6005内の物品6007を容器6006に移動させることができる。容器6005と容器6006は、同一形状でもよいし、異なる形状でもよい。また、一つの容器6005に入れられた複数の物品6007を複数の容器6006に振り分けて移動してもよい。

【0715】

容器6005、および容器6006として、コンテナ、段ボール箱、商品を梱包する箱、ケース、フィルム、または袋、食品保管用のバット、弁当箱などが用いられる。また、容器6005、および容器6006の少なくとも一方は、鍋やフライパンなどの調理器具でもよい。

40

【0716】

演算装置6002には、本発明の一態様に係る半導体装置を用いることができる。また、演算装置6002には、本発明の一態様に係るAIシステムが組み込まれたICを用いることができる。

【0717】

センサ6009は、容器6005の位置、容器6006の位置、容器6005内、および容器6005内の物品6007の状態を読み取り、通信手段6010を用いて演算装置6002に情報を送信する。情報の送信は無線または、有線で行う。また、通信手段6010を用いずに、有線にて情報を送信してもよい。演算装置6002は、送信された情報の解析を行う。ここで、物品6007の状態とは、形、数、物品6007同士の重なりな

50

どのことを指す。演算装置 6002 は、センサ 6009 からの情報をもとに解析を行い、物品 6007 の詳細情報を導出する。演算装置 6002、またはロボット 6001 と通信可能なサーバに保存されたデータと比較し、物品 6007 の三次元形状や、堅さ（柔らかさ）を導出する。また、物品 6007 の三次元形状や堅さ（柔らかさ）から、アーム 6004 の形状を変えることができる。

【0718】

物品 6007 の詳細情報を導出するには、AI システムを用いた解析を利用することができる。情報の解析には、ディープラーニングを用いてもよい。

【0719】

図 50 (B) は、一对の板 6021 が水平方向に移動し、物品 6007 を挟むことができるアームである。一对の板 6021 が中心に向かって水平方向に移動することで、物品 6007 を挟むことができる。このようなアームは、物品 6007 を面で捉えることができ、立方体や直方体など、柱状の形を有する物品 6007 を掴むのに適している。図 50 (C) は、複数のバー 6022 が水平方向に移動し、物品 6007 を挟むことができるアームである。複数のバー 6022 が中心に向かって水平方向に移動することで、物品 6007 を挟むことができる。このようなアームは、物品 6007 を点で捉えることができ、球状の形を有する物品 6007、または物品 6007 の形が一定でない場合、すなわち不定型な物品 6007 を掴むのに適している。なお、図 50 (C) では、バー 6022 の数を 4 本としたが、本実施の形態はこれに限らない。バー 6022 は 3 本でもよいし、5 本以上でもよい。図 50 (D) は、一对の板 6023 が、共通の軸を中心に、お互いが近づくように回転することで物品 6007 を挟むことができるアームである。このようなアームは、物品 6007 を面で捉えることができ、紙やフィルムなど、薄膜状の形を有する物品 6007 を掴むのに適している。図 50 (E) は、一对のかぎ状の板 6024 が、共通の軸を中心に、お互いの先端が近づくように回転することで物品 6007 を挟むことができるアームである。このようなアームは、物品 6007 を点、または線で捉えることができ、紙やフィルムなど、薄膜状の形を有する物品 6007 や、より小さい粒状の形を有する物品 6007 を掴むのに適している。また、図 50 (F) に示すように、アームの先端にヘラ 6025 を取り付け、より小さい粒状の形を有する物品 6007 をすくってもよい。

【0720】

図 50 (A) 乃至図 50 (F) に示すアームは、一例であり、本発明の一態様はこれらの形状に限らない。また、各アームの用途の説明も一例であり、本発明の一態様はこれらの記載に限らない。

【0721】

ロボット 6001 は、演算装置 6002 からの信号に基づき、ブーム 6003 を動かし、アーム 6004 を、容器 6005 内の所望の物品 6007 上に移動する。伸縮式のアーム 6004 の場合、アーム 6004 を伸ばし、アーム 6004 の先端を物品 6007 の高さまで降ろす。アームの先端を動かし、所望の物品 6007 を掴む。物品 6007 を掴んだまま、アームを縮める。再びブーム 6003 を動かし、アーム 6004 を、容器 6006 の所望の位置に移動する。このとき、容器 6006 に対する物品 6007 の角度を調整する為、アーム 6004 を回転してもよい。アーム 6004 を伸ばし、物品 6007 を容器 6006 に配置し、アーム 6004 は、物品 6007 を放す。以上の操作を繰り返し行い、ロボット 6001 は、物品 6007 を容器 6005 から容器 6006 に移動させることができる。

【0722】

容器 6005、および容器 6006 の位置情報、および物品 6007 の状態を、AI システムを用いて解析しているため、物品 6007 の形状や堅さによらず、確実に物品 6007 を移動することができる。物品 6007 の例としては、立方体、または直方体の箱、または任意の形状の箱やケースに詰められた物品だけでなく、卵、ハンバーグやコロケなど、成形された加工食品、ジャガイモやトマトなど、不定形な野菜などの食品、ネジやナットなどの機械部品、紙やフィルムなどの薄膜などが挙げられる。本実施の形態に示し

10

20

30

40

50

た仕分けシステム 6000 は、物品 6007 の形状や堅さを考慮してアームの形状を変えることができるため、上記に例示した物品 6007 を、形状や堅さによらず、容器 6005 から容器 6006 に移動させることができる。

【0723】

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

【0724】

また、例えば、上述した電子機器の演算装置などに、上記 AI システムが組み込まれた IC を用いることができる。これにより、本実施の形態に示す電子機器は、AI システムによって、状況に応じた的確な動作を、低消費電力で行うことができる。

10

【0725】

本実施の形態は、他の実施の形態や実施例に記載した構成と適宜組み合わせることで実施することが可能である。

【実施例 1】

【0726】

本実施例では、酸化物上に金属化合物を形成したときの、酸化物のシート抵抗の推移を測定した。シート抵抗測定器には、測定上限が $6.0 \times 10^6 / \text{sq}$ であるものを用いた。酸化物のシート抵抗の推移を図 51 に示す。シート抵抗の推移の評価に用いたサンプルを以下に説明する。

20

【0727】

サンプル 1 の作製方法について説明する。シリコンを含む基板の表面を、塩化水素 (HCl) 雰囲気中で熱処理し、基板上に 100 nm の酸化シリコン膜を形成した。次に、酸化シリコン膜上に、スパッタリング法によって、In : Ga : Zn = 1 : 3 : 4 [原子数比] のターゲットを用いて、膜厚 5 nm の酸化物を形成し、さらに、In : Ga : Zn = 4 : 2 : 4.1 [原子数比] のターゲットを用いて、膜厚 15 nm の酸化物を形成した。次に、形成した酸化物に対して、窒素雰囲気にて 400 の温度で 1 時間の加熱処理を行い、連続して酸素雰囲気にて 400 の温度で 1 時間の加熱処理を行った。サンプル 1 の酸化物のシート抵抗を測定したところ、オーバーレンジとなり、酸化物のシート抵抗が $6.0 \times 10^6 / \text{sq}$ 以上であることがわかった。

30

【0728】

次に、サンプル 2 の作製方法について説明する。サンプル 1 と同様に、基板上に酸化シリコン膜、および酸化物を形成し、加熱処理を行った。加熱処理後、酸化物上に、スパッタリング法によって、Ti : Al = 1 : 1 [原子数比] のターゲットを用い、窒素を含む雰囲気にて、膜厚 2 nm の金属化合物を形成した。得られた金属化合物は、チタン、アルミニウム、および窒素を含んでおり、TiAlN_x と表記することができる。サンプル 2 の酸化物のシート抵抗を測定したところ、 $3.8 \times 10^3 / \text{sq}$ であった。酸化物上に金属化合物を形成することで、酸化物のシート抵抗値が低減した。

【0729】

次に、サンプル 3 の作製方法について説明する。サンプル 2 と同様に、基板上に酸化シリコン膜、および酸化物を形成し、加熱処理を行った。加熱処理後、酸化物上に、金属化合物を形成した。金属化合物の形成後、窒素雰囲気にて 400 の温度で 1 時間の加熱処理を行った。サンプル 3 の酸化物のシート抵抗を測定したところ、 $2.9 \times 10^3 / \text{sq}$ であった。金属化合物の形成により低減した酸化物のシート抵抗値にほぼ変動は無いが、サンプル 2 と比較して、サンプル 3 の酸化物のシート抵抗値は、低減した。

40

【0730】

次に、サンプル 4 の作製方法について説明する。サンプル 3 と同様に、基板上に酸化シリコン膜、および酸化物を形成し、加熱処理を行った。加熱処理後、酸化物上に、金属化合物を形成した。金属化合物の形成後、加熱処理を行った。加熱処理後、スパッタリング法によって、酸化アルミニウム (Al₂O₃) を含むターゲットを用い、アルゴンと酸素

50

を含む雰囲気にて、膜厚 20 nm の酸化アルミニウムを形成した。酸化アルミニウムの形成により、酸化物に酸素（過剰酸素）が供給されると考えられる。ここで、酸化物に酸素が供給されることで、酸化物の抵抗値は増加し、I 型半導体に近づく場合がある。サンプル 4 の酸化物のシート抵抗を測定したところ、 $1.9 \times 10^3 / \text{sq}$ であった。なお、サンプル 4 において、酸化物のシート抵抗の測定は、酸化アルミニウム除去後に行った。金属化合物の形成によりシート抵抗値が低減した酸化物において、酸化アルミニウムの形成によるシート抵抗値の上昇は見られず、サンプル 3 と比較して、サンプル 4 の酸化物のシート抵抗値は、低減した。

【0731】

次に、サンプル 5 の作製方法について説明する。サンプル 4 と同様に、基板上に酸化シリコン膜、および酸化物を形成し、加熱処理を行った。加熱処理後、酸化物上に、金属化合物を形成した。金属化合物の形成後、加熱処理を行った。加熱処理後、酸化アルミニウムを形成した。酸化アルミニウムの形成後に、窒素雰囲気にて 400 の温度で 1 時間の加熱処理を行い、連続して酸素雰囲気にて 400 の温度で 1 時間の加熱処理を行った。加熱処理により、酸化アルミニウムに含まれる酸素が酸化物に拡散することが考えられる。サンプル 5 の酸化物のシート抵抗を測定したところ、 $1.5 \times 10^3 / \text{sq}$ であった。なお、サンプル 5 において、酸化物のシート抵抗の測定は、酸化アルミニウム除去後に行った。金属化合物の形成によりシート抵抗値が低減した酸化物において、酸化アルミニウムの形成、および加熱処理によるシート抵抗値の上昇は見られなかった。また、サンプル 3、およびサンプル 4 と比較して、サンプル 5 の酸化物のシート抵抗値は低減した。

10

20

【0732】

本実施例は、他の実施の形態や実施例などに記載した構成と適宜組み合わせて実施することが可能である。

【実施例 2】

【0733】

本実施例では、酸化物上に金属化合物が設けられ、該金属化合物上に金属酸化物が設けられた試料の、酸化物中の水素濃度を評価した結果について説明する。水素濃度の評価には、SSDP (Substrate Side Depth Profile) - SIMS 分析を用いた。

30

【0734】

以下に、SSDP - SIMS 分析に用いたサンプル 6 およびサンプル 7 の作製方法について説明する。

【0735】

サンプル 6 の作製方法について説明する。シリコンを含む基板の表面を、塩化水素 (HCl) 雰囲気にて熱処理し、基板上に 100 nm の酸化シリコン膜を形成した。次に、酸化シリコン膜上に、スパッタリング法によって、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4.1$ [原子数比] のターゲットを用いて、膜厚 50 nm の酸化物を形成した。次に、形成した酸化物に対して、窒素雰囲気にて 400 の温度で 1 時間の加熱処理を行い、連続して酸素雰囲気にて 400 の温度で 1 時間の第 1 の加熱処理を行った。第 1 の加熱処理後、酸化物上に、スパッタリング法によって、 $\text{Ti} : \text{Al} = 1 : 1$ [原子数比] のターゲットを用い、窒素を含む雰囲気にて、膜厚 2 nm の金属化合物を形成した。次に、金属化合物の形成後、窒素雰囲気にて 400 の温度で 1 時間の第 2 の加熱処理を行った。第 2 の加熱処理後、スパッタリング法によって、酸化アルミニウム (Al_2O_3) を含むターゲットを用い、アルゴンと酸素を含む雰囲気にて、膜厚 20 nm の酸化アルミニウムを形成し、サンプル 6 を得た。

40

【0736】

次に、サンプル 7 の作製方法について説明する。サンプル 6 と同様に、基板上に酸化シリコン膜、および酸化物を形成し、第 1 の加熱処理を行った。第 1 の加熱処理後、酸化物上に、金属化合物を形成した。金属化合物の形成後、第 2 の加熱処理を行った。第 2 の加熱処理後、酸化アルミニウムを形成した。酸化アルミニウムの形成後に、窒素雰囲気にて

50

400 の温度で1時間の加熱処理を行い、連続して酸素雰囲気にて400 の温度で1時間の第3の加熱処理を行った。

【0737】

以上のようにして作製したサンプル6、およびサンプル7に、SSDP-SIMS分析を行って水素を検出した結果を図52に示す。図52で横軸は深さ[nm]をとり、縦軸は水素の濃度[atoms/cm³]をとる。サンプル6の水素濃度を破線で示し、サンプル7の水素濃度を実践で示す。また、本SSDP-SIMS分析における水素濃度のバックグラウンドレベルは、 3.8×10^{18} atoms/cm³であり、グラフ中、長破線にて示している。サンプル6、およびサンプル7のSSDP-SIMS分析は、シリコンウェハ側から試料を掘り進めて行った。また、サンプル6、およびサンプル7のSSDP-SIMS分析は、酸化物(図中、IGZOと表記する。)を定量して酸化物(IGZO)の水素濃度を換算した。なお、SIMS分析は、アルバック・ファイ社製四重極型質量分析装置(ADEPT1010)を用いた。また、サンプル6、およびサンプル7の検出領域は60μm×60μmとした。

10

【0738】

図52に示すように、サンプル6において、酸化物(IGZO)中に水素が検出されている。一方、加熱処理を行ったサンプル7において、酸化物(IGZO)中の水素濃度は低減しており、特に、金属化合物側での水素濃度は、バックグラウンドレベルまで低下している。

20

【0739】

以上より、酸化物上に金属化合物が設けられ、該金属化合物上に金属酸化物が設けられた試料において、加熱処理を行うことで酸化物中の水素濃度が低減した。本評価により、酸化物中の水素は、金属化合物越しに、金属酸化物に引き抜かれていることが示唆された。すなわち、酸化物近傍に、金属酸化物を設けることにより、酸化物中の水素が金属酸化物に引き抜かれることが示唆された。このように、金属酸化物が酸化物中の水素引き抜く現象は、ゲッターリングと呼ぶことができる。

【0740】

本実施例は、他の実施の形態や実施例などに記載した構成と適宜組み合わせることで実施することが可能である。

30

【符号の説明】

【0741】

100 容量素子
 100a 容量素子
 100b 容量素子
 110 導電体
 112 導電体
 120 導電体
 130 絶縁体
 150 絶縁体
 200 トランジスタ
 200a トランジスタ
 200b トランジスタ
 203 導電体
 203a 導電体
 203b 導電体
 205 導電体
 205a 導電体
 205b 導電体
 207 導電体
 210 絶縁体

40

50

2 1 2	絶縁体	
2 1 4	絶縁体	
2 1 6	絶縁体	
2 1 8	導電体	
2 2 0	絶縁体	
2 2 2	絶縁体	
2 2 4	絶縁体	
2 3 0	酸化物	
2 3 0 a	酸化物	
2 3 0 A	酸化膜	10
2 3 0 b	酸化物	
2 3 0 B	酸化膜	
2 3 0 c	酸化物	
2 3 0 C	酸化膜	
2 3 1	領域	
2 3 1 a	領域	
2 3 1 b	領域	
2 3 4	領域	
2 3 9	領域	
2 4 0	導電体	20
2 4 0 a	導電体	
2 4 0 b	導電体	
2 4 0 c	導電体	
2 4 2	層	
2 4 2 A	膜	
2 4 3	領域	
2 4 5	開口	
2 4 6	導電体	
2 4 8	導電体	
2 5 0	絶縁体	30
2 5 0 A	絶縁膜	
2 5 1 a	導電体	
2 5 1 b	導電体	
2 6 0	導電体	
2 6 0 A	導電膜	
2 7 4	絶縁体	
2 8 0	絶縁体	
2 8 1	絶縁体	
2 8 2	絶縁体	
2 8 6	絶縁体	40
2 9 1	絶縁体	
2 9 2	絶縁体	
2 9 3	絶縁体	
3 0 0	トランジスタ	
3 1 1	基板	
3 1 3	半導体領域	
3 1 4 a	低抵抗領域	
3 1 4 b	低抵抗領域	
3 1 5	絶縁体	
3 1 6	導電体	50

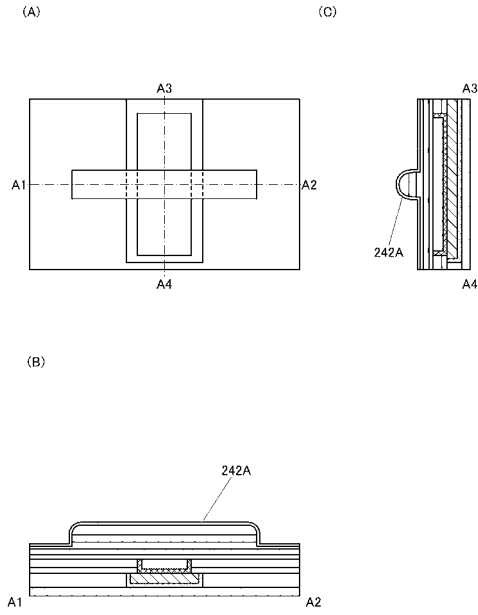
3 2 0	絶縁体	
3 2 2	絶縁体	
3 2 4	絶縁体	
3 2 6	絶縁体	
3 2 8	導電体	
3 3 0	導電体	
3 5 0	絶縁体	
3 5 2	絶縁体	
3 5 4	絶縁体	
3 5 6	導電体	10
3 6 0	絶縁体	
3 6 2	絶縁体	
3 6 4	絶縁体	
3 6 6	導電体	
3 7 0	絶縁体	
3 7 2	絶縁体	
3 7 4	絶縁体	
3 7 6	導電体	
3 8 0	絶縁体	
3 8 2	絶縁体	20
3 8 4	絶縁体	
3 8 6	導電体	
4 0 0	トランジスタ	
4 0 3	導電体	
4 0 5	導電体	
4 3 0 c	酸化物	
4 3 1 a	酸化物	
4 3 1 b	酸化物	
4 3 2 a	酸化物	
4 3 2 b	酸化物	30
4 5 0	絶縁体	
4 6 0	導電体	
5 0 0	開口部	
6 0 0	セル	
6 0 0 a	セル	
6 0 0 b	セル	
6 1 0	回路	
6 2 0	回路	
6 5 0 a	メモリセル	
6 5 0 b	メモリセル	40
1 0 0 1	配線	
1 0 0 2	配線	
1 0 0 3	配線	
1 0 0 4	配線	
1 0 0 5	配線	
1 0 0 6	配線	
1 0 0 7	配線	
1 0 0 8	配線	
1 0 0 9	配線	
1 0 1 0	配線	50

1 4 0 0	D O S R A M	
1 4 0 5	コントローラ	
1 4 1 0	行回路	
1 4 1 1	デコーダ	
1 4 1 2	ワード線ドライバ回路	
1 4 1 3	列セクタ	
1 4 1 4	センスアンプドライバ回路	
1 4 1 5	列回路	
1 4 1 6	グローバルセンスアンプアレイ	
1 4 1 7	入出力回路	10
1 4 2 0	M C - S A アレイ	
1 4 2 2	メモリセルアレイ	
1 4 2 3	センスアンプアレイ	
1 4 2 5	ローカルメモリセルアレイ	
1 4 2 6	ローカルセンスアンプアレイ	
1 4 4 4	スイッチアレイ	
1 4 4 5	メモリセル	
1 4 4 5 a	メモリセル	
1 4 4 5 b	メモリセル	
1 4 4 6	センスアンプ	20
1 4 4 7	グローバルセンスアンプ	
1 6 0 0	N O S R A M	
1 6 1 0	メモリセルアレイ	
1 6 1 1	メモリセル	
1 6 1 2	メモリセル	
1 6 1 3	メモリセル	
1 6 1 4	メモリセル	
1 6 1 5	メモリセル	
1 6 1 5 a	メモリセル	
1 6 1 5 b	メモリセル	30
1 6 4 0	コントローラ	
1 6 5 0	行ドライバ	
1 6 5 1	行デコーダ	
1 6 5 2	ワード線ドライバ	
1 6 6 0	列ドライバ	
1 6 6 1	列デコーダ	
1 6 6 2	ドライバ	
1 6 6 3	D A C	
1 6 7 0	出力ドライバ	
1 6 7 1	セクタ	40
1 6 7 2	A D C	
1 6 7 3	出力バッファ	
3 1 1 0	O S - F P G A	
3 1 1 1	コントローラ	
3 1 1 2	ワードドライバ	
3 1 1 3	データドライバ	
3 1 1 5	プログラマブルエリア	
3 1 1 7	I O B	
3 1 1 9	コア	
3 1 2 0	L A B	50

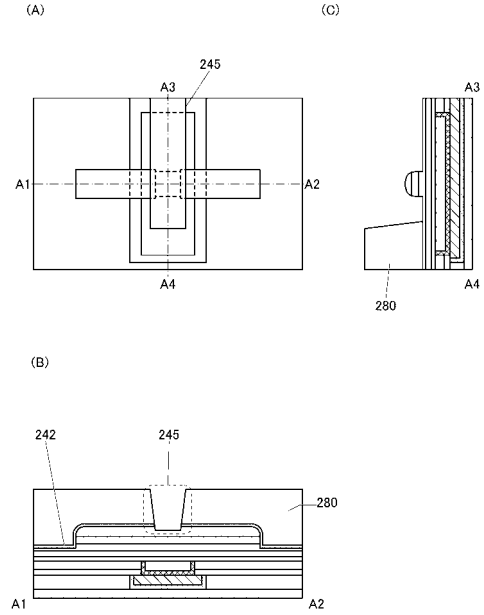
3 1 2 1	P L E	
3 1 2 3	L U Tブロック	
3 1 2 4	レジスタブロック	
3 1 2 5	セレクタ	
3 1 2 6	C M	
3 1 2 7	パワースイッチ	
3 1 2 8	C M	
3 1 3 0	S A B	
3 1 3 1	S B	
3 1 3 3	P R S	10
3 1 3 5	C M	
3 1 3 7	メモリ回路	
3 1 3 7 B	メモリ回路	
3 1 4 0	O S - F F	
3 1 4 1	F F	
3 1 4 2	シャドウレジスタ	
3 1 4 3	メモリ回路	
3 1 4 3 B	メモリ回路	
3 1 8 8	インバータ回路	
3 1 8 9	インバータ回路	20
4 0 1 0	演算部	
4 0 1 1	アナログ演算回路	
4 0 1 2	D O S R A M	
4 0 1 3	N O S R A M	
4 0 1 4	F P G A	
4 0 2 0	制御部	
4 0 2 1	C P U	
4 0 2 2	G P U	
4 0 2 3	P L L	
4 0 2 4	S R A M	30
4 0 2 5	P R O M	
4 0 2 6	メモリコントローラ	
4 0 2 7	電源回路	
4 0 2 8	P M U	
4 0 3 0	入出力部	
4 0 3 1	外部記憶制御回路	
4 0 3 2	音声コーデック	
4 0 3 3	映像コーデック	
4 0 3 4	汎用入出力モジュール	
4 0 3 5	通信モジュール	40
4 0 4 1	A Iシステム	
4 0 4 1 __ n	A Iシステム	
4 0 4 1 __ 1	A Iシステム	
4 0 4 1 A	A Iシステム	
4 0 4 1 B	A Iシステム	
4 0 9 8	バス線	
4 0 9 9	ネットワーク	
5 0 0 0	ロボット	
5 0 0 1	演算装置	
5 0 0 2	センサ	50

5 0 0 3	ライト	
5 0 0 4	リフト	
5 0 0 5	駆動部	
5 0 0 6	通信手段	
5 0 0 7	スピーカ	
5 0 0 8	マイクロフォン	
5 0 0 9	表示部	
5 0 1 0	発光部	
5 0 1 1	移動機構	
6 0 0 0	仕分けシステム	10
6 0 0 1	ロボット	
6 0 0 2	演算装置	
6 0 0 3	ブーム	
6 0 0 4	アーム	
6 0 0 5	容器	
6 0 0 6	容器	
6 0 0 7	物品	
6 0 0 8	筐体	
6 0 0 9	センサ	
6 0 1 0	通信手段	20
6 0 1 1	通信手段	
6 0 2 1	板	
6 0 2 2	バー	
6 0 2 3	板	
6 0 2 4	板	
6 0 2 5	ヘラ	
7 0 0 0	AIシステムIC	
7 0 0 1	リード	
7 0 0 2	プリント基板	
7 0 0 3	回路部	30
7 0 0 4	実装基板	
7 0 3 1	S i トランジスタ層	
7 0 3 2	配線層	
7 0 3 3	O S トランジスタ層	

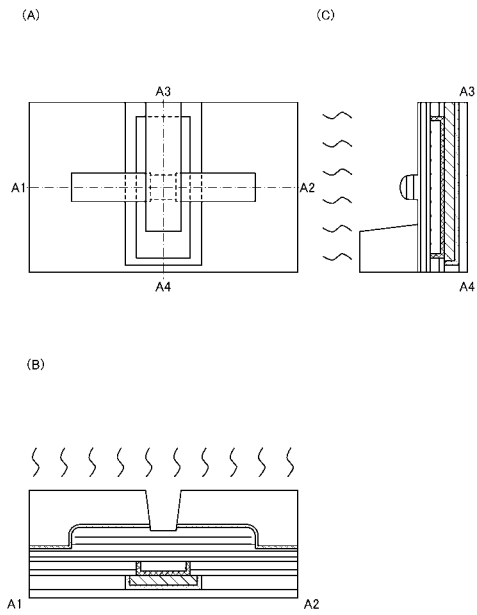
【 図 6 】



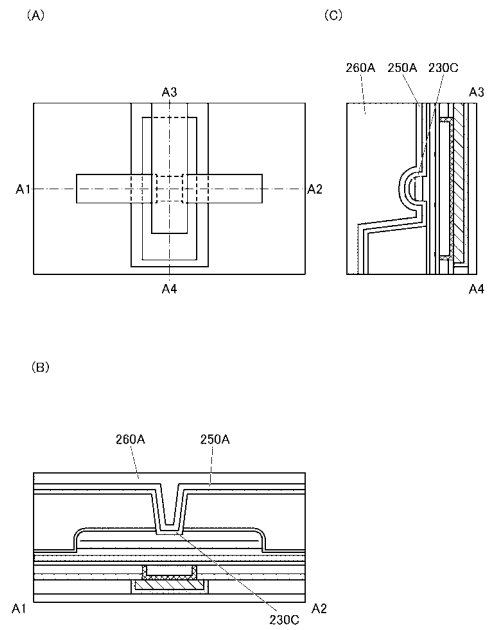
【 図 7 】



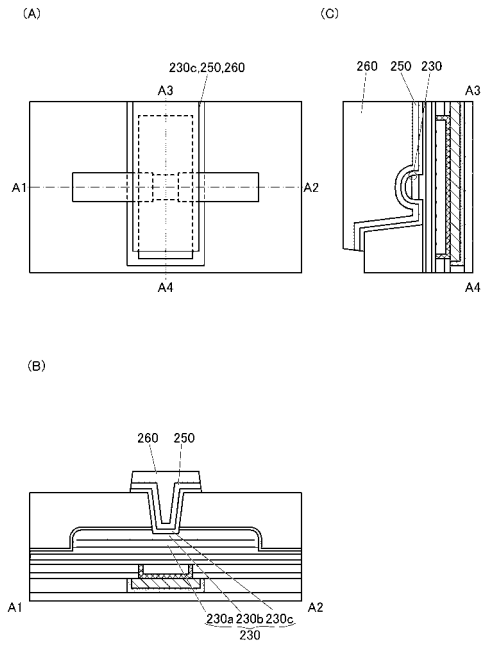
【 図 8 】



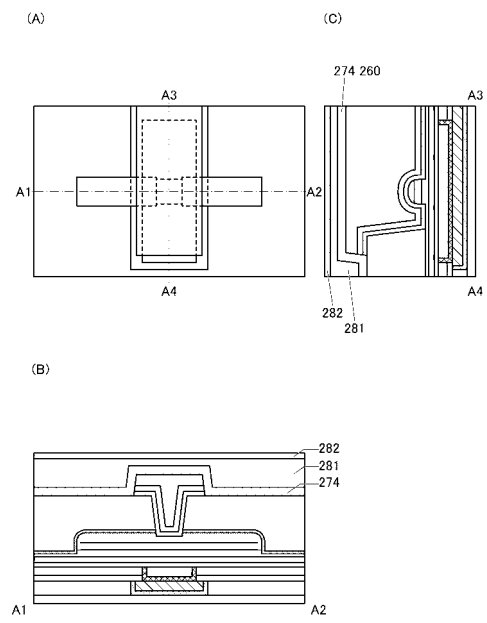
【 図 9 】



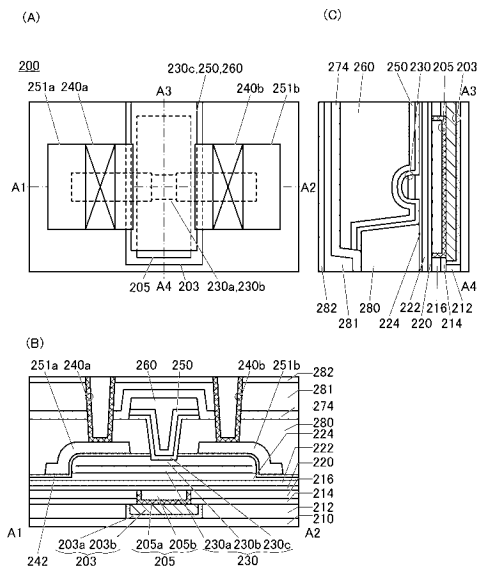
【図 10】



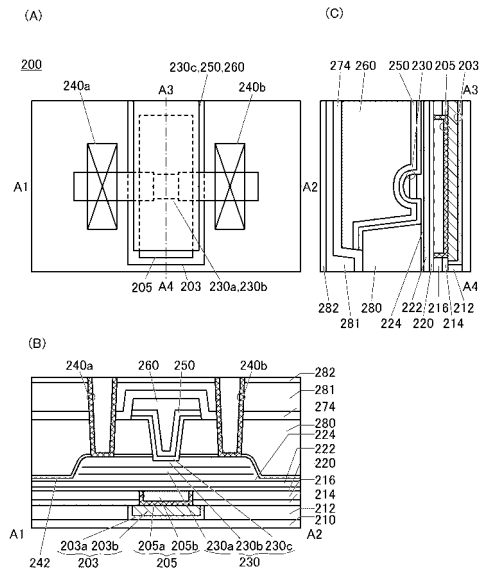
【図 11】



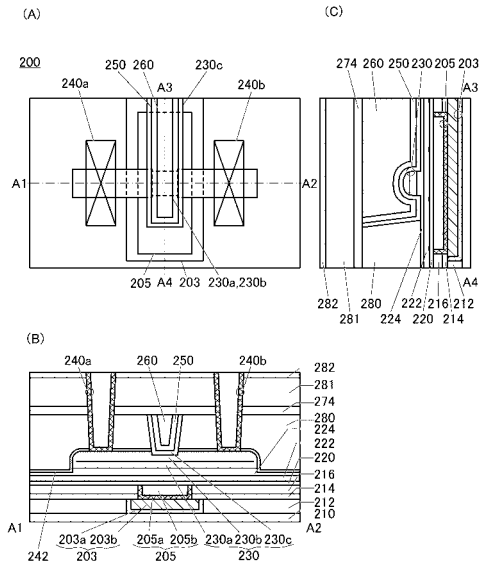
【図 12】



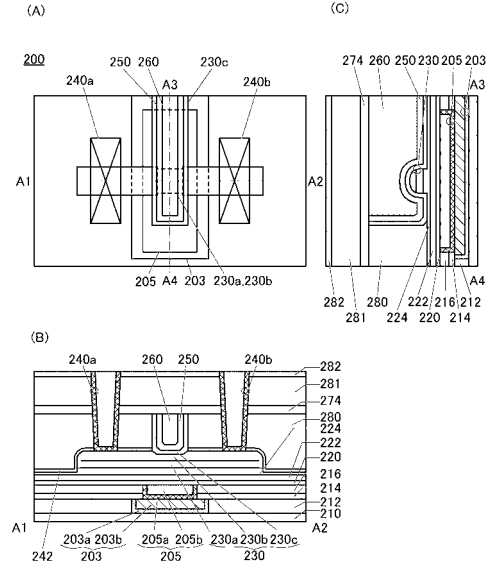
【図 13】



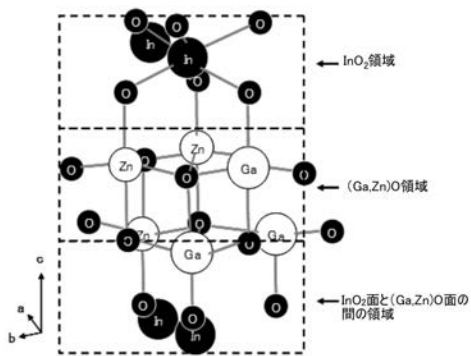
【 図 1 4 】



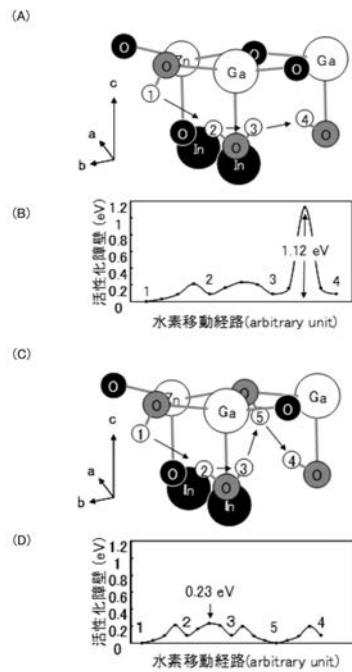
【 図 1 5 】



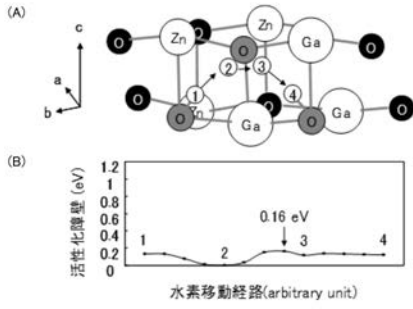
【 図 1 6 】



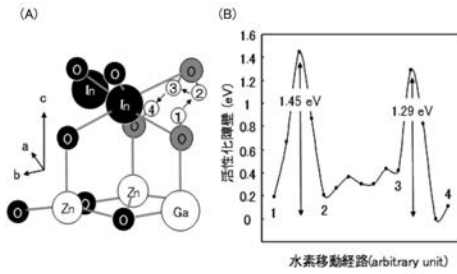
【 図 1 7 】



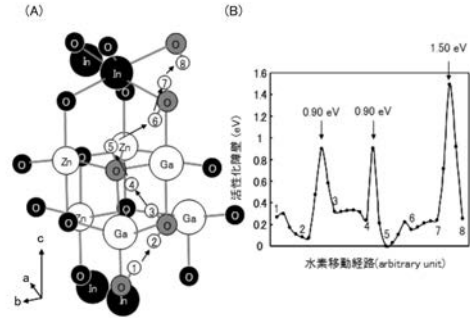
【 図 1 8 】



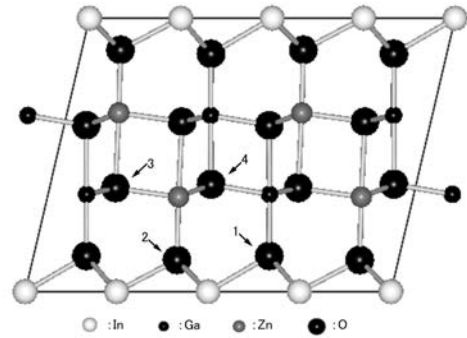
【 図 1 9 】



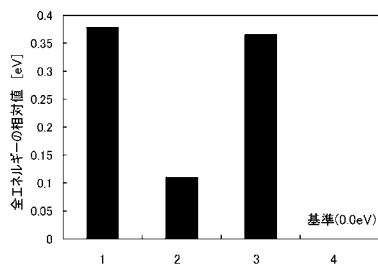
【 図 2 0 】



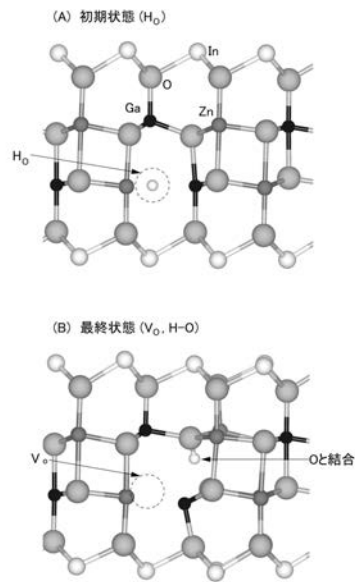
【 図 2 1 】



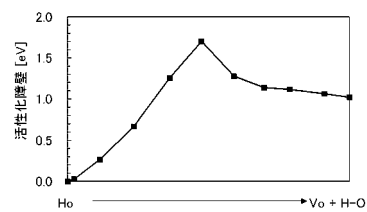
【 図 2 2 】



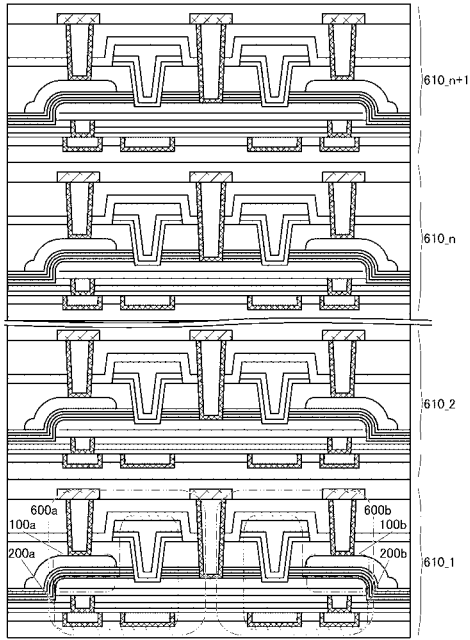
【 図 2 3 】



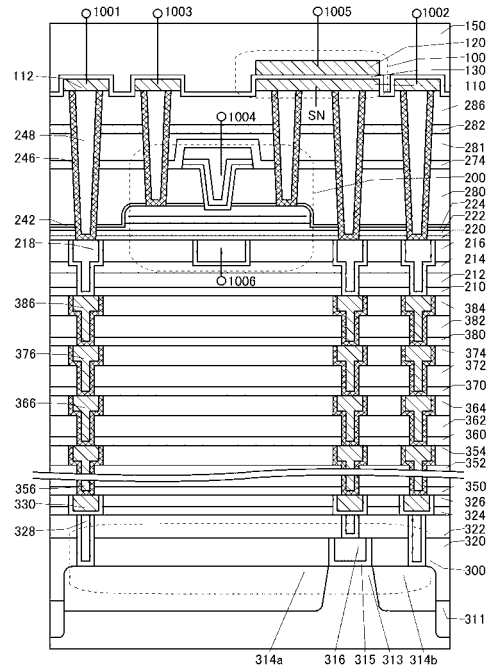
【 図 2 4 】



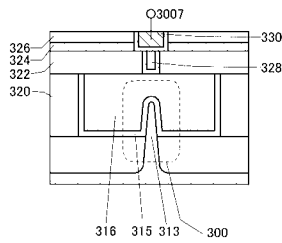
【図 29】



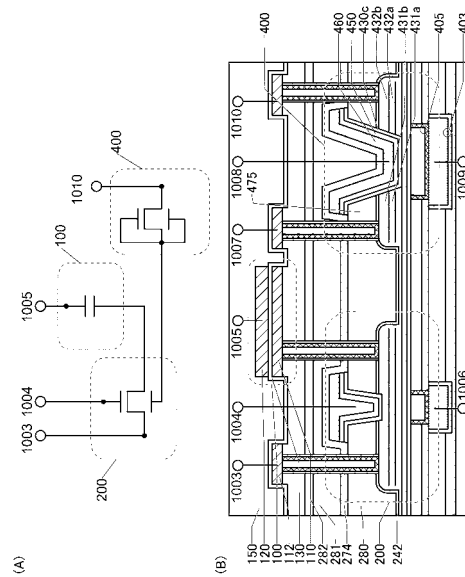
【図 30】



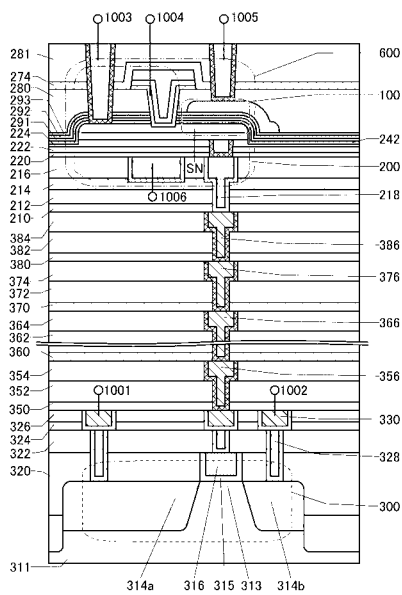
【図 31】



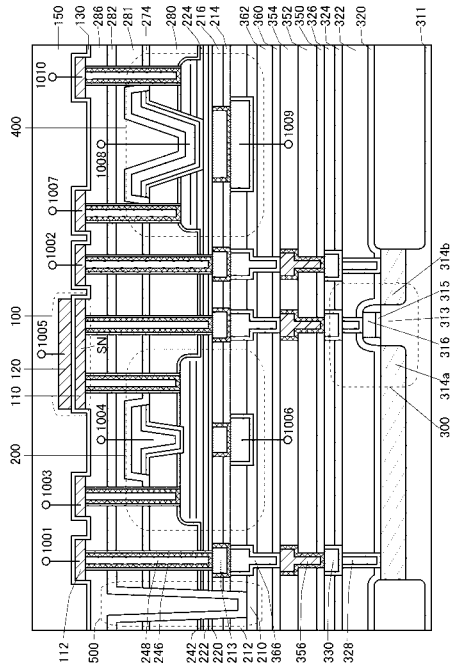
【図 33】



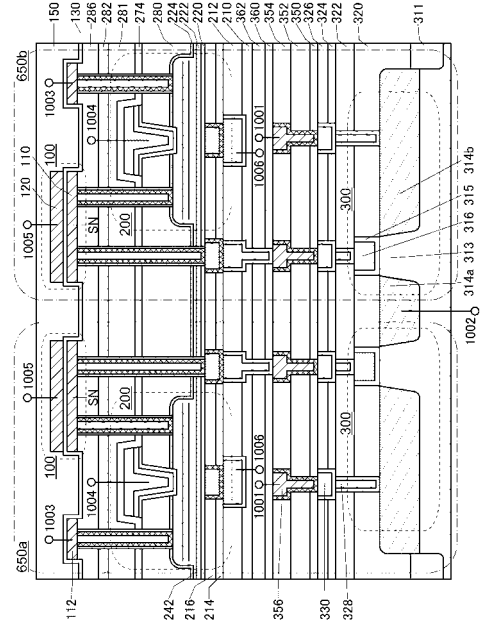
【図 32】



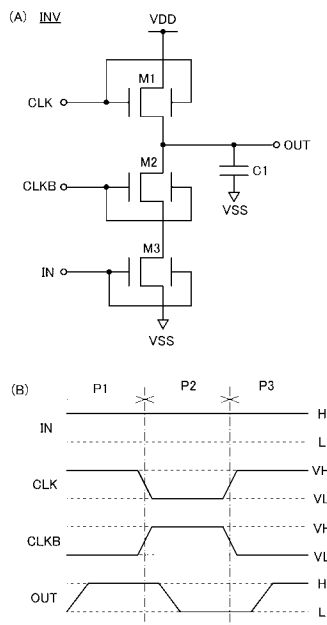
【 図 3 4 】



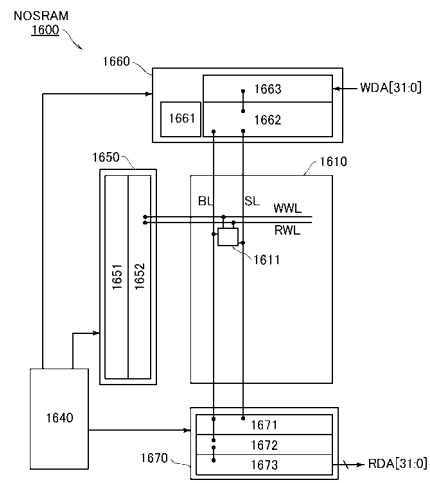
【 図 3 5 】



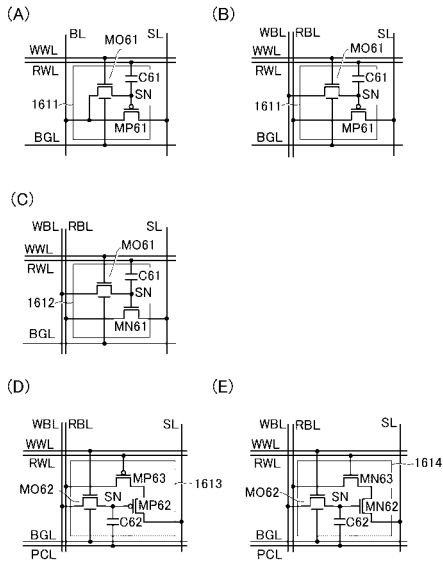
【 図 3 6 】



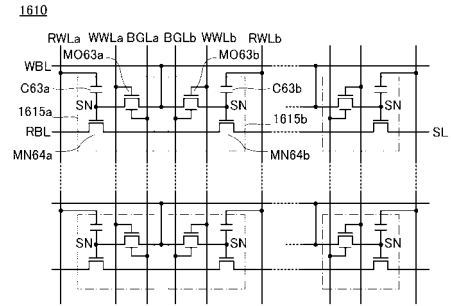
【 図 3 7 】



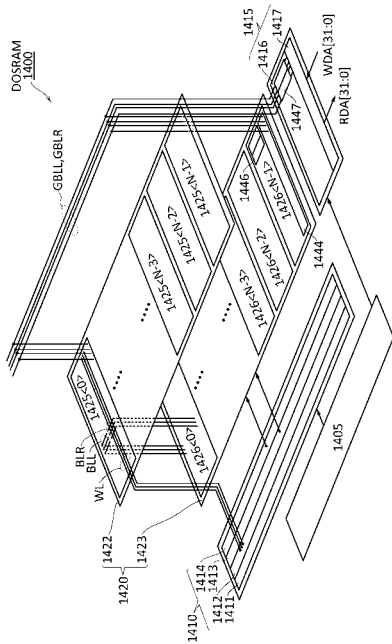
【 図 3 8 】



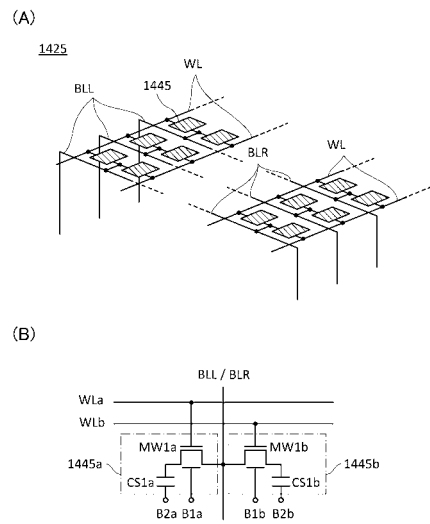
【 図 3 9 】



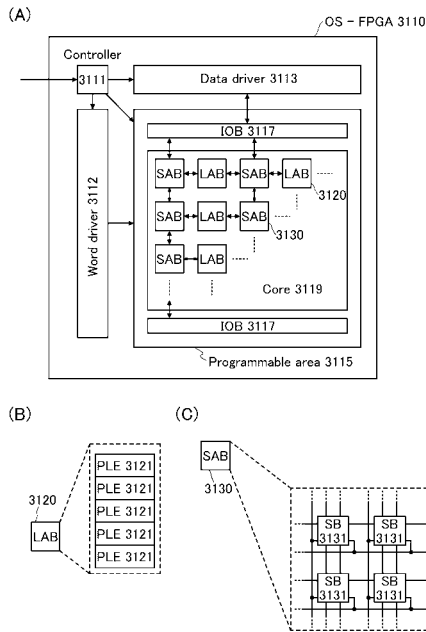
【 図 4 0 】



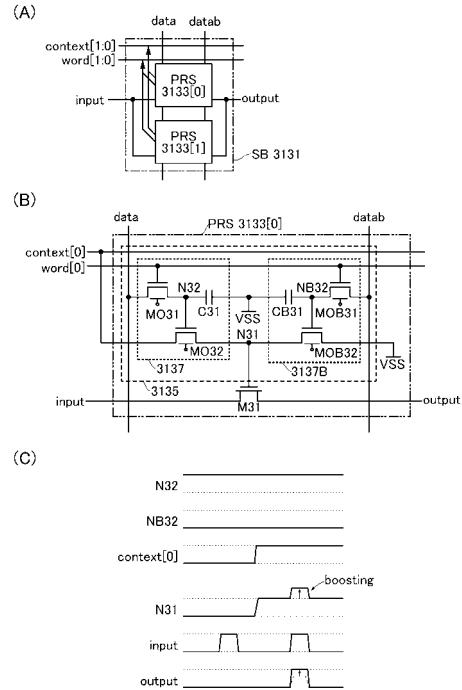
【 図 4 1 】



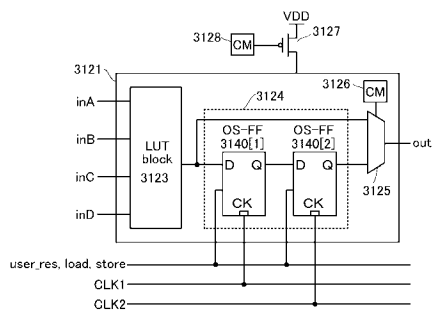
【 図 4 2 】



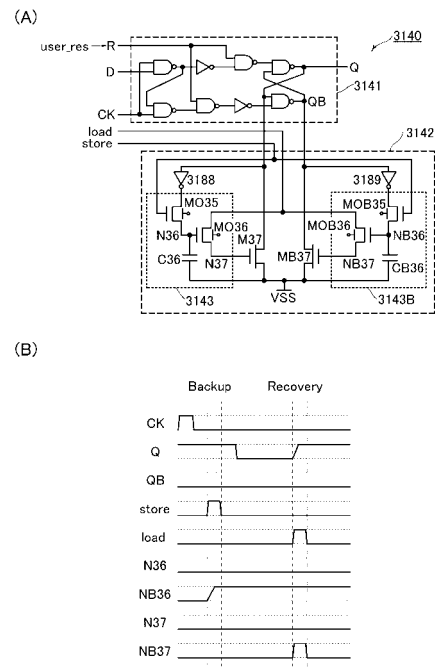
【 図 4 3 】



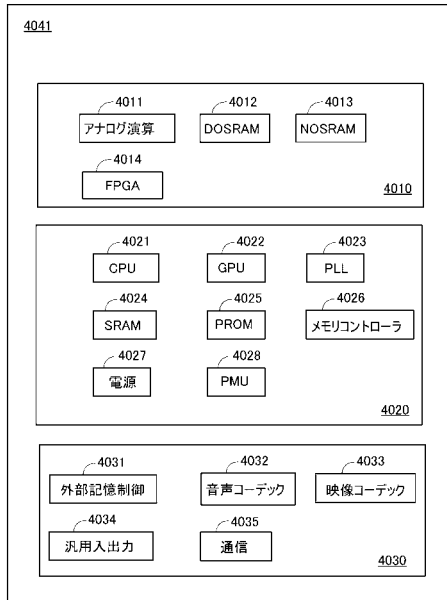
【 図 4 4 】



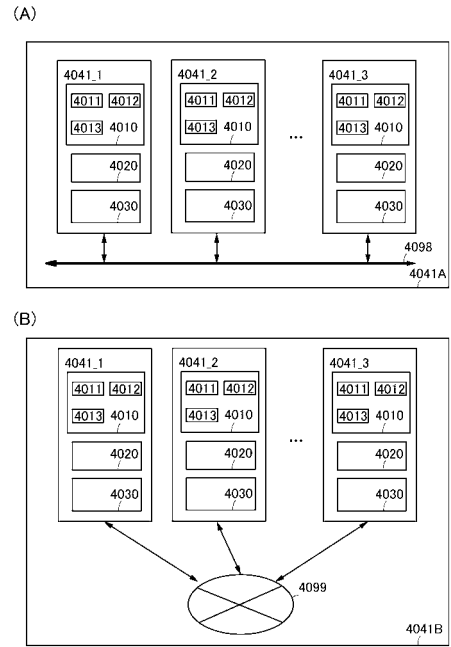
【 図 4 5 】



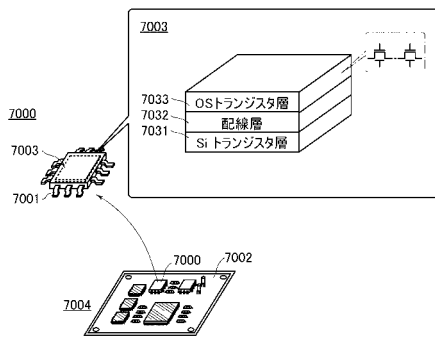
【図 4 6】



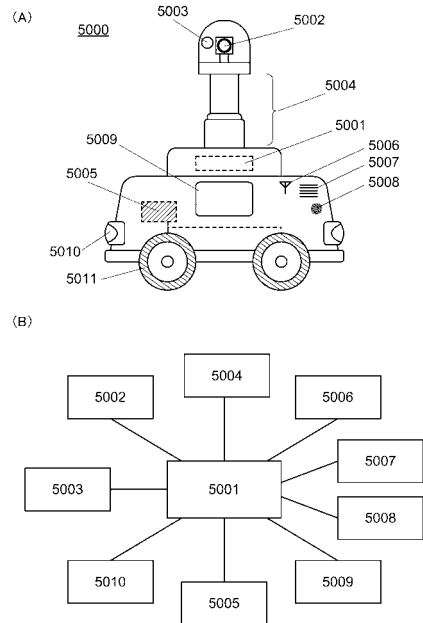
【図 4 7】



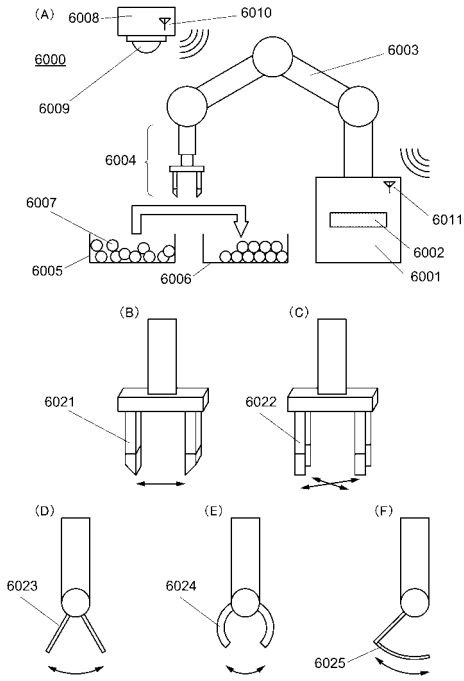
【図 4 8】



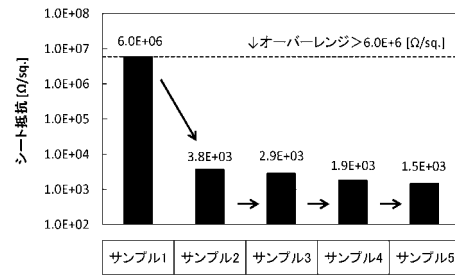
【図 4 9】



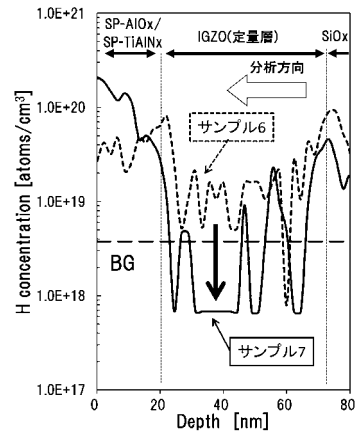
【図50】



【図51】



【図52】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 21/82 (2006.01)</i>	H 0 1 L 29/78	6 1 8 B
<i>H 0 1 L 21/336 (2006.01)</i>	H 0 1 L 29/78	6 1 8 C
<i>H 0 1 L 21/8242 (2006.01)</i>	H 0 1 L 29/78	6 1 6 V
<i>H 0 1 L 27/108 (2006.01)</i>	H 0 1 L 29/78	6 1 9 A
<i>H 0 1 L 29/788 (2006.01)</i>	H 0 1 L 27/108	6 7 1 Z
<i>H 0 1 L 29/792 (2006.01)</i>	H 0 1 L 27/108	6 2 1 Z
<i>H 0 1 L 27/1156 (2017.01)</i>	H 0 1 L 27/108	3 2 1
	H 0 1 L 27/108	6 8 1 F
	H 0 1 L 29/78	3 7 1
	H 0 1 L 27/1156	

Fターム(参考)	5F048	AA01	AA07	AB01	AB04	AC01	AC10	BA01	BA14	BA15	BA19
		BA20	BB02	BB06	BB07	BB08	BB09	BB10	BB14	BB15	BB16
		BB17	BC12	BD06	BD10	BF02	BF07	BF12	BF15	BF16	CB01
		CB02	CB03	CB04							
	5F064	AA08	AA13	BB07	BB09	BB12	BB19	BB21	CC09	CC23	CC25
		CC26	FF04	FF24	FF52						
	5F083	AD02	AD03	AD21	AD69	EP02	EP76	EP77	ER21	ER23	GA03
		GA05	GA06	GA09	GA10	GA11	GA25	GA27	GA28	HA02	HA06
		HA10	JA02	JA03	JA04	JA05	JA12	JA14	JA15	JA19	JA35
		JA36	JA37	JA38	JA39	JA40	JA43	JA44	JA56	JA57	JA58
		JA60	KA01	KA06	LA00	LA11	LA13	LA14	LA16	LA21	MA05
		MA06	MA15	MA16	MA17	MA18	MA19	MA20	NA01	PR01	PR03
		PR05	PR06	PR07	PR21	PR22	PR33	PR40	ZA04	ZA12	ZA13
		ZA14	ZA15	ZA21	ZA23	ZA25					
	5F101	BA17	BD30	BD33	BD34	BD39	BE07				
	5F110	AA01	AA02	AA03	AA04	AA06	AA07	AA08	AA09	AA30	BB03
		BB05	BB08	BB11	CC10	DD01	DD02	DD03	DD04	DD05	DD06
		DD08	DD12	DD13	DD14	DD15	DD17	DD24	EE01	EE02	EE03
		EE04	EE05	EE07	EE09	EE11	EE14	EE15	EE22	EE30	EE36
		EE37	EE42	EE44	EE45	EE48	FF01	FF02	FF03	FF04	FF05
		FF07	FF09	FF10	FF12	FF26	FF27	FF28	FF29	FF36	GG01
		GG06	GG12	GG13	GG14	GG15	GG16	GG17	GG19	GG25	GG32
		GG33	GG34	GG35	GG42	GG43	GG44	GG58	HJ02	HJ16	HK01
		HK02	HK03	HK04	HK06	HK17	HK21	HK25	HK28	HK32	HK33
		HK34	HL01	HL02	HL03	HL04	HL05	HL07	HL08	HL09	HL11
		HL12	HL22	HL23	HL24	HM02	HM03	HM17	NN03	NN04	NN05
		NN22	NN23	NN24	NN27	NN28	NN32	NN33	NN34	NN35	NN36
		NN40	NN71	NN72	NN74	NN77	NN78	QQ02	QQ06	QQ09	QQ19