

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5067131号
(P5067131)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl. F I
G 1 1 C 29/42 (2006.01) G 1 1 C 29/00 6 3 1 D
G 1 1 C 11/401 (2006.01) G 1 1 C 11/34 3 7 1 C

請求項の数 10 (全 36 頁)

(21) 出願番号	特願2007-289783 (P2007-289783)	(73) 特許権者	308014341
(22) 出願日	平成19年11月7日(2007.11.7)		富士通セミコンダクター株式会社
(65) 公開番号	特開2009-116967 (P2009-116967A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成21年5月28日(2009.5.28)		23
審査請求日	平成22年7月22日(2010.7.22)	(74) 代理人	100072718
			弁理士 古谷 史旺
		(74) 代理人	100116001
			弁理士 森 俊秀
		(72) 発明者	川畑 邦範
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		審査官	小林 紀和

最終頁に続く

(54) 【発明の名称】 半導体メモリ、半導体メモリの動作方法およびシステム

(57) 【特許請求の範囲】

【請求項1】

外部から書き込まれるレギュラーデータを保持する複数のレギュラーメモリセルと、
前記レギュラーメモリセルにレギュラーデータを入力または出力するレギュラーデータ
制御回路と、

レギュラーデータのパリティデータを保持するパリティメモリセルと、
前記パリティメモリセルにパリティデータを入力または出力するパリティデータ制御回
路と、

前記レギュラーデータ制御回路および前記パリティデータ制御回路に接続され、書き込
み動作時に、前記レギュラーメモリセルから読み出されるレギュラーデータおよび前記パ
リティメモリセルから読み出されるパリティデータを用いて前記レギュラーメモリセルか
ら読み出されたレギュラーデータのエラーを検出、訂正し、訂正されたレギュラーデー
タの一部を外部からの書き込みデータに置き換え、置き換えられたレギュラーデータから
前記パリティメモリセルに書き込むためのパリティデータを生成するエラー訂正部と、

書き込みコマンドが連続して供給されるときに、前記レギュラーメモリセルからレギュ
ラーデータを読み出し、かつ前記レギュラーメモリセルにレギュラーデータを書き込むた
めに、前記レギュラーメモリセルおよび前記レギュラーデータ制御回路を制御するレギュ
ラーアクセス制御信号を生成し、前記レギュラーメモリセルからのレギュラーデータの読
み出しが開始された後、レギュラーデータの読み出し中に、前記パリティメモリセルか
らのパリティデータの読み出しを開始するために、前記パリティメモリセルおよび前記パ
リ

10

20

ティデータ制御回路を制御するパリティアクセス制御信号を生成し、前記パリティメモリセルに書き込むパリティデータが前記パリティメモリセルに供給されている間に、次の書き込みコマンドにตอบสนองして前記レギュラーメモリセルからレギュラーデータを読み出すために前記レギュラーアクセス制御信号を生成するアクセス制御回路とを備えていることを特徴とする半導体メモリ。

【請求項 2】

請求項 1 記載の半導体メモリにおいて、

前記アクセス制御回路は、

前記書き込みコマンドにตอบสนองして前記レギュラーアクセス制御信号を所定の期間活性化し、前記書き込みコマンドが連続して供給されるときに、前記パリティアクセス制御信号のうち第 1 パリティアクセス制御信号が活性化されている間に、次の書き込みコマンドにตอบสนองして前記レギュラーアクセス制御信号のうち前記第 1 パリティアクセス制御信号に対応する第 1 レギュラーアクセス制御信号を活性化するレギュラーアクセス制御回路と、

前記書き込みコマンドにตอบสนองして前記パリティアクセス制御信号を所定の期間活性化し、前記第 1 レギュラーアクセス制御信号が活性化された後、前記第 1 レギュラーアクセス制御信号の活性化中に、第 1 パリティアクセス制御信号を活性化するパリティアクセス制御回路とを備えていることを特徴とする半導体メモリ。

【請求項 3】

請求項 2 記載の半導体メモリにおいて、

前記第 1 レギュラーアクセス制御信号が活性化されてから前記第 1 パリティアクセス制御信号が活性化されるまでの期間と前記第 1 パリティアクセス制御信号の活性化期間との和は、前記書き込みコマンドが連続して供給されるときに連続して活性化される前記第 1 レギュラーアクセス制御信号の活性化タイミングの間隔より長く設定されていることを特徴とする半導体メモリ。

【請求項 4】

請求項 2 記載の半導体メモリにおいて、

前記第 1 レギュラーアクセス制御信号の活性化期間と前記第 1 パリティアクセス制御信号の活性化期間は、互いに等しく設定され、

前記第 1 レギュラーアクセス制御信号が活性化されてから前記第 1 パリティアクセス制御信号が活性化されるまでの期間は、前記書き込みコマンドが連続して供給されるときの前記第 1 レギュラーアクセス制御信号の非活性化期間より長く設定されていることを特徴とする半導体メモリ。

【請求項 5】

請求項 2 ないし請求項 4 のいずれか 1 項記載の半導体メモリにおいて、

前記レギュラーメモリセルに接続されたレギュラーワード線と、

前記パリティメモリセルに接続されたパリティワード線とを備え、

前記第 1 レギュラーアクセス制御信号は、前記レギュラーワード線を活性化するレギュラーワード線信号であり、

前記第 1 パリティアクセス制御信号は、前記パリティワード線を活性化するパリティワード線信号であることを特徴とする半導体メモリ。

【請求項 6】

請求項 2 ないし請求項 4 のいずれか 1 項記載の半導体メモリにおいて、

前記レギュラーアクセス制御回路は、前記書き込みコマンドにตอบสนองして前記レギュラーアクセス制御信号を生成するレギュラー信号生成回路を備え、

前記パリティアクセス制御回路は、前記レギュラーアクセス制御信号を受け、受けたレギュラーアクセス制御信号を遅延させて前記パリティアクセス制御信号を生成する遅延素子を備えていることを特徴とする半導体メモリ。

【請求項 7】

請求項 2 ないし請求項 4 のいずれか 1 項記載の半導体メモリにおいて、

前記レギュラーアクセス制御回路は、前記書き込みコマンドにตอบสนองして前記レギュラー

アクセス制御信号を生成するレギュラー信号生成回路を備え、

前記パリティアクセス制御回路は、前記書き込みコマンドを受け、受けた書き込みコマンドを遅延させてパリティ書き込みコマンドを生成する遅延素子と、前記パリティ書き込みコマンドにตอบสนองして前記パリティアクセス制御信号を生成するパリティ信号生成回路とを備えていることを特徴とする半導体メモリ。

【請求項 8】

請求項 1 記載の半導体メモリにおいて、

複数のデータグループを前記書き込みデータとして受けるデータ入力バッファと、

前記レギュラーメモリセルへの書き込みを禁止する前記データグループを示すマスク信号を受けるデータマスクバッファとを備え、

前記エラー訂正部は、前記訂正されたレギュラーデータの少なくとも一部を、前記マスク信号により書き込みが禁止されるデータグループを除くデータグループの書き込みデータに置き換えるデータ選択回路を備えていることを特徴とする半導体メモリ。

【請求項 9】

外部から書き込まれるレギュラーデータを保持する複数のレギュラーメモリセルと、前記レギュラーメモリセルにレギュラーデータを入力または出力するレギュラーデータ制御回路と、レギュラーデータのパリティデータを保持するパリティメモリセルと、前記パリティメモリセルにパリティデータを入力または出力するパリティデータ制御回路と、レギュラーデータのエラーを訂正するエラー訂正部とを備えた半導体メモリの動作方法であって、

書き込み動作時に、前記レギュラーメモリセルから読み出されるレギュラーデータおよび前記パリティメモリセルから読み出されるパリティデータを用いて前記レギュラーメモリセルから読み出されたレギュラーデータのエラーを検出、訂正し、

訂正されたレギュラーデータの一部を外部からの書き込みデータに置き換え、置き換えられたレギュラーデータから前記パリティメモリセルに書き込むためのパリティデータを生成し、

書き込みコマンドが連続して供給されるときに、前記レギュラーメモリセルからレギュラーデータを読み出し、かつ前記レギュラーメモリセルにレギュラーデータを書き込むために、前記レギュラーメモリセルおよび前記レギュラーデータ制御回路を制御するレギュラーアクセス制御信号を生成し、

前記レギュラーメモリセルからのレギュラーデータの読み出しが開始された後、レギュラーデータの読み出し中に、前記パリティメモリセルからのパリティデータの読み出しを開始するために、前記パリティメモリセルおよび前記パリティデータ制御回路を制御するパリティアクセス制御信号を生成し、

前記パリティメモリセルに書き込むパリティデータが前記パリティメモリセルに供給されている間に、次の書き込みコマンドにตอบสนองして前記レギュラーメモリセルからレギュラーデータを読み出すために前記レギュラーアクセス制御信号を生成することを特徴とする半導体メモリの動作方法。

【請求項 10】

半導体メモリと、前記半導体メモリのアクセスを制御するコントローラとを備えたシステムであって、

前記半導体メモリは、

外部から書き込まれるレギュラーデータを保持する複数のレギュラーメモリセルと、

前記レギュラーメモリセルにレギュラーデータを入力または出力するレギュラーデータ制御回路と、

レギュラーデータのパリティデータを保持するパリティメモリセルと、

前記パリティメモリセルにパリティデータを入力または出力するパリティデータ制御回路と、

前記レギュラーデータ制御回路および前記パリティデータ制御回路に接続され、書き込み動作時に、前記レギュラーメモリセルから読み出されるレギュラーデータおよび前記パ

10

20

30

40

50

リタイムメモリセルから読み出されるパリティデータを用いて前記レギュラーメモリセルから読み出されたレギュラーデータのエラーを検出、訂正し、訂正されたレギュラーデータの一部を外部からの書き込みデータに置き換え、置き換えられたレギュラーデータから前記パリティメモリセルに書き込むためのパリティデータを生成するエラー訂正部と、

書き込みコマンドが連続して供給されるときに、前記レギュラーメモリセルからレギュラーデータを読み出し、かつ前記レギュラーメモリセルにレギュラーデータを書き込むために、前記レギュラーメモリセルおよび前記レギュラーデータ制御回路を制御するレギュラーアクセス制御信号を生成し、前記レギュラーメモリセルからのレギュラーデータの読み出しが開始された後、レギュラーデータの読み出し中に、前記パリティメモリセルからのパリティデータの読み出しを開始するために、前記パリティメモリセルおよび前記パリティデータ制御回路を制御するパリティアクセス制御信号を生成し、前記パリティメモリセルに書き込むパリティデータが前記パリティメモリセルに供給されている間に、次の書き込みコマンドにตอบสนองして前記レギュラーメモリセルからレギュラーデータを読み出すために前記レギュラーアクセス制御信号を生成するアクセス制御回路とを備えていることを特徴とするシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エラー訂正回路を有する半導体メモリおよびシステムに関する。

【背景技術】

【0002】

近年、信頼性を向上するために、エラー訂正回路を有する半導体メモリが増えてきている（例えば、特許文献1、2参照）。エラー訂正回路により、ソフトエラーやハードエラーが救済される。この種の半導体メモリは、外部からのレギュラーデータを記憶するレギュラーメモリセルと、レギュラーデータのパリティコードを記憶するパリティメモリセルとを有している。

【0003】

パリティコードのビット数は、パリティコードを生成するためのレギュラーデータのビット数が多いほど相対的に少なくなり、チップサイズに与える影響は小さくなる。例えば、パリティコードを生成するためのレギュラーデータのビット数を、データ端子に一度に入力または出力されるレギュラーデータのビット数より多くすることで、パリティコードのビット数は相対的に少なくなる。

【特許文献1】特開平1-290300号公報

【特許文献2】特開2005-85357号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述した手法では、書き込み動作において、パリティコードは、書き込みデータだけでなく、データが書き込まれないレギュラーメモリセルに保持されているデータを使用して生成される。具体的には、書き込み動作では、まず、レギュラーデータおよびパリティコードを読み出してレギュラーデータのエラーが訂正される。次に、訂正されたレギュラーデータの一部が書き込みデータに置き換えられて、新たなレギュラーデータが生成される。新たなレギュラーデータを用いて新たなパリティコードが生成され、新たなレギュラーデータおよび新たなパリティコードが、レギュラーメモリセルおよびパリティメモリセルに書き込まれる。この種の動作は、例えば、リード・モディファイ・ライトと称される。

【0005】

リード・モディファイ・ライトが必要なエラー訂正は、一般的な書き込み動作に比べてアクセスサイクル時間が長くなるという問題がある。

【0006】

本発明の目的は、エラーを訂正するときリード・モディファイ・ライトを実行する半

10

20

30

40

50

導体メモリのアクセスサイクル時間を短縮することである。

【課題を解決するための手段】

【0007】

書き込み動作時に、レギュラーメモリセルから読み出されたレギュラーデータのエラーが、パリティメモリセルから読み出されるパリティデータを用いて検出、訂正される。訂正されたレギュラーデータの一部は、外部からの書き込みデータに置き換えられ、置き換えられたレギュラーデータからパリティメモリセルに書き込むためのパリティデータが生成される。書き込みコマンドが連続して供給されるときに、レギュラーメモリセルからレギュラーデータを読み出し、かつレギュラーメモリセルにレギュラーデータを書き込むために、レギュラーメモリセルおよびレギュラーデータ制御回路を制御するレギュラーアクセス制御信号が生成される。レギュラーデータの読み出しが開始された後、レギュラーデータの読み出し中に、パリティメモリセルからパリティデータの読み出しを開始するために、パリティメモリセルおよびパリティデータ制御回路を制御するパリティアクセス制御信号が生成される。さらに、パリティメモリセルに書き込むパリティデータがパリティメモリセルに供給されている間に、次の書き込みコマンドにตอบสนองしてレギュラーメモリセルからレギュラーデータを読み出すためにレギュラーアクセス制御信号が生成される。

10

【発明の効果】

【0008】

パリティメモリセルがアクセスされている間に次の書き込みコマンドにตอบสนองするレギュラーメモリセルのアクセスを開始できるため、エラー訂正にリード・モディファイ・ライ

20

トが必要な半導体メモリのアクセスサイクル時間を短縮できる。

【発明を実施するための最良の形態】

【0009】

以下、実施形態を図面を用いて説明する。図中の二重の四角印は、外部端子を示している。外部端子は、例えば、半導体チップ上のパッド、あるいは半導体チップが収納されるパッケージのリードである。外部端子を介して供給される信号には、端子名と同じ符号を使用する。信号が伝達される信号線には、信号名と同じ符号を使用する。先頭に"/"の付く信号は、負論理を示している。

【0010】

図1は、一実施形態を示している。半導体メモリMEMは、例えば、クロック同期式のFCRAM (Fast Cycle RAM) である。このFCRAMは、DRAMのメモリセルを有し、SRAMの入出力インタフェースを有する擬似SRAMである。メモリMEMは、クロックバッファ10、コマンドバッファ/ラッチ12、アドレスバッファ/ラッチ14、データマスクバッファ/ラッチ16、データ入力バッファ/ラッチ18、データ出力バッファ20、コマンドデコーダ22、動作制御回路24、メモリコアCOREおよびエラー訂正部ECCUを有している。なお、メモリMEMは、リフレッシュ動作を自動的に実行するためにリフレッシュタイマ、リフレッシュアドレスカウンタ、および外部アクセス要求RD、WRと内部リフレッシュ要求との優先順を判定するアービタ等を有している。

30

【0011】

クロックバッファ10は、クロック信号CKを内部クロック信号ICKとして出力する。内部クロック信号ICKは、コマンドバッファ/ラッチ12および動作制御回路24等のクロック信号CKに同期して動作する回路に供給される。

40

【0012】

コマンドバッファ/ラッチ12は、内部クロック信号ICKの立ち上がりエッジに同期してコマンド信号CMDをラッチし、ラッチした信号を出力する。コマンド信号CMDは、チップイネーブル信号/CE、ライトイネーブル信号/WEおよびアウトプットイネーブル端子/OEを含む。ラッチ信号CELAT、WELAT、OELATは、信号/CE、/WE、/OEをそれぞれラッチした信号である。

【0013】

アドレスバッファ/ラッチ14は、内部クロック信号ICKの立ち上がりエッジに同期

50

して、アドレス信号ADをラッチし、ラッチした信号をロウアドレス信号RADおよびコラムアドレス信号CADとして出力する。ロウアドレス信号RADは、後述するワード線WLを選択するために供給される。コラムアドレス信号CADは、後述するビット線BL、/BLを選択するために供給される。このメモリMEMは、ロウアドレス信号RADとコラムアドレス信号CADがアドレス端子ADに同時に供給されるアドレスノンマルチプレクスタイプのメモリである。

【0014】

データマスクバッファ/ラッチ16は、内部クロック信号ICKの立ち上がりエッジに同期して、データマスク信号DMをラッチし、ラッチした信号をマスク信号MASKとして出力する。例えば、データマスク信号DMおよびマスク信号MASKは、それぞれ4ビット(DM0-3、MASK0-3)で構成される。データマスク信号DM0-3は、4バイトのデータ入力信号Din0-7、Din8-15、Din16-23、Din24-31にそれぞれ対応して供給される。データ入力信号Din(メモリMEMへの書き込みデータ)がマスクされるときに、すなわち、データ入力信号DinのレギュラーメモリセルMCへの書き込みを禁止するときに、対応するデータマスク信号DMおよびマスク信号MASKが高レベルに設定される。以降の説明では、各データ入力信号Din0-7、Din8-15、Din16-23、Din24-31を、データグループとも称する。

10

【0015】

データ入力バッファ/ラッチ18は、内部クロック信号ICKの立ち上がりエッジに同期してデータ入力信号Dinをラッチし、ラッチした信号をデータ入力信号IDATとして出力する。例えば、データ入力信号Dinは、4つのデータグループDin0-7、Din8-15、Din16-23、Din24-31で構成される。

20

【0016】

データ出力バッファ20は、データ出力信号ODAT(メモリアコアCOREからの読み出しデータ)を受け、受けた信号をデータ出力信号Doutとして出力する。例えば、データ出力信号Doutは、4つのデータグループDout0-7、Dout8-15、Dout16-23、Dout24-31で構成される。以降の説明では、32ビットを基準のビット幅Nと称するときがある。

【0017】

コマンドデコーダ22は、ラッチ信号CELAT、WELAT、OELATの論理レベルに応じて認識したコマンドCMDを、メモリアコアCOREのアクセス動作を実行するために読み出しコマンド信号RDおよび書き込みコマンド信号WRとして出力する。読み出しコマンド信号RDおよび書き込みコマンド信号WRは、メモリアコアCOREをアクセスするためのアクセスコマンド(アクセス要求)である。さらに、コマンドデコーダ22は、後述するデータ出力制御回路DOCNTを動作するためのタイミング信号である読み出し制御信号RD1Zと、後述するデータ選択回路DTSELを動作するためのタイミング信号である書き込み制御信号WR1Zを出力する。

30

【0018】

動作制御回路24は、読み出しコマンドRDおよび書き込みコマンドWRに回答してメモリアコアCOREに読み出し動作および書き込み動作を実行させるためのワードイネーブル信号WLE、センスアンブイネーブル信号SENE、コラムイネーブル信号CLE、リードイネーブル信号RENE、ライトイネーブル信号WENEおよび図示しないプリチャージイネーブル信号を出力する。動作制御回路24は、リフレッシュ動作を実行するときに、ワードイネーブル信号WLE、センスアンブイネーブル信号SENEおよびプリチャージイネーブル信号のみを出力し、コラムイネーブル信号CLE、リードイネーブル信号RENEおよびライトイネーブル信号WENEを出力しない。ワードイネーブル信号WLEは、ワード線WLの活性化タイミングを制御し、センスアンブイネーブル信号SENEは、センスアンプSAの活性化タイミングを制御する。コラムイネーブル信号CLEは、コラムスイッチCSWのオンタイミングを制御する。リードイネーブル信号RENEは、リードアンプRAの活性化タイミングを制御する。ライトイネーブル信号WENEは、ラ

40

50

イトアンプWAの活性化タイミングを制御する。

【0019】

メモリアコアCOREは、レギュラーメモリアコアRCOREおよびパリティメモリアコアPCOREを有している。レギュラーメモリアコアRCOREは、コア制御回路CCNT、レギュラーメモリーブロックMBLK、レギュラーセンスアンプSA、レギュラーコラムスイッチCSW、レギュラーリードアンプRAおよびレギュラーライトアンプWAを有している。レギュラーセンスアンプSA、レギュラーコラムスイッチCSW、レギュラーリードアンプRAおよびレギュラーライトアンプWAは、レギュラービット線BL、/BLに直接あるいは電氣的に接続されており、レギュラービット線BL、/BLを介してレギュラーメモリセルMCにレギュラーデータを入力または出力するレギュラーデータ制御回路として動作する。

10

【0020】

コア制御回路CCNTは、制御信号WLE、SENE、CLE、アドレス信号RAD、CADおよび図示しないプリチャージイネーブル信号を受け、アドレス信号RAD、CADに応じたワード線信号WL、センスアンプ活性化信号SEN、コラム制御信号CLおよびプリチャージ制御信号(例えば、図3のBRS0)を出力する。また、コア制御回路CCNTは、制御信号RENE、WENEに应答してリードアンプ活性化信号RENおよびライトアンプ活性化信号WENを出力する。ワード線信号WLは、レギュラーメモリセルMCの動作を制御するレギュラーアクセス制御信号である。同様に、センスアンプ活性化信号SEN、コラム制御信号CL、リードアンプ活性化信号REN、ライトアンプ活性化信号WENおよび図3のプリチャージ制御信号BRS(BRS0)は、レギュラーセンスアンプSA、レギュラーコラムスイッチCSW、レギュラーリードアンプRA、レギュラーライトアンプWAおよび図3のプリチャージ回路PREの動作を制御するレギュラーアクセス制御信号である。すなわち、コア制御回路CCNTは、レギュラーアクセス制御信号を生成するレギュラー信号生成回路として動作する。コア制御回路CCNTの詳細は、図2に示す。

20

【0021】

メモリーブロックMBLKは、マトリックス状に配置された複数のダイナミックメモリセルMC(レギュラーメモリセル)を有している。レギュラーメモリセルMCは、データ入力端子Dinを介して半導体メモリMEMの外部から書き込まれるレギュラーデータを保持する。例えば、メモリーブロックMBLKは、図2に示すように、4つのメモリーブロックMBLK0-3で構成されている。センスアンプSAは、センスアンプ活性化信号SENの高レベル期間中に動作し、レギュラーメモリセルMCからレギュラービット線対BL、/BLに読み出されるデータ信号を増幅する。例えば、メモリーブロックMBLKは、128組のビット線対BL、/BLを有している。すなわち、128個のレギュラーメモリセルMCが、1本のワード線WLに接続されている。センスアンプSAは、ビット線対BL、/BLにそれぞれ接続されている。このように、レギュラーメモリアコアRCOREは、ビット幅4Nで構成されている。

30

【0022】

コラムスイッチCSWは、コラム制御信号CLの高レベル期間中にオンし、コラムアドレス信号CADに応じて、32組(1N)のビット線対BL、/BLおよび32個(1N)のセンスアンプSAを、リードアンプRAおよびライトアンプWAに接続する。コラムスイッチCSWは、256本のビット線対BL、/BLに対応して256個ある。リードアンプRAは、リードアンプ活性化信号RENの高レベル期間中に動作し、センスアンプSAから伝達される相補の読み出しデータ信号(レギュラーデータ)を増幅し、レギュラーデータバスDB、/DBに出力する。例えば、リードアンプRAは、読み出しデータ信号を差動増幅する。レギュラーデータバスDB、/DBは、32組の相補の信号線で構成される。ライトアンプWAは、レギュラーデータバスDB、/DBから伝達される書き込みデータ信号を増幅し、センスアンプSAに出力する。例えば、ライトアンプWAは、レギュラーデータバスDBからの相補の書き込みデータ信号を差動増幅する。例えば、リー

40

50

ドアンプ R A は 3 2 個あり、ライトアンプ W A は 3 2 個ある。センスアンプ S A、コラムスイッチ C S W の詳細は、図 3 に示す。

【 0 0 2 3 】

なお、図 1 においてセンスアンプ S A、コラムスイッチ C S W、リードアンプ R A およびライトアンプ W A から出力されるセンスアンプ活性化信号 S E N、コラム制御信号 C L、リードアンプ活性化信号 R E N およびライトアンプ活性化信号 W E N は、コア制御回路 C C N T から出力された信号が、センスアンプ S A、コラムスイッチ C S W、リードアンプ R A およびライトアンプ W A を介してパリティメモリコア P C O R E に伝達されることを示している。

【 0 0 2 4 】

パリティメモリコア P C O R E は、遅延回路 D L Y 1 (遅延素子)、パリティメモリブロック P B L K、パリティセンスアンプ P S A、パリティコラムスイッチ P C S W、パリティリードアンプ P R A およびパリティライトアンプ P W A を有している。パリティセンスアンプ P S A、パリティコラムスイッチ P C S W、パリティリードアンプ P R A およびパリティライトアンプ P W A は、パリティビット線 P B L、/ P B L に電氣的に接続されており、パリティビット線 P B L、/ P B L を介してパリティメモリセル M C にパリティデータを入出力するパリティデータ制御回路として動作する。

【 0 0 2 5 】

遅延回路 D L Y 1 は、ワード線 W L に伝達されるワード線信号、センスアンプ活性化信号 S E N、コラム制御信号 C L、リードアンプ活性化信号 R E N およびライトアンプ活性化信号 W E N を遅延させ、パリティワード線 P W L に伝達されるパリティワード線信号、パリティセンスアンプ活性化信号 P S E N、パリティコラム制御信号 P C L、パリティリードアンプ活性化信号 P R E N およびパリティライトアンプ活性化信号 P W E N として出力する。パリティワード線信号 P W L は、パリティメモリセル M C の動作を制御するパリティアクセス制御信号である。同様に、パリティセンスアンプ活性化信号 P S E N、パリティコラム制御信号 P C L、パリティリードアンプ活性化信号 P R E N、パリティライトアンプ活性化信号 P W E N および図示しないパリティプリチャージ信号は、パリティセンスアンプ P S A、パリティコラムスイッチ P C S W、パリティリードアンプ P R A およびパリティライトアンプ P W A および図示しないパリティプリチャージ回路の動作を制御するパリティアクセス制御信号である。遅延回路 D L Y 1 の詳細は、図 4 に示す。

【 0 0 2 6 】

パリティメモリブロック P B L K は、マトリックス状に配置され、レギュラーデータのパリティコード(パリティデータ)を保持する複数のダイナミックメモリセル M C (パリティメモリセル)を有している。例えば、パリティメモリブロック P B L K は、図 4 に示すように、4 つのパリティメモリブロック P B L K 0 - 3 で構成されている。パリティメモリブロック P B L K は、図の横方向に配置されるパリティメモリセル M C の数が少ないことを除き、レギュラーメモリブロック M B L K と同じ回路構成である。具体的には、パリティメモリセル M C に接続されたパリティビット線 P B L、/ P B L の数は、例えば、2 4 組である。すなわち、2 4 個のパリティメモリセル M C が、1 本のパリティワード線 P W L に接続されている。パリティセンスアンプ P S A は、パリティビット線対 B L、/ B L にそれぞれ接続されている。なお、レギュラーメモリブロック M B L K の構造に合わせるために、パリティメモリブロック P B L K を 3 2 組のパリティビット線対 P B L、/ P B L で構成してもよい。パリティメモリブロック P B L K の詳細は、図 4 に示す。

【 0 0 2 7 】

パリティセンスアンプ P S A およびパリティコラムスイッチ P C S W は、配置される数が少ないことを除き、レギュラーセンスアンプ S A およびレギュラーコラムスイッチ C S W と同じ回路構成である。パリティリードアンプ P R A およびパリティライトアンプ P W A は、配置される数が少ないことを除き、レギュラーリードアンプ R A およびレギュラーライトアンプ W A と同じ回路構成である。例えば、パリティセンスアンプ P S A は図 4 に示す各領域 P S A 0 - 3 に 2 4 個ある。パリティコラムスイッチ P C S W は、図 4 に示す

10

20

30

40

50

各領域 PCSW00-03、PCSW10-13、PCSW20-23、PCSW30-33に48個ある。パリティリードアンプPRAおよびパリティライトアンプPWAは、それぞれ6個ある。

【0028】

パリティリードアンプPRAは、パリティリードアンプ活性化信号PRENの高レベル期間中に動作し、パリティセンスアンプPSAから伝達される相補のパリティコード（パリティデータ）を増幅し、パリティデータバスPDB、/PDBに出力する。例えば、パリティリードアンプPRAは、パリティコードを差動増幅し、パリティデータバスPDB、/PDBは、6組の相補の信号線で構成される。パリティライトアンプPWAは、パリティデータバスPDB、/PDBから伝達されるパリティコードを差動増幅し、パリティ

10

【0029】

動作制御回路24、コア制御回路CCNTおよび遅延回路DLY1は、アクセス制御回路として動作する。後述する図6で説明するように、アクセス制御回路は、書き込みコマンドWRが連続して供給されるときに、レギュラービット線BL、/BLを介してレギュラーメモリセルMCからレギュラーデータを読み出し、レギュラービット線BL、/BLを介してレギュラーメモリセルMCにレギュラーデータを書き込むために、レギュラーメモリセルMCおよびレギュラーセンスアンプSA、レギュラーコラムスイッチCSW、レギュラーリードアンプRA、レギュラーライトアンプWAを制御するレギュラーアクセス制御信号WL、SEN、CL、REN、WENを生成する。アクセス制御回路は、レギュラーメモリセルMCからレギュラービット線BL、/BLへのレギュラーデータの読み出しが開始された後、レギュラーデータの読み出し中に、パリティメモリセルMCからパリティビット線PBL、/PBLへのパリティデータの読み出しを開始するために、パリティメモリセルMCおよびパリティセンスアンプPSA、パリティコラムスイッチPCSW、パリティリードアンプPRA、パリティライトアンプPWAを制御するパリティアクセス制御信号PWL、PSEN、PCL、PREN、PWENを生成する。さらに、アクセス制御回路は、パリティメモリセルMCに書き込むパリティデータがパリティビット線PBL、/PBLに供給されている間に、次の書き込みコマンドに応答してレギュラービット線BL、/BLを介してレギュラーメモリセルMCからレギュラーデータを読み出すためにレギュラーアクセス制御信号WL、SEN、CL、REN、WENを生成する。

20

30

【0030】

エラー訂正部ECCUは、リードパリティ生成回路RPGEN、比較回路COMP、シンドロームデコーダSDEC、エラー訂正回路ERRC、データ出力制御回路DOCNT、データ選択回路DTSEL、データラッチDTLTおよびライトパリティ生成回路WPGENを有している。

【0031】

例えば、リードパリティ生成回路RPGEN、比較回路COMP、シンドロームデコーダSDECおよびエラー訂正回路ERRCは、書き込み動作時および読み出し動作時に動作する。データ選択回路DTSEL、データラッチDTLTおよびライトパリティ生成回路WPGENは、書き込み動作時のみに動作する。データ出力制御回路DOCNTは、読み出し動作時のみに動作する。なお、例えば、メモリMEMが、読み出し動作時にエラー訂正された読み出しデータ信号をレギュラーメモリブロックMBLKに書き込む仕様で設計されるとき、データ選択回路DTSEL、データラッチDTLTおよびライトパリティ生成回路WPGENは、読み出し動作時にも動作する。

40

【0032】

リードパリティ生成回路RPGENは、レギュラーメモリブロックMBLKからデータバスDB、/DBに読み出される読み出しデータ信号RDTからリードパリティコードRPC（リードパリティデータ）を生成する。比較回路COMPは、書き込み動作時および読み出し動作時に、リードパリティコードRPCとパリティメモリブロックPBLKからパリティデータバスPDBに読み出されるパリティコードPC（パリティデータ）とを比

50

較し、読み出しデータのエラー情報を含むシンドロームSYNを生成する。シンドロームデコーダSDECは、シンドロームSYNに基づいて読み出しデータ中のエラービットを示すエラービット信号ERRBを生成する。すなわち、比較回路COMPおよびエラービット信号ERRBは、レギュラーメモリセルMCから読み出されたレギュラーデータのエラーを検出する。

【0033】

エラー訂正回路ERRCは、読み出しデータ信号RDTに含まれるエラーを、エラービット信号ERRBを用いて訂正し、訂正した読み出しデータ信号を訂正読み出しデータ信号CRTDとして出力する。データ出力制御回路DOCNTは、読み出し動作時に、読み出し制御信号RD1Zに同期して訂正読み出しデータ信号CRTDをデータ出力信号ODATとして出力する。

10

【0034】

データ選択回路DTSELは、書き込み動作時に、マスク信号MASKに応じて、訂正読み出しデータ信号CRTDまたはデータ入力信号IDATをデータグループ毎に選択する。具体的には、マスク信号MASKに応じてマスクが必要なデータグループは、訂正読み出しデータ信号CRTDが選択され、マスクが不要なバイトデータは、データ入力信号IDATが選択される。すなわち、データ選択回路DTSELは、マスク信号MASKにより書き込みが禁止されるデータグループを除くデータグループの訂正読み出しデータ信号CRTDを、データ入力信号IDAT(書き込みデータ)に置き換える。例えば、マスク信号MASK0が活性化されるとき、データ選択回路DTSELは、データグループDin0-7に対応する訂正読み出しデータ信号CRTDのデータグループを選択し、かつデータグループDin8-15、Din16-23、Din24-31に対応するデータ入力信号IDATを選択する。

20

【0035】

データ選択回路DTSELは、選択したデータ信号を、書き込み制御信号WR1Zに同期してデータバスDB、/DBに出力する。データバスDB、/DB上のデータ信号は、ビット線対BL、/BLを介してレギュラーメモリセルMCに書き込まれる。データラッチDRTLは、データバスDB、/DB上のデータ信号をラッチ信号LTの立ち上がりエッジに同期してラッチし、ラッチした信号をラッチ信号LTの高レベル期間中にラッチデータ信号LTDとして出力する。ライトパリティ生成回路WPGENは、ラッチデータ信号LTDのパリティコードPCを生成し、パリティデータバスPDB、/PDBに出力する。パリティデータバスPDB、/PDB上のパリティコードPCは、パリティビット線対PBL、/PBLを介してパリティメモリセルMCに書き込まれる。

30

【0036】

図2は、図1のレギュラーメモリコアCOREの詳細を示している。コア制御回路CNTは、アドレスラッチ回路ALT、ロウデコーダRDEC、コラムデコーダCDECおよびブロック制御回路BCNTを有している。アドレスラッチ回路ALTは、ロウアドレス信号RADをラッチし、ラッチロウアドレス信号LRADとしてロウデコーダRDECに出力する。さらに、アドレスラッチ回路ALTは、コラムアドレス信号CADをラッチし、ラッチコラムアドレス信号LCADとしてコラムデコーダCDECに出力する。

40

【0037】

ロウデコーダRDECは、ロウプリデコーダRPDECおよびワードデコーダWDECを有している。ロウプリデコーダRPDECは、ラッチロウアドレス信号LRADをデコードし、ロウデコード信号XDECおよびブロックデコード信号XBLK(XBLK0-3)を生成する。ブロックデコード信号XBLK0-3により、レギュラーメモリブロックMBLK0-3のいずれかが選択される。ワードデコーダWDECは、ロウデコード信号XDECに応じてワード線WL0-255のいずれかを選択し、選択したワード線WLを、ワードイネーブル信号WLEの活性化に应答して高レベルに活性化する(レギュラーワード線信号の活性化)。コラムデコーダCDECは、ラッチコラムアドレス信号LCADをデコードし、コラムデコード信号YDECとして出力する。

50

【 0 0 3 8 】

後述する図 6 に示すように、ワードデコーダ W D E C は、パリティワード線信号 P W L (第 1 パリティアクセス制御信号) が活性化されている間に、次の書き込みコマンド W R に応答してワード線信号 W L (第 1 レギュラーアクセス制御信号) を活性化するレギュラーアクセス制御回路として動作する。

【 0 0 3 9 】

ブロック制御回路 B C N T は、メモリブロック M B L K 0 - 3 に対応するセンスアンプ活性化信号 S E N (S E N 0 - 3) のいずれかをセンスアンプ活性化信号 S E N に応答して活性化する。センスアンプ活性化信号 S E N 0 - 3 の選択は、ブロックデコード信号 X B L K 0 - 3 により行われる。ブロック制御回路 B C N T は、コラム制御信号 C L (C L 0 0 - 0 3 、 1 0 - 1 3 、 2 0 - 2 3 、 3 0 - 3 3) のいずれかをコラムイネーブル信号 C L E に応答して活性化する。コラム制御信号 C L 0 0 - 0 3 により、メモリブロック M B L K 0 の 4 つの領域 (図の破線で区画される領域) のいずれが選択される。同様に、コラム制御信号 C L 1 0 - 1 3 (または C L 2 0 - 2 3 、 C L 3 0 - 3 3) により、メモリブロック M B L K 1 (または M B L K 2 、 M B L K 3) の 4 つの領域のいずれが選択される。各領域には、3 2 組のビット線対 B L 、 / B L が配線されており、ワード線 W L の活性化により、領域毎に 3 2 ビットのデータが出力または入力される。コラム制御信号 C L は、ブロックデコード信号 X B L K 0 - 3 およびコラムデコード信号 Y D E C により選択される。

【 0 0 4 0 】

特に図示していないが、ブロック制御回路 B C N T は、メモリブロック M B L K 0 - 3 に対応するプリチャージ制御信号 (例えば、図 3 の B R S 0) をプリチャージイネーブル信号に応答して出力する。さらに、ブロック制御回路 B C N T は、リードイネーブル信号 R E N をリードイネーブル信号 R E N E に応答して活性化し、ライトイネーブル信号 W E N をライトイネーブル信号 W E N E に応答して活性化する。

【 0 0 4 1 】

メモリブロック M B L K は、4 つのレギュラーメモリブロック M B L K 0 - 3 と、メモリブロック M B L K 0 - 3 にそれぞれ対応する 4 つのセンスアンプのブロック S A 0 - 3 および 4 つのコラムスイッチのブロック C S W 0 0 - 0 3 、 1 0 - 1 3 、 2 0 - 2 3 、 3 0 - 3 3 を有している。各ブロック S A 0 - 3 は、3 2 個のセンスアンプ S A を有している。各ブロック C S W 0 0 - 0 3 、 1 0 - 1 3 、 2 0 - 2 3 、 3 0 - 3 3 は、6 4 個のコラムスイッチ C S W を有している。センスアンプ S A 0 - 3 (3 2 個のセンスアンプ S A) およびメモリブロック M B L K 0 - 3 は、コラムスイッチ C S W 0 0 - 0 3 、 1 0 - 1 3 、 2 0 - 2 3 、 3 0 - 3 3 を介して 3 2 組の相補のデータ線 D T 、 / D T に接続されている。なお、メモリコア R C O R E に、シェアードセンスアンプ方式を採用してもよい。すなわち、各メモリブロック M B L K 0 - 3 の両側にセンスアンプ S A を配置し、2 つのメモリブロック M B L K の間に配置されるセンスアンプ S A を、これらメモリブロック M B L K で共有してもよい。

【 0 0 4 2 】

図 3 は、図 2 に示したメモリブロック M B L K 0 およびセンスアンプ領域 S A A の詳細を示している。センスアンプ領域 S A A は、センスアンプ S A 、コラムスイッチ C S W およびプリチャージ回路 P R E 等が配置される領域である。メモリブロック M B L K 1 - 3 およびこれ等メモリブロック M B L K 1 - 3 に対応するセンスアンプ領域 S A A も、図 3 と同じである。さらに、図 4 に示すパリティメモリブロック P B L K 0 - 3 およびこれ等パリティメモリブロック P M B L K 1 - 3 に対応するセンスアンプ領域 S A A (P S A 、 P C S W が配置される領域) も、図 3 と同じである。

【 0 0 4 3 】

レギュラーワード線 W L (W L 0 、 W L 1 、 W L 2 、 …) に接続されたレギュラーメモリセル M C は、レギュラービット線 B L 、 / B L (B L 0 、 / B L 0 、 B L 1 、 / B L 1 、 …) の一方に接続されている。これにより、例えば、ビット線 B L 0 に接続された

10

20

30

40

50

メモリセルMCをアクセスするとき、ビット線/BL0は、参照電圧線（プリチャージ電圧VPR）として機能する。

【0044】

各センスアンプSAは、入力と出力とが互いに接続された一対のCMOSインバータで構成されている。各CMOSインバータの入力（トランジスタのゲート）は、ビット線BL（または/BL）に接続されている。各CMOSインバータは、図の横方向に並ぶnMOSトランジスタとpMOSトランジスタで構成される。各CMOSインバータのpMOSトランジスタのソースは、センスアンプ活性化信号/SEN0を受けている。各CMOSインバータのnMOSトランジスタのソースは、センスアンプ活性化信号SEN0を受けている。センスアンプ活性化信号/SEN0は、センスアンプSAが動作するときの高レベル電圧に設定され、センスアンプSAが動作しないときに、プリチャージ電圧VPRに設定される。センスアンプ活性化信号SEN0は、センスアンプSAが動作するとき低レベル電圧（例えば、接地電圧）に設定され、センスアンプSAが動作しないときに、プリチャージ電圧VPRに設定される。

10

【0045】

各コラムスイッチCSWは、ビット線BLをデータ線DT（DT0、DT1、...）に接続するnMOSトランジスタと、ビット線/BLをデータ線/DT（/DT0、/DT1、...）に接続するnMOSトランジスタとで構成されている。各nMOSトランジスタのゲートは、コラムスイッチ信号CL（例えば、CL01）を受けている。読み出し動作時に、センスアンプSAで増幅されたビット線BL、/BL上の読み出しデータ信号は、コラムスイッチCSWを介してデータ線DT、/DTに伝達される。書き込み動作時に、データ線DT、/DTを介して供給される書き込みデータ信号は、ビット線BL、/BLを介してメモリセルMCに書き込まれる。データ線DT、/DTは、図2に示したように、リードアンプRAおよびライトアンプWAに接続されている。

20

【0046】

各プリチャージ回路PREは、相補のビット線BL、/BLをプリチャージ電圧線VPRにそれぞれ接続するための一対のnMOSトランジスタと、ビット線BL、/BLを互いに接続するためのnMOSトランジスタとで構成されている。プリチャージ回路PREのnMOSトランジスタのゲートは、メモリブロックMBLK0-3毎に生成されるプリチャージ制御信号BRS（BRS0）を受けている。プリチャージ回路PREは、高論理レベルのプリチャージ制御信号BRSを受けている間、ビット線BL、/BLにプリチャージ電圧VPRを供給するとともにビット線BL、/BLの電圧をイコライズする。

30

【0047】

図4は、図1のパリティメモリコアPCOREの詳細を示している。遅延回路DLY1は、例えば、抵抗R1および容量C1を含み、各信号線に接続された時定数回路TCを有している。時定数回路TCは、インバータ対で構成される2つのバッファ回路BUFの間に配置されている。なお、遅延回路DLY1は、図4の回路に限らない。例えば、バッファ回路BUFを構成するインバータの電源端子を抵抗素子を介して電源線に接続してもよい。あるいは、インバータを構成するトランジスタのオン抵抗を高く設定してもよい。

【0048】

遅延回路DLY1は、ワード線WL0-255に伝達されるワード線信号を遅延させ、遅延ワード線信号として、パリティワード線PWL0-255に出力する。遅延回路DLY1は、センスアンプ活性化信号SEN0-3、/SEN0-3を遅延させ、パリティセンスアンプ活性化信号PSEN0-3、/PSEN0-3として出力し、コラム制御信号CL00-03、CL10-13、CL20-23、CL30-33を遅延させ、パリティコラム制御信号PCL00-03、PCL10-13、PCL20-23、PCL30-33として出力する。パリティコラム制御信号PCL00-03により、パリティメモリブロックPBLK0の4つの領域（図の破線で区画される領域）のいずれが選択される。同様に、パリティコラム制御信号PCL10-13（またはPCL20-23、PCL30-33）により、パリティメモリブロックPBLK1（またはPBLK2、PBLK

40

50

3) の4つの領域のいずれが選択される。各領域には、例えば、6組のビット線対BL、/BLが配線されており、ワード線WLの活性化により、領域毎に6ビットのデータ(パリティコードPC)が出力または入力される。

【0049】

後述する図6に示すように、パリティワード線信号PWLを生成する遅延回路DLY1は、書き込みコマンドWRに応答してパリティワード線信号PWL(第1パリティアクセス制御信号)を所定の期間活性化し、ワード線信号WL(第1レギュラーアクセス制御信号)が活性化された後、ワード線信号WLの活性化中に、パリティワード線信号PWLを活性化するパリティアクセス制御回路として動作する。

【0050】

パリティメモリブロックPBLKは、4つのパリティメモリブロックPBLK0-3と、パリティメモリブロックPBLK0-3にそれぞれ対応する4つのパリティセンスアンプのブロックPSA0-3および4つのパリティコラムスイッチのブロックPCSW0-3とを有している。センスアンプPSA0-3およびメモリブロックPBLK0-3は、コラムスイッチPCSW0-3を介してパリティデータ線PDT、/PDTに接続されている。なお、シェアードセンスアンプ方式がレギュラーメモリコアRCOREに採用されるときに、シェアードセンスアンプ方式は、パリティメモリコアPCOREにも採用される。

【0051】

パリティメモリブロックPBLK0は、パリティワード線PWL0-63に伝達される遅延ワード線信号を受けて動作する。同様に、パリティメモリブロックPBLK1(またはPBLK2、PBLK3)は、パリティワード線PWL64-127(またはPWL128-191、PWL192-255)に伝達される遅延ワード線信号を受けて動作する。パリティセンスアンプPSA0は、遅延回路DLY1を介して供給されるパリティセンスアンプ活性化信号PSEN0を受けて動作する。同様に、パリティセンスアンプPSA1(またはPSA2、PSA3)は、遅延回路DLY1を介して供給されるパリティセンスアンプ活性化信号PSEN1(またはPSEN2、PSEN3)を受けて動作する。パリティコラムスイッチPCSW0は、遅延回路DLY1を介して供給されるパリティコラム制御信号PCL00-03を受けて動作する。同様に、パリティコラムスイッチPCSW1(またはPCSW2、PCSW3)は、遅延回路DLY1を介して供給されるパリティ

【0052】

図5は、図1の半導体メモリMEMが搭載されるシステムSYSを示している。システムSYSは、例えば、シリコン基板上に集積されたシステムインパッケージSIP(System In Package)を有している。システムSYSは、例えば、携帯電話等の携帯機器である。

【0053】

SIPは、図1に示したメモリMEMと、フラッシュメモリFLASH、フラッシュメモリFLASHのアクセスを制御するメモリコントローラMCNTと、メモリMEMおよびフラッシュメモリFLASHをアクセスするCPU(コントローラ)を有している。フラッシュメモリFLASHは、携帯機器の機能を実現するためのプログラムおよび不揮発性の各種パラメータが格納される。メモリMEMは、パワーオン時に、フラッシュメモリFLASHから転送されるプログラムを保持し、プログラムの実行中に扱われるワークデータ等を保持する。メモリMEMに保持されたプログラムは、CPUにより実行される。

【0054】

CPU、メモリMEMおよびメモリコントローラMCNTは、システムバスSBUSにより互いに接続されている。SIPは、外部バスを介してシステムコントローラSCNTに接続される。CPUは、メモリMEMをアクセスするために、コマンド信号CMD、アドレス信号ADおよびデータ入力信号Din(書き込みデータ信号)を出力し、メモリM

10

20

30

40

50

EMからデータ出力信号Dout（読み出しデータ信号）を受信する。SIPは、メモリシステムとして動作する。

【0055】

図6は、図1に示したメモリMEMの書き込み動作の例を示している。この例では、書き込みコマンドWRが連続して供給される。図中の太い矢印は、レギュラーデータがレギュラーメモリセルMCからレギュラービット線BL、/BLに読み出されている期間、またはレギュラーデータがレギュラービット線BL、/BLからレギュラーメモリセルMCに書き込まれている期間を示している。図中の太い破線の矢印は、パリティデータがパリティメモリセルMCからパリティビット線PBL、/PBLに読み出されている期間、またはパリティデータがパリティビット線PBL、/PBLからパリティメモリセルMCに書き込まれている期間を示している。すなわち、太い矢印は、書き込み動作期間（リード・モディファイ・ライトの実施期間）を示している。この例では、レギュラーメモリコアRCOREおよびおパリティメモリコアPCOREの書き込み動作期間の長さは、互いに等しい。パリティメモリコアPCOREの書き込み動作期間は、レギュラーメモリコアRCOREの書き込み動作期間に対して遅れており、かつメモリコアRCORE、PCOREの書き込み動作期間は、互いに重複している。

10

【0056】

メモリMEMは、クロック信号CKの立ち上がりエッジに同期して書き込みコマンドWRおよび図示しないアドレス信号AD、書き込みデータ信号Dinを受ける（図6（a））。クロック信号CKは、図5に示したSIP内で生成され、またはシステムコントローラSCNTから供給される。書き込みコマンドWR、アドレス信号ADおよび書き込みデータ信号Dinは、例えば、図5に示したCPUが出力する。書き込みコマンドWRは、低レベルのチップイネーブル信号/CE、低レベルのライトイネーブル信号/WEおよび高レベルのアウトプットイネーブル信号/OEにより認識される。

20

【0057】

図1に示したアドレスバッファ/ラッチ14は、アドレス信号ADをクロック信号CKの立ち上がりエッジに同期してラッチし、ロウアドレス信号RADおよびコラムアドレス信号CADとして出力する（図6（b））。動作制御回路24は、書き込みコマンドWRを受けたクロック信号CKの立ち上がりエッジに応答してワードイネーブル信号WLEを活性化する（図6（c））。この後、ワードイネーブル信号WLEの活性化に同期して、センスアンブイネーブル信号SENE、コラムイネーブル信号CLE、リードイネーブル信号RENE、ライトイネーブル信号WENEが順次に活性化される（図6（d））。

30

【0058】

レギュラーメモリコアRCOREでは、ロウアドレス信号RADにより選択されたワード線WLがワードイネーブル信号WLEに同期して高レベルに変化し、ワード線WLに接続されたレギュラーメモリセルMCからビット線BL（または/BL）に読み出しデータ信号が出力される（図6（e））。ブロックデコード信号XBLKにより選択されるセンスアンブ活性化信号SENは、センスアンブイネーブル信号SENEに同期して活性化される（図6（f））。メモリブロックMBLK0-3のいずれかが対応するセンスアンブSAは、センスアンブ活性化信号SENの活性化に同期して動作を開始し、ビット線対BL、/BL上の電圧差を増幅する（図6（g））。

40

【0059】

コラムデコード信号YDECにより選択されるコラム制御信号CLは、コラムイネーブル信号CLEに同期して活性化される（図6（h））。コラム制御信号CLの活性化に同期して、対応するコラムスイッチCSWがオンし、センスアンブSAで増幅された読み出しデータ信号が図示しないデータ線DT、/DTに伝達される。リードイネーブル信号RENは、リードイネーブル信号RENEの活性化に同期して活性化される（図6（i））。リードアンブRAは、リードイネーブル信号RENの活性化に同期して、データバスDB、/DB上の読み出しデータ信号を増幅する（図6（j））。

【0060】

50

図1に示したリードパリティ生成回路RPGENは、データバスDB、/DBに読み出された読み出しデータ信号のリードパリティコードRPC(図示せず)を生成する。リードパリティ生成回路RPGENによるリードパリティコードRPCの生成が開始された後、ワード線WLの活性化から遅れてパリティワード線PWLが活性化される(図6(k))。

【0061】

ここで、レギュラーワード線信号WLの活性化期間(高レベル期間)とパリティワード線信号PWLの活性化期間(高レベル期間)は、互いに等しく設定されている。レギュラーワード線信号WLが活性化されてからパリティワード線信号PWLが活性化されるまでの期間P1は、書き込みコマンドWRが連続して供給されるときレギュラーワード線信号WLの非活性化期間P2より長く設定されている。期間P1は、遅延回路DLY1の遅延時間に等しい。

10

【0062】

さらに、期間P1とパリティワード線信号PWLの活性化期間との和は、書き込みコマンドWRが連続して供給されるときに連続して活性化されるレギュラーワード線信号WLの活性化タイミング(立ち上がりエッジ)の間隔より長く設定されている。換言すれば、期間P1とパリティワード線信号PWLの活性化期間との和は、レギュラーワード線信号WLの活性化期間と非活性化期間P2の和より長く設定されている。

【0063】

パリティメモリコアPCOREでは、活性化されたパリティワード線PWLに接続されたパリティメモリセルMCからパリティビット線PBL(または/PBL)にパリティコードが出力される(図6(l))。次に、パリティセンスアンプ活性化信号PSEN、パリティコラム制御信号PCL、パリティリードイネーブル信号PREN、パリティライトイネーブル信号PWENが、センスアンプ活性化信号SEN、リードイネーブル信号REN、ライトイネーブル信号WENより遅延回路DLY1の遅延時間だけ遅れて順次に活性化される(図6(m))。パリティメモリブロックPBLK0-3のいずれかに対応するパリティセンスアンプPSAは、パリティセンスアンプ活性化信号PSENの活性化に同期して動作を開始し、パリティビット線対PBL、/PBL上の電圧差を増幅する(図6(n))。

20

【0064】

パリティコラム制御信号PCLの活性化に同期して対応するパリティコラムスイッチPCSWがオンし、パリティセンスアンプPSAで増幅されたパリティコードが図示しないパリティデータ線PDT、/PDTに伝達される。パリティリードアンプPRAは、パリティリードイネーブル信号PRENの活性化に同期して、パリティデータバスPDB、/PDB上のパリティコードPCの信号レベルを増幅する(図6(o))。この後、特に図示していないが、リードパリティコードRPCおよびパリティコードPCからシンドロームSYNが生成され、エラービットERRBが検出される。エラービットERRBが存在するとき、読み出しデータ信号のエラーが訂正される。

30

【0065】

図1に示したデータ選択回路DTSELは、マスク信号MASKの論理に基づいて、訂正された読み出しデータ信号またはデータ入力端子Dinに供給されるデータ入力信号(書き込みデータ信号)をデータグループ毎に選択し、データバスDB、/DBに出力する。データバスDB、/DBに供給されたデータ信号(書き込みデータ信号)は、ライトイネーブル信号WENEの活性化に同期してライトアンプWAおよびビット線対BL、/BLを介してレギュラーメモリセルMCに書き込まれる(図6(p))。

40

【0066】

書き込みデータ信号のレギュラーメモリセルMCへの書き込みが開始された後、ライトパリティ生成回路WPGENは、データラッチDLTを介して受ける書き込みデータ信号の新たなパリティコードPCを生成する。新たなパリティコードPCは、パリティライトイネーブル信号PWENの活性化に同期して、パリティライトアンプPWAおよびパリティ

50

ティビット線対 PBL、/PBL を介してパリティメモリセル MC に書き込まれる (図 6 (q))。新たなパリティコード PC のパリティメモリセル MC への書き込み中に、コラム制御信号 CL、ワード線 WL、リードイネーブル信号 REN、ライトイネーブル信号 WEN、センスアンプ活性化信号 SEN が順次に非活性化される (図 6 (r))。そして、ビット線対 BL、/BL がプリチャージされ、レギュラーメモリコア RCORE の書き込み動作が完了する (図 6 (s))。

【0067】

次に、パリティメモリコア PCORE の書き込み動作が完了する前に、2 番目の書き込みコマンド WR に応答してワード線 WL が活性化され、上述と同様にレギュラーメモリコア RCORE の 2 番目の書き込み動作が開始される (図 6 (t))。具体的には、新たなパリティコード PC がパリティビット線 PBL、/PBL を介してパリティメモリセル MC に書き込まれている間に、次の書き込みコマンド WR に応答してレギュラーメモリセル MC からレギュラービット線 BL、/BL にレギュラーデータが読み出される。換言すれば、パリティワード線 PWL が非活性化される前に、次の書き込みコマンド WR に応答してレギュラーワード線 WL が活性化される。

10

【0068】

パリティコラム制御信号 PCL、パリティリードイネーブル信号 PREN、パリティライトイネーブル信号 PWEN、パリティワード線 PWL、パリティセンスアンプ活性化信号 PSEN は、レギュラーメモリコア RCORE の 2 番目の書き込み動作が開始された後に順次に非活性化される (図 6 (u))。この後、上述と同じ動作が繰り返される。

20

【0069】

この実施形態の書き込み動作では、レギュラーメモリコア RCORE およびパリティメモリコア PCORE の書き込み動作期間を、必要最小限に設定するために、書き込み動作期間を互いに重複し、かつパリティメモリコア PCORE の書き込み動作期間中に、レギュラーメモリコア RCORE の動作を開始する。これにより、メモリ MEM の書き込みサイクル時間 (アクセスサイクル時間) を、レギュラーメモリコア RCORE およびパリティメモリコア PCORE の実際の動作時間とほぼ等しくできる。すなわち、エラー訂正にリード・モディファイ・ライトが必要なメモリ MEM のアクセスサイクル時間を短縮できる。この例では、書き込みサイクル時間は、1 クロックサイクルであり、書き込みコマンド WR の最小供給間隔である。この結果、メモリ MEM のデータ転送レートを向上でき、メモリ MEM を搭載するシステム SYS の性能を向上できる。

30

【0070】

図 7 は、図 6 に示した書き込み動作におけるエラー訂正動作の詳細を示している。この例では、図 6 に示した 3 つの書き込みコマンド WR に同期して、書き込みデータ信号 Din (D0、D1、D2) がメモリ MEM に供給される。図の下側に示した横長の四角形は、エラー訂正部 ECCU 内の各回路 RPGEN、COMP、SDEC、ERRC、DTE および WPGEN の動作期間を示している。

【0071】

リードパリティ生成回路 RPGEN は、データバス DB、/DB 上の相補の読み出しデータ信号 RDT (レギュラーデータ) のいずれかのビットが高レベル (無効レベル) から低レベル (有効レベル) に変化したときに、この変化に同期して動作を開始し、読み出しデータ信号 RDT を用いてリードパリティコード RPC (相補のデータ) を生成する (図 7 (a))。リードパリティ生成回路 RPGEN は、データバス DB、/DB 上の読み出しデータ信号 RDT の低レベルへの変化を利用して、制御信号を受けることなく動作を開始する。

40

【0072】

パリティメモリコア PCORE は、レギュラーメモリコア RCORE より遅れて動作を開始する。このため、リードパリティ生成回路 RPGEN が動作を開始したときに、パリティリードアンプ RPA は動作していない。リードパリティ生成回路 RPGEN は、データバス DB、/DB 上の読み出しデータ信号 RDT が全て高レベルに変化したときに動作

50

を停止し、リードパリティコードRPCを高レベルに設定する(図7(b))。

【0073】

パリティリードアンプPRAは、リードパリティ生成回路RPGENからのリードパリティコードRPCの出力開始とほぼ同時に動作を開始し、パリティメモリセルMCから相補のパリティデータバスPDB、/PDBに伝達されたパリティコードPCを差動増幅する。このように、パリティメモリコアPCOREは、レギュラーメモリコアRCOREに比べて、リードパリティ生成回路RPGENによるリードパリティコードRPCの生成時間だけ遅れて動作を開始する。換言すれば、図4に示した遅延回路DLY1の遅延時間は、例えば、リードパリティ生成回路RPGENによるリードパリティコードRPCの生成時間に等しく設定されている。

10

【0074】

比較回路COMPは、相補のリードパリティコードRPCと、相補のパリティコードPCのいずれかのビットが高レベル(無効レベル)から低レベル(有効レベル)に変化したときに、この変化に同期して動作を開始し、リードパリティコードRPCおよび相補のパリティコードPCを用いてシンδροームSYN(相補の信号)を生成する(図7(c))。シンδροームSYNは、読み出しデータ信号RDTに含まれるエラービットを示す情報を含んでいる。すなわち、比較回路COMPは、読み出しデータ信号RDTのエラーを検出する。比較回路COMPは、リードパリティコードRPCおよびパリティコードPCが全て高レベルに変化したときに動作を停止し、シンδροームSYNを高レベルに設定する(図7(d))。

20

【0075】

シンδροームデコーダSDECは、相補のシンδροームSYNのいずれかのビットが高レベル(無効レベル)から低レベル(有効レベル)に変化したときに、この変化に同期して動作を開始し、シンδροームSYNを用いて相補のエラービット信号ERRBを生成する(図7(e))。シンδροームデコーダSDECは、シンδροームSYNが全て高レベルに変化したときに動作を停止し、エラービット信号ERRBを高レベルに設定する(図7(f))。

【0076】

エラー訂正回路ERRCは、データバスDB、/DB上の相補の読み出しデータ信号RDTのいずれかのビットが高レベル(無効レベル)から低レベル(有効レベル)に変化したときに、この変化に同期して動作を開始する。このとき、エラービット信号ERRBは高レベルのため、エラー訂正回路ERRCは、エラーが訂正されていない読み出しデータ信号RDTを訂正読み出しデータ信号CRDTとして出力する(図7(g))。エラー訂正回路ERRCは、相補のエラービット信号ERRBのいずれかのビットが高レベル(無効レベル)から低レベル(有効レベル)に変化したときに、読み出しデータ信号RDTの対応するビットを反転し、訂正読み出しデータ信号CRDTとして出力する(図7(h))。すなわち、読み出しデータ信号RDTのエラーが訂正される。エラービット信号ERRBが全て高レベルとき、読み出しデータ信号RDTにエラーはない。このとき、エラー訂正回路ERRCは、図7(g)で出力を開始した訂正読み出しデータ信号CRDTの出力を維持する。エラー訂正回路ERRCは、データバスDB、/DBおよびエラービット信号ERRBのレベルが全て高レベルになったときに、訂正読み出しデータ信号CRDTの出力を停止する(図7(i))。

30

40

【0077】

データ選択回路DTSELは、書き込み制御信号WR1Zの高レベル期間に動作し、マスク信号MASKに応じて、データ入力信号IDATまたは訂正読み出しデータ信号CRDTをデータグループ毎に選択し、選択した信号を相補の書き込みデータ信号WDTとしてデータバスDB、/DBに出力する(図7(j))。データラッチDTLTは、ラッチ信号LTの高レベル期間に書き込みデータ信号WDTを相補のラッチデータ信号LTD Tとして出力する(図7(k))。ライトパリティ生成回路WPGENは、ラッチデータ信号LTD Tのいずれかのビットが高レベル(無効レベル)から低レベル(有効レベル)に

50

変化したときに、この変化に同期して動作を開始し、ラッチデータ信号L T D Tを用いてパリティコードP Cを生成し、書き込みパリティコードW P CとしてパリティデータバスP D Bに出力する(図7(1))。

【0078】

この後、パリティデータバスD B、/ D Bおよびパリティビット線P B L、/ P B Lに書き込みデータ信号W D Tが伝達され、パリティメモリコアP C O R Eの書き込み動作が実行されているときに、レギュラーメモリコアR C O R Eは、次の書き込みコマンドW Rに回答して次の書き込み動作を開始する(図7(m))。この後、上述と同じ動作が実行される。

【0079】

図8は、図1に示したメモリM E Mの読み出し動作の例を示している。この例では、読み出しコマンドR Dが連続して供給される。図6と同じ動作については、詳細な説明は省略する。クロック信号C Kの周期は図6と同じである。すなわち、読み出しサイクル時間は、図6の書き込みサイクル時間に等しい。図中の太い矢印は、レギュラーデータがレギュラーメモリセルM Cからレギュラービット線B L、/ B Lに読み出されている期間、またはレギュラーデータがレギュラービット線B L、/ B LからレギュラーメモリセルM Cに書き込まれている期間を示している。図中の太い破線の矢印は、パリティデータがパリティメモリセルM Cからパリティビット線P B L、/ P B Lに読み出されている期間、またはパリティデータがパリティビット線P B L、/ P B LからパリティメモリセルM Cに書き込まれている期間を示している。すなわち、太い矢印は、読み出し動作期間(リード・モディファイ・ライトの実施期間)を示している。

【0080】

レギュラーメモリコアR C O R EまたはパリティメモリコアP C O R Eの読み出し動作期間の長さは、互いに等しく、かつ図6に示した書き込み動作期間と等しい。パリティメモリコアP C O R Eの読み出し動作期間は、レギュラーメモリコアR C O R Eの読み出し動作期間に対して遅れており、かつメモリコアR C O R E、P C O R Eの読み出し動作期間は、互いに重複している。読み出し動作では、データ選択回路D T S E L、データラッチD T L Tおよびライトパリティ生成回路W P G E Nは動作せず、データ出力制御回路D O C N Tが動作する。

【0081】

メモリM E Mは、クロック信号C Kの立ち上がりエッジに同期して読み出しコマンドR Dおよび図示しないアドレス信号A Dを受ける(図8(a))。この後、パリティデータバスP D B、/ P D BにパリティコードP Cが読み出され、エラー訂正回路E R R Cにより読み出しデータ信号R D Tのエラーが訂正されるまでの動作(図6(o)までの動作)は、図6と同じである。読み出し動作では、動作制御回路24は、ライトイネーブル信号W E N Eおよび図示しないラッチ信号L Tを低レベルLに保持する(図8(b))。このため、ライトイネーブル信号W E N、パリティライトイネーブル信号P W E Nも、低レベルに保持される(図8(c、d))。

【0082】

データ出力制御回路D O C N Tは、読み出し制御信号R D 1 Zの高レベル期間に動作し、訂正読み出しデータ信号C R D Tをデータ出力信号O D A Tとして出力する(図示せず)。データ選択回路D T S E Lが動作しないため、データバスD B、/ D B上のデータ信号およびパリティデータバスP D B、/ P D B上のデータ信号は、変化しない(図8(e、f))。そして、パリティメモリコアP C O R Eの読み出し動作が完了する前に、2番目の読み出しコマンドR Dに回答してワード線W Lが活性化され、上述と同様にレギュラーメモリコアR C O R Eの2番目の読み出し動作が開始される(図8(g))。最初の読み出しコマンドR Dに回答する読み出し動作が完了する。

【0083】

読み出し動作においても書き込み動作と同様に、レギュラーメモリコアR C O R EおよびパリティメモリコアP C O R Eは、動作期間を互いに重複し、かつ互いに異なるタイミ

10

20

30

40

50

ングで動作する。さらに、パリティメモリコア P C O R E の読み出し動作が完了する前に、次の読み出しコマンド R D に応答するレギュラーメモリコア R C O R E の読み出し動作が開始される。具体的には、パリティワード線 P W L が非活性化される前に、次の書き込みコマンド W R に応答してレギュラーワード線 W L が活性化される。

【 0 0 8 4 】

読み出し動作サイクルにおいても、レギュラーワード線信号 W L の活性化期間とパリティワード線信号 P W L の活性化期間は、互いに等しく設定されている。レギュラーワード線信号 W L が活性化されてからパリティワード線信号 P W L が活性化されるまでの期間 P 1 は、読み出しコマンド R D が連続して供給されるときレギュラーワード線信号 W L の非活性化期間 P 2 より長く設定されている。さらに、期間 P 1 とパリティワード線信号 P W L の活性化期間との和は、読み出しコマンド R D が連続して供給されるときに連続して活性化されるレギュラーワード線信号 W L の活性化タイミングの間隔より長く設定されている。換言すれば、期間 P 1 とパリティワード線信号 P W L の活性化期間との和は、レギュラーワード線信号 W L の活性化期間と非活性化期間 P 2 の和より長く設定されている。

10

【 0 0 8 5 】

これにより、メモリ M E M の読み出しサイクル時間（アクセスサイクル時間）を、レギュラーメモリコア R C O R E およびパリティメモリコア P C O R E の実際の動作時間とほぼ等しくできる。この例では、読み出しサイクル時間は、1クロックサイクルであり、読み出しコマンド R D の最小供給間隔である。この結果、メモリ M E M のデータ転送レートを向上でき、メモリ M E M を搭載するシステム S Y S の性能を向上できる。

20

【 0 0 8 6 】

図 9 は、図 8 に示した読み出し動作におけるエラー訂正動作の詳細を示している。図 7 と同じ動作については、詳細な説明は省略する。この例では、図 8 に示した 3 つの読み出しコマンド R D に応答して、データ出力信号 D o u t（読み出しデータ信号 R D T 0、R D T 1、...）がメモリ M E M から順次に出される。図の下側に示した横長の四角形は、エラー訂正部 E C C U 内の各回路 R P G E N、C O M P、S D E C、E R R C および D O C N T の動作期間を示している。パリティ生成回路 R P G E N、比較回路 C O M P、シンドロームデコーダ S D E C およびエラー訂正回路 E R R C の動作は、図 6 と同じである。データ選択回路 D T S E L、データラッチ D T L T およびライトパリティ生成回路 W P G E N は動作しない。

30

【 0 0 8 7 】

データ出力制御回路 D O C N T は、読み出し制御信号 R D 1 Z の高レベル期間に動作し、エラー訂正回路 E R R C により訂正された読み出しデータ信号 R D T 0 をデータ出力信号線 O D A T に出力する（図 9（a））。データ出力バッファ 2 0 は、データ出力信号線 O D A T に伝達された読み出しデータ信号 R D T 0 をデータ出力端子 D o u t に出力する（図 9（b））。

【 0 0 8 8 】

図 1 0 は、図 1 に示した半導体メモリ M E M が提案される前の半導体メモリの書き込み動作を示している。図中に括弧で示したクロック信号 C K、I C K は、図 6 および図 7 のクロックサイクルを示している。図 1 0 では、レギュラーメモリコア R C O R E およびパリティメモリコア P C O R E は、共通のワードイネーブル信号 W L E、センスアンパイネーブル信号 S E N E、コラムイネーブル信号 C L E、リードイネーブル信号 R E N E およびライトイネーブル信号 W E N E を順次に受けて、互いに同じタイミングで動作する。

40

【 0 0 8 9 】

パリティコード P C は、比較回路 C O M P の動作開始より時間 T 1 だけ前にパリティデータバス P D B、/ P D B に読み出される（図 1 0（a））。すなわち、パリティメモリコア P C O R E は、図中に破線で示した図 6 のタイミングに比べて時間 T 1 だけ早く動作を開始する。書き込みデータ信号 W D T は、レギュラーメモリセル M C に書き込まれた後も、時間 T 2 だけデータバス D B、/ D B 上に保持される（図 1 0（b））。すなわち、レギュラーメモリコア R C O R E は、図中に破線で示した図 6 のタイミングに比べて時間

50

T 2 だけ遅く動作を完了する。

【 0 0 9 0 】

図 1 0 に示した例では、レギュラーメモリコア R C O R E およびパリティメモリコア P C O R E が同時に動作するため、書き込みサイクル時間（この例では、1 クロックサイクル）は、図 6 に比べて長くなる。一般に、半導体メモリをアクセスするシステムの制御を簡易にするために、読み出しサイクル時間は、書き込みサイクル時間と同じ値に設定される。このため、読み出しサイクル時間も、図 8 および図 9 に比べて長くなる。この結果、半導体メモリのデータ転送レートは低下し、半導体メモリを搭載するシステムの性能は下がる。

【 0 0 9 1 】

以上、この実施形態では、メモリ M E M の書き込みサイクル時間を、レギュラーメモリコア R C O R E およびパリティメモリコア P C O R E の実際の動作時間とほぼ等しくできる。パリティメモリセルがアクセスされている間に次の書き込みコマンドに応答するレギュラーメモリセルのアクセスを開始できるため、半導体メモリ M E M のアクセスサイクル時間を短縮できる。したがって、メモリ M E M のデータ転送レートを向上でき、メモリ M E M を搭載するシステム S Y S の性能を向上できる。

【 0 0 9 2 】

特に、エラー訂正にリード・モディファイ・ライトが必要な半導体メモリのアクセスサイクル時間を短縮できる。具体的には、データ入力端子に供給される書き込みデータ信号のレギュラーメモリセル M C への書き込みを選択的にマスクする機能を有する半導体メモリにおいて、アクセスサイクル時間を短縮できる。

【 0 0 9 3 】

エラー訂正部 E C C U の各回路 R P G E N、W P G E N、C O M P、S D E C、E R R C は、相補の信号線のいずれかのビットレベルが有効レベルから無効レベルに変化することに同期して動作する。このため、エラー訂正部 E C C U の主要な回路の動作を、外部制御信号を用いることなく自動的に開始し、終了できる。したがって、エラー訂正部 E C C U の動作タイミングのロスを最小限にできる。エラー訂正動作の時間が短縮できるため、アクセスサイクル時間を短縮できる。

【 0 0 9 4 】

図 1 1 は、別の実施形態を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、パリティメモリコア P C O R E が図 1 および図 4 と相違している。また、半導体メモリ M E M は、遅延回路 D L Y 2（遅延素子）および動作制御回路 2 4 P を有している。その他の構成は、上述した実施形態と同じである。半導体メモリ M E M は、例えば、図 5 に示したように、システム S Y S に搭載される。

【 0 0 9 5 】

動作制御回路 2 4 は、レギュラーメモリコア R C O R E を動作するために専用に設けられている。動作制御回路 2 4 P は、パリティメモリコア P C O R E を動作するために専用に設けられている。遅延回路 D L Y 2 は、読み出しコマンド信号 R D および書き込みコマンド信号 W R をそれぞれ遅延させて、パリティ読み出しコマンド信号 P R D およびパリティ書き込みコマンド信号 P W R として出力する。遅延回路 D L Y 2 の遅延時間は、図 4 の遅延回路 D L Y 1 の遅延時間に等しい。

【 0 0 9 6 】

動作制御回路 2 4 P は、動作制御回路 2 4 と同じ回路構成である。動作制御回路 2 4 P は、パリティ読み出しコマンド信号 P R D およびパリティ書き込みコマンド信号 P W R に応答してパリティメモリコア P C O R E に読み出し動作および書き込み動作を実行させるためのパリティワードイネーブル信号 P W L E、パリティセンスアンブイネーブル信号 P S E N E、パリティコラムイネーブル信号 P C L E、パリティリードイネーブル信号 P R E N E、パリティライトイネーブル信号 P W E N E および図示しないパリティプリチャージイネーブル信号を出力する。動作制御回路 2 4 P は、リフレッシュ動作を実行するとき

10

20

30

40

50

に、パリティワードイネーブル信号PWLE、パリティセンスアンブイネーブル信号PSENEおよびパリティプリチャージイネーブル信号のみを出力する。動作制御回路24Pから出力される信号PWLE、PSENE、PCLE、PRENE、PWENEの役割は、動作制御回路24から出力される信号WLE、SENE、CLE、RENE、WENEの役割と同じである。

【0097】

パリティメモリアコアPCOREは、図1の遅延回路DLY1の代わりにパリティコア制御回路PCCNTを配置して構成されている。パリティメモリーブロックPBLK、パリティセンスアンプPSA、パリティコラムスイッチPCSW、パリティリードアンプPRAおよびパリティライトアンプPWAは、図1と同じである。

10

【0098】

パリティコア制御回路PCCNTは、パリティ読み出しコマンド信号PRDおよびパリティ書き込みコマンド信号PWRにตอบสนองして生成されるパリアクセス制御信号PWLE、SENE、CLEおよび図示しないパリティプリチャージイネーブル信号と、アドレス信号RAD、CADを受け、アドレス信号RAD、CADに応じたパリティワード線信号PWL、パリティセンスアンプ活性化信号PSEN、パリティコラム制御信号PCLおよびパリティプリチャージ制御信号を出力する。また、パリティコア制御回路PCCNTは、パリティ読み出しコマンド信号PRDにตอบสนองして生成される制御信号PRENEにตอบสนองしてパリティリードアンプ活性化信号PRENを出力し、パリティ書き込みコマンド信号PWRにตอบสนองして生成される制御信号PWENEにตอบสนองしてパリティライトアンプ活性化信号PWENを出力する。すなわち、パリティコア制御回路PCCNTは、パリアクセス制御信号を生成するパリティ信号生成回路として動作する。

20

【0099】

図12は、図11のパリティメモリアコアPCOREの詳細を示している。パリティコア制御回路PCCNTは、パリアドレスラッチ回路PALT、パリティロウデコーダPRDEC、パリティコラムデコーダPCDECおよびパリティブロック制御回路PBCNTを有している。パリアドレスラッチ回路PALTは、ロウアドレス信号RADをラッチし、ラッチロウアドレス信号PLRADとしてロウデコーダRDECに出力する。さらに、パリアドレスラッチ回路PALTは、コラムアドレス信号CADをラッチし、ラッチコラムアドレス信号PLCADとしてパリティコラムデコーダPCDECに出力する。

30

【0100】

パリティロウデコーダPRDECは、図2のロウデコーダRDECと同じ回路である。パリティロウデコーダPRDECは、パリティワードイネーブル信号PWLEおよびラッチロウアドレス信号PLRADを受けて動作し、パリティワード線信号PWL0-255およびブロックデコード信号PXBK(XBK0-3)を出力する。パリティコラムデコーダPCDECは、ラッチコラムアドレス信号PLCADをデコードし、コラムデコード信号PYDECとして出力する。

【0101】

パリティブロック制御回路PBCNTは、図2のブロック制御回路BCNTと同じ回路である。パリティブロック制御回路PBCNTは、パリティセンスアンブイネーブル信号PSENE、パリティコラムイネーブル信号PCLE、パリティリードイネーブル信号PRENE、パリティライトイネーブル信号PWENE、ブロックデコード信号PXBK(XBK0-3)およびコラムデコード信号PYDECを受けて動作し、パリティセンスアンプ活性化信号PSEN0-3、/PSEN0-3、パリティコラム制御信号PCL00-03、PCL10-13、PCL20-23、PCL30-33、パリティリードアンプ活性化信号PRENおよびパリティライトアンプ活性化信号PWENを出力する。

40

【0102】

図13は、図11に示した半導体メモリMEMの書き込み動作の例を示している。図6と同じ動作については、詳細な説明は省略する。クロック信号CKの周期は図6と同じで

50

ある。図中の太い矢印は、図 6 と同様にレギュラーメモリコア R C O R E またはパリティメモリコア P C O R E の書き込み動作期間を示している。レギュラーメモリコア R C O R E またはパリティメモリコア P C O R E の書き込み動作期間の長さは、互いに等しい。パリティメモリコア P C O R E の書き込み動作期間は、レギュラーメモリコア R C O R E の書き込み動作期間に対して遅れており、かつメモリコア R C O R E 、 P C O R E の書き込み動作期間は、互いに重複している。

【 0 1 0 3 】

この実施形態では、レギュラーメモリコア R C O R E は、動作制御回路 2 4 の制御により動作する。パリティメモリコア P C O R E は、動作制御回路 2 4 より遅延回路 D L Y 2 の遅延時間だけ遅れて動作する動作制御回路 2 4 P の制御により動作する。パリティワードイネーブル信号 P W L E 、 パリティセンスアンブイネーブル信号 P S E N E 、 パリティコラムイネーブル信号 P C L E 、 パリティリードイネーブル信号 P R E N E 、 パリティライトイネーブル信号 P W E N E は、ワードイネーブル信号 W L E 、 センスアンブイネーブル信号 S E N E 、 コラムイネーブル信号 C L E 、 リードイネーブル信号 R E N E 、 ライトイネーブル信号 W E N E より遅延回路 D L Y 2 の遅延時間だけそれぞれ遅れて出力される。

10

【 0 1 0 4 】

レギュラーメモリコア R C O R E およびパリティメモリコア P C O R E の動作タイミングは、図 6 と同じである。読み出し動作の波形は、パリティライトイネーブル信号 P W E N E が活性化されず、エラー訂正部 E C C U により生成された訂正読み出しデータ信号 C R D T および新たなパリティコード P C がメモリコア C O R E に書き込まれないことを除き、図 1 3 と同じである。読み出しサイクル時間は、書き込みサイクル時間に等しい。以上、第この実施形態においても、上述した実施形態と同様の効果を得ることができる。

20

【 0 1 0 5 】

図 1 4 は、別の実施形態を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。半導体メモリ M E M は、例えば、図 5 に示したように、システム S Y S に搭載される。この実施形態の半導体メモリ M E M は、図 1 の半導体メモリ M E M からデータマスク端子 D M およびデータマスクバッファ/ラッチ 1 6 を削除して構成されている。レギュラーデータバス D B 、 / D B は、2 5 6 本の信号線（図 1 の 4 倍）で構成され、パリティデータバス P D B 、 / P D B は、1 6 本の信号線で構成される。すなわち、1 回の読み出しコマンド R D に応答する読み出し動作で、1 2 8 ビットのレギュラーデータがレギュラーメモリコア R C O R E から読み出され、8 ビットのパリティコード P C がパリティメモリコア P C O R E から読み出される。1 回の書き込みコマンド W R に応答する書き込み動作で、1 2 8 ビットのレギュラーデータがレギュラーメモリコア R C O R E に書き込まれ、8 ビットのパリティコード P C がパリティメモリコア P C O R E に書き込まれる。エラー訂正部 E C C U に供給されるデータ信号のビット数が図 1 に比べて増えるため、パリティコード R P C のビット数は相対的に減る。メモリコア R C O R E 、 P C O R E およびエラー訂正部 E C C U を除く構成は、上述した実施形態と同じである。

30

【 0 1 0 6 】

例えば、エラー訂正部 E C C U 内の相補のデータ信号線 L T D C 、 E R R B 、 C R D T は、それぞれ 2 5 6 本の信号線で構成される。相補のパリティデータ線 R P C は、1 6 本の信号線で構成される。エラー訂正部 E C C U の機能は、扱うデータ信号のビット数が異なること、データ選択回路 D T S E L が異なること、およびデータ出力制御回路 D O C N T が異なることを除き、上述した実施形態と同じである。

40

【 0 1 0 7 】

データ選択回路 D T S E L は、書き込み制御信号 W R 1 Z の高レベル期間に動作し、コラムアドレス信号 C A D 0 - 1 に応じて、1 2 8 ビットの訂正読み出しデータ信号 C R D T 0 - 1 2 7 （2 5 6 ビットの相補の訂正読み出しデータ信号 C R D T ）のいずれか 3 2 ビット（6 4 ビットの相補の訂正読み出しデータ信号 C R D T ）を、データ入力バッファ

50

ノラッチ18から供給される32ビットのデータ入力信号IDAT(64ビットの相補のデータ入力信号IDAT)に置き換える。例えば、コラムアドレス信号CAD0-1が"00"を示すときに、訂正読み出しデータ信号CRDT0-31がデータ入力信号IDATに置き換えられ、コラムアドレス信号CAD0-1が"10"を示すときに、訂正読み出しデータ信号CRDT64-95がデータ入力信号IDATに置き換えられる。データ選択回路DTSELは、一部のデータが置き換えられた相補の訂正読み出しデータ信号CRDTをデータバスDB、ノDBに出力する。この実施形態では、書き込み動作において、パリティコードPCを生成するためのレギュラーデータのビット数(128ビット)は、書き込みデータのビット数(32ビット)より多い。このため、リード・モディファイ・ライトが必要である。

10

【0108】

データ出力制御回路DOCNTは、読み出し制御信号RD1Zの高レベル期間に動作し、コラムアドレス信号CAD0-1に応じて、128ビットの訂正読み出しデータ信号CRDTのうち32ビットを選択し、選択したデータ信号を32ビットのデータ出力信号ODAT(64ビットの相補のデータ出力信号ODAT)として出力する。

【0109】

図15は、図14のレギュラーメモリコアRCOREの詳細を示している。図2と同じ構成については、詳細な説明を省略する。レギュラーメモリコアRCOREは、図2のレギュラーメモリコアRCOREからコラムアドレス信号CADのアドレスラッチ回路ALTおよびコラムデコーダCDECを削除して構成されている。ブロック制御回路BCNTは、ブロックデコード信号XBLK(XBLK0-3)に応じてコラム制御信号CL(CL0-3)のいずれかを選択し、選択したコラム制御信号CLをコラムイネーブル信号CLEに应答して活性化する。ブロック制御回路BCNTのその他の機能は、図2のブロック制御回路BCNTと同じである。ロウデコーダRDECは、図2のロウデコーダRDECと同じである。

20

【0110】

レギュラーメモリブロックMBLK0-3は、256個の相補のコラムスイッチCSWがコラム制御信号CLに应答して同時にオンすることを除き、図2のメモリブロックMBLK0-3と同じである。センスアンプSA0-3およびメモリブロックMBLK0-3は、コラムスイッチCSWを介して128組の相補のデータ線DT、ノDTに接続されている。例えば、リードアンプRAは128個あり、ライトアンプWAは128個ある。リードアンプRAは、リードアンプ活性化信号RENに同期して同時に動作する。ライトアンプWAは、ライトアンプ活性化信号WENに同期して同時に動作する。センスアンプSA0-3の構成および動作は、上述した実施形態と同じである。

30

【0111】

図16は、図14のパリティメモリコアPCOREの詳細を示している。図4と同じ構成については、詳細な説明を省略する。この実施形態では、コラム制御信号CL0-4の数が図4より少ない、このため、遅延回路DLY1に形成される時定数回路TCおよびバッファ回路BUFの数は、図4に比べて少ない。

40

【0112】

パリティメモリブロックPBLK0-3は、1本のパリティワード線WLに8個のパリティメモリセルMC(図示せず)が接続されている。16個の相補のパリティコラムスイッチPCSWが、パリティコラム制御信号PCL(PCL0-3のいずれか)に应答して同時にオンする。パリティセンスアンプPSA0-3およびパリティメモリブロックPBLK0-3は、パリティコラムスイッチPCSWを介して8組の相補のパリティデータ線PDT、ノPDTに接続されている。例えば、パリティセンスアンプPSAは、各領域に8個ある。パリティリードアンプRAは8個あり、パリティライトアンプPWAは8個ある。パリティリードアンプRAは、パリティリードアンプ活性化信号PRENに同期して同時に動作する。パリティライトアンプPWAは、パリティライトアンプ活性化信号PWE Nに同期して同時に動作する。

50

【 0 1 1 3 】

この実施形態においても、上述した実施形態と同様の効果を得ることができる。特に、この実施形態では、パリティコードPCを生成するためのレギュラーデータのビット数（128ビット）が、データ入力端子Dinを介して供給される書き込みデータのビット数（32ビット）より多い半導体メモリMEMにおいて、アクセスサイクル時間を短縮できる。

【 0 1 1 4 】

図17は、別の実施形態を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。半導体メモリMEMは、例えば、図5に示したように、システムSYSに搭載される。この実施形態の半導体メモリMEMは、図11の半導体メモリMEMからデータマスク端子DMおよびデータマスクバッファ/ラッチ16を削除して構成されている。レギュラーデータバスDB、/DBは、256本の信号線で構成され、パリティデータバスPDB、/PDBは、16本の信号線で構成される。すなわち、1回の読み出しコマンドRDに応答する読み出し動作で、128ビットのレギュラーデータがレギュラーメモリコアRCOREから読み出され、8ビットのパリティコードPCがパリティメモリコアPCOREから読み出される。1回の書き込みコマンドWRに응答する書き込み動作で、128ビットのレギュラーデータがレギュラーメモリコアRCOREに書き込まれ、8ビットのパリティコードPCがパリティメモリコアPCOREに書き込まれる。エラー訂正部ECCUは、図14のエラー訂正部ECCUと同じである。メモリコアRCORE、PCOREおよびエラー訂正部ECCUを除く構成は、上述した実施形態と同じである。

【 0 1 1 5 】

図18は、図17のパリティメモリコアPCOREの詳細を示している。図12と同じ構成については、詳細な説明を省略する。パリティメモリコアPCOREは、図12のパリティメモリコアPCOREからコラムアドレス信号CADのアドレスラッチ回路ALTおよびコラムデコーダCDECを削除して構成されている。パリティブロック制御回路PBCNTは、ブロックデコード信号PXBLOCKに応じてパリティコラム制御信号PCL（PCL0-3）のいずれかを選択し、選択したパリティコラム制御信号PCLをパリティコラムイネーブル信号PCLEに응答して活性化する。パリティブロック制御回路PBCNTのその他の機能は、図12のパリティブロック制御回路PBCNTと同じである。ロウデコーダPRDECは、図12のロウデコーダRDECと同じである。パリティメモリブロックPBLK0-3は、図16のパリティメモリブロックPBLK0-3と同じである。

【 0 1 1 6 】

この実施形態においても、上述した実施形態と同様の効果を得ることができる。すなわち、この実施形態では、パリティコードPCを生成するためのレギュラーデータのビット数（128ビット）が、データ入力端子Dinを介して供給される書き込みデータのビット数（32ビット）より多い半導体メモリMEMにおいて、アクセスサイクル時間を短縮できる。

【 0 1 1 7 】

なお、上述した実施形態は、擬似SRAMタイプのFCRAMに適用する例を述べた。しかし、例えば、上述した実施形態は、SDRAMタイプのFCRAM、SDRAM、SSRAMまたは強誘電体メモリ等の半導体メモリに適用してもよい。上述した実施形態は、クロック非同期式の半導体メモリに適用してもよい。

【 0 1 1 8 】

上述した実施形態は、時定数回路TCと2つのバッファ回路BUFで遅延回路DLY1を構成する例を述べた。しかし、配線抵抗を利用した遅延素子により遅延回路DLY1を構成してもよい。例えば、遅延素子は、メモリMEMの半導体基板上に形成される拡散層領域を用いた拡散抵抗により構成される。拡散層領域は、トランジスタのソース領域およびドレイン領域を形成する領域である。ソース領域およびドレイン領域とともに拡散抵抗

10

20

30

40

50

を形成できるため、製造工程を増やす必要はない。

【0119】

上述した実施形態は、レギュラーメモリコアRCOREおよびパリティメモリコアPCOREの書き込み動作期間の長さを、互いに等しくする例を述べた。しかし、レギュラーメモリコアRCOREおよびパリティメモリコアPCOREの書き込み動作期間の長さを、互いに相違させてもよい。例えば、パリティメモリセルMCの数が少なく、パリティワード線PWLの長さが短いパリティメモリコアPCOREの書き込み動作時間を、レギュラーメモリコアRCOREの書き込み動作時間より短くしてもよい。これにより、リード・モディファイ・ライト期間をさらに短縮でき、半導体メモリMEMのアクセスサイクル時間をさらに短縮できる。

10

【0120】

上述した実施形態は、書き込みコマンドWRまたは読み出しコマンドRDが連続して半導体メモリMEMに供給される例を述べた。しかし、書き込みサイクル時間および読み出しサイクル時間は互いに同じため、書き込みコマンドWRおよび読み出しコマンドRDが半導体メモリMEMにランダムに供給されても上述の効果をj得ることができる。具体的には、図6および図13において、2番目のクロックサイクルに読み出しコマンドRDが供給されてもよい。図8において、2番目のクロックサイクルに書き込みコマンドWRが供給されてもよい。

【0121】

図1から図18に述べた実施形態に関して、さらに以下の付記を開示する。

20

(付記1)

外部から書き込まれるレギュラーデータを保持する複数のレギュラーメモリセルと、前記レギュラーメモリセルにレギュラーデータを入力または出力するレギュラーデータ制御回路と、

レギュラーデータのパリティデータを保持するパリティメモリセルと、

前記パリティメモリセルにパリティデータを入力または出力するパリティデータ制御回路と、

前記レギュラーデータ制御回路および前記パリティデータ制御回路に接続され、書き込み動作時に、前記レギュラーメモリセルから読み出されるレギュラーデータおよび前記パリティメモリセルから読み出されるパリティデータを用いて前記レギュラーメモリセルから読み出されたレギュラーデータのエラーを検出、訂正し、訂正されたレギュラーデータの一部を外部からの書き込みデータに置き換え、置き換えられたレギュラーデータから前記パリティメモリセルに書き込むためのパリティデータを生成するエラー訂正部と、

30

書き込みコマンドが連続して供給されるときに、前記レギュラーメモリセルからレギュラーデータを読み出し、かつ前記レギュラーメモリセルにレギュラーデータを書き込むために、前記レギュラーメモリセルおよび前記レギュラーデータ制御回路を制御するレギュラーアクセス制御信号を生成し、前記レギュラーメモリセルからのレギュラーデータの読み出しが開始された後、レギュラーデータの読み出し中に、前記パリティメモリセルからのパリティデータの読み出しを開始するために、前記パリティメモリセルおよび前記パリティデータ制御回路を制御するパリアクセス制御信号を生成し、前記パリティメモリセルに書き込むパリティデータが前記パリティメモリセルに供給されている間に、次の書き込みコマンドにj応答して前記レギュラーメモリセルからレギュラーデータを読み出すために前記レギュラーアクセス制御信号を生成するアクセス制御回路とを備えていることを特徴とする半導体メモリ。

40

(付記2)

付記1記載の半導体メモリにおいて、

前記アクセス制御回路は、

前記書き込みコマンドにj応答して前記レギュラーアクセス制御信号を所定の期間活性化し、前記書き込みコマンドが連続して供給されるときに、前記パリアクセス制御信号のうち第1パリアクセス制御信号が活性化されている間に、次の書き込みコマンドに

50

応答して前記レギュラーアクセス制御信号のうち前記第1パリティアクセス制御信号に対応する第1レギュラーアクセス制御信号を活性化するレギュラーアクセス制御回路と、

前記書き込みコマンドに応答して前記パリティアクセス制御信号を所定の期間活性化し、前記第1レギュラーアクセス制御信号が活性化された後、前記第1レギュラーアクセス制御信号の活性化中に、第1パリティアクセス制御信号を活性化するパリティアクセス制御回路とを備えていることを特徴とする半導体メモリ。

(付記3)

付記2記載の半導体メモリにおいて、

前記第1レギュラーアクセス制御信号が活性化されてから前記第1パリティアクセス制御信号が活性化されるまでの期間と前記第1パリティアクセス制御信号の活性化期間との和は、前記書き込みコマンドが連続して供給されるときに連続して活性化される前記第1レギュラーアクセス制御信号の活性化タイミングの間隔より長く設定されていることを特徴とする半導体メモリ。

10

(付記4)

付記2記載の半導体メモリにおいて、

前記第1レギュラーアクセス制御信号の活性化期間と前記第1パリティアクセス制御信号の活性化期間は、互いに等しく設定され、

前記第1レギュラーアクセス制御信号が活性化されてから前記第1パリティアクセス制御信号が活性化されるまでの期間は、前記書き込みコマンドが連続して供給されるときの前記第1レギュラーアクセス制御信号の非活性化期間より長く設定されていることを特徴とする半導体メモリ。

20

(付記5)

付記2ないし付記4のいずれか1項記載の半導体メモリにおいて、

前記レギュラーメモリセルに接続されたレギュラーワード線と、

前記パリティメモリセルに接続されたパリティワード線とを備え、

前記第1レギュラーアクセス制御信号は、前記レギュラーワード線を活性化するレギュラーワード線信号であり、

前記第1パリティアクセス制御信号は、前記パリティワード線を活性化するパリティワード線信号であることを特徴とする半導体メモリ。

30

(付記6)

付記2ないし付記4のいずれか1項記載の半導体メモリにおいて、

前記レギュラーアクセス制御回路は、前記書き込みコマンドに応答して前記レギュラーアクセス制御信号を生成するレギュラー信号生成回路を備え、

前記パリティアクセス制御回路は、前記レギュラーアクセス制御信号を受け、受けたレギュラーアクセス制御信号を遅延させて前記パリティアクセス制御信号を生成する遅延素子を備えていることを特徴とする半導体メモリ。

(付記7)

付記2ないし付記4のいずれか1項記載の半導体メモリにおいて、

前記レギュラーアクセス制御回路は、前記書き込みコマンドに応答して前記レギュラーアクセス制御信号を生成するレギュラー信号生成回路を備え、

40

前記パリティアクセス制御回路は、前記書き込みコマンドを受け、受けた書き込みコマンドを遅延させてパリティ書き込みコマンドを生成する遅延素子と、前記パリティ書き込みコマンドに応答して前記パリティアクセス制御信号を生成するパリティ信号生成回路とを備えていることを特徴とする半導体メモリ。

(付記8)

付記1記載の半導体メモリにおいて、

複数のデータグループを前記書き込みデータとして受けるデータ入力バッファと、

前記レギュラーメモリセルへの書き込みを禁止する前記データグループを示すマスク信号を受けるデータマスクバッファとを備え、

前記エラー訂正部は、前記訂正されたレギュラーデータの少なくとも一部を、前記マス

50

ク信号により書き込みが禁止されるデータグループを除くデータグループの書き込みデータに置き換えるデータ選択回路を備えていることを特徴とする半導体メモリ。

(付記 9)

付記 1 記載の半導体メモリにおいて、

前記レギュラーデータ制御回路および前記エラー訂正部の間でレギュラーデータを伝達する相補のレギュラーデータバスと、

前記パリティデータ制御回路および前記エラー訂正部の間でパリティデータを伝達する相補のパリティデータバスとを備え、

前記エラー訂正部は、

前記レギュラーデータバス上のレギュラーデータのいずれかのビットが無効レベルから有効レベルに変化したときに、この変化に同期してレギュラーデータから相補のリードパリティデータを生成するリードパリティ生成回路と、

リードパリティデータおよび前記パリティデータバス上のパリティデータのいずれかのビットが無効レベルから有効レベルに変化したときに、この変化に同期してリードパリティデータおよびパリティデータからレギュラーデータのエラーを検出する比較回路と、

前記比較回路によるエラーの検出結果に基づいて前記レギュラーデータのエラーを訂正するエラー訂正回路と、

訂正されたレギュラーデータの一部を外部からの書き込みデータに書き換えるデータ選択回路と、

前記データ選択回路により選択されたレギュラーデータからパリティデータを生成するライトパリティ生成回路とを備えていることを特徴とする半導体メモリ。

(付記 10)

外部から書き込まれるレギュラーデータを保持する複数のレギュラーメモリセルと、前記レギュラーメモリセルにレギュラーデータを入力または出力するレギュラーデータ制御回路と、レギュラーデータのパリティデータを保持するパリティメモリセルと、前記パリティメモリセルにパリティデータを入力または出力するパリティデータ制御回路と、レギュラーデータのエラーを訂正するエラー訂正部とを備えた半導体メモリの動作方法であって、

書き込み動作時に、前記レギュラーメモリセルから読み出されるレギュラーデータおよび前記パリティメモリセルから読み出されるパリティデータを用いて前記レギュラーメモリセルから読み出されたレギュラーデータのエラーを検出、訂正し、

訂正されたレギュラーデータの一部を外部からの書き込みデータに置き換え、置き換えられたレギュラーデータから前記パリティメモリセルに書き込むためのパリティデータを生成し、

書き込みコマンドが連続して供給されるときに、前記レギュラーメモリセルからレギュラーデータを読み出し、かつ前記レギュラーメモリセルにレギュラーデータを書き込むために、前記レギュラーメモリセルおよび前記レギュラーデータ制御回路を制御するレギュラーアクセス制御信号を生成し、

前記レギュラーメモリセルからのレギュラーデータの読み出しが開始された後、レギュラーデータの読み出し中に、前記パリティメモリセルからのパリティデータの読み出しを開始するために、前記パリティメモリセルおよび前記パリティデータ制御回路を制御するパリティアクセス制御信号を生成し、

前記パリティメモリセルに書き込むパリティデータが前記パリティメモリセルに供給されている間に、次の書き込みコマンドにตอบสนองして前記レギュラーメモリセルからレギュラーデータを読み出すために前記レギュラーアクセス制御信号を生成することを特徴とする半導体メモリの動作方法。

(付記 11)

付記 10 記載の半導体メモリの動作方法において、

前記書き込みコマンドにตอบสนองして前記レギュラーアクセス制御信号および前記パリティアクセス制御信号をそれぞれ所定の期間活性化し、

10

20

30

40

50

前記レギュラーアクセス制御信号のうち前記第 1 パリティアクセス制御信号が活性化された後、前記第 1 レギュラーアクセス制御信号の活性化中に、前記パリティアクセス制御信号のうち第 1 パリティアクセス制御信号を活性化し、

前記書き込みコマンドが連続して供給されるときに、前記第 1 パリティアクセス制御信号が活性化されている間に、次の書き込みコマンドに応答して前記第 1 パリティアクセス制御信号に対応する第 1 レギュラーアクセス制御信号を活性化することを特徴とする半導体メモリの動作方法。

(付記 1 2)

付記 1 1 記載の半導体メモリの動作方法において、

前記第 1 レギュラーアクセス制御信号が活性化されてから前記第 1 パリティアクセス制御信号が活性化されるまでの期間と前記第 1 パリティアクセス制御信号の活性化期間との和を、前記書き込みコマンドが連続して供給されるときに連続して活性化される前記第 1 レギュラーアクセス制御信号の活性化タイミングの間隔より長く設定することを特徴とする半導体メモリの動作方法。

10

(付記 1 3)

付記 1 1 記載の半導体メモリの動作方法において、

前記第 1 レギュラーアクセス制御信号の活性化期間と前記第 1 パリティアクセス制御信号の活性化期間を、互いに等しく設定し、

前記第 1 レギュラーアクセス制御信号が活性化されてから前記第 1 パリティアクセス制御信号が活性化されるまでの期間を、前記書き込みコマンドが連続して供給されるときの前記第 1 レギュラーアクセス制御信号の非活性化期間より長く設定することを特徴とする半導体メモリの動作方法。

20

(付記 1 4)

付記 1 1 ないし付記 1 3 のいずれか 1 項記載の半導体メモリの動作方法において、

前記書き込みコマンドに응答して前記レギュラーアクセス制御信号を生成し、

前記レギュラーアクセス制御信号を受け、受けたレギュラーアクセス制御信号を遅延させて前記パリティアクセス制御信号を生成することを特徴とする半導体メモリの動作方法。

(付記 1 5)

付記 1 1 ないし付記 1 3 のいずれか 1 項記載の半導体メモリの動作方法において、

前記書き込みコマンドに응答して前記レギュラーアクセス制御信号を生成し、

前記書き込みコマンドを受け、受けた書き込みコマンドを遅延させてパリティ書き込みコマンドを生成し、

30

前記パリティ書き込みコマンドに응答して前記パリティアクセス制御信号を生成することを特徴とする半導体メモリの動作方法。

(付記 1 6)

半導体メモリと、前記半導体メモリのアクセスを制御するコントローラとを備えたシステムであって、

前記半導体メモリは、

外部から書き込まれるレギュラーデータを保持する複数のレギュラーメモリセルと、

前記レギュラーメモリセルにレギュラーデータを入力または出力するレギュラーデータ制御回路と、

40

レギュラーデータのパリティデータを保持するパリティメモリセルと、

前記パリティメモリセルにパリティデータを入力または出力するパリティデータ制御回路と、

前記レギュラーデータ制御回路および前記パリティデータ制御回路に接続され、書き込み動作時に、前記レギュラーメモリセルから読み出されるレギュラーデータおよび前記パリティメモリセルから読み出されるパリティデータを用いて前記レギュラーメモリセルから読み出されたレギュラーデータのエラーを検出、訂正し、訂正されたレギュラーデータの一部を外部からの書き込みデータに置き換え、置き換えられたレギュラーデータから前

50

記パリティメモリセルに書き込むためのパリティデータを生成するエラー訂正部と、

書き込みコマンドが連続して供給されるときに、前記レギュラーメモリセルからレギュラーデータを読み出し、かつ前記レギュラーメモリセルにレギュラーデータを書き込むために、前記レギュラーメモリセルおよび前記レギュラーデータ制御回路を制御するレギュラーアクセス制御信号を生成し、前記レギュラーメモリセルからのレギュラーデータの読み出しが開始された後、レギュラーデータの読み出し中に、前記パリティメモリセルからのパリティデータの読み出しを開始するために、前記パリティメモリセルおよび前記パリティデータ制御回路を制御するパリティアクセス制御信号を生成し、前記パリティメモリセルに書き込むパリティデータが前記パリティメモリセルに供給されている間に、次の書き込みコマンドにตอบสนองして前記レギュラーメモリセルからレギュラーデータを読み出すために前記レギュラーアクセス制御信号を生成するアクセス制御回路とを備えていることを特徴とするシステム。

10

(付記 17)

付記 16 記載のシステムにおいて、

前記アクセス制御回路は、

前記書き込みコマンドにตอบสนองして前記レギュラーアクセス制御信号を所定の期間活性化し、前記書き込みコマンドが連続して供給されるときに、前記パリティアクセス制御信号のうち第 1 パリティアクセス制御信号が活性化されている間に、次の書き込みコマンドにตอบสนองして前記レギュラーアクセス制御信号のうち前記第 1 パリティアクセス制御信号に対応する第 1 レギュラーアクセス制御信号を活性化するレギュラーアクセス制御回路と、

20

前記書き込みコマンドにตอบสนองして前記パリティアクセス制御信号を所定の期間活性化し、前記第 1 レギュラーアクセス制御信号が活性化された後、前記第 1 レギュラーアクセス制御信号の活性化中に、第 1 パリティアクセス制御信号を活性化するパリティアクセス制御回路とを備えていることを特徴とするシステム。

(付記 18)

付記 17 記載のシステムにおいて、

前記第 1 レギュラーアクセス制御信号が活性化されてから前記第 1 パリティアクセス制御信号が活性化されるまでの期間と前記第 1 パリティアクセス制御信号の活性化期間との和は、前記書き込みコマンドが連続して供給されるときに連続して活性化される前記第 1 レギュラーアクセス制御信号の活性化タイミングの間隔より長く設定されていることを特徴とするシステム。

30

(付記 19)

付記 17 記載のシステムにおいて、

前記第 1 レギュラーアクセス制御信号の活性化期間と前記第 1 パリティアクセス制御信号の活性化期間は、互いに等しく設定され、

前記第 1 レギュラーアクセス制御信号が活性化されてから前記第 1 パリティアクセス制御信号が活性化されるまでの期間は、前記書き込みコマンドが連続して供給されるときの前記第 1 レギュラーアクセス制御信号の非活性化期間より長く設定されていることを特徴とするシステム。

(付記 20)

40

付記 17 ないし付記 19 のいずれか 1 項記載のシステムにおいて、

前記半導体メモリは、

前記レギュラーメモリセルに接続されたレギュラーワード線と、

前記パリティメモリセルに接続されたパリティワード線とを備え、

前記第 1 レギュラーアクセス制御信号は、前記レギュラーワード線を活性化するレギュラーワード線信号であり、

前記第 1 パリティアクセス制御信号は、前記パリティワード線を活性化するパリティワード線信号であることを特徴とするシステム。

【0122】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明

50

の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【図面の簡単な説明】

【0123】

【図1】一実施形態を示す図である。

【図2】図1のレギュラーメモリコアの詳細を示す図である。

【図3】図1のレギュラーメモリブロックおよびセンスアンプ領域の詳細を示す図である。

【図4】図1のパリティメモリコアの詳細を示す図である。

【図5】図1の半導体メモリが搭載されるシステムを示す図である。

10

【図6】図1の半導体メモリの書き込み動作の例を示す図である。

【図7】図6の書き込み動作におけるエラー訂正動作の詳細を示す図である。

【図8】図1の半導体メモリの読み出し動作の例を示す図である。

【図9】図8の読み出し動作におけるエラー訂正動作の詳細を示す図である。

【図10】図1の半導体メモリが提案される前の半導体メモリの書き込み動作を示す図である。

【図11】別の実施形態を示す図である。

【図12】図11のパリティメモリコアの詳細を示す図である。

【図13】図11に示した半導体メモリの書き込み動作の例を示す図である。

【図14】別の実施形態を示す図である。

20

【図15】図14のレギュラーメモリコアの詳細を示す図である。

【図16】図14のパリティメモリコアの詳細を示す図である。

【図17】別の実施形態を示す図である。

【図18】図17のパリティメモリコアの詳細を示す図である。

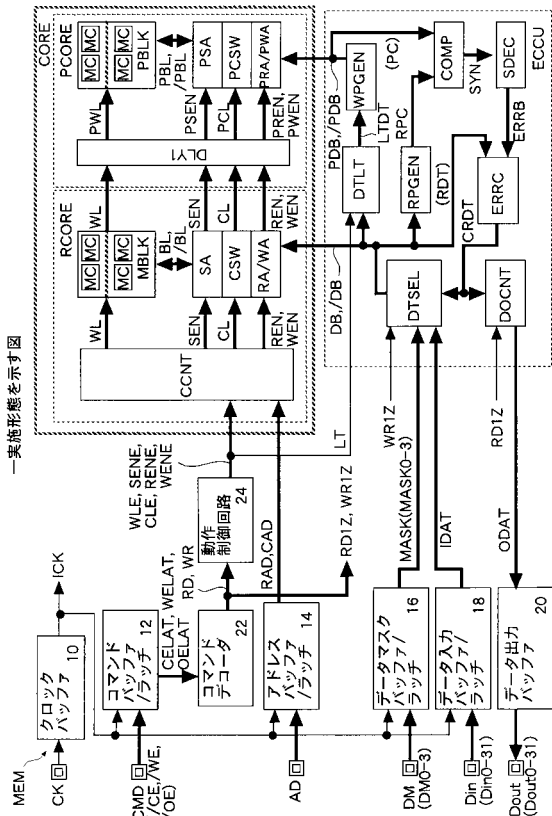
【符号の説明】

【0124】

10 クロックバッファ；12 コマンドバッファ/ラッチ；14 アドレスバッファ/ラッチ；16 データマスクバッファ/ラッチ；18 データ入力バッファ/ラッチ；20 データ出力バッファ；22 コマンドデコーダ；24、24P 動作制御回路；CNT コア制御回路；CORE メモリコア；CSW レギュラーコラムスイッチ；DLY1、DLY2 遅延回路；ECCU エラー訂正部；MBLK レギュラーメモリブロック；MC レギュラーメモリセル、パリティメモリセル；MEM 半導体メモリ；PBLK パリティメモリブロック；PCORE パリティメモリコア；PCSW パリティコラムスイッチ；PRA パリティリードアンプ；PSA パリティセンスアンプ；PWA パリティライトアンプ；RA レギュラーリードアンプ；RCORE レギュラーメモリコア；SA レギュラーセンスアンプ；WA レギュラーライトアンプ

30

【図 1】



一実施形態を示す図

【図 2】

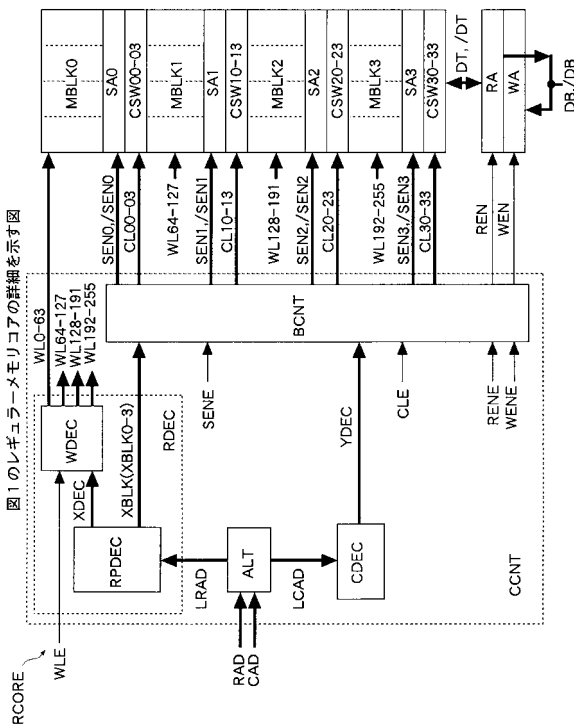


図 1 のレギュラメモリアコアの詳細を示す図

【図 3】

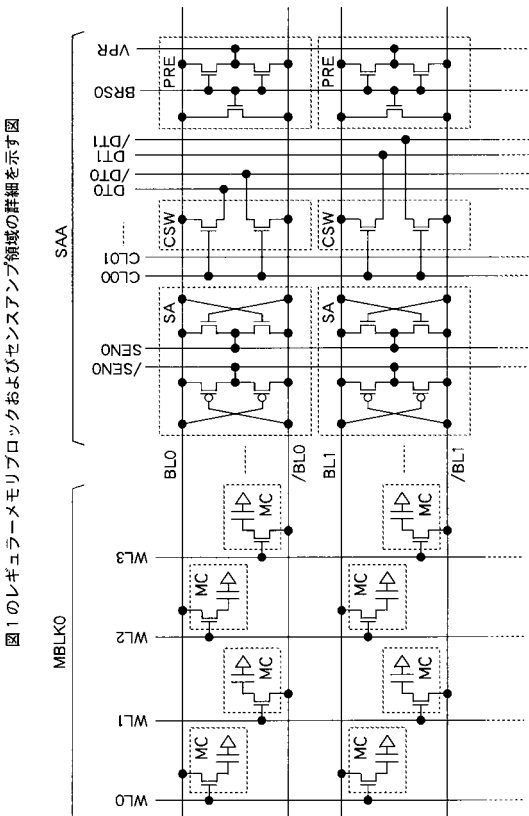


図 1 のレギュラメモリアコアおよびセンスアンプ領域の詳細を示す図

【図 4】

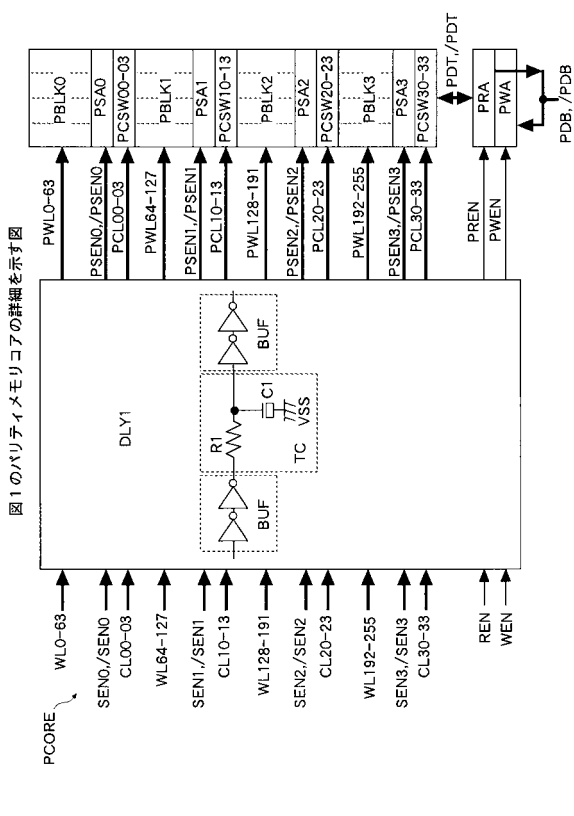
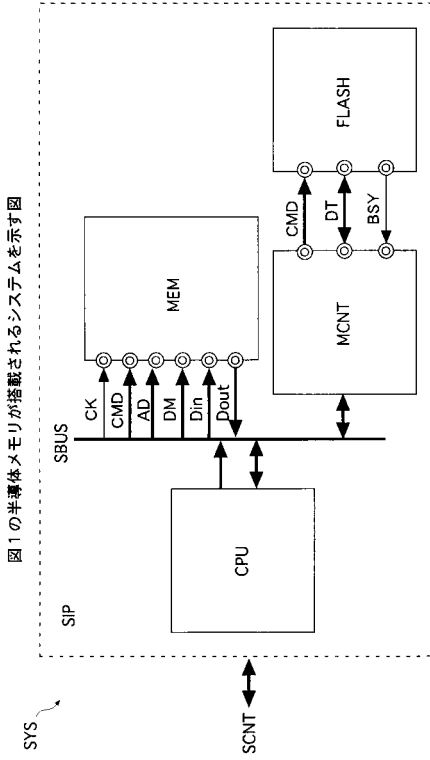
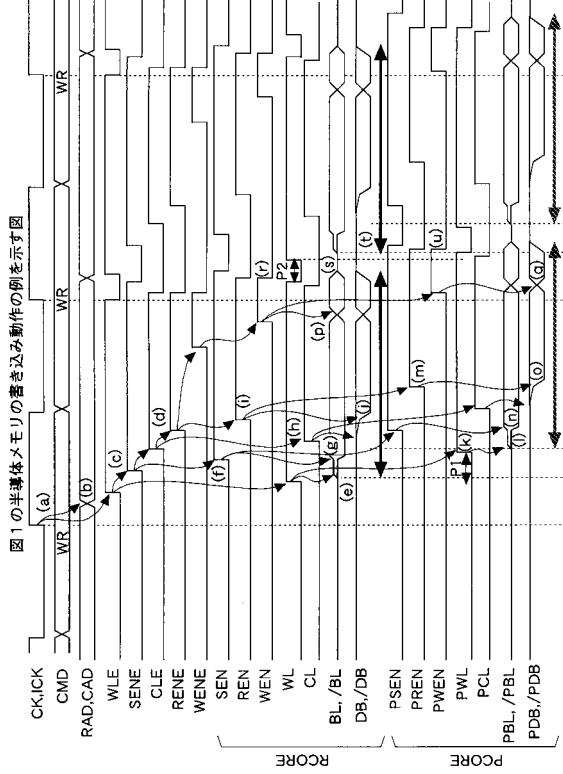


図 1 のパリティメモリアコアの詳細を示す図

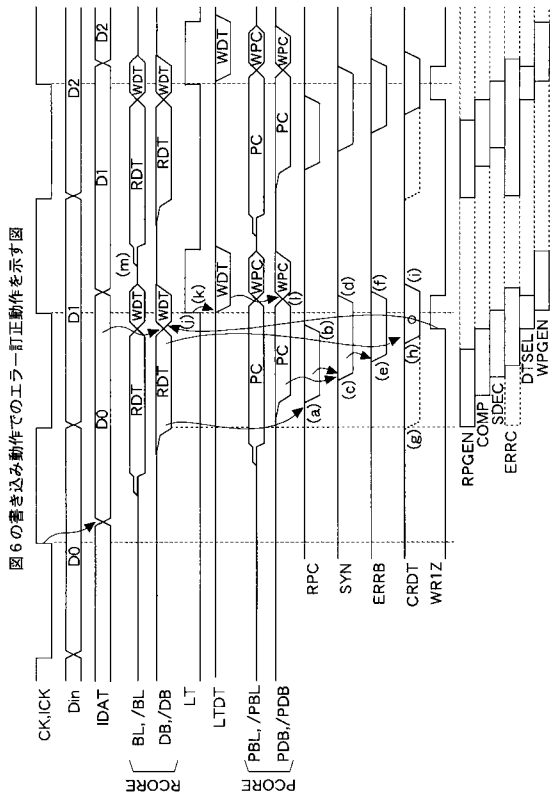
【 図 5 】



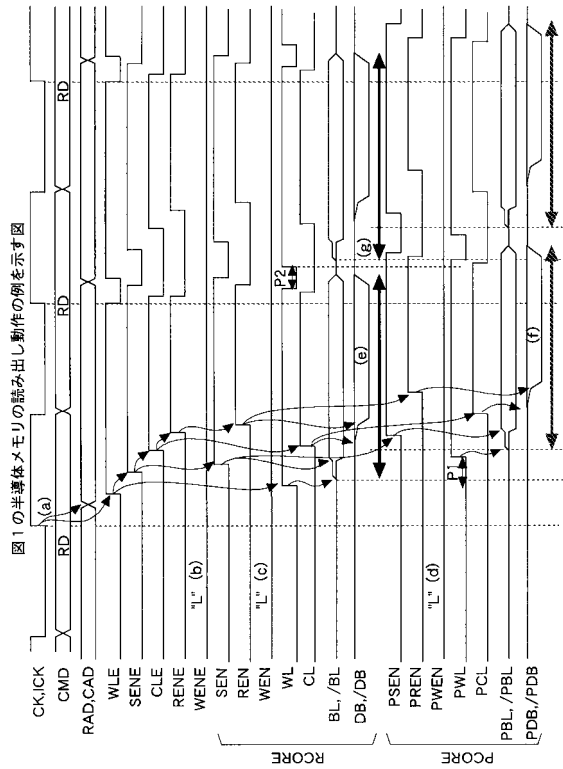
【 図 6 】



【 図 7 】

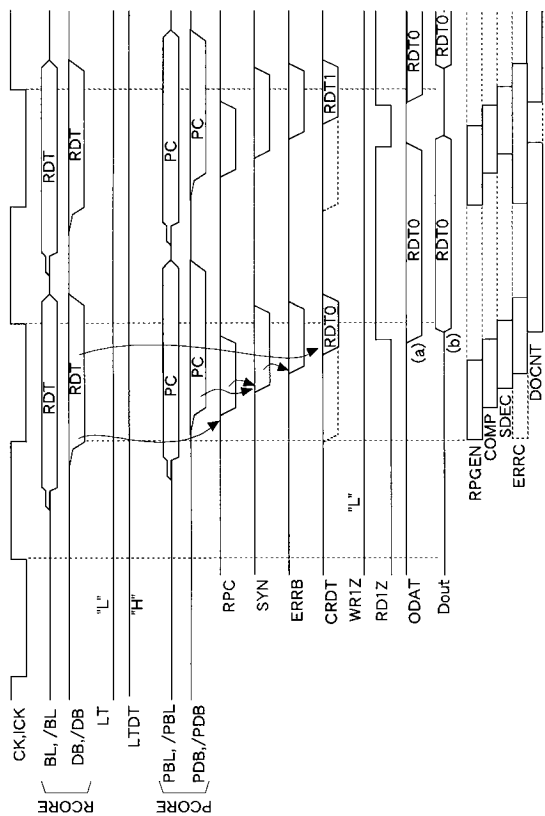


【 図 8 】



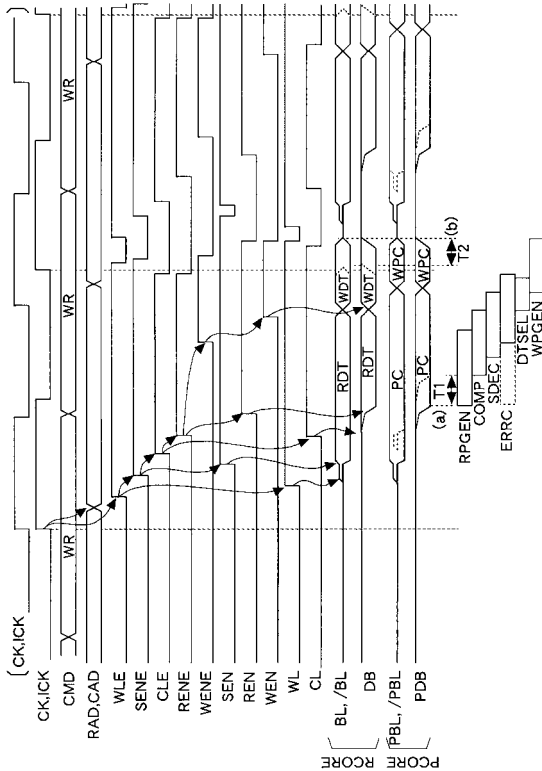
【 図 9 】

図 8 の読み出し動作でのエラー訂正動作を示す図



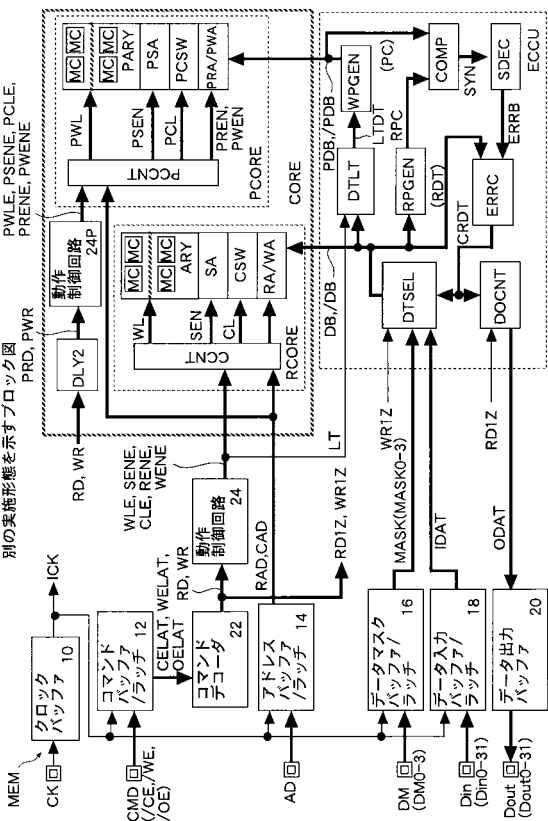
【 図 10 】

図 1 の半導体メモリが提案される前の書き込み動作の例を示す図



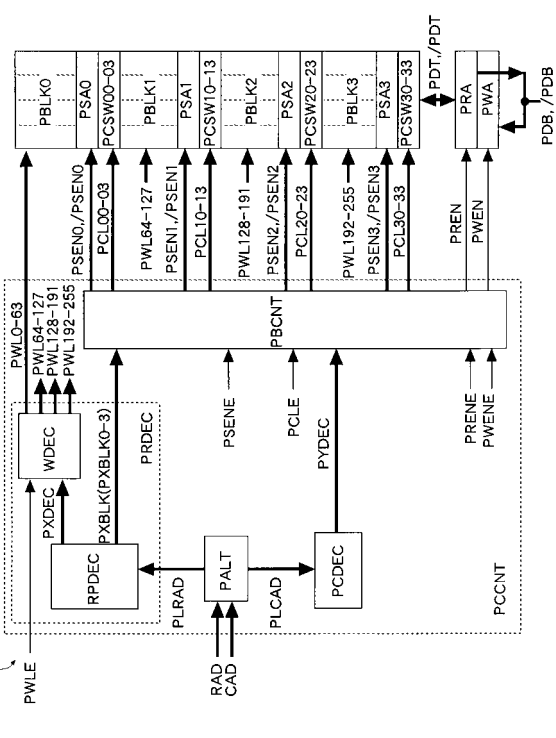
【 図 11 】

別の実施形態を示すブロック図



【 図 12 】

図 9 のバリチャイアの詳細を示すブロック図



フロントページの続き

- (56)参考文献 特開2005-327437(JP,A)
特開2008-198330(JP,A)
特開2007-141372(JP,A)
特開2004-213719(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/42
G11C 11/401