

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7013493号  
(P7013493)

(45)発行日 令和4年1月31日(2022.1.31)

(24)登録日 令和4年1月21日(2022.1.21)

(51)国際特許分類

F I

H 0 1 L	27/11582(2017.01)	H 0 1 L	27/11582
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	29/788(2006.01)	H 0 1 L	21/90 A
H 0 1 L	29/792(2006.01)	H 0 1 L	27/11575
H 0 1 L	21/768(2006.01)		

請求項の数 18 (全28頁) 最終頁に続く

(21)出願番号	特願2019-570607(P2019-570607)
(86)(22)出願日	平成30年3月1日(2018.3.1)
(65)公表番号	特表2020-513224(P2020-513224 A)
(43)公表日	令和2年5月7日(2020.5.7)
(86)国際出願番号	PCT/CN2018/077741
(87)国際公開番号	WO2018/161839
(87)国際公開日	平成30年9月13日(2018.9.13)
審査請求日	令和1年11月5日(2019.11.5)
(31)優先権主張番号	201710134788.9
(32)優先日	平成29年3月8日(2017.3.8)
(33)優先権主張国・地域又は機関	中国(CN)

(73)特許権者	519237948 長江存儲科技有限責任公司 Yangtze Memory Technologies Co., Ltd. 中華人民共和国湖北省武漢市東湖新技術 開發区未来三路88号 No. 88 Weilai 3rd Road, East Lake High-tech Development Zone, Wuhan, Hubei, China
(74)代理人	100108453 弁理士 村山 靖彦
(74)代理人	100110364 弁理士 実広 信哉

最終頁に続く

(54)【発明の名称】 3次元メモリデバイスの相互接続構造

## (57)【特許請求の範囲】

## 【請求項1】

基板、

前記基板上の交互層スタックであって、前記交互層スタックが階段構造を含む、交互層スタック、

前記交互層スタックを通して垂直に延びるバリア構造であって、前記交互層スタックが、(i)少なくとも前記バリア構造によって横方向に完全に囲まれた複数の誘電体層対を含む交互誘電体スタック、及び、(ii)複数の導体/誘電体層対を含む交互導体/誘電体スタックを含む、バリア構造、

各々が前記交互導体/誘電体スタックを通して垂直に延びるチャンネル構造、ダミーチャンネル構造及びスリット構造、

前記チャンネル構造の端部のエッチング停止層、及び

複数の第1のコンタクトであって、(i)前記階段構造の交互導体/誘電体スタックの導体層、(ii)前記エッチング停止層、及び、(iii)前記スリット構造の各々が、前記複数の第1のコンタクトの1つに接触している複数の第1のコンタクト

を備える、3次元(3D)NANDメモリデバイス。

## 【請求項2】

前記エッチング停止層が、ポリシリコン、チタン、窒化チタン及びタングステンのうちの1つ以上を含む、請求項1に記載のメモリデバイス。

## 【請求項3】

前記バリア構造が、酸化シリコン及び窒化シリコンを含む、請求項 1 に記載のメモリデバイス。

【請求項 4】

前記複数の誘電体層対の各々が、酸化シリコン層及び窒化シリコン層を含み、前記複数の導体 / 誘電体層対の各々が、金属層及び酸化シリコン層を含む、請求項 1 に記載のメモリデバイス。

【請求項 5】

相互接続導体層と、複数の第 2 のコンタクトを含むコンタクト層とをさらに備え、( i ) 前記階段構造の交互導体 / 誘電体スタックの導体層、( i i ) 前記チャンネル構造、及び、( i i i ) 前記スリット構造の各々が、対応する第 1 のコンタクト及び前記複数の第 2 のコンタクトのそれぞれの 1 つによって前記相互接続導体層に電氣的に接続される、請求項 1 に記載のメモリデバイス。

10

【請求項 6】

少なくとも前記バリア構造によって横方向に囲まれた前記交互誘電体スタックを通して垂直に延びる第 3 のコンタクトをさらに備える、請求項 1 に記載のメモリデバイス。

【請求項 7】

複数の誘電体層対を含む交互誘電体スタックであって、前記複数の誘電体層対の各々が、第 1 の誘電体層、及び、前記第 1 の誘電体層とは異なる第 2 の誘電体層を含む、交互誘電体スタックを、基板上に形成する段階、

前記交互誘電体スタックに第 1 の階段構造を形成する段階、

前記交互誘電体スタックを通して垂直に各々が延びるチャンネル構造、ダミーチャンネル構造及びバリア構造を形成する段階であって、前記バリア構造が、前記交互誘電体スタックを、少なくとも前記バリア構造によって横方向に囲まれた第 1 の部分と、前記第 1 の階段構造を含む第 2 の部分とに分離する、段階、

前記チャンネル構造の上端にエッチング停止層を形成する段階、

複数の導体 / 誘電体層対を含む交互導体 / 誘電体スタックを形成するように、スリットを形成し、前記スリットを通じて、前記交互誘電体スタックの第 2 の部分内の第 1 の誘電体層を導体層と置き換える段階、

前記スリットに導体を堆積させることによってスリット構造を形成する段階、及び

複数の第 1 のコンタクトを形成する段階であって、( i ) 前記第 1 の階段構造の交互導体 / 誘電体スタックの第 1 導体層、( i i ) 前記エッチング停止層、及び、( i i i ) スリット構造の各々が、前記複数の第 1 のコンタクトの 1 つに接触している、複数の第 1 のコンタクトを形成する段階、

を含む、三次元 ( 3 D ) N A N D メモリデバイスを形成する方法。

【請求項 8】

複数の第 2 のコンタクトを形成する段階をさらに含み、前記複数の第 2 のコンタクトの 1 つが、少なくとも前記バリア構造によって横方向に囲まれた交互誘電体スタックの第 1 の部分を通して垂直に延び、前記複数の第 2 のコンタクトの他の 1 つが、前記第 1 の階段構造の交互導体 / 誘電体スタックの第 2 の導電層に接触している、請求項 7 に記載の方法。

【請求項 9】

複数の第 3 のコンタクトを含むコンタクト層、及び、前記コンタクト層の上の相互接続導体層をさらに備え、( i ) 前記第 1 の階段構造の交互導体 / 誘電体スタックの第 1 の導体層、( i i ) 前記チャンネル構造、及び、( i i i ) 前記スリット構造の各々が、対応する第 1 のコンタクト、及び、前記複数の第 3 のコンタクトのそれぞれの 1 つによって前記相互接続導体層に電氣的に接続される、請求項 8 に記載の方法。

40

【請求項 10】

スリットを形成する前に、前記基板にドープ領域を形成する段階をさらに含み、前記スリット構造が、前記ドープ領域に接触している、請求項 7 に記載の方法。

【請求項 11】

前記バリア構造に隣接する前記交互誘電体スタックに第 2 の階段構造を形成する段階をさ

50

らに含む、請求項 7 に記載の方法。

【請求項 1 2】

基板、

前記基板上の交互層スタックであって、前記交互層スタックが階段構造を含む、交互層スタック、

前記交互層スタックを通して垂直に延びるバリア構造であって、前記交互層スタックが、  
( i ) 少なくとも前記バリア構造によって横方向に完全に囲まれた複数の誘電体層対を含む交互誘電体スタック、及び、( i i ) 複数の導体 / 誘電体層対を含む交互導体 / 誘電体スタックを含む、バリア構造、

前記交互導体 / 誘電体スタックを通して各々が垂直に延びる N A N D ストリング、ダミーチャンネル構造及びスリット構造、及び

10

複数の第 1 のコンタクトであって、前記第 1 のコンタクトの各々のそれぞれの第 1 の端部で互いに同一面にある複数の第 1 のコンタクトであり、( i ) 前記階段構造の交互導体 / 誘電体スタックの導体層、( i i ) 前記 N A N D ストリング、及び、( i i i ) 前記スリット構造の各々が、前記複数の第 1 のコンタクトのそれぞれの第 2 の端部に接触している、複数の第 1 のコンタクト

を備える、3次元(3D)NANDメモリデバイス。

【請求項 1 3】

複数の第 2 のコンタクトを含むコンタクト層であって、前記第 2 のコンタクトの各々のそれぞれの第 1 の端部及びそれぞれの第 2 の端部で互いに同一面にある複数の第 2 のコンタクトを含むコンタクト層をさらに備え、前記複数の第 2 のコンタクトの各々が、前記複数の第 1 のコンタクトのそれぞれの 1 つに接触している、請求項 1 2 に記載のメモリデバイス。

20

【請求項 1 4】

複数の相互接続線を含む相互接続導体層をさらに備え、前記複数の第 2 のコンタクトの各々が、前記複数の相互接続線のそれぞれの 1 つに接触している、請求項 1 3 に記載のメモリデバイス。

【請求項 1 5】

前記複数の相互接続線が、対応する第 1 のコンタクト及び対応する第 2 のコンタクトによって前記 N A N D ストリングに電氣的に接続されたビット線を含む、請求項 1 4 に記載のメモリデバイス。

30

【請求項 1 6】

前記複数の第 1 のコンタクトが、前記交互誘電体スタックを通して垂直に延びる貫通アレイドコンタクト(TAC)を含む、請求項 1 2 に記載のメモリデバイス。

【請求項 1 7】

前記 N A N D ストリングが、対応する第 1 のコンタクトに接触するプラグを含む、請求項 1 2 に記載のメモリデバイス。

【請求項 1 8】

前記プラグが、ポリシリコン及び金属のうちの少なくとも 1 つを含む、請求項 1 7 に記載のメモリデバイス。

40

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願への相互参照)

この出願は、2017年3月8日に出願された中国特許出願第201710134788.9号の優先権を主張し、その全体が参照により本明細書に組み込まれる。

【0002】

本開示の実施形態は、3次元(3D)メモリデバイス及びその製造方法に関する。

【背景技術】

【0003】

50

平坦メモリセルは、プロセス技術、回路設計、プログラミングアルゴリズム及び製造プロセスを改善することによって、より小さいサイズに縮小される。しかしながら、メモリセルの特徴サイズが下限に近づくにつれて、プレーナプロセスおよび製造技法は、難しくなるとともに費用がかかる。結果として、平坦メモリセルについてのメモリ密度は、上限に近づく。

【0004】

3Dメモリアーキテクチャは、平坦メモリセルにおける密度限界に対処することができる。この3Dメモリアーキテクチャは、メモリアレイと、メモリアレイへの信号及びメモリアレイからの信号を制御する周辺デバイスとを備える。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本明細書では、3Dメモリ相互接続及びその製造方法の実施形態を開示する。

【課題を解決するための手段】

【0006】

本開示のいくつかの実施形態によれば、3D NANDメモリデバイスは、基板、前記基板上に階段構造を含む交互層スタック、及び、交互層スタックを通過して垂直に延びるバリア構造を備える。交互層スタックは、交互誘電体スタックと交互導体/誘電体スタックとを含む。交互誘電体スタックは、少なくともバリア構造によって囲まれた複数の誘電体層対を含む。交互導体/誘電体スタックは、複数の導体/誘電体層対を含む。メモリデバイスは、交互導体/誘電体スタックを通過して各々が垂直に延びるチャンネル構造及びスリット構造、チャンネル構造の端部上のエッチング停止層、及び、複数の第1のコンタクトをさらに備える。階段構造の交互導体/誘電体スタックの導体層、エッチング停止層、及び、スリット構造の各々は、複数の第1のコンタクトの1つに接触している。

【0007】

いくつかの実施形態では、エッチング停止層は、ポリシリコン、チタン、窒化チタン、及び、タングステンのうちの1つ以上を含む。バリア構造は、酸化シリコン及び窒化シリコンを含むことができる。複数の誘電体層対の各々は、酸化シリコン層及び窒化シリコン層を含むことができる。複数の導体/誘電体層対の各々は、金属層及び酸化シリコン層を含むことができる。

【0008】

いくつかの実施形態では、メモリデバイスは、交互導体/誘電体スタックを通過して垂直に延びるダミーチャンネル構造をさらに含む。

【0009】

いくつかの実施形態では、メモリデバイスは、相互接続導体層及びコンタクト層をさらに備える。コンタクト層は、複数の第2のコンタクトを含むことができる。階段構造の交互導体/誘電体スタックの導体層、チャンネル構造、及び、スリット構造の各々は、対応する第1のコンタクト及び複数の第2のコンタクトのそれぞれの1つによって相互接続導体層に電氣的に接続することができる。

【0010】

いくつかの実施形態では、メモリデバイスは、少なくともバリア構造によって囲まれた交互誘電体スタックを通過して垂直に延びる第3のコンタクト（例えば、貫通アレイコンタクト（TAC））をさらに含む。

【0011】

本開示のいくつかの実施形態によれば、3D NANDメモリデバイスを形成する方法が開示される。交互の誘電体スタックが基板上に形成される。交互誘電体スタックは、複数の誘電体層対を含み、各々の対は、第1の誘電体層と、第1の誘電体層とは異なる第2の誘電体層とを含む。第1の階段構造が交互誘電体スタックに形成される。交互誘電体スタックを通過して各々が垂直に延びるチャンネル構造及びバリア構造が形成される。バリア構造は、交互誘電体スタックを、少なくともバリア構造によって囲まれた第1の部分と、第1

10

20

30

40

50

の階段構造を含む第2の部分とに分離する。エッチング停止層が、チャンネル構造の上端に形成される。スリットが形成される。交互誘電体スタックの第2の部分の第1の誘電体層は、複数の導体/誘電体層対を含む交互導体/誘電体スタックを形成するために、スリットを通る導体層で置き換えられる。スリット構造が、スリットに導体を充填することによって形成される。複数の第1のコンタクトが形成される。第1の階段構造の交互導体/誘電体スタックの第1の導体層、エッチング停止層、及び、スリット構造の各々は、複数の第1のコンタクトの1つに接触している。

【0012】

いくつかの実施形態では、複数の第2のコンタクトが形成される。複数の第2のコンタクトのうちの1つは、少なくともバリア構造によって囲まれた交互誘電体スタックの第1の部分を通して垂直に延びることができる。複数の第2のコンタクトの別の1つは、第1の階段構造の交互導体/誘電体スタックの第2の導体層に接触することができる。

10

【0013】

いくつかの実施形態では、複数の第3のコンタクトを含むコンタクト層が形成される。相互接続導体層が、コンタクト層の上に形成される。第1の階段構造の交互導体/誘電体スタック、チャンネル構造、及び、スリット構造の各々は、対応する第1のコンタクト、及び、複数の第3のコンタクトのそれぞれの1つによって相互接続導体層に電氣的に接続することができる。

【0014】

いくつかの実施形態では、複数の第2のコンタクトの各々は、複数の第3のコンタクトのそれぞれの1つによって相互接続導体層に電氣的に接続される。

20

【0015】

いくつかの実施形態では、スリットを形成する前に、基板にドーブ領域が形成される。スリット構造は、ドーブ領域に接触していてもよい。

【0016】

いくつかの実施形態では、バリア構造に隣接する交互誘電体スタックに第2の階段構造が形成される。

【0017】

いくつかの実施形態では、エッチング停止層は、ポリシリコン、チタン、窒化チタン、及び、タングステンのうちの1つ以上を含む。バリア構造は、酸化シリコン及び窒化シリコンを含むことができる。複数の誘電体層対の各々は、酸化シリコン層及び窒化シリコン層を含むことができる。複数の導体/誘電体層対の各々は、金属層及び酸化シリコン層を含むことができる。

30

【図面の簡単な説明】

【0018】

本明細書に組み込まれ、本明細書の一部を形成する添付図面は、本開示の実施形態を示し、詳細な説明と共に、さらに、本開示の原理を説明するとともに、当業者が本開示を作製および使用することを可能にする役割を果たす。

【0019】

【図1A】本開示のいくつかの実施形態による、3Dメモリデバイスの様々な領域を平面図で示す。

40

【図1B】本開示のいくつかの実施形態による、3Dメモリデバイスの様々な領域を平面図で示す。

【図1C】本開示のいくつかの実施形態による、3Dメモリデバイスの様々な領域を平面図で示す。

【図2】本開示のいくつかの実施形態による、3Dメモリデバイスの断面図を示す。

【図3】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な方法のフローチャートである。

【図4】本開示のいくつかの実施形態による、3Dメモリデバイスを形成するための例示的な製造方法を示す。

50

【図5】本開示のいくつかの実施形態による、3Dメモリデバイスを形成するための例示的な製造方法を示す。

【図6】本開示のいくつかの実施形態による、3Dメモリデバイスを形成するための例示的な製造方法を示す。

【図7】本開示のいくつかの実施形態による、3Dメモリデバイスを形成するための例示的な製造方法を示す。

【図8】本開示のいくつかの実施形態による、3Dメモリデバイスを形成するための例示的な製造方法を示す。

【図9】本開示のいくつかの実施形態による、3Dメモリデバイスを形成するための例示的な製造方法を示す。

【図10】本開示のいくつかの実施形態による、3Dメモリデバイスを形成するための例示的な製造方法を示す。

【図11】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な方法のフローチャートである。

【図12】本開示のいくつかの実施形態による、3Dメモリデバイスを形成するための別の例示的な方法のフローチャートである。

【発明を実施するための形態】

【0020】

本開示の実施形態は、添付の図面を参照して説明される。

【0021】

特定の構成及び配置を説明するが、これは例示的な目的のために行われることにすぎないと理解されたい。当業者は、本開示の要旨及び範囲から逸脱することなく、他の構成及び配置に使用されてもよいことを認識されよう。本開示は、他の様々な用途に用いられ得ることも当業者には明らかであろう。

【0022】

本明細書中における「一実施形態」、「実施形態」、「例示実施形態」、「いくつかの実施形態」などの言及は、記載された実施形態が特定の特徴、構造又は特性を含んでもよいが、必ずしも全ての実施形態がこの特定の特徴、構造又は特性を含むとは限らないものであり得ることを示すことに留意されたい。また、そのようなフレーズは、必ずしも同じ実施形態を指すとは限らない。さらに、特定の特徴、構造又は特性が、実施形態に関連して説明されるとき、それは、明示的に記載されていようがまいが、他の実施形態に関連してそのような特徴、構造又は特性をもたらすことは当業者の知識の範囲内である。

【0023】

一般に、専門用語は、文脈における用いられ方から少なくとも一部理解され得る。例えば、本明細書中に使用されるとき、用語「1つ又は複数の」は、文脈に少なくとも一部応じて、単数形の意味で任意の特徴、構造、又は特性を説明するために使用され得る、あるいは複数形の意味で任意の特徴、構造又は特性の組み合わせを説明するために使用され得る。同様に、「a」、「an」、または「the」などの用語は、やはり、文脈に少なくとも一部応じて、単数用法または複数用法を伝えると理解され得る。

【0024】

本開示における「の上に(on)」、「の上方に(above)」、および「より上(over)」の意味は、最も広い形で解釈されるべきであり、それにより、「の上に」は、何か「の直接上に(directly on)」を意味するだけでなく、それらのある中間の特徴または層と共に何か「の上に」を意味することも含み、「の上方に」または「より上」は、何か「の上方に」または「より上」の意味を意味するだけでなく、それらのある間に中間の特徴または層なしに何か「の上方に」または「より上」(すなわち、何かの直接上に)あるという意味も含み得ることが容易に理解されるはずである。

【0025】

さらに、「の真下に(beneath)」、「の下方に(below)」、「の下に(lower)」、「の上方に(above)」、「の上側に(upper)」などの空間

10

20

30

40

50

的に相対的な用語は、本明細書中において、図に示されるような1つの要素または特徴と別の要素または特徴の相対関係を説明するのを容易にするために使用され得る。この空間的に相対的な用語は、図に示された向きに加えて使用時または動作時のデバイスの異なる向きを包含することが意図される。さもなければ、機器は、(90度回転されてまたは他の向きに)向けられてもよく、また、本明細書中に使用される空間的に相対的な記述語は、それに応じて解釈され得る。

【0026】

本明細書中に使用されるとき、用語「基板」は、続く材料層が上に加えられる材料を指す。基板自体は、パターン付きであり得る。基板の上部に加えられる材料は、パターン付きであってもよく、又はパターンが無いままでもよい。さらに、基板は、シリコン、ゲルマニウム、ヒ化ガリウム、リン化インジウム等などの半導体材料の幅広いアレイで構成することができる。代替として、基板は、ガラス、プラスチック又はサファイアウエハなどの非導電性材料から作製することができる。

10

【0027】

本明細書中に使用されるとき、用語「層」は、厚さを有する領域を含む材料部分を指す。層は、下地構造又は上部構造の全体にわたって広がり得る、あるいは下地構造又は上部構造の広がりよりも小さい広がりをも有し得る。さらに、層は、均一の連続構造、又はこの連続構造の厚さよりも薄い厚さを有する不均一の連続構造の領域であり得る。例えば、層は、連続構造の間に、又は上面及び下面において、任意の一对の水平平面間に位置し得る。層は、水平に、垂直に、及び/又はテーパ面に沿って延びることができる。基板は、一層であってもよく、1つ又は複数の層を内部に含むことができ、及び/又は、1つ又は複数の層をその上、その上方、及び/又は、その下方に有してもよい。層は、複数の層を含んでもよい。例えば、相互接続層は、(接点、相互接続線、及び/又は、ビアが形成されている)1つ又は複数の導体層及びコンタクト層と、1つ又は複数の誘電体層とを含み得る。

20

【0028】

本明細書中に使用されるとき、用語「公称/公称で」は、製品またはプロセスの設計フェーズ中に設定された構成要素またはプロセス動作についての特性またはパラメータの所望の値又は目標の値を、所望の値の上方及び/又は下方の値の範囲と共に指す。値の範囲は、製造プロセスにおける僅かなばらつき又は許容範囲による得る。本明細書中に使用されるとき、用語「約」は、主題の半導体デバイスに関連した特定のテクノロジーノードに基づいて変化し得る所与の量の値を示す。特定のテクノロジーノードに基づいて、用語「約」は、例えば、値の10%~30%(例えば、値の $\pm 10\%$ 、 $\pm 20\%$ 、または $\pm 30\%$ )の範囲内で変化する所与の量の値を示すことができる。

30

【0029】

本明細書中に使用されるとき、用語「3Dメモリデバイス」は、メモリストリングが基板に対して垂直方向に延びるように横方向に向けられた基板上のメモリセルトランジスタの垂直に向けられたストリング(すなわち、NANDストリングスなどの「メモリストリング」のような本明細書中の領域)を有する半導体デバイスを指す。本明細書中に使用されるとき、用語「垂直の/垂直に」は、公称で、基板の側面に直交することを意味する。

【0030】

本開示による様々な実施形態は、メモリアレイ用の相互接続構造を有する3Dメモリデバイス(本明細書では「アレイデバイス」とも呼ばれる)を提供する。相互接続構造により、様々なメモリアレイ構造(NANDストリング、ゲートラインスリット、ワードラインなど)へのコンタクトが、限られた数のステップにおいて(例えば、単一ステップ又は2ステップにおいて)製造されることが可能になり、それによって、プロセスの複雑さと製造コストを減少させる。いくつかの実施形態では、本明細書に開示される相互接続構造は、上部相互接続導体層にビット線を含み、異なる基板上に形成されたアレイデバイス及び周辺デバイスが向かい合わせでハイブリッドボンディングによって接合される3Dメモリアーキテクチャに適している。

40

【0031】

50

さらに、本明細書で開示される相互接続構造は、スタックアレイデバイスと周辺デバイスとの間の垂直相互接続を提供するためのTACを含むことができ（例えば、電力バスおよび金属ルーティング用）、それにより金属レベルを低減し、ダイサイズを縮小する。いくつかの実施形態では、本明細書で開示される相互接続構造のTACは、交互誘電体層のスタックと比較して、より容易にエッチングされてスルーホールを形成することができる交互誘電体層のスタックを介して形成される。

#### 【0032】

図1Aから図1Cは、本開示のいくつかの実施形態による、3Dメモリデバイスの様々な領域を平面図で示している。図1Aは、NANDストリング領域110、TAC領域120、及び、上部選択ゲート(TSG)階段領域130を含む、3Dメモリデバイスのワード線(WL)TAC領域102を示す。NANDストリング領域110は、NANDストリング112のアレイを含むことができ、各々が複数のスタックされたメモリセルを含む。TSG階段領域130は、NANDストリング領域110の側面に配置されることができ、平面図でTAC領域120に隣接する。TSG階段領域130は、NANDストリング領域110内のNANDストリング112の上部選択ゲートとの電気的接続を行うために、階段構造（例えば、2つのレベル）に形成されたTSGコンタクト132のアレイを含むことができる。

10

#### 【0033】

いくつかの実施形態では、TAC領域120は、3Dメモリデバイスのワード線方向において2つのTSG階段領域130の間にある（図1Aから図1Cで「WL」とラベル付けされている）。TAC領域120は、バリア構造124によって画定され得る。複数のTAC126は、バリア構造124によって横方向に囲まれたTAC領域120に形成され得る。いくつかの実施形態において、ダミーチャネル構造122は、メモリアレイ構造用の機械的支持を提供するためにTAC領域120の外側に形成される。ダミーチャネル構造122は、例えば、TSG階段領域130に隣接するNANDストリング領域110の縁に沿って、TAC領域120の外側の任意の領域に形成され得ることが理解される。図1Aに示されるように、WL TAC領域102は、各々がワード線方向に延びる複数のスリット構造114も含むことができる。少なくともいくつかのスリット構造114は、NANDストリング領域110のNANDストリング112のアレイの共通ソースコンタクトとして機能することができる。スリット構造114は、3Dメモリデバイスを複数のメモリブロック及び/又は複数のメモリフィンガーに分割することもできる。

20

30

#### 【0034】

図1Bは、NANDストリング領域110及びTAC領域120を含む、3Dメモリデバイスのビット線(BL)TAC領域104を示す。NANDストリング領域110は、各々が複数のスタックされたメモリセルを含むNANDストリング112のアレイを含むことができる。いくつかの実施形態では、TAC領域120は、3Dメモリデバイスのビット線方向において2つのNANDストリング領域110の間にある（図1Aから図1Cで「BL」とラベル付けされている）。TAC領域120は、3DメモリデバイスのBL TAC領域104の端部と共にバリア構造124によって画定され得る。複数のTAC126は、バリア構造124及びBL TAC領域104の端部によって横方向に囲まれているTAC領域120に形成することができる。図1Bに示されるように、BL TAC領域104はまた、各々がワード線方向に延びるスリット構造114も含むことができる。少なくともいくつかのスリット構造114は、NANDストリング領域110のNANDストリング112のアレイの共通ソースコンタクトとして機能することができる。スリット構造114は、3Dメモリデバイスを複数のメモリブロック及び/又は複数のメモリフィンガーに分割することもできる。いくつかの実施形態では、ダミーチャネル構造122は、NANDストリング領域110の一部、例えば、ビット線方向でTAC領域120に隣接するメモリフィンガーに形成される。

40

#### 【0035】

図1Cは、NANDストリング領域110、階段領域140、及び、TAC領域120を

50



含む、3Dメモリデバイスの階段TAC領域106を示す。NANDストリング領域110は、各々が複数のスタックされたメモリセルを含む、NANDストリング112のアレイを含むことができる。階段領域140は、階段構造と、階段構造上に形成されたワード線コンタクト142のアレイとを含むことができる。いくつかの実施形態では、TAC領域120は、階段領域140内にある。TAC領域120は、バリア構造124によって単独で、又は3Dメモリデバイスの階段TAC領域106の縁部と共に画定することができる。複数のTAC126は、少なくともバリア構造124によって横方向に囲まれているTAC領域120内に形成することができる。図1Cに示されるように、階段TAC領域106はまた、各々がワード線方向に延びるスリット構造114を含むことができる。少なくともいくつかのスリット構造114は、NANDストリング領域110内のNANDストリング112のアレイの共通ソースコンタクトとして機能することができる。スリット構造114は、メモリデバイスを複数のメモリブロック及び/又は複数のメモリフィンガーに分割することもできる。いくつかの実施形態では、ダミーチャネル構造は、TAC領域120の外側の階段領域140に形成される。

10

**【0036】**

図2は、本開示のいくつかの実施形態による、3Dメモリデバイス200の断面図を示す。3Dメモリデバイス200は、シリコン(例えば、単結晶シリコン)、シリコンゲルマニウム(SiGe)、ガリウムヒ素(GaAs)、ゲルマニウム(Ge)、シリコンオンインシュレータ(SOI)、ゲルマニウムオンインシュレータ(GOI)、又は、その他の適切な材料を含む基板202を含むことができる。いくつかの実施形態において、基板202は、研削、湿式/乾式エッチング、化学機械的研磨(CMP)、又は、それらの任意の組合せにより薄くされた薄層基板(例えば、半導体層)である。

20

**【0037】**

3Dメモリデバイス200は、基板202の上にアレイデバイスを含むことができる。3Dメモリデバイス200内の構成要素の空間的關係をさらに示すために、x軸及びy軸が図2に追加されていることに留意されたい。基板202は、x方向(横方向)に横方向に延びる2つの側面(例えば、上面及び底面)を含む。本明細書中に使用されるとき、一方の構成要素(例えば、層又はデバイス)が半導体デバイス(例えば、3Dメモリデバイス200)の別の構成要素(例えば、層またはデバイス)の「上に」、「上方に」又は「下方に」にあるかは、基板がy方向の半導体デバイスの最も低い平面内に配置されるとき、y方向(垂直方向)の半導体デバイスの基板(例えば、基板202)に対して決定される。空間的關係を説明するための同じ概念が、本開示を通して適用される。

30

**【0038】**

3Dメモリデバイス200は、非モノリシック3Dメモリデバイスの一部であり得、構成要素(例えば、周辺デバイス及びアレイデバイス)は、種々の基板上に別々に形成され、次いで、向かい合わせに接合され得る。いくつかの実施形態において、アレイデバイス基板(例えば、基板202)は、結合された非モノリシック3Dメモリデバイスの基板として残り、周辺デバイス(例えば、ページバッファ、デコーダ、及びラッチなどの3Dメモリデバイス200の動作を容易にするために使用される適切なデジタル、アナログ、及び/又は、混合信号周辺回路。図示せず)が反転され、ハイブリッドボンディングのために3Dメモリデバイス200に向かって下向きになっている。いくつかの実施形態では、3Dメモリデバイス200が反転され、ハイブリッドボンディングのために周辺デバイス(図示せず)に向かって下を向くため、結合された非モノリシック3Dメモリデバイスでは、アレイデバイスは周辺デバイスの上にあることが理解される。アレイデバイス基板(例えば、基板202)は、薄くされた基板であり得(結合された非モノリシック3Dメモリデバイスの基板ではない)、非モノリシックの3Dメモリデバイスのバックエンドオンライン(BEOL)相互接続は、薄くされたアレイデバイス基板202の裏側に形成することができる。

40

**【0039】**

それにもかかわらず、3Dメモリデバイス200は、3Dメモリデバイス200が非モノ

50

リシク 3 Dメモリデバイスの周辺デバイスの上又は下にあるかどうかに関係なく、非モノリシク 3 Dメモリデバイスの一部であり得る。参照を容易にするために、図 2 は、基板 2 0 2 が非モノリシク 3 Dメモリデバイスの基板であるか、非モノリシク 3 Dメモリデバイスの B E O L 相互接続が形成される薄化された基板であるかにかかわらず、基板 2 0 2 (アレイデバイス基板) が y 方向においてアレイデバイスの下に位置する 3 Dメモリデバイス 2 0 0 の状態を示す。

#### 【 0 0 4 0 】

いくつかの実施形態では、3 Dメモリデバイス 2 0 0 は、メモリセルが基板 2 0 2 の上方に垂直に伸びる N A N D ストリング 2 0 4 のアレイの形態で提供される N A N D フラッシュメモリデバイスである。アレイデバイスは、複数の導体層 2 0 6 及び誘電体層 2 0 8 の対を通して伸びる複数の N A N D ストリング 2 0 4 を含むことができる。複数の導体 / 誘電体層対は、本明細書では「交互導体 / 誘電体スタック」2 1 0 とも呼ばれる。交互導体 / 誘電体スタック 2 1 0 内の導体 / 誘電体層対の数 (例えば、3 2、6 4、または 9 6) は、3 Dメモリデバイス 2 0 0 のメモリセルの数を設定する。交互導体 / 誘電体スタック 2 1 0 の導体層 2 0 6 及び誘電体層 2 0 8 は、垂直方向に交互に配置される。言い換えれば、交互導体 / 誘電体スタック 2 1 0 の上部又は底部のものを除き、各導体層 2 0 6 は、両側の 2 つの誘電体層 2 0 8 に隣接することができ、各誘電体層 2 0 8 は、両側の 2 つの導体層 2 0 6 に隣接することができる。導体層 2 0 6 は、それぞれ同じ厚さを有していても、異なる厚さを有していてもよい。同様に、誘電体層 2 0 8 は、それぞれ同じ厚さを有していても、異なる厚さを有していてもよい。導体層 2 0 6 は、タングステン (W)、コバルト (C o)、銅 (C u)、アルミニウム (A l)、多結晶シリコン (ポリシリコン)、ドーブシリコン、シリサイド、又は、それらの任意の組合せを含むが、これらに限定されない導体材料を含むことができる。誘電体層 2 0 8 は、酸化シリコン、窒化シリコン、酸窒化シリコン、又は、それらの任意の組合せを含むが、これらに限定されない誘電体材料を含むことができる。いくつかの実施形態では、導体層 2 0 6 は、W などの金属層を含み、誘電体層 2 0 8 は、酸化シリコンを含む。

#### 【 0 0 4 1 】

図 2 に示されるように、少なくとも横方向の片側において、交互導体 / 誘電体スタック 2 1 0 は、階段構造 2 1 2 を含むことができる。階段構造 2 1 2 の各々の「レベル」2 1 3 は、各々が導体層 2 0 6 及び誘電体層 2 0 8 を含む 1 つ以上の導体 / 誘電体層対を含むことができる。階段構造 2 1 2 の各々のレベル 2 1 3 の最上層は、垂直方向の相互接続のための導体層 2 0 6 であり得る。いくつかの実施形態において、階段構造 2 1 2 の各々の 2 つの隣接するレベル 2 1 3 は、垂直方向の名目上同じ距離及び横方向の名目上同じ距離だけオフセットされる。階段構造 2 1 2 の各々の 2 つの隣接するレベル 2 1 3 について、基板 2 0 2 に近い第 1 のレベル (及び、その中の導体層及び誘電体層) は、第 2 のレベル (及び、その中の導体層及び誘電体層) よりも横方向に伸びることができ、それにより、垂直方向の相互接続のための第 1 のレベルの「着地面」を形成する。

#### 【 0 0 4 2 】

図 2 に示されるように、各 N A N D ストリング 2 0 4 は、交互導体 / 誘電体スタック 2 1 0 を通って伸びるチャネル構造 2 1 8 を含むことができる。チャネル構造 2 1 8 は、半導体材料 (例えば、半導体チャネル 2 2 0) 及び誘電材料 (例えば、メモリフィルム 2 2 2) で充填されるチャネル穴を含むことができる。いくつかの実施形態では、半導体チャネル 2 2 0 は、アモルファスシリコン、ポリシリコン、又は、単結晶シリコンなどのシリコンを含む。いくつかの実施形態では、メモリフィルム 2 2 2 は、トンネル層、記憶層 (「電荷トラップ / 記憶層」としても知られる)、及び、ブロッキング層を含む複合層である。各々の N A N D ストリング 2 0 4 は、円柱形状 (例えば、柱形状) を有することができる。いくつかの実施形態によれば、半導体チャネル 2 2 0、トンネル層、記憶層、及び、ブロッキング層は、柱の中心から外面に向かってこの順序で配置されている。トンネル層は、酸化シリコン、窒化シリコン、又は、それらの任意の組合せを含むことができる。記憶層は、窒化シリコン、酸窒化シリコン、シリコン、又は、それらの任意の組合せを含む

10

20

30

40

50

ことができる。ブロッキング層は、酸化シリコン、窒化シリコン、高誘電率（高k）誘電体、又は、それらの任意の組合せを含むことができる。

#### 【0043】

いくつかの実施形態では、NANDストリング204は、NANDストリング204用の複数の制御ゲート（各々がワード線の一部である）を含む。交互導体/誘電体スタック210の導体層206は、NANDストリング204のメモリセル用の制御ゲートとして機能することができる。導体層206は、複数のNANDストリング204用の複数の制御ゲートを含むことができ、階段構造212で終わるワード線として横方向に延びることができる。

#### 【0044】

一部の実施形態では、NANDストリング204は、垂直方向のそれぞれの端部にエピタキシャルプラグ224及びエッチング停止プラグ226を含む。エピタキシャルプラグ224及びエッチング停止プラグ226の各々は、チャンネル構造218のそれぞれの端部に接触することができる。エピタキシャルプラグ224は、基板202からエピタキシャル成長するシリコンなどの半導体材料を含むことができる。エピタキシャルプラグ224は、NANDストリング204のソース選択ゲートによって制御されるチャンネルとして機能することができる。エッチング停止プラグ226は、NANDストリング204の上端にあり、チャンネル構造218に接触することができる（例えば、チャンネル構造218の上端に）。本明細書で使用される場合、構成要素（例えば、NANDストリング204）の「上端」は、y方向において基板202からさらに離れた端であり、構成要素（例えば、NANDストリング204）の「下端」は、基板202が3Dメモリデバイス200の最下平面に位置するとき、y方向において基板202により近い端部である。

#### 【0045】

エッチング停止プラグ226は、半導体材料（例えば、ポリシリコン）又は導体材料（例えば、金属）を含むことができる。いくつかの実施形態では、エッチング停止プラグ226は、チタン/窒化チタン（バリア層としてのTi/TiN）及びW（導体として）で満たされた開口部を含む。3Dメモリデバイス200の製造中にチャンネル構造218の上端を覆うことによって、エッチング停止プラグ226は、酸化シリコン及び窒化シリコンなどのチャンネル構造218に充填された誘電体のエッチングを防ぐエッチング停止層として機能できる。いくつかの実施形態では、エッチング停止プラグ226は、NANDストリング204のドレインとして機能する。

#### 【0046】

いくつかの実施形態では、アレイデバイスは、スリット構造228をさらに含む。各々のスリット構造228は、交互導体/誘電体スタック210を通過して垂直に延びることができる。スリット構造228は、交互導体/誘電体スタック210を複数のブロックに分離するために横方向に延びることもできる。スリット構造228は、W、Co、Cu、Al、シリサイド、又は、それらの任意の組合せを含むが、これらに限定されない導体材料で満たされたスリットを含むことができる。スリット構造228は、充填導体材料と交互導体/誘電体スタック210との間に任意の適切な誘電体材料を有する誘電体層をさらに含み、交互導体/誘電体スタック210内の周囲の導体層206から充填導体材料を電氣的に絶縁することができる。結果として、スリット構造228は、3Dメモリデバイス200を複数のメモリブロック及び/又はメモリフィンガーに分離することができる（例えば、平面図で図1Aから図1Cに示されるように）。

#### 【0047】

いくつかの実施形態では、スリット構造228は、同じアレイ共通ソースを共有する同じメモリブロック又は同じメモリフィンガー内のNANDストリング204のソースコンタクトとして機能する。したがって、スリット構造228は、複数のNANDストリング204の「共通ソースコンタクト」と呼ぶことができる。いくつかの実施形態では、基板202は、ドーピング領域230（所望のドーピングレベルのp型又はn型ドーパントを含む）を含み、スリット構造228の下端は、基板202のドーピング領域230に接触している。

10

20

30

40

50

したがって、スリット構造 228 は、ドープ領域 230 によって NAND ストリング 204 に電氣的に接続することができる。

【0048】

図 2 に示されるように、交互導体 / 誘電体スタック 210 は、交互層スタック 216 の一部であり得、それは、基板 202 上の交互誘電体スタック 214 も含み得る。交互誘電体スタック 214 は、複数の誘電体層対、例えば、第 1 の誘電体層 232 と、第 1 の誘電体層 232 とは異なる第 2 の誘電体層 234 との交互スタックを含むことができる。いくつかの実施形態では、第 1 の誘電体層 232 及び第 2 の誘電体層 234 はそれぞれ、窒化シリコン及び酸化シリコンを含む。交互誘電体スタック 214 の第 1 の誘電体層 232 は、交互導体 / 誘電体スタック 210 の誘電体層 208 と同じであり得る。いくつかの実施形態では、交互誘電体スタック 214 の誘電体層対の数は、交互導体 / 誘電体スタック 210 の導体 / 誘電体対の数と同じである。

10

【0049】

いくつかの実施形態では、3Dメモリデバイス 200 は、交互層スタック 216 を通って垂直に延びるバリア構造 235 を含む。バリア構造 235 は、横方向に交互層スタック 216 を交互導体 / 誘電体スタック 210 と交互誘電体スタック 214 とに分離できる。すなわち、バリア構造 235 は、交互導体 / 誘電体スタック 210 と交互誘電体スタック 214 との間の境界になり得る。交互誘電体スタック 214 は、少なくともバリア構造 235 によって横方向に囲まれ得る。いくつかの実施形態では、バリア構造 235 は、交互誘電体スタック 214 を完全に囲むために、平面図では閉じた形状（例えば、長方形、正方形、円形など）である。図 1A に示されるように、バリア構造 124 は、TAC 領域 120 の交互誘電体スタックを完全に囲むために平面図では長方形である。いくつかの実施形態では、バリア構造 235 は、平面図では閉じた形状ではないが、交互層スタック 216 の 1 つ以上の縁部と共に交互誘電体スタック 214 を囲むことができる。例えば、図 1B 及び図 1C に示されるように、バリア構造 124 は、3Dメモリデバイスの端部と共に、TAC 領域 120 の交互誘電体スタックを囲む。

20

【0050】

図 2 に示されるように、3Dメモリデバイス 200 は、交互の誘電体スタック 214 を通って各々が垂直に延びる TAC 236 をさらに含む。TAC 236 は、複数の誘電体層対を含む少なくともバリア構造 235 によって横方向に囲まれた領域内のみ形成することができる。すなわち、TAC 236 は、誘電体層（例えば、第 1 の誘電体層 232 及び第 2 の誘電体層 234）を通じて垂直に延びることができるが、いかなる導体層（例えば、導体層 206）も通らない。各々の TAC 236 は、交互誘電体スタック 214 の厚さ全体にわたって延びることができる（例えば、垂直方向の全ての誘電体層対）。いくつかの実施形態では、TAC 236 は、基板 202 の少なくとも一部を通じてさらに延びる。

30

【0051】

TAC 236 は、相互接続経路を短縮して、電力バスの一部などの 3Dメモリデバイス 200 との間で電気信号を運ぶことができる。いくつかの実施形態では、TAC 236 は、3Dメモリデバイス 200 と周辺デバイス（例えば、CMOSチップ上、図示せず）との間、及び / 又は、BEOL 相互接続（図示せず）と周辺デバイスとの間の電気接続を提供できる。TAC 236 は、交互層スタック 216 に機械的支持を提供することもできる。各々の TAC 236 は、交互誘電体スタック 214 を通る垂直開口部を含むことができ、W、Co、Cu、Al、ドープシリコン、シリサイド、又は、それらの任意の組合せを含むが、これらに限定されない導体材料で充填される。いくつかの実施形態では、TAC 236 は、交互の誘電体スタック 214（誘電体層に囲まれている）に形成され、TAC 236 と交互誘電体スタック 214 との間の追加の誘電体層は、絶縁目的に不要である。

40

【0052】

いくつかの実施形態では、3Dメモリデバイス 200 は、NAND ストリング 204、スリット構造 228、及び、階段構造 212 内のワード線 206 など、本明細書で開示される様々なメモリアレイ構造と接触する複数のローカルコンタクトを含む。これらのコンタ

50

クトは、メモリアレイ構造と直接接触しているため、本明細書では「ローカルコンタクト」と称される。図2に示されるように、ローカルコンタクトは、NANDストリングコンタクト238、スリット構造コンタクト240、及び、ワード線コンタクト242を含むことができる。TAC236はまた、本開示においてローカルコンタクトと見なされ得る。本明細書で使用される「コンタクト」という用語は、垂直相互接続アクセス（例えば、ビア）及び横方向ライン（例えば、相互接続線）を含む任意の適切なタイプの相互接続を広く含むことができる。

#### 【0053】

いくつかの実施形態では、各々のローカルコンタクトの端部（例えば、上端）は、例えば、ローカルコンタクトが形成される誘電体層の上面上で、互いに同一面にある。各々のローカルコンタクトの別の端部（例えば下端）は、それぞれのメモリアレイ構造と接触していてもよい。例えば、NANDストリングコンタクト238の下端は、NANDストリング204のエッチング停止プラグ226に接触することができ、スリット構造コンタクト240の下端は、スリット構造228の上端に接触することができる。各々のワード線コンタクト242の下端は、階段構造212のそれぞれのレベルの上部導体層206（ワード線）に接触することができる。各々のローカルコンタクトは、W、Co、Cu、Al、シリサイド、又は、それらの任意の組合せを含むが、それらに限定されない導体材料で満たされた開口部（例えば、ビアホール又はトレンチ）を含むことができる。以下で詳細に説明するように、ローカルコンタクトの一部又は全てを単一のコンタクト形成プロセスで同時に形成することができる。

#### 【0054】

図2に示されるように、ローカルコンタクトに加えて、3Dメモリデバイス200は、その相互接続構造の一部として、コンタクト層244及び相互接続導体層246をさらに含む。コンタクト層244は、誘電体層、及び、誘電体層内の複数のコンタクト248（例えば、ビア）を含むことができる。相互接続導体層246は、コンタクト層244上に形成することができ、誘電体層、及び、誘電体層内の複数のコンタクト250（例えば、相互接続線）を含むことができる。ローカルコンタクト、コンタクト層244のコンタクト248、及び、相互接続導体層246のコンタクト250は、本明細書では、3Dメモリデバイス200の相互接続構造と総称することができる。

#### 【0055】

いくつかの実施形態では、コンタクト層244内の各々のコンタクト248の端部（例えば、上端）は、例えば、コンタクト248が形成される誘電体層の上面上で、互いに同一面にあり、コンタクト層244内の各コンタクト248の別の端部（例えば、下端）は、例えば、コンタクト層244内の誘電体層の底面上で互いに同一面にある。各コンタクト248の下端は、それぞれのローカルコンタクトの上端に接触することができる。各々のコンタクト248は、W、Co、Cu、Al、シリサイド、又は、それらの任意の組合せを含むが、これらに限定されない導体材料で満たされた開口部（例えば、ビアホール）を含むことができる。以下で詳細に説明するように、全てのコンタクト248を単一のコンタクト形成プロセスで同時に形成することができる。

#### 【0056】

いくつかの実施形態では、相互接続導体層246内の各々のコンタクト250の端部（例えば、上端）は、例えば、コンタクト250が形成される誘電体層の上面上で互いに同一面にあり、相互接続導体層246の各々のコンタクト250の別の端部（例えば、下端）は、例えば、相互接続導体層246の誘電体層の底面上で互いに同一面にある。各々のコンタクト250の下端は、それぞれのコンタクト248の上端と接触することができる。各々のコンタクト250は、W、Co、Cu、Al、シリサイド、又は、それらの任意の組合せを含むが、これらに限定されない導体材料で満たされた開口部（例えば、トレンチ）を含むことができる。以下に詳細に説明するように、全てのコンタクト250は、単一のコンタクト形成プロセスで同時に形成することができる。

#### 【0057】

いくつかの実施形態では、相互接続導体層 246 のコンタクト 250 は、対応するコンタクト 248 及び NAND ストリングコンタクト 238 によってそれぞれ NAND ストリング 204 に電氣的に接続され、対応する NAND ストリング 204 を個別にアドレス指定するビットライン 252 を含む。スリット構造 228 (ソースコンタクト) に電氣的に接続されたソースライン、TAC 236 に電氣的に接続された相互接続線、及び、階段構造 212 のワード線 206 に電氣的に接続された相互接続線をさらに含むことができる。3D メモリデバイス 200 の相互接続層の数が図 2 の例によって限定されないことが理解されるべきである。3D メモリデバイス 200 の所望の相互接続構造を提供するために、コンタクトを備えた追加の相互接続層を形成することができる。

**【0058】**

図 3 は、本開示のいくつかの実施形態による、3D メモリデバイスを形成するための例示的な方法 300 のフローチャートである。図 4 から図 10 は、本開示のいくつかの実施形態による、3D メモリデバイスを形成するための例示的な製造プロセスを示す図である。図 3 から図 10 に示された 3D メモリデバイスの例は、図 2 に示された 3D メモリデバイス 200 である。方法 300 に示された動作は網羅的ではなく、図示された動作の前、後又は間に他の動作を実行できることを理解されたい。

**【0059】**

図 3 を参照すると、方法 300 は、交互誘電体スタックが基板上に形成される動作 302 で開始する。基板は、シリコン基板であり得る。図 4 に示されるように、交互誘電体スタック 214 は、基板 202 に形成される。複数の第 1 の誘電体層 232 及び第 2 の誘電体層 234 の対を基板 202 に形成して、交互誘電体スタック 214 を形成することができる。いくつかの実施形態では、各々の誘電体層対は、窒化シリコン及び酸化シリコンの層を含む。交互誘電体スタック 214 は、CVD、PVD、ALD、又は、それらの任意の組合せを含むが、これらに限定されない 1 つ以上の薄膜堆積プロセスによって形成することができる。

**【0060】**

方法 300 は、図 3 に示されるように、交互の誘電体スタックに階段構造が形成される動作 304 に進む。いくつかの実施形態では、交互誘電体スタック 214 の少なくとも片側 (横方向) でトリムエッチングプロセスを実行して、複数レベルの階段構造を形成することができる。各々のレベルは、第 1 の誘電体層 232 及び第 2 の誘電体層 234 が交互になった 1 つ以上の誘電体層対を含むことができる。

**【0061】**

方法 300 は、図 3 に示されるように、チャンネル構造及びバリア構造が形成される動作 306 に進む。チャンネル構造及びバリア構造の各々は、交互誘電体スタックを通して垂直に延びることができる。図 4 に示されるように、チャンネル構造 218 は、交互誘電体スタック 214 を通して形成される。いくつかの実施形態では、エピタキシャルプラグ 224 は、基板 202 からの単結晶シリコンのエピタキシャル成長によって形成される。チャンネル構造 218 は、エピタキシャルプラグ 224 上に形成することができる。

**【0062】**

いくつかの実施形態では、チャンネル構造 218 を形成する製造方法は、例えば、湿式エッチング及び/又は乾式エッチングによって、交互誘電体スタック 214 を通って垂直に延びるチャンネル穴を形成することをさらに含む。いくつかの実施形態では、チャンネル構造 218 を形成する製造方法は、半導体チャンネル 220 と交互誘電体スタック 214 の誘電体層対との間に半導体チャンネル 220 及びメモリフィルム 222 を形成することをさらに含む。半導体チャンネル 220 は、ポリシリコンなどの半導体材料を含むことができる。メモリフィルム 222 は、トンネル層、記憶層及びブロッキング層の組合せ等の複合誘電体層であり得る。

**【0063】**

トンネル層は、酸化シリコン、窒化シリコン、酸窒化シリコン、又は、それらの任意の組合せを含むが、これらに限定されない誘電材料を含むことができる。半導体チャンネルから

10

20

30

40

50

の電子又は正孔は、トンネル層を介して記憶層にトンネルできる。記憶層は、メモリ動作のために電荷を貯蔵するための材料を含むことができる。記憶層材料には、窒化シリコン、酸窒化シリコン、酸化シリコンと窒化シリコンの組合せ、又は、それらの任意の組合せが含まれるが、これらに限定されない。ブロッキング層は、酸化シリコン又は酸化シリコン/窒化シリコン/酸化シリコン(ONO)の組合せを含むが、これらに限定されない誘電体材料を含むことができる。ブロッキング層は、酸化アルミニウム( $Al_2O_3$ )層などの高k誘電体層をさらに含むことができる。半導体チャンネル220及びメモリフィルム222は、ALD、CVD、PVD、任意の他の適切なプロセス、又は、それらの任意の組合せなどの1つ以上の薄膜堆積プロセスによって形成することができる。

#### 【0064】

いくつかの実施形態では、バリア構造235を形成する製造方法は、チャンネル構造218を形成する製造方法と同様に同時に実行され、それにより、製造の複雑さとコストを低減する。チャンネル構造218及びバリア構造235の開口部が交互誘電体スタック214を通して形成された後、1つ以上の薄膜堆積プロセスを実行して、チャンネル構造218及びバリア構造235の開口部を同時に満たすことができる。結果として、ポリシリコン、酸化シリコン、窒化シリコン、及び、高k誘電体など、チャンネル構造218を満たす材料の1つ以上を含むことができる。いくつかの実施形態では、バリア構造235は、酸化シリコン及び窒化シリコンで充填されている。いくつかの実施形態では、チャンネル構造218を充填する材料とは異なる材料でバリア構造235を充填できるように、チャンネル構造218及びバリア構造235は異なる製造段階で形成されることが理解される。バリア構造235を形成することによって、交互誘電体スタック214は、少なくともバリア構造235によって横方向に囲まれた内側領域402(いくつかの実施形態では交互誘電体スタック214の端部と関連する)と、チャンネル構造218が形成される外側領域404との2つの領域に分けることができる。

#### 【0065】

いくつかの実施形態では、ダミーチャンネル構造(図4から図10には図示せず、例えば図1Aから図1Bのダミーチャンネル構造122)は、チャンネル構造218と同時に形成される。ダミーチャンネル構造は、交互層スタックを通して垂直に延びることができ、チャンネル構造218の材料と同じ材料で充填することができる。チャンネル構造218とは異なり、3Dメモリデバイスの他の構成要素との電気的接続を提供するためにダミーチャンネル構造上にコンタクトが形成されない。したがって、ダミーチャンネル構造は、3Dメモリデバイスのメモリセルを形成するために使用することができない。

#### 【0066】

方法300は、図3に示されるように、エッチング停止層がチャンネル構造上に形成される動作308に進む。図5に示されるように、各々のチャンネル構造218にリセス502が形成される。リセス502は、誘電体層(例えば、酸化シリコン層)及びチャンネル構造218の上部の湿式エッチング及び/又は乾式エッチングにより形成できる。図6に示されるように、エッチング停止層226(本明細書では各々のチャンネル構造218の「エッチング停止プラグ」と呼ぶ)は、ALD、CVD、PVD、他の適切なプロセス、又は、それらの組合せなどの1つ以上の薄膜堆積プロセスを使用してリセス502を充填することによって、チャンネル構造218上に形成される。いくつかの実施形態では、リセス502を充填するためにポリシリコンが堆積され、続いてCMPプロセスが行われて過剰なポリシリコンが除去され、上部誘電体層の上面が平坦化される。いくつかの実施形態では、Ti/TiN/Wなどの複合金属層を堆積させてリセス502を充填し、続いてCMPプロセスにより過剰な金属層を除去し、上部誘電体層の上面を平坦化する。

#### 【0067】

方法300は、図3に示されるように、スリットが形成され、交互誘電体スタックの一部の第1の誘電体層が、スリットを通して導体層に置き換えられる動作310に進む。例えば、スリット構造228のスリット(図7に示す)は、外側領域404(例えば、図6に示されるように)の交互誘電体スタック214を介して誘電体(例えば、酸化シリコン及

10

20

30

40

50

び窒化シリコン)の湿式エッチング及び/又は乾式エッチングによって最初に形成される。いくつかの実施形態では、次いで、例えばスリットを通したイオン注入及び/又は熱拡散によって、各々のスリットの下基板202にドーブ領域230が形成される。いくつかの実施形態によれば、ドーブ領域230が、例えばスリットの形成前の初期の製造段階で形成され得ることが理解される。

#### 【0068】

いくつかの実施形態では、形成されたスリットは、交互誘電体スタック214の外側領域404で第2の誘電体層234(図6に示される。例えば、窒化シリコン)を導電層206(図7に示される。例えば、W)で置換するゲート置換プロセス(「ワード線置換」プロセスとしても知られる)に使用される。図7に示されるように、ゲート置換は、バリア構造235の形成により、交互誘電体スタック214の外側領域404でのみ起こり、内側領域402では起こらない。バリア構造235は、交互誘電体スタック214の内側領域402の第2の誘電体層234(例えば、窒化シリコン)のエッチングを防ぐことができる。なぜなら、バリア構造235は、ゲート置換プロセスのエッチング段階ではエッチングできない材料で充填されているからである。その結果、ゲート置換プロセスの後、図1から図6の誘電体スタック214は、外側領域404に交互導体/誘電体スタック210を含み、内側領域402に交互誘電体スタック214を含む交互層スタック216になる。導電層206との第2の誘電体層234の置換は、第1の誘電体層232(例えば、酸化シリコン)に選択的である第2の誘電体層234(例えば、窒化シリコン)を湿式エッチングし、導電層206(例えば、W)でその構造体を充填することによって実行することができる。導電層206は、PVD、CVD、ALD、任意の他の適切なプロセス、又は、それらの任意の組合せによって充填することができる。導電層206は、W、Co、Cu、Al、ポリシリコン、シリサイド、又は、それらの任意の組合せを含むが、これらに限定されない導体材料を含むことができる。ゲート交換後、NANDストリング204を形成することができ、その各々は、チャンネル構造218、エピタキシャルプラグ224、各々のエッチング停止プラグ226、及び、複数の制御ゲート及び選択ゲート(例えば、周囲の導電層206)を含み得る。

#### 【0069】

方法300は、図3に示されるように、スリット構造が形成される動作312に進む。図7に示されるように、スリット構造228は、PVD、CVD、ALD、任意の他の適切なプロセス、又は、それらの任意の組合せにより導体材料をスリットに充填(例えば、堆積)することにより形成できる。スリット構造228は、W、Co、Cu、Al、ポリシリコン、シリサイド、又は、それらの任意の組合せを含むが、これらに限定されない導体材料を含むことができる。いくつかの実施形態では、絶縁目的のために、スリット構造228の導体材料と交互導体/誘電体スタック210のスリット構造228を囲む導電層206との間に誘電体層(例えば、酸化シリコン層)が最初に形成される。スリット構造228の下端は、ドーブ領域230に接触することができる。いくつかの実施形態では、スリット構造228は、基板202のドーブ領域230によってNANDストリング204に電氣的に接続されるソースコンタクトとして機能する。図7に示されるように、いくつかの実施形態では、各々のスリット構造228の上端は、各々のエッチング停止プラグ226の上端(例えば、エッチング停止プラグ226及びスリット構造228が形成される誘電体層の上面)と同一面にある。

#### 【0070】

方法300は、図3に示されるように、複数の第1のコンタクト(例えば、ローカルコンタクト)が形成される動作314に進む。図8に示されるように、誘電体層802は、ALD、CVD、PVD、任意の他の適切なプロセス、又は、それらの任意の組合せなどの1つ以上の薄膜堆積プロセスによって形成され得る。誘電体層802は、酸化シリコン、窒化シリコン、酸窒化シリコン、又は、それらの任意の組合せを含むが、これらに限定されない誘電体材料を含むことができる。ローカルコンタクト(NANDストリングコンタクト238、ゲートスリットコンタクト240、及び、上部ワードラインコンタクト24

10

20

30

40

50



2 - 1を含む)は、最初に垂直開口部をエッチングし(例えば、湿式エッチング及び/又は乾式エッチングにより)、続いて、ALD、CVD、PVD、その他の適切なプロセス、又は、それらの組合せを使用して、開口部を導体材料で充填することにより誘電体層802を介して形成され得る。ローカルコンタクトを充填するために使用される導体材料には、W、Co、Cu、Al、ポリシリコン、シリサイド、又は、それらの任意の組合せが含まれるが、これらに限定されない。いくつかの実施形態では、他の導体材料は、開口部に充填されて、バリア層、接着層、及び/又は、シード層として機能する。ローカルコンタクトの開口部を形成するための誘電体層のエッチングは、様々な材料でのエッチストップにより制御できる。例えば、NANDストリングコンタクト238の場合、半導体及び/又は金属材料で充填されたエッチング停止層226は、チャンネル構造218へのさらなるエッチングを防ぐことができる。ゲートスリットコンタクト240及び上部ワード線コンタクト242-1に関して、誘電体層のエッチングは、スリット構造228及びワード線206の上端に達すると停止する。

10

#### 【0071】

図8に示すように、NANDストリングコンタクト238、スリット構造コンタクト240、及び、1つ以上の上部ワード線コンタクト242-1は、誘電体層802の上面に近い(すなわち、他のワード線コンタクト242と比較して長さが短い)。NANDストリングコンタクト238の下端は、エッチング停止プラグ226の上端に接触することができる。スリット構造コンタクト240の下端は、スリット構造228の上端に接触することができる。図8はまた、ゲート置換後の各々のレベルに導体層206を備えた階段構造212を示している。各々の上部ワード線コンタクト242-1の下端は、階段構造212の1つのレベルの対応する導体層206(ワード線)に接触することができる。

20

#### 【0072】

ローカルコンタクト(NANDストリングコンタクト238、スリット構造コンタクト240、及び、上部ワードラインコンタクト242-1を含む)は、同じコンタクト形成プロセスで同時に形成することができる。コンタクト形成プロセスが、複数のプロセス、例えば、フォトリソグラフィ、エッチング、薄膜堆積、及び、CMPを含むことができることが理解される。一部の実施形態では、コンタクト形成プロセスの各々のプロセスは、NANDストリングコンタクト238、スリット構造コンタクト240、及び、上部ワードラインコンタクト242-1の全てに対して一度だけ実行される必要がある。例えば、単一のリソグラフィプロセスを実行して、NANDストリングコンタクト238、スリット構造コンタクト240、及び、上部ワードラインコンタクト242-1の全ての開口部のマスクをパターンニングすることができる。単一のエッチングプロセスを実行して、NANDストリングコンタクト238、スリット構造コンタクト240、及び、上部ワードラインコンタクト242-1の全ての開口部をエッチングすることができる。単一の堆積プロセスを実行して、NANDストリングコンタクト238、スリット構造コンタクト240、及び、上部ワード線コンタクト242-1の全ての開口部を同じ導体材料で満たすことができる。

30

#### 【0073】

図9に示されるように、いくつかの実施形態では、ローカルコンタクトの第1の組(図8に示されるようにNANDストリングコンタクト238、スリット構造コンタクト240、上部ワードラインコンタクト242-1を含む)を形成した後、TAC236及び基板202に近い(すなわち、上部ワード線コンタクト242-1と比較してより長い長さを有する)下部ワード線コンタクト242-2を含むローカルコンタクトの第2の組を形成する。TAC236及び下部ワード線コンタクト242-2は、最初に垂直開口部をエッチングし(例えば、湿式エッチング及び/又は乾式エッチングによって)、続いてALD、CVD、PVD、他の適切なプロセス、又は、それらの組合せを用いて開口部を導体で充填することによって誘電体層802を介して形成される。ローカルコンタクトの充填に使用される導体材料には、W、Co、Cu、Al、ポリシリコン、シリサイド、又は、それらの任意の組合せが含まれるが、これらに限定されない。いくつかの実施形態では、

40

50

他の導体材料も使用して開口部を充填し、バリア層、接着層、及び/又は、シード層として機能する。

【0074】

TAC236は、交互誘電体スタック214の厚さ全体をエッチングすることによって形成することができる。交互誘電体スタック214は、酸化シリコン及び窒化シリコンなどの誘電体の交互層を含むので、TAC236の開口部は、誘電材料の深掘りエッチングによって（たとえば、深掘り反応性イオンエッチング（DRIE）プロセス又は他の適切な異方性エッチングプロセスによって）形成することができる。いくつかの実施形態では、ゲート置換後にTAC236が形成されるが、ゲート置換プロセスの影響を受けない（交互導体/誘電体スタック210に変化しない）交互誘電体スタック214の領域を確保することによって、TAC236は、依然として誘電体層を通して（導体層を通過せずに）形成され、それは、製造プロセスを簡素化し、コストを削減する。さらに、TAC236は、ゲート置換後でも比較的容易に形成できるため、TAC236は、同じコンタクト形成プロセスで他のローカルコンタクトの一部又は全てとともに形成して、製造の複雑さ及びコストをさらに削減できる。

10

【0075】

いくつかの実施形態では、TAC236の下端は、基板202に接触することができる。図9に示されるように、TAC236は、基板202の少なくとも一部を通してさらに延びることができる。各々の下部ワード線コンタクト242-2の下端は、階段構造212の1つのレベルの対応する導体層206（ワード線）に接触することができる。すべてのローカルコンタクトの上端（図8及び図9で形成されたローカルコンタクトの第1及び第2の組の両方を含む）は、誘電体層802の上面で互いに同一面になることができる。ローカルコンタクトの第2の組（TAC236及び上部ワード線コンタクト242-2を含む）は、ローカルコンタクトの第1の組の形成後、同じコンタクト形成プロセスで同時に形成することができる。すなわち、全てのローカルコンタクト（ローカルコンタクトの第1及び第2の組の両方を含む）は、図8及び図9に示されるような2つのコンタクト形成プロセスで形成され得る。

20

【0076】

いくつかの実施形態では、全てのローカルコンタクト（ローカルコンタクトの第1及び第2の組の両方を含む）は、単一のコンタクト形成プロセスで同時に形成できることが理解される。すなわち、図8及び図9に示された2つのコンタクト形成プロセスは、単一のコンタクト形成プロセスに組み合わせることができる。いくつかの実施形態では、コンタクト形成プロセスの各々のプロセスは、NANDストリングコンタクト238、スリット構造コンタクト240、TAC236、上部ワードラインコンタクト242-1、及び、下部ワードラインコンタクト242-2の全てに対して一度実行される必要がある。例えば、単一のリソグラフィプロセスを実行して、NANDストリングコンタクト238、スリット構造コンタクト240、TAC236、並びに、上部及び下部ワードラインコンタクト242-1及び242-2の全ての開口部のマスクをパターンニングすることができる。単一のエッチングプロセスを実行して、NANDストリング接点238、スリット構造接点240、TAC236、並びに、上部及び下部ワード線接点242-1及び242-2の全ての開口部をエッチングすることができる。単一の堆積プロセスを実行して、NANDストリングコンタクト238、スリット構造コンタクト240、TAC236、並びに、上部及び下部ワードラインコンタクト242-1及び242-2の両方の開口部を全て同じ導体材料で充填することができる。

30

40

【0077】

方法300は、図3に示されるように、コンタクト層に複数の第2のコンタクトが形成される動作316に進む。図10に示されるように、コンタクト層244（誘電体層1002及びコンタクト248を含む）は、誘電体層802の上に形成される。各々のコンタクト248の上端は、誘電体層1002の上面で互いに同一面にあり得、各々のコンタクト248の下端は、誘電体層1002の底面で互いに同一面にあり得る。誘電体層1002

50

は、ALD、CVD、PVD、任意の他の適切なプロセス、又は、それらの任意の組合せなどの1つ以上の薄膜堆積プロセスによって形成することができる。誘電体層1002は、酸化シリコン、窒化シリコン、酸窒化シリコン、又は、それらの任意の組合せを含むが、これらに限定されない誘電体材料を含むことができる。コンタクト248は、最初に垂直開口部をエッチングし（例えば、湿式エッチング及び/又は乾式エッチングによって）、続いてALD、CVD、PVD、任意の他の適切なプロセス、又は、任意の組合せを用いて導体材料で開口部を充填することによって誘電体層1002を介して形成される。コンタクト248を充填するために使用される導体材料は、W、Co、Cu、Al、ポリシリコン、シリサイド、又は、それらの任意の組合せを含むことができるが、これらに限定されない。いくつかの実施形態では、他の導体材料を使用して開口部を充填し、バリア層、接着層、及び/又は、シード層として機能する。

10

#### 【0078】

図10に示すように、各々のコンタクト248の下端は、対応するローカルコンタクト、例えば、NANDストリングコンタクト238、スリット構造コンタクト240、TAC236、又は、ワードラインコンタクト242の上端に接触することができる。いくつかの実施形態では、コンタクト層244のコンタクト248は、同じコンタクト形成プロセスで同時に形成することができる。いくつかの実施形態では、各々のコンタクト248は、ビアであり、コンタクト層244は、3Dメモリデバイス200の相互接続構造の「V0」レベルと呼ぶことができる。

#### 【0079】

方法300は、図3に示されるように、相互接続導体層に複数の第3のコンタクトが形成される動作318に進む。図10に示されるように、相互接続導体層246（誘電体層1004及びコンタクト250を含む）は、コンタクト層244に形成される。各々のコンタクト250の上端は、誘電体層1004の上面で互いに同一面にあり得、各々のコンタクト250の下端は、誘電体層1004の底面で互いに同一面であり得る。誘電体層1004は、ALD、CVD、PVD、任意の他の適切なプロセス、又は、それらの任意の組合せなどの1つ以上の薄膜堆積プロセスによって形成され得る。誘電体層1004は、酸化シリコン、窒化シリコン、酸窒化シリコン、又は、それらの任意の組合せを含むが、これらに限定されない誘電体材料を含むことができる。コンタクト250は、最初に垂直開口部をエッチングし（例えば、湿式エッチング及び/又は乾式エッチングによって）、続いてALD、CVD、PVD、他の適切なプロセス、又は、任意の組合せを使用して開口部を導体材料で充填することによって誘電体層1004を介して形成することができる。コンタクト250を充填するために使用される導体材料は、W、Co、Cu、Al、ポリシリコン、シリサイド、又は、それらの任意の組合せを含むことができるが、これらに限定されない。いくつかの実施形態では、他の導体材料を使用して開口部を充填し、バリア層、接着層、及び/又は、シード層として機能する。

20

30

#### 【0080】

図10に示されるように、各々のコンタクト250の下端は、コンタクト層244内の対応するコンタクト248の上端に接触することができる。各々のコンタクト250は、NANDストリング204、スリット構造228、基板202、及び、ワードラインなどの対応するメモリアレイ構造に電氣的に接続することができる。いくつかの実施形態では、相互接続導体層246内の全てのコンタクト250は、同じコンタクト形成プロセスで同時に形成することができる。いくつかの実施形態では、各々のコンタクト250は、相互接続線であり、相互接続導体層246は、3Dメモリデバイス200の相互接続構造の「M0」レベルと呼ぶことができる。いくつかの実施形態では、コンタクト248及びコンタクト250は、Cuコンタクトを形成するためのデュアルダマシンプロセスなどのシングルコンタクト形成プロセスで形成される。それにもかかわらず、図8及び図9に示されるように、ローカルコンタクト並びにコンタクト248及び250を含む相互接続構造は、限られた数の製造段階で形成され、製造の複雑さ及びコストを低減することができる。

40

#### 【0081】

50

図 1 1 は、本開示のいくつかの実施形態による、3 Dメモリデバイスを形成するための例示的な方法 1 1 0 0 のフローチャートである。図 1 1 で説明される 3 Dメモリデバイスの例は、図 2 に示される 3 Dメモリデバイス 2 0 0 である。方法 1 1 0 0 に示された動作は網羅的ではなく、図示された動作の何れかの前、後又は間に他の動作を実行できることを理解されたい。

【 0 0 8 2 】

図 1 1 を参照すると、方法 1 1 0 0 は、交互導体 / 誘電体スタックが形成される動作 1 1 0 2 で開始する。交互導体 / 誘電体スタックは、階段構造を含むことができる。方法 1 1 0 0 は、動作 1 1 0 4 に進み、NANDストリング及びスリット構造が形成される。NANDストリング及びスリット構造の各々は、交互導体 / 誘電体スタックを通して垂直に延びることができる。方法 1 1 0 0 は、各々の第 1 のコンタクトのそれぞれの第 1 の端部で互いに同一面にある複数の第 1 のコンタクト（例えば、ローカルコンタクト）が形成される動作 1 1 0 6 に進む。階段構造、NANDストリング、及び、スリット構造の交互導体 / 誘電体スタックの第 1 の導体層の各々は、複数の第 1 のコンタクトのそれぞれの第 2 の端部に接触している。方法 1 1 0 0 は、複数の第 2 のコンタクトを含むコンタクト層が形成される動作 1 1 0 8 に進む。複数の第 2 のコンタクトは、各々の第 2 のコンタクトのそれぞれの第 1 の端部及びそれぞれの第 2 の端部で互いに同一面であることができる。複数の第 2 のコンタクトの各々は、複数の第 1 のコンタクトのそれぞれの 1 つに接触することができる。方法 1 1 0 0 は、複数の相互接続線（例えば、ビット線）を含む相互接続導体層が形成される動作 1 1 1 0 に進む。複数の第 2 のコンタクトの各々は、複数の相互接続線のそれぞれの 1 つに接触することができる。

10

20

【 0 0 8 3 】

図 1 2 は、本開示のいくつかの実施形態による、3 Dメモリデバイスを形成するための別の例示的な方法 1 2 0 0 のフローチャートである。図 1 2 で説明された 3 Dメモリデバイスの例は、図 2 に示された 3 Dメモリデバイス 2 0 0 である。方法 1 2 0 0 に示された動作は網羅的ではなく、図示された動作の前、後又は間に他の動作を実行できることを理解されたい。

【 0 0 8 4 】

図 1 2 を参照すると、方法 1 2 0 0 は、交互層スタックが基板上に形成される操作 1 2 0 2 で開始する。方法 1 2 0 0 は、バリア構造が形成される動作 1 2 0 4 に進む。バリア構造は、横方向に、交互層スタックが複数の誘電体層対を含む交互誘電体スタックと、複数の導体 / 誘電体層対を含む交互導体 / 誘電体スタックとに分離されるように、交互層スタックを通して垂直に延びることができる。方法 1 2 0 0 は、NANDストリングが形成される動作 1 2 0 6 に進む。NANDストリングは、交互導体 / 誘電体スタックを通して垂直に延びることができる。方法 1 2 0 0 は、第 1 のコンタクトが形成される動作 1 2 0 8 に進む。第 1 のコンタクトは、2 つの端部を含むことができ、その一方は、NANDストリングに接触することができる。方法 1 2 0 0 は、TACが形成される動作 1 2 1 0 に進む。TACは、交互誘電体スタックを通して垂直に延びることができる。TACは、第 1 のコンタクトの端部と同じ高さの端部を含むことができる。

30

【 0 0 8 5 】

本開示による様々な実施形態は、メモリアレイ用の相互接続構造を備えた 3 Dメモリデバイスを提供する。相互接続構造により、様々なメモリアレイ構造（例えば、NANDストリング、ゲートラインスリット、ワードラインなど）へのコンタクトを限られた数の段階（例えば、単一の段階又は 2 段階）で製造でき、プロセスの複雑さと製造コストを削減する。いくつかの実施形態では、本明細書に開示される相互接続構造は、上部相互接続導体層にビット線を含み、異なる基板上に形成されたアレイデバイス及び周辺デバイスが向かい合わせでハイブリッドボンディングによって接合される 3 Dメモリアーキテクチャに適している。

40

【 0 0 8 6 】

さらに、本明細書で開示される相互接続構造は、スタックアレイデバイスと周辺デバイス

50

との間の垂直相互接続を提供するためのTACを含むことができ(例えば、電力バス及び金属ルーティング用)、それによって金属レベルを低減し、ダイサイズを縮小する。いくつかの実施形態では、本明細書で開示される相互接続構造のTACは、交互誘電体層のスタックと比較して、より容易にエッチングされてスルーホールを形成することができる交互誘電体層のスタックを介して形成される。

【0087】

いくつかの実施形態では、NANDメモリデバイスは、基板と、階段構造を含む、基板上の交互層スタックと、交互層スタックを通して垂直に延びるバリア構造とを含む。交互層スタックは、少なくともバリア構造によって横方向に囲まれた複数の誘電体層対を含む交互誘電体スタックと、複数の導体/誘電体層対を含む交互導体/誘電体スタックを含む。メモリデバイスは、交互導体/誘電体スタックを通して各々が垂直に延びるチャンネル構造及びスリット構造、チャンネル構造の端部上のエッチング停止層、及び、複数の第1のコンタクトをさらに含む。階段構造内の導体層、エッチング停止層、及び、スリット構造の各々は、複数の第1のコンタクトのそれぞれの1つに接触している。

10

【0088】

いくつかの実施形態では、3Dメモリデバイスは、基板、階段構造を含む、基板上の交互導体/誘電体スタック、交互導体/誘電体スタックを通して各々が垂直に延びるNANDストリング及びスリット構造、各々の第1のコンタクトのそれぞれの第1の端部で互いに同一面にある複数の第1のコンタクトを含む。階段構造の交互導体/誘電体スタックの導体層、NANDストリング、及び、スリット構造の各々は、複数の第1のコンタクトのそれぞれの第2の端部に接触している。

20

【0089】

いくつかの実施形態では、3Dメモリデバイスは、基板、基板上の交互層スタック、及び、交互層スタックを通して垂直に延びるバリア構造を含む。バリア構造は、交互層スタックを横方向に、複数の誘電層対を含む交互誘電体スタックと、複数の導体/誘電層対を含む交互導体/誘電体スタックとに分離する。メモリデバイスはさらに、交互導体/誘電体スタックを通して垂直に延びるNANDストリング、交互誘電体スタックを通して垂直に延びるTAC、及び、TACの第1の端部と同一面にある第1の端部と、NANDストリングに接触する第2の端部とを含む第1のコンタクトを含む。

【0090】

いくつかの実施形態では、NANDメモリデバイスを形成する方法が開示される。交互誘電体スタックは、基板に形成される。交互誘電体スタックは、複数の誘電体層対を含み、各々の対は、第1の誘電体層と、第1の誘電体層とは異なる第2の誘電体層とを含む。第1の階段構造は、交互誘電体スタックに形成される。各々が交互誘電体スタックを通して垂直に延びるチャンネル構造及びバリア構造が形成される。バリア構造は、交互誘電体スタックを、少なくともバリア構造によって横方向に囲まれた第1の部分と、第1の階段構造を含む第2の部分とに分離する。エッチング停止層は、チャンネル構造の上端に形成される。スリットが形成される。交互誘電体スタックの第2の部分の第1の誘電体層は、複数の導体/誘電体層対を含む交互導体/誘電体スタックを形成するために、スリットを通る導体層で置き換えられる。スリット構造は、スリットに導体を堆積することによって形成される。複数の第1のコンタクトが形成される。第1の階段構造の交互導体/誘電体スタックの第1の導体層、エッチング停止層、及び、スリット構造の各々は、複数の第1のコンタクトの1つに接触している。

30

40

【0091】

いくつかの実施形態では、3Dメモリデバイスを形成する方法が開示される。階段構造を含む交互の導体/誘電体スタックが形成される。交互導体/誘電体スタックを通して各々が垂直に延びるNANDストリング及びスリット構造が形成される。第1のコンタクトの各々のそれぞれの第1の端部で互いに同一面で複数の第1のコンタクトが形成される。階段構造の交互導体/誘電体スタックの第1の導体層の各々、NANDストリング、及び、スリット構造は、複数の第1のコンタクトのそれぞれの第2の端部に接触している。

50

## 【 0 0 9 2 】

いくつかの実施形態では、3Dメモリデバイスを形成する方法が開示される。交互層スタックが基板に形成される。交互層スタックを通して垂直に延びるバリア構造が形成され、交互層スタックは、横方向に、複数の誘電体層対を含む交互誘電体スタックと、複数の導体/誘電体層を含む交互導体/誘電体スタックとに分離される。交互導体/誘電体スタックを通して垂直に延びるNANDストリングが形成される。NANDストリングに接触する第1の端部及び第2の端部を含む第1のコンタクトが形成される。交互誘電体スタックを通して垂直に延びるTACが形成される。TACは、第1のコンタクトの第1の端部と同一面にある第1の端部を含む。

## 【 0 0 9 3 】

特定の実施形態の前述の説明は、本開示の一般的性質を十分に明らかにするので、他の者は、当業者内の知識を適用することによって、本開示の一般的概念から逸脱することなく、過度な実験なしで、そのような特定の実施形態を様々な用途に容易に修正及び/又は適合することができる。したがって、本明細書に示された教示及び案内に基づく、そのような適合及び修正は、開示された実施形態の意味及び均等の範囲内にあると意図される。本明細書中の術語又は専門用語は、説明のためのものであり、限定のためのものではなく、本明細書の術語又は専門用語が教示及び案内に鑑みて当業者によって解釈されるようになっていることを理解されたい。

## 【 0 0 9 4 】

本開示の実施形態は、特定の機能及びそれらの関係の実施を示す機能的な構成ブロックを用いて上記説明されている。これらの機能的な構成ブロックの境界は説明を簡単にするために本明細書中に任意に定められたものである。特定の機能及びそれらの関係が適切に実行される限り、代替の境界が定められてもよい。

## 【 0 0 9 5 】

概要及び要約の章は、本発明者によって考えられた1つ又は複数の、しかし必ずしも全部ではない例示的な本開示の実施形態を述べることができ、したがって形はどうであれ本開示及び添付の特許請求の範囲を限定することが意図されるものではない。

## 【 0 0 9 6 】

本開示の広さ及び範囲は、上記の例示的な実施形態のいずれかによって限定されるべきではなく、添付の特許請求の範囲及びその均等物のみにより定められるべきである。

## 【 符号の説明 】

## 【 0 0 9 7 】

- 1 0 2 ワード線 ( W L ) T A C 領域
- 1 0 4 ビット線 ( B L ) T A C 領域
- 1 0 6 階段 T A C 領域
- 1 1 0 N A N D ストリング領域
- 1 1 2 N A N D ストリング
- 1 1 4 スリット構造
- 1 2 0 T A C 領域
- 1 2 2 ダミーチャネル構造
- 1 2 4 バリア構造
- 1 2 6 T A C
- 1 3 0 上部選択ゲート ( T S G ) 階段領域
- 1 3 2 T S G コンタクト
- 1 4 0 階段領域
- 1 4 2 ワード線コンタクト
- 2 0 0 3 D メモリデバイス
- 2 0 2 基板
- 2 0 4 N A N D ストリング
- 2 0 6 導体層

10

20

30

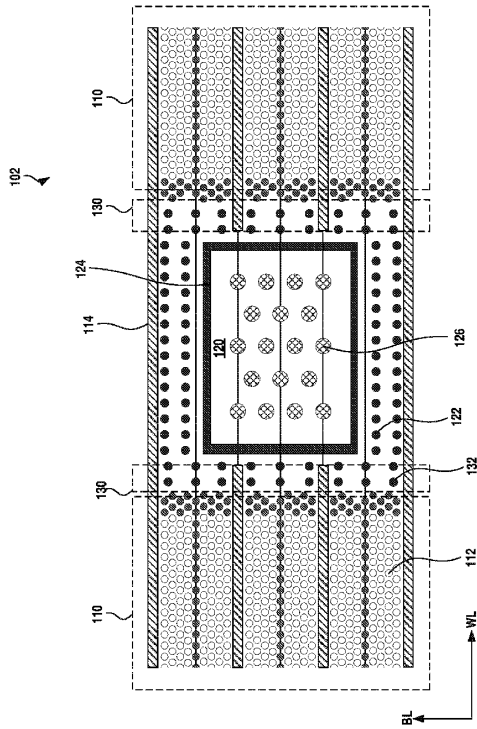
40

50

2 0 8	誘電体層	
2 1 0	交互導体 / 誘電体スタック	
2 1 2	階段構造	
2 1 4	交互誘電体スタック	
2 1 6	交互層スタック	
2 1 8	チャンネル構造	
2 2 0	半導体チャンネル	
2 2 2	メモリフィルム	
2 2 4	エピタキシャルプラグ	
2 2 6	エッチング停止プラグ	10
2 2 8	スリット構造	
2 3 0	ドープ領域	
2 3 2	誘電体層	
2 3 4	誘電体層	
2 3 5	バリア構造	
2 3 6	T A C	
2 3 8	N A N Dストリングコンタクト	
2 4 0	スリット構造コンタクト	
2 4 2	ワード線コンタクト	
2 4 2 - 1	上部ワード線コンタクト	20
2 4 2 - 2	下部ワード線コンタクト	
2 4 4	コンタクト層	
2 4 6	相互接続導体層	
2 4 8	コンタクト	
2 5 0	コンタクト	
2 5 2	ビットライン	
4 0 2	内側領域	
4 0 4	外側領域	
5 0 2	リセス	
8 0 2	誘電体層	30
1 0 0 2	誘電体層	
1 0 0 4	誘電体層	

【図面】

【図 1 A】



【図 1 B】

FIG. 1A

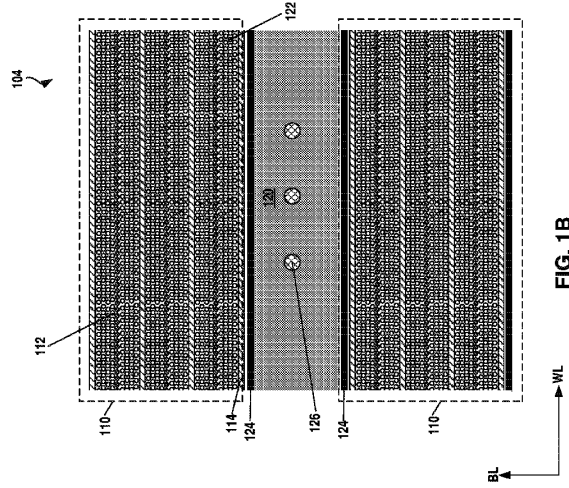
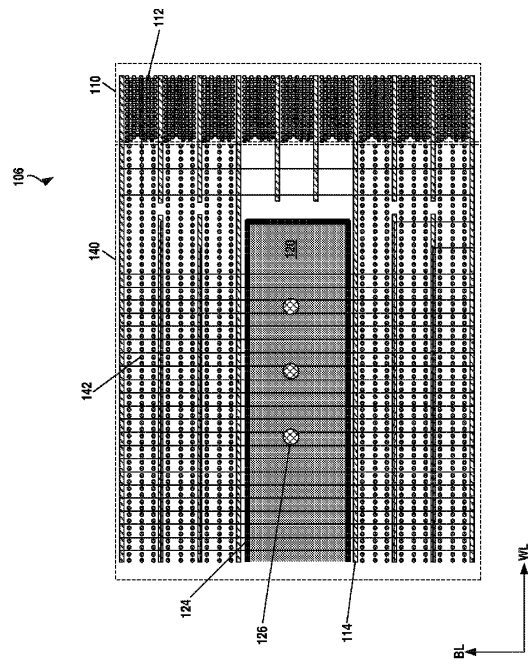


FIG. 1B

【図 1 C】



【図 2】

FIG. 1C

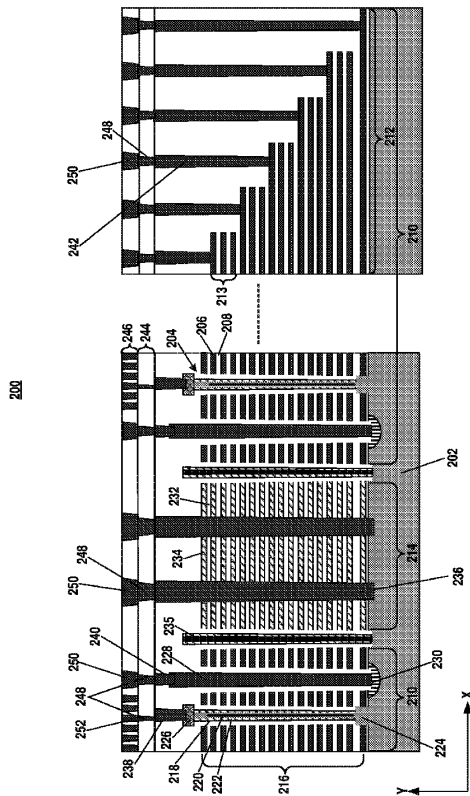


FIG. 2

10

20

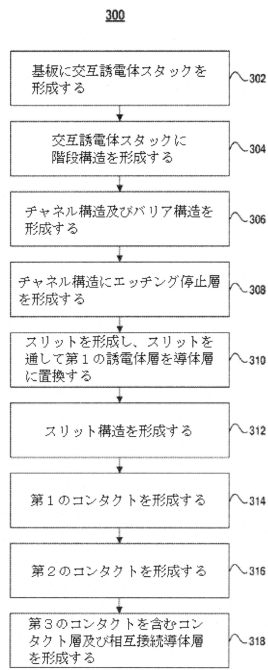
30

40

50



【 図 3 】



【 図 4 】

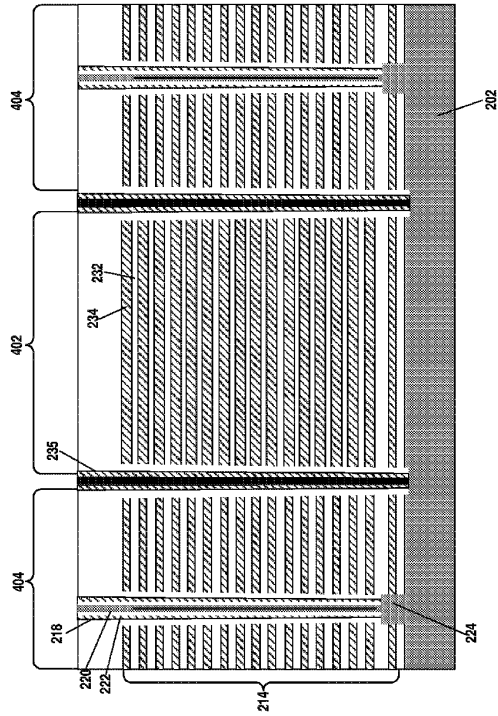


FIG. 4

10

20

【 図 5 】

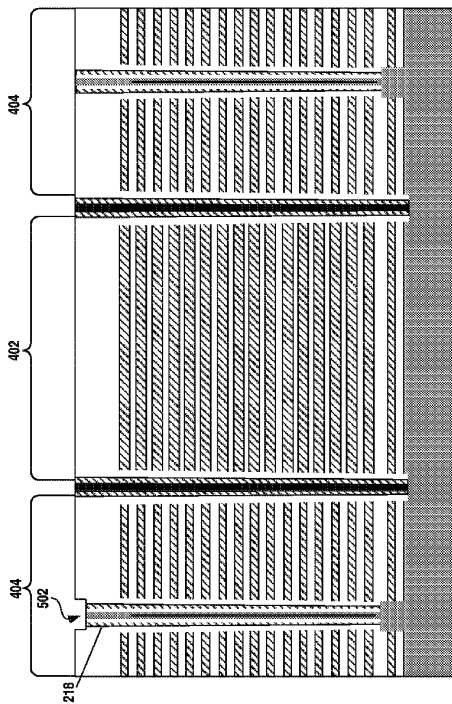


FIG. 5

【 図 6 】

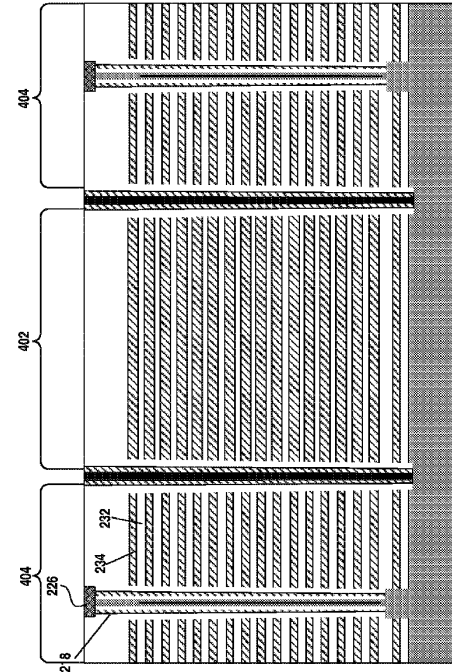


FIG. 6

30

40

50

【 7 】

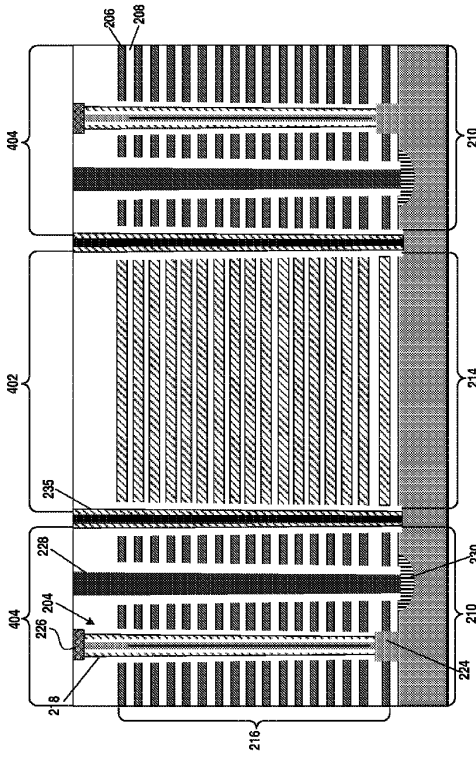


FIG. 7

【 8 】

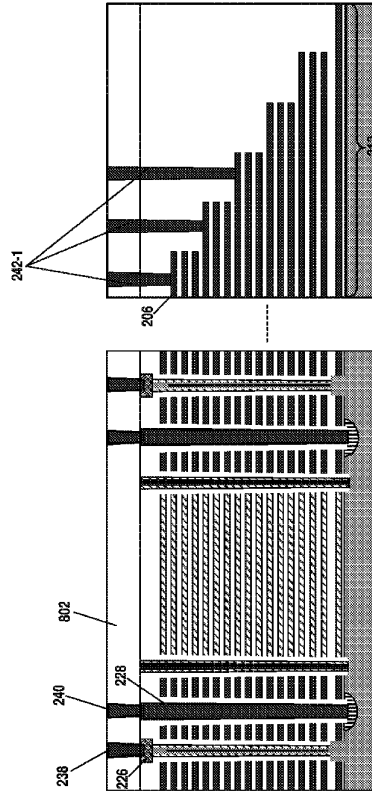


FIG. 8

【 9 】

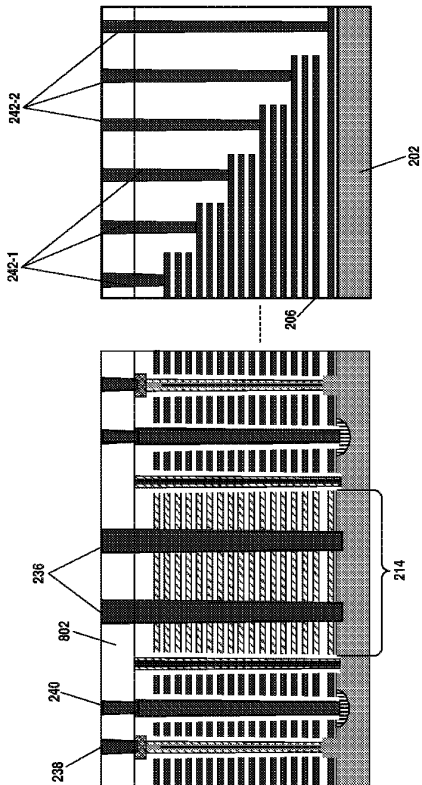


FIG. 9

【 10 】

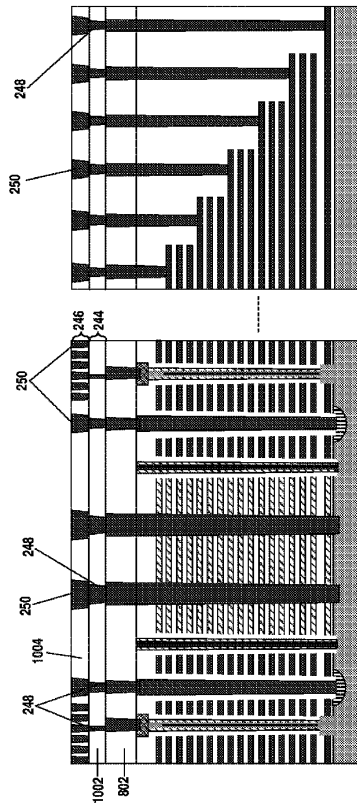


FIG. 10

10

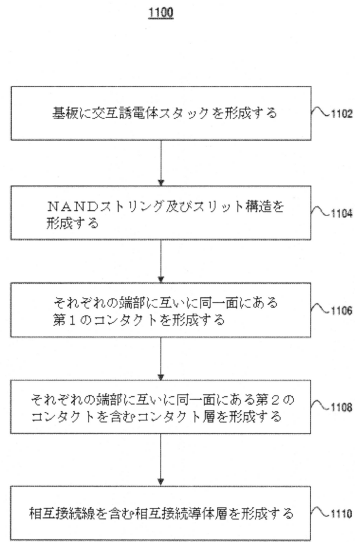
20

30

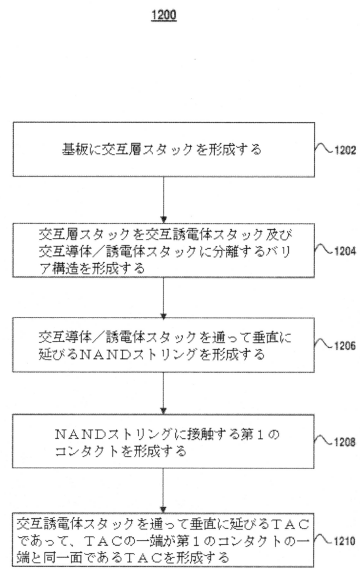
40

50

【図 1 1】



【図 1 2】



10

20

30

40

50

## フロントページの続き

(51)国際特許分類

F I

H 0 1 L 27/11575(2017.01)

(74)代理人 100133400

弁理士 阿部 達彦

(72)発明者

ジェンユ・ルー

中華人民共和国・フーペイ・430074・ウーハン・イースト・レイク・ハイ・テック・デヴェ  
ロップメント・ゾーン・グアンドン・サイエンス・アンド・テクノロジー・インダストリアル・パ  
ーク・フアングエン・ロード・ナンバー・18・ルーム・7018

(72)発明者

リドン・ソン

中華人民共和国・フーペイ・430074・ウーハン・イースト・レイク・ハイ・テック・デヴェ  
ロップメント・ゾーン・グアンドン・サイエンス・アンド・テクノロジー・インダストリアル・パ  
ーク・フアングエン・ロード・ナンバー・18・ルーム・7018

(72)発明者

ヨンナ・リ

中華人民共和国・フーペイ・430074・ウーハン・イースト・レイク・ハイ・テック・デヴェ  
ロップメント・ゾーン・グアンドン・サイエンス・アンド・テクノロジー・インダストリアル・パ  
ーク・フアングエン・ロード・ナンバー・18・ルーム・7018

(72)発明者

フェン・パン

中華人民共和国・フーペイ・430074・ウーハン・イースト・レイク・ハイ・テック・デヴェ  
ロップメント・ゾーン・グアンドン・サイエンス・アンド・テクノロジー・インダストリアル・パ  
ーク・フアングエン・ロード・ナンバー・18・ルーム・7018

(72)発明者

スティーブ・ウェイイ・ヤン

中華人民共和国・フーペイ・430074・ウーハン・イースト・レイク・ハイ・テック・デヴェ  
ロップメント・ゾーン・グアンドン・サイエンス・アンド・テクノロジー・インダストリアル・パ  
ーク・フアングエン・ロード・ナンバー・18・ルーム・7018

(72)発明者

ウェングアン・シー

中華人民共和国・フーペイ・430074・ウーハン・イースト・レイク・ハイ・テック・デヴェ  
ロップメント・ゾーン・グアンドン・サイエンス・アンド・テクノロジー・インダストリアル・パ  
ーク・フアングエン・ロード・ナンバー・18・ルーム・7018

審査官 西出 隆二

(56)参考文献

米国特許出願公開第2016/0064281(US, A1)

米国特許出願公開第2016/0322381(US, A1)

特表2018-534765(JP, A)

米国特許出願公開第2016/0163732(US, A1)

米国特許出願公開第2016/0225785(US, A1)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 27 / 1 1 5 8 2

H 0 1 L 21 / 3 3 6

H 0 1 L 21 / 7 6 8

H 0 1 L 27 / 1 1 5 7 5