



(12)发明专利申请

(10)申请公布号 CN 105845723 A

(43)申请公布日 2016.08.10

(21)申请号 201610331114.3

(22)申请日 2016.05.18

(71)申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路3号

(72)发明人 黄森 刘新宇 王鑫华 魏珂

(74)专利代理机构 北京汇泽知识产权代理有限公司 11228

代理人 张瑾

(51) Int. Cl.

H01L 29/778(2006.01)

H01L 29/06(2006.01)

H01L 21/335(2006.01)

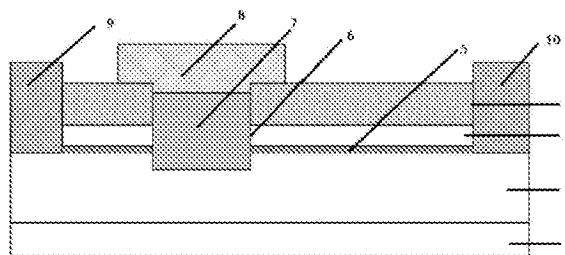
权利要求书1页 说明书4页 附图2页

(54)发明名称

增强型GaN基高电子迁移率晶体管及其制备方法

(57)摘要

本发明提供一种GaN基增强型高电子迁移率晶体管及其制备方法。所述晶体管包括自下而上包括衬底GaN缓冲层、势垒层、钝化层,所述晶体管还包括贯穿于所述耐高温钝化层、所述势垒层以及所述势垒层与所述GaN缓冲层界面处的二维电子气层并伸入所述GaN缓冲层内部的栅槽,其中,所述栅槽中生长有一P型栅极介质层,所述晶体管的栅极位于所述P型栅极介质层的上方,所述晶体管的源极和漏极分别位于所述GaN缓冲层上的两侧。本发明能够获得更高的栅极阈值电压,并且能够克服刻蚀损伤很难控制以及过度刻蚀导致的导电沟道的载流子迁移率受到损伤的缺陷。



1. 一种增强型GaN基高电子迁移率晶体管的制备方法,其特征在于,包括:
在衬底的上方外延生长GaN缓冲层;
在所述GaN缓冲层的上方外延生长势垒层;
利用常规刻蚀技术对所述耐高温钝化层进行刻蚀,以在所述耐高温钝化层的两端位置露出势垒层;
利用高温刻蚀技术对所述耐高温钝化层的两端位置露出的势垒层进行刻蚀,以形成位于所述GaN缓冲层上的源极区域和漏极区域;
利用所述常规刻蚀技术对所述耐高温钝化层进行刻蚀,以在所述耐高温钝化层的中间位置露出势垒层;
利用所述高温刻蚀技术对所述耐高温钝化层的中间位置露出的势垒层和所述中间位置露出的势垒层下方的GaN缓冲层进行刻蚀,以形成贯穿于所述耐高温钝化层、所述势垒层以及所述势垒层与所述GaN缓冲层界面处的二维电子气层并伸入所述GaN缓冲层内部的栅槽;
利用高温外延生长技术在所述栅槽中形成P型栅极介质层;
分别在所述源极区域、所述漏极区域和所述P型栅极介质层的上方沉积接触金属,以形成所述晶体管的源极、漏极和栅极。
2. 根据权利要求1所述的方法,其特征在于,所述势垒层为GaN、InN或者AlN二元合金层,或者AlGaN、AlInN或者InGaN三元合金层,或者AlInGaN四元合金层。
3. 根据权利要求1所述的方法,其特征在于,所述P型栅极介质层为P型掺杂介质层或者由P型掺杂介质层和本征介质层构成的复合层。
4. 根据权利要求1所述的方法,其特征在于,所述P型栅极介质层为GaN、InN或者AlN二元合金层,或者AlGaN、AlInN或者InGaN三元合金层,或者AlInGaN四元合金层。
5. 根据权利要求1所述的方法,其特征在于,所述耐高温钝化层为SiO₂钝化层或者SiN_x钝化层。
6. 一种增强型GaN基高电子迁移率晶体管,所述晶体管自下而上包括衬底、GaN缓冲层、势垒层,其特征在于,所述晶体管还包括位于所述势垒层上方的钝化层和贯穿于所述耐高温钝化层、所述势垒层以及所述势垒层与所述GaN缓冲层界面处的二维电子气层并伸入所述GaN缓冲层内部的栅槽,其中,所述栅槽中生长有P型栅极介质层,所述晶体管的栅极位于所述P型栅极介质层的上方,所述晶体管的源极和漏极分别位于所述GaN缓冲层上的两侧。
7. 根据权利要求6所述的晶体管,其特征在于,所述势垒层为GaN、InN或者AlN二元合金层,或者AlGaN、AlInN或者InGaN三元合金层,或者AlInGaN四元合金层。
8. 根据权利要求6所述的晶体管,其特征在于,所述P型栅极介质层为P型掺杂介质层或者由P型掺杂介质层和本征介质层构成的复合层。
9. 根据权利要求6所述的晶体管,其特征在于,所述P型栅极介质层为GaN、InN或者AlN二元合金层,或者AlGaN、AlInN或者InGaN三元合金层,或者AlInGaN四元合金层。
10. 根据权利要求6所述的方法,其特征在于,所述耐高温钝化层为SiO₂钝化层或者SiN_x钝化层。

增强型GaN基高电子迁移率晶体管及其制备方法

技术领域

[0001] 本发明涉及微电子技术领域,尤其涉及一种增强型GaN基高电子迁移率晶体管及其制备方法。

背景技术

[0002] 随着高压开关和高速射频电路的发展,增强型GaN基高电子迁移率晶体管(High Electron Mobility Transistor, HEMT)成为关注的又一研究热点。增强型GaN基HEMT只有在加正栅压才有工作电流,可以大大拓展其在低功耗数字电路中的应用。为了获得更高的栅极阈值电压,目前比较主流的制备增强型GaN基高电子迁移率晶体管的方法有两种:a)在传统Al(In,Ga)N/GaN异质结构上生长一层P-GaN盖帽层,利用PN结的空间电荷效应对二维电子气(2DEG)的耗尽作用来实现增强型GaN基高电子迁移率晶体管;b)通过栅槽刻蚀(gate recess)去掉栅极以下的Al(In,Ga)N势垒层,削弱其与GaN缓冲层的极化效应,以达到耗尽2DEG的目的。

[0003] 在实现本发明的过程中,发明人发现现有技术中至少存在如下技术问题:

[0004] 采用P-GaN盖帽层(a)制备工艺形成的增强型GaN基高电子迁移率晶体管的栅极阈值电压一般不会超过2V;而且工艺中对栅极以外(栅源和栅漏之间区域)P-Al(In,Ga)N的刻蚀深度和损伤很难控制,严重制约了P-GaN盖帽层技术在GaN基功率电子中的推广应用。采用栅槽刻蚀技术(b)时只有栅槽刻蚀较深时才能完全耗尽2DEG,而势垒层一般比较薄,使得刻蚀深度不好控制,较深的槽栅刻蚀又可能导致势垒层的表面态,从而对导电沟道的载流子迁移率造成损伤。由此可见,现有的主流制备工艺存在栅极阈值电压不高和刻蚀损伤等很难控制的缺陷。

发明内容

[0005] 本发明提供的增强型GaN基高电子迁移率晶体管及其制备方法,其能够获得更高的栅极阈值电压,并且同时能够克服刻蚀损伤很难控制以及过度刻蚀导致的导电沟道的载流子迁移率受到损伤的缺陷。

[0006] 第一方面,本发明提供一种增强型GaN基高电子迁移率晶体管的制备方法,包括:

[0007] 在衬底的上方外延生长GaN缓冲层;

[0008] 在所述GaN缓冲层的上方外延生长势垒层;

[0009] 在所述势垒层的上方沉积耐高温钝化层;

[0010] 利用常规刻蚀技术对所述耐高温钝化层进行刻蚀,以在所述耐高温钝化层的两端位置露出势垒层;

[0011] 利用高温刻蚀技术对所述耐高温钝化层的两端位置露出的势垒层进行刻蚀,以形成位于所述GaN缓冲层上的源极区域和漏极区域;

[0012] 利用所述常规刻蚀技术对所述耐高温钝化层进行刻蚀,以在所述耐高温钝化层的中间位置露出势垒层;

[0013] 利用所述高温刻蚀技术对所述耐高温钝化层的中间位置露出的势垒层和所述中间位置露出的势垒层下方的GaN缓冲层进行刻蚀,以形成贯穿于所述耐高温钝化层、所述势垒层以及所述势垒层与所述GaN缓冲层界面处的二维电子气层并伸入所述GaN缓冲层内部的栅槽;

[0014] 利用高温外延生长技术在所述栅槽中形成P型栅极介质层;

[0015] 分别在所述源极区域、所述漏极区域和所述P型栅极介质层的上方沉积接触金属,以形成所述晶体管的源极、漏极和栅极。

[0016] 第二方面,本发明提供一种增强型Ga_N基高电子迁移率晶体管,所述晶体管包括自下而上包括衬底Ga_N缓冲层、势垒层、钝化层以及贯穿于所述耐高温钝化层、所述势垒层以及所述势垒层与所述Ga_N缓冲层界面处的二维电子气层并伸入所述Ga_N缓冲层内部的栅槽,其中,所述栅槽中生长有P型栅极介质层,所述晶体管的栅极位于所述P型栅极介质层的上方,所述晶体管的源极和漏极分别位于所述Ga_N缓冲层上的两侧。

[0017] 本发明实施例提供的增强型Ga_N基高电子迁移率晶体管及其制备方法,在衬底的上方外延生长Ga_N缓冲层;在所述Ga_N缓冲层的上方外延生长势垒层;在所述势垒层的上方沉积耐高温钝化层;利用常规刻蚀技术对所述耐高温钝化层进行刻蚀,以在所述耐高温钝化层的两端位置露出势垒层;利用高温刻蚀技术对所述耐高温钝化层的两端位置露出的势垒层进行刻蚀,以形成位于所述Ga_N缓冲层上的源极区域和漏极区域;利用所述常规刻蚀技术对所述耐高温钝化层进行刻蚀,以在所述耐高温钝化层的中间位置露出势垒层;利用所述高温刻蚀技术对所述耐高温钝化层的中间位置露出的势垒层和所述中间位置露出的势垒层下方的Ga_N缓冲层进行刻蚀,以形成贯穿于所述耐高温钝化层、所述势垒层以及所述势垒层与所述Ga_N缓冲层界面处的二维电子气层并伸入所述Ga_N缓冲层内部的栅槽;利用高温外延生长技术在所述栅槽中形成P型栅极介质层;分别在所述源极区域、所述漏极区域和所述P型栅极介质层的上方沉积接触金属,以形成所述晶体管的源极、漏极和栅极。可见,本发明是势垒层被完全刻蚀掉,并将栅槽贯穿于势垒层并伸入Ga_N缓冲层的内部。与现有技术相比,一方面,能够获得更高的栅极阈值电压,并有效地抑制栅极正反向漏电流;另一方面,由于避免了栅槽的刻蚀深度对栅极阈值电压的影响,从而降低了制备过程中对栅槽的刻蚀深度的要求和刻蚀损伤;再一方面,避免了和现有技术中的过度刻蚀导致的势垒层表面态的缺陷,进而有效降低了动态导通电阻。

附图说明

[0018] 图1为本发明一实施例增强型Ga_N基高电子迁移率晶体管的制备方法的流程图;

[0019] 图2为本发明一实施例增强型Ga_N基高电子迁移率晶体管的结构示意图;

[0020] 图3为不同刻蚀温度下所形成的所述栅槽的示意图。

具体实施方式

[0021] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0022] 本发明提供一种增强型GaN基高电子迁移率晶体管的制备方法,如图1所示,所述方法包括:

[0023] S11、在衬底的上方外延生长GaN缓冲层。

[0024] S12、在所述GaN缓冲层的上方外延生长势垒层。

[0025] 可选地,所述势垒层为GaN、InN或者AlN二元合金层,或者AlGaN、AlInN或者InGaN三元合金层,或者AlInGaN四元合金层。

[0026] S13、在所述势垒层的上方沉积耐高温钝化层。

[0027] 其中,所述耐高温钝化层为SiO₂钝化层或者SiN_x钝化层。

[0028] S14、利用常规刻蚀技术对所述耐高温钝化层进行刻蚀,以在所述耐高温钝化层的两端位置露出势垒层。

[0029] S15、利用高温刻蚀技术对所述耐高温钝化层的两端位置露出的势垒层进行刻蚀,以形成位于所述GaN缓冲层上的源极区域和漏极区域。

[0030] 其中,刻蚀温度的范围为20℃~700℃,具体操作时刻蚀温度可以恒定在上述刻蚀温度范围中的某一温度值,也可以在上述刻蚀温度范围内进行变化。

[0031] S16、利用所述常规刻蚀技术对所述耐高温钝化层进行刻蚀,以在所述耐高温钝化层的中间位置露出势垒层。

[0032] S17、利用所述高温刻蚀技术对所述耐高温钝化层的中间位置露出的势垒层和所述中间位置露出的势垒层下方的GaN缓冲层进行刻蚀,以形成贯穿于所述耐高温钝化层、所述势垒层以及所述势垒层与所述GaN缓冲层界面处的二维电子气层并伸入所述GaN缓冲层内部的栅槽。

[0033] 其中,刻蚀温度的范围为20℃~700℃,具体操作时刻蚀温度可以恒定在上述刻蚀温度范围中的某一温度值,也可以在上述刻蚀温度范围内进行变化。

[0034] 如图3所示,为不同刻蚀温度下形成栅槽的示意图,由图可知,相比于室温(20℃)刻蚀,高温刻蚀(180℃)所形成的槽栅的粗糙度RMS低,而且槽栅的表面和边缘的形貌显著改善,从而有利于获得平整的再生长表面用以生长P型栅极介质层。

[0035] 另外,被刻蚀的表面可以经过适当的湿法表面处理、干法表面处理或者退火等方式修复刻蚀损伤。

[0036] S18、利用高温外延生长技术在所述栅槽中形成P型栅极介质层。

[0037] 其中,所述高温外延生长技术可以为有机金属化学气相沉积、分子束外延生长或者氢化物外延生长等等。

[0038] 可选地,所述P型栅极介质层为P型掺杂介质层或者由P型掺杂介质层和本征介质层构成的复合层。

[0039] 可选地,所述P型栅极介质层为GaN、InN或者AlN二元合金层,或者AlGaN、AlInN或者InGaN三元合金层,或者AlInGaN四元合金层。

[0040] S19、分别在所述源极区域、所述漏极区域和所述P型栅极介质层的上方沉积接触金属,以形成所述晶体管的源极、漏极和栅极。

[0041] 其中,所述接触金属可以采用欧姆接触方式或者肖特基接触方式形成。

[0042] 本发明实施例提供的增强型GaN基高电子迁移率晶体管的制备方法,在衬底的上方外延生长GaN缓冲层;在所述GaN缓冲层的上方外延生长势垒层;在所述势垒层的上方沉

积耐高温钝化层；利用常规刻蚀技术对所述耐高温钝化层进行刻蚀，以在所述耐高温钝化层的两端位置露出势垒层；利用高温刻蚀技术对所述耐高温钝化层的两端位置露出的势垒层进行刻蚀，以形成位于所述GaN缓冲层上的源极区域和漏极区域；利用所述常规刻蚀技术对所述耐高温钝化层进行刻蚀，以在所述耐高温钝化层的中间位置露出势垒层；利用所述高温刻蚀技术对所述耐高温钝化层的中间位置露出的势垒层和所述中间位置露出的势垒层下方的GaN缓冲层进行刻蚀，以形成贯穿于所述耐高温钝化层、所述势垒层以及所述势垒层与所述GaN缓冲层界面处的二维电子气层并伸入所述GaN缓冲层内部的栅槽；利用高温外延生长技术在所述栅槽中形成P型栅极介质层；分别在所述源极区域、所述漏极区域和所述P型栅极介质层的上方沉积接触金属，以形成所述晶体管的源极、漏极和栅极。可见，本发明是势垒层被完全刻蚀掉，并将栅槽贯穿于势垒层并伸入GaN缓冲层的内部。与现有技术相比，一方面，能够获得更高的栅极阈值电压，并有效地抑制栅极正反向漏电电流；另一方面，由于避免了栅槽的刻蚀深度对栅极阈值电压的影响，从而降低了制备过程中对栅槽的刻蚀深度的要求和刻蚀损伤；再一方面，避免了和现有技术中的过度刻蚀导致的势垒层表面态的缺陷，进而有效降低了动态导通电阻。

[0043] 本发明实施例还提供一种增强型GaN基高电子迁移率晶体管，如图2所示，所述晶体管自下而上包括衬底1、GaN缓冲层2、势垒层3、钝化层4，所述晶体管还包括贯穿于所述耐高温钝化层4、所述势垒层3以及所述势垒层3与所述GaN缓冲层2界面处的二维电子气层5并伸入所述GaN缓冲层2内部的栅槽6，其中，所述栅槽6中生长有P型栅极介质层7，所述晶体管的栅极8位于所述P型栅极介质层7的上方，所述晶体管的源极9和漏极10分别位于所述GaN缓冲层2上的两侧。

[0044] 其中，所述耐高温钝化层4为SiO₂钝化层或者SiN_x钝化层。

[0045] 其中，所述势垒层3可以为GaN、InN或者AlN二元合金层，或者AlGaN、AlInN或者InGaN三元合金层，或者AlInGaN四元合金层。

[0046] 其中，所述P型栅极介质层7为P型掺杂介质层或者由P型掺杂介质层和本征介质层构成的复合层。

[0047] 其中，所述P型栅极介质层7为GaN、InN或者AlN二元合金层，或者AlGaN、AlInN或者InGaN三元合金层，或者AlInGaN四元合金层。

[0048] 本发明实施例提供的增强型GaN基高电子迁移率晶体管，与现有技术相比，其具有栅极阈值电压高，正反向漏电电流小的优点，在高压开关和高速射频电路领域有很好的应用前景。

[0049] 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到的变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应该以权利要求的保护范围为准。

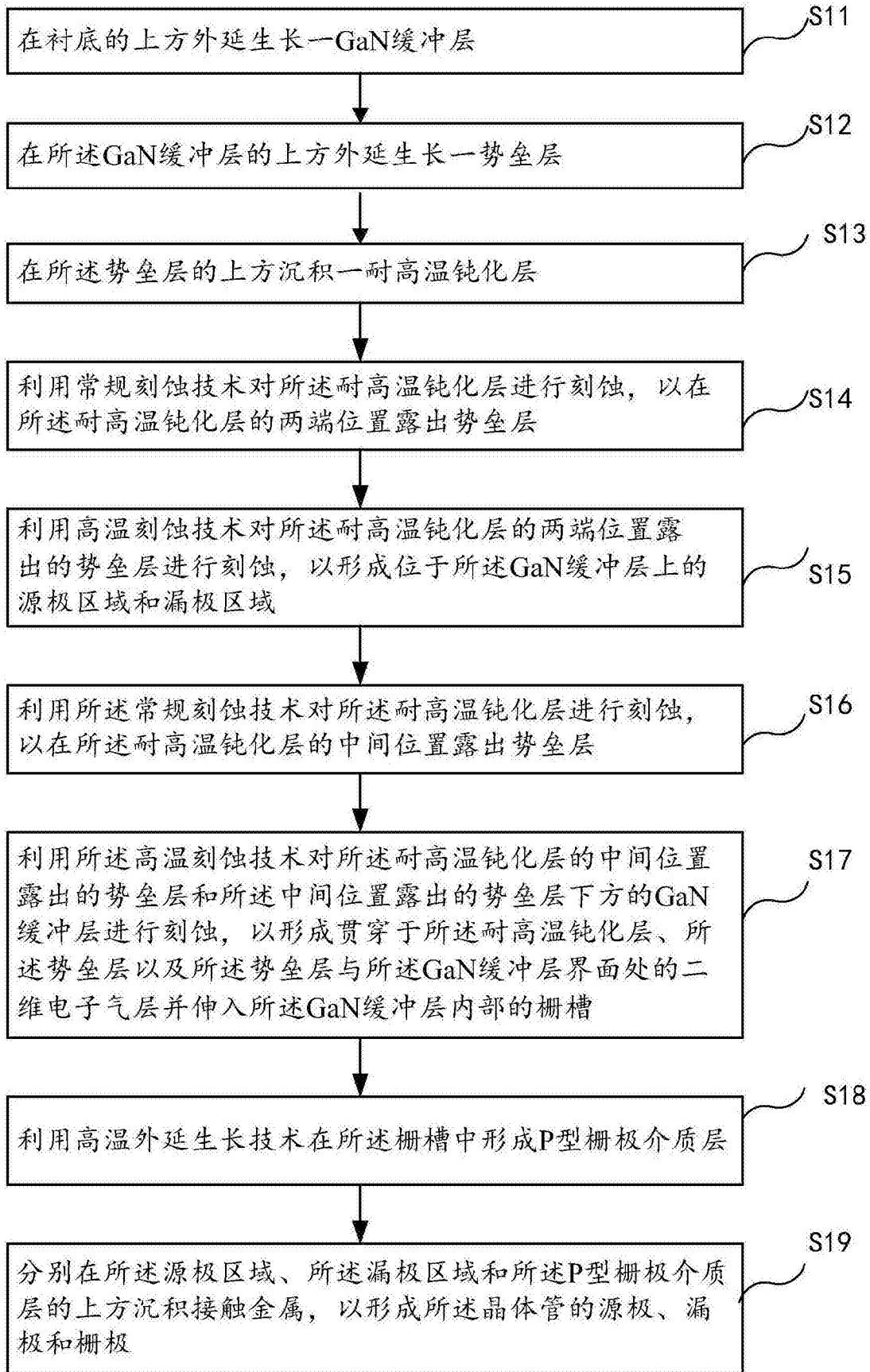


图1

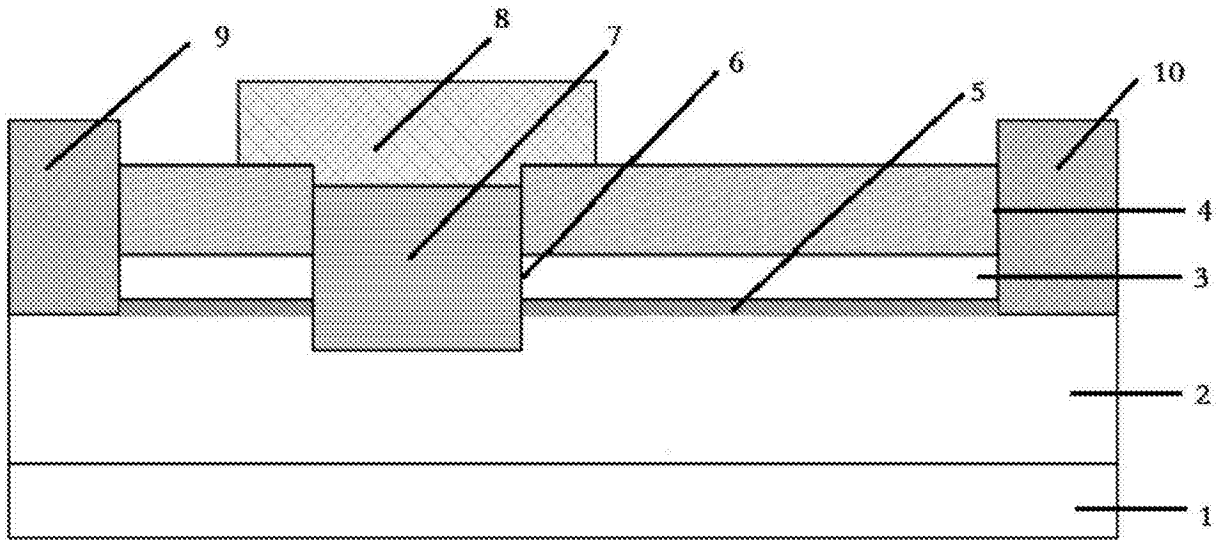


图2

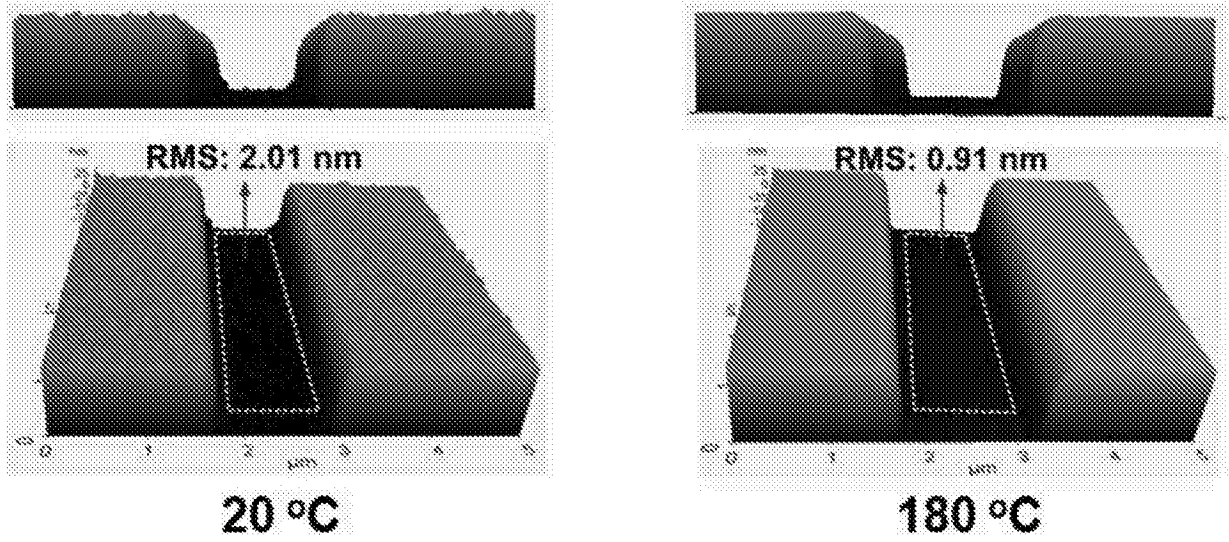


图3