

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年12月24日(24.12.2014)



(10) 国際公開番号
WO 2014/203803 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 23/522 (2006.01)
H01L 21/3205 (2006.01) H01L 27/04 (2006.01)
H01L 21/60 (2006.01) H01L 27/10 (2006.01)
H01L 21/768 (2006.01)
- (21) 国際出願番号: PCT/JP2014/065613
- (22) 国際出願日: 2014年6月12日(12.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-130128 2013年6月21日(21.06.2013) JP
- (71) 出願人: ピーエスフォー ルクスコ エスエイ
ールエル(PS4 LUXCO S.A.R.L.) [LU/LU]; L-2121
ルクセンブルク、ヴァル デ ボン マラデス
208 Luxembourg (LU).
- (72) 発明者; および
- (71) 出願人 (米国についてのみ): 瀬川 真知夫
(SEGAWA Machio) [JP/JP]; 〒1040028 東京都中央区
八重洲二丁目2番1号 マイクロンメモリジャ
パン株式会社内 Tokyo (JP). 長峰 久之(NAGAM-
INE Hisayuki) [JP/JP]; 〒1040028 東京都中央区八重

洲二丁目2番1号 マイクロンメモリジャパン
株式会社内 Tokyo (JP).

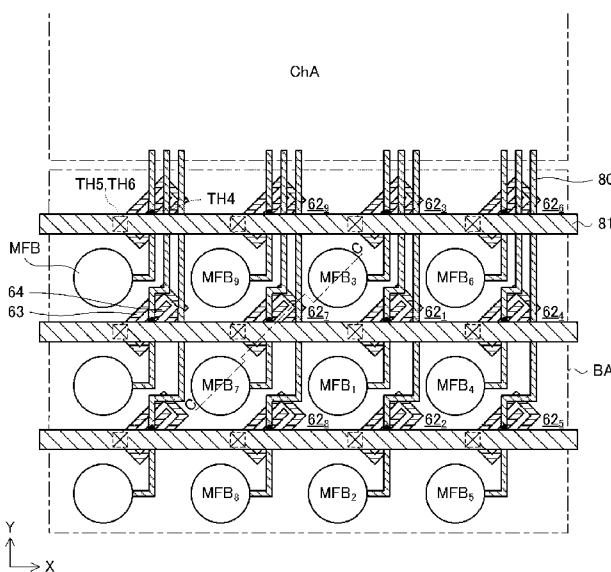
- (74) 代理人: 鷺頭 光宏, 外(WASHIZU Mitsuhiro et al.); 〒1040061 東京都中央区銀座一丁目5番1号 第三太陽ビル7F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図7]



(57) Abstract: [Problem] To reduce the size of a semiconductor device by improving the area utilization efficiency of a circuit laid out between a through-electrode mounting region (or a bump-electrode mounting region) and an internal circuit. [Solution] This semiconductor device is provided with the following: nine surface micro-bumps (MFB₁ through MFB₉) laid out in a 3×3 matrix on a semiconductor substrate; a transistor (62) that contains first and second diffusion layers formed on the semiconductor substrate; and power-supply wiring (81) laid out on the semiconductor substrate. The aforementioned first diffusion layer is connected to one of the surface micro-bumps (MFB₁), the second diffusion layer is connected to the power-supply wiring (81), and the transistor (62) is laid out in the region between the surface micro-bumps (MFB₄ through MFB₆) located on one edge in an X direction and the surface micro-bumps (MFB₇ through MFB₉) located on the other edge in said X direction.

(57) 要約: 【課題】貫通電極設置領域 (又は bumps 電極設置領域) と内部回路との間に配置される回路の面積利用効率を向上し、半導体装置の小型化を実現する。【解決手段】半導体装置は、半導体基板の上に3×3のマトリクス状に配置された9つの表面マイクロバンプ MFB₁~MFB₉と、半導体基板に形成された第1及び第2の拡散層を含むトランジスタ62と、半導体基板の上に配置された電源配線81とを備え、第1の拡散層は表面マイクロバンプMFB₁に接続され、第2の拡散層は電源配線81に接続され、トランジスタ62は、X方向の一端に位置する表面マイクロバンプMFB₄~MFB₆とX方向の他端に位置する表面マイクロバンプMFB₇~MFB₉との間の領域に配置される。

WO 2014/203803 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は半導体装置に関し、特に、貫通電極設置領域（又は bumps 電極設置領域）を備える半導体装置に関する。

背景技術

[0002] 近年の電子機器等の小型化により、電子機器等に搭載される半導体装置についてもその小型化が強く望まれている。このような背景から、半導体チップを平面に並べるのではなく、複数の半導体チップを3次元的に積層する技術が注目されている。中でも、半導体チップを貫通する貫通電極(Through Substrate Via)を用いてチップ間を接続する技術は、ボンディングワイヤを引き回すための領域が不要なため、半導体パッケージの実装面積を低減できる技術として期待されている（例えば特許文献2を参照）。

[0003] また、一般的に、半導体チップには、外部端子を通じて入力される静電気によって内部回路が破壊されることを防ぐための静電放電保護回路が設けられる。このような静電放電保護回路は、例えば特許文献1に示されるように、上述の貫通電極を有する半導体チップにも設けられる。この場合、静電放電保護回路は貫通電極設置領域と内部回路との間に配置される。なお、貫通電極設置領域は、貫通電極とともに或いは貫通電極に代えて設けられる bumps 電極の設置領域でもあるので、静電放電保護回路は bumps 電極設置領域と内部回路の間に配置される、ということもできる。

先行技術文献

特許文献

[0004] 特許文献1：特開2010-135192号公報

特許文献2：特開2012-243253号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記特許文献1に記載の配置では、貫通電極設置領域（又はバンプ電極設置領域）と内部回路との間に静電放電保護回路があるために面積の利用効率が悪く、小型化の面で難がある。これは、貫通電極設置領域（又はバンプ電極設置領域）と内部回路との間に配置される他の回路、例えばリードデータを出力するための出力回路などにも共通する課題である。

課題を解決するための手段

[0006] 本発明の一側面による半導体装置は、半導体基板と、前記半導体基板の上に形成され、第1の方向に沿って第1のピッチで配置された第1乃至第3のバンプ電極と、前記半導体基板の上に形成され、前記第1の方向に沿って前記第1のピッチで配置された第4乃至第6のバンプ電極と、前記半導体基板の上に形成され、前記第1の方向に沿って前記第1のピッチで配置された第7乃至第9のバンプ電極と、それぞれ前記半導体基板に形成された第1及び第2の拡散層を含む第1のトランジスタと、前記半導体基板の上に配置された電源線とを備え、前記第1、第4、第7のバンプ電極は、前記第1の方向に交差する第2の方向に沿って、前記第1のバンプ電極が前記第4及び第7のバンプ電極の間に位置するよう第2のピッチで配置され、前記第2、第5、第8のバンプ電極は、前記第2の方向に沿って、前記第2のバンプ電極が前記第5及び第8のバンプ電極の間に位置するよう前記第2のピッチで配置され、前記第3、第6、第9のバンプ電極は、前記第2の方向に沿って、前記第3のバンプ電極が前記第6及び第9のバンプ電極の間に位置するよう前記第2のピッチで配置され、前記第1の拡散層は前記第1のバンプ電極に接続され、前記第2の拡散層は前記電源線に接続され、前記第1のトランジスタは、前記第4乃至第6のバンプ電極と前記第7乃至第9のバンプ電極との間の領域に配置されることを特徴とする。

発明の効果

[0007] 本発明によれば、第4乃至第6のバンプ電極と第7乃至第9のバンプ電極との間の領域に第1のトランジスタが配置される。すなわち、バンプ電極設置領域の内部に第1のトランジスタが配置されるので、第1のトランジスタ

を設置するための領域をバンプ電極設置領域外に設ける必要がない。したがって、面積の利用効率を向上し、半導体装置の小型化を実現することが可能になる。

図面の簡単な説明

[0008] [図1] (a) は、本発明の好ましい第1の実施の形態による半導体装置10の半製品10Aの構造を説明するための模式的な断面図であり、(b) は、半導体装置10の構造を説明するための模式的な断面図である。

[図2] 図1 (a) に示したメモリチップ21の主面21Fの平面図である。

[図3] (a), (b) はそれぞれ、貫通電極TSV1, TSV2の接続状態を説明するための模式図である。

[図4] 図1 (b) に示したメモリチップ21~24に内蔵される静電放電保護回路61の構成を示す図である。

[図5] 図1 (b) に示したメモリチップ21の模式的な断面図であり、図7のC-C線に対応している。

[図6] (a) は、図4に示した静電放電保護回路61に関して、図5に示した半導体基板SSの主面SSaに埋め込まれる構成を示す平面図であり、(b) は、主面SSaに形成される構成を(a)に追記した平面図であり、(c) は、図5に示した絶縁層11の上面に形成される構成を(b)に追記した平面図である。

[図7] 図2に示した領域Bを拡大して示す平面図である。

[図8] 図7の平面図から、図5に示した絶縁層11の上面に形成される構成を抜き出して示した平面図である。

[図9] 図8の平面図に、図5に示した絶縁層12の上面に形成される構成を追記した平面図である。

[図10] 図9の平面図に、図5に示した絶縁層13の上面に形成される構成を追記した平面図である。

[図11] 本発明の好ましい第2の実施の形態による半導体装置10に含まれるメモリチップ21~24に内蔵される出力回路93及びその周辺回路の構成

を示す図である。

[図12]本発明の好ましい第2の実施の形態による半導体装置10に含まれるメモリチップ21の模式的な断面図であり、図18のE-E線に対応している。

[図13]本発明の好ましい第2の実施の形態による半導体装置10における表面マイクロバンプMFB近傍の構成のうち、図12に示した半導体基板SSの主面SSaに埋め込まれる構成を示す平面図である。

[図14]図13の平面図に、図12に示した半導体基板SSの主面SSaに形成される構成を追記した平面図である。

[図15]図14の平面図に、図12に示した絶縁層I1の上面に形成される構成を追記した平面図である。

[図16]図2に示した領域Bに対応する、本発明の好ましい第2の実施の形態による半導体装置10の領域を拡大して示す平面図である。

[図17]図16の平面図に、図12に示した絶縁層I2の上面に形成される構成を追記した平面図である。

[図18]図17の平面図に、図12に示した絶縁層I3の上面に形成される構成を追記した平面図である。

[図19] (a) は、本発明の好ましい実施の形態の変形例による半導体装置10aの半製品10aAの構造を説明するための模式的な断面図であり、(b) は、半導体装置10aの構造を説明するための模式的な断面図である。

発明を実施するための形態

[0009] 以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

[0010] 図1(b)に示すように、本発明の第1の実施の形態による半導体装置10は、1枚のコントロールチップ30と、4枚のメモリチップ21~24とが積層された構成を有している。メモリチップ21~24は、いずれもいわゆるワイドI/O型のDRAM(Dynamic Random Access Memory)であり、それぞれ、主面21F~24Fと裏面21B~24Bとを有している。なお、主

面 2 1 F ~ 2 4 F は、トランジスタなどの各種回路素子（不図示）が形成される側の面である。メモリチップ 2 1 ~ 2 4 は、主面 2 1 F ~ 2 4 F をコントロールチップ 3 0 に向けた状態、すなわちフェイスダウン方式で、コントロールチップ 3 0 上に積層されている。

[0011] メモリチップ 2 1 ~ 2 3 は、互いに同じ構成を有している。メモリチップ 2 1 に着目して説明すると、メモリチップ 2 1 の主面 2 1 F には、複数の表面マイクロバンプ M F B（バンプ電極）及び複数のテストパッド T P が設けられている。また、メモリチップ 2 1 の裏面 2 1 B には、複数の裏面マイクロバンプ M B B が設けられている。詳しくは後述するが、表面マイクロバンプ M F B と裏面マイクロバンプ M B B とは、メモリチップ 2 1 に含まれる半導体基板（図 1（b）では明示していない）を貫通する貫通電極 T S V によって、互いに接続される。

[0012] 裏面マイクロバンプ M B B は、裏面側に隣接する他のメモリチップの表面マイクロバンプ M F B と接合されており、これにより、隣接するメモリチップ間の電気的な接続が確保される。最下層に位置するメモリチップ 2 1 の表面マイクロバンプ M F B は、コントローラチップ 3 0 の裏面マイクロバンプ C B B（後述）に接合される。コントロールチップ 3 0 とメモリチップ 2 1 ~ 2 4 それぞれとの間では、これらの接合を通じて各種信号が送受信される。

[0013] 最上層に位置するメモリチップ 2 4 は、裏面マイクロバンプ M B B 及び貫通電極 T S V を有しない点でメモリチップ 2 1 ~ 2 3 と相違しており、その他の点ではメモリチップ 2 1 ~ 2 3 と同様の構成を有している。以下、相違点について詳しく説明する。

[0014] 上述したように、メモリチップ 2 1 ~ 2 4 はそれぞれ、フェイスダウン方式でコントロールチップ 3 0 上に積層されている。したがって、貫通電極 T S V 及び裏面マイクロバンプ M B B は、もっぱら、より上層のメモリチップにかかる信号を中継するために用いられ、最上層に位置するメモリチップ 2 4 には貫通電極 T S V 及び裏面マイクロバンプ M B B を設ける必要がない。

一方で、貫通電極TSVを設けないようにすることで、メモリチップ24を他のメモリチップ21～23に比べて厚くすることが可能になる。メモリチップ24を厚くすれば、半導体装置10の製造の際、熱応力（主にメモリチップ21～24を積層するときが発生する熱応力）によるチップの変形を抑制することができるので、本実施の形態による半導体装置10では、メモリチップ21～23とメモリチップ24とでチップ製造工程に相違が生ずるものの、上記のように、メモリチップ24には裏面マイクロバンプMBB及び貫通電極TSVを設けないこととしている。ただし、メモリチップ24として、メモリチップ21～23と同様に貫通電極TSV及び裏面マイクロバンプMBBを有するチップを用いることも可能である。

[0015] コントロールチップ30は、メモリチップ21～24の動作を制御する半導体チップ（SOC）であり、回路基板40上にフェイスダウン方式で搭載されている。つまり、コントロールチップ30は、各種回路素子が形成される側の面である主面30Fが回路基板40側を向き、裏面30Bがメモリチップ21～24側を向くように、回路基板40上に搭載されている。

[0016] コントロールチップ30の主面30Fには複数の表面マイクロバンプCFBが形成され、コントロールチップ30の裏面30Bには複数の裏面マイクロバンプCBBが形成される。表面マイクロバンプCFBは、回路基板40に設けられた基板電極41に接合される。一方、裏面マイクロバンプCBBは、上述したように、最下層のメモリチップ21に設けられた表面マイクロバンプMFBに接合される。コントロールチップ30に設けられた内部回路は、図示しない配線を通じて表面マイクロバンプCFBに接続されるとともに、コントロールチップ30を貫通して設けられた貫通電極TSVを介して、裏面マイクロバンプCBBにも接続されている。

[0017] 回路基板40は、上面に基板電極41が設けられ、下面に外部端子42が設けられた構造を有している。回路基板40の上面には、上述したようにコントロールチップ30が搭載される。基板電極41と外部端子42とは、回路基板40を貫通する図示しないスルーホール導体を介して、相互に接続さ

れている。また、基板電極41の上には、メモリチップ21~24及びコントロールチップ30を覆う封止樹脂43が設けられる。

[0018] 外部端子42は、コントロールチップ30が、図示しない他のデバイス等との間で、各種の信号（アドレス信号、コマンド信号、クロック信号、データなど）を入出力するとき使用される。具体的には、半導体装置10が母基板に実装されたときに、不揮発性メモリ、センサー等の各種アナログチップ、及び、各種入出力インターフェースに接続される。コントロールチップ30は、これら他のデバイスからの各種信号に応じて自身で生成したデータ信号を、裏面マイクロバンプCBB及び表面マイクロバンプMFBなどを介してメモリチップ21~24に記憶する。また、コントローラチップ30は、メモリチップ21~24から裏面マイクロバンプCBB及び表面マイクロバンプMFBなどを介して供給されたデータに応じて、上述の他のデバイス等に供給する信号を生成する。

[0019] 半導体装置10の製造工程においては、図1(a)に示す半製品10Aを用意し、これをコントロールチップ30及び回路基板40に接続するようにすることが好適である。半製品10Aは、図1(a)に示すように、メモリチップ21~24と、メモリチップ21の主面21Fを除く各面を覆う封止樹脂43とから構成される。ただし、半製品10Aの利用は必須ではなく、例えば、回路基板40上にコントロールチップ30及びメモリチップ21~24を搭載した後、封止樹脂43によってこれらのチップ21~24, 30を封止することとしてもよい。半製品10Aを用いる場合、接続先のコントロールチップ30を仕様や用途によって変えることができるため、汎用性を高めることが可能となる。

[0020] 各メモリチップ21~24の主面21F~24Fには、図2に例示するように、X方向およびY方向にマトリクス状に配置された4つのチャンネルChA~ChDが設けられる。各チャンネルChA~ChDは、それぞれが単独のDRAMとして動作可能な回路ブロックであり、したがって、メモリチップ21~24はそれぞれ、4つの独立したDRAMが1チップ化された構成を

有している。

[0021] 上述したように、主面 2 1 F ~ 2 4 F には複数の表面マイクロバンプ M F B が設けられている。これら表面マイクロバンプ M F B はそれぞれチャンネル C h A ~ C h D のいずれかに対応しており、図 2 では、チャンネル C h A ~ C h D に対応する表面マイクロバンプ M F B をそれぞれ表面マイクロバンプ M F B a ~ M F B d と表記している。各チャンネル C h A ~ C h D に割り当てられるデータ用の表面マイクロバンプ M F B の数は、それぞれ例えば 1 2 8 個と非常に多く、また、電源用の表面マイクロバンプ M F B などともチャンネルごとに多数必要であることから、チャンネル C h A ~ C h D ごとに例えば 3 0 0 個程度の表面マイクロバンプ M F B が設けられる。このため、チップ全体では、1 0 0 0 個を超える表面マイクロバンプ M F B が用いられることになる。

[0022] これら表面マイクロバンプ M F B の中には、ダイレクトアクセス端子と呼ばれるテスト用の端子が含まれる。ただし、表面マイクロバンプ M F B のサイズは非常に微小であることから、テストのプローブをダイレクトアクセス端子に接触させることは困難である。このため、各ダイレクトアクセス端子には、テストのプローブを接触させるためのテストパッド T P がそれぞれ割り当てられている。テストパッド T P は、表面マイクロバンプ M F B よりも大きな平面サイズを有しており、これにより、テストのプローブを接触させることが可能とされている。図 1 (a) の段階（積層前）やウェハ状態の段階でメモリチップ 2 1 ~ 2 4 の動作テストを行う際には、テストパッド T P を通じて、テストとメモリチップ 2 1 ~ 2 4 の間で各種信号の送受信が行われる。一方、図 1 (b) の段階（積層後）でメモリチップ 2 1 ~ 2 4 の動作テストを行う際には、コントロールチップ 3 0 を経由して、テストとメモリチップ 2 1 ~ 2 4 の間で各種信号の送受信が行われる。

[0023] メモリチップ 2 1 ~ 2 3 に形成される貫通電極 T S V は、内部回路及び隣接する他のメモリチップの貫通電極 T S V との接続の態様により、いくつかの種類に分類できる。図 3 (a) (b) に示した貫通電極 T S V 1 , T S V

2はそれぞれ、貫通電極TSVの種類の一例である。

[0024] 図3(a)に示す貫通電極TSV1は、積層方向から見た平面視で、すなわち図1に示す矢印Aから見た場合に、同じ平面位置に設けられた他層の貫通電極TSV1と短絡されている。つまり、図3(a)に示すように、平面視で同じ位置に設けられた上下の貫通電極TSV1が短絡され、これら貫通電極TSV1によって1本の信号パスが構成されている。この信号パスは、メモリチップ21~24それぞれの内部回路2に接続されている。したがって、この信号パスに対してコントロールチップ30から供給される入力信号(コマンド信号、アドレス信号、クロック信号、ライトデータなど)は、各メモリチップ21~24の内部回路2に共通に入力される。また、各メモリチップ21~24の内部回路2からこの信号パスに供給される出力信号(リードデータなど)は、ワイヤードアされてコントロールチップ30に出力される。

[0025] 一方、図3(b)に示す貫通電極TSV2は、平面視で異なる位置に設けられた他のメモリチップの貫通電極TSV2と短絡されている。具体的に説明すると、各メモリチップ21~23には、平面視で同じ位置にそれぞれ4つの貫通電極TSV2が設けられ、下層のメモリチップに設けられたN(N=1~3)番目の貫通電極TSV2は、上層のメモリチップに設けられたN+1番目の貫通電極TSV2に接続される。下層のメモリチップに設けられた4番目の貫通電極TSV2(図3(b)では最も右側の貫通電極TSV2)は、上層のメモリチップに設けられた1番目の貫通電極TSV2(図3(b)では最も左側の貫通電極TSV2)に接続される。このような循環的な接続により、4つの独立した信号パスが形成される。

[0026] そして、これら4つの貫通電極TSV2のうち、平面視で所定の位置に設けられた貫通電極TSV2(図3(b)では最も左側の貫通電極TSV2)は、当該メモリチップ21~23内の内部回路3に接続される。また、最上層のメモリチップ24に含まれる内部回路3は、メモリチップ23に含まれる最も右側の貫通電極TSV2に接続される。

- [0027] かかる構成により、図3（b）に示す信号S1～S4は、それぞれメモリチップ21～24の内部回路3に対して選択的に入力されることになる。このような信号としては、チップセレクト信号CSやクロックイネーブル信号CLKなどが挙げられる。
- [0028] さて、メモリチップ21～24は、それぞれの内部に、図4に例示する静電放電保護回路61を有している。静電放電保護回路61は、表面マイクロバンプMFBを通じてチップ内に供給される静電気を電源配線に逃がす役割を担うもので、表面マイクロバンプMFBごとに設けられる。本実施の形態では、このような静電放電保護回路61をバンプ電極設置領域内に配置することで、メモリチップ21～24の小型化を実現する。以下、メモリチップ21に着目し、静電放電保護回路61にかかる構成を詳しく説明するが、メモリチップ22～24についても同様である。
- [0029] 静電放電保護回路61は、図4に示すように、ダイオード接続されたNチャンネル型のMOSトランジスタ62（第1のトランジスタ）によって構成される。トランジスタ62の一端は、内部回路60と、表面マイクロバンプMFBのメモリチップ側端部であるノードnとの間を接続する配線80に接続される。一方、トランジスタ62の他端は、接地電位VSSの供給される電源配線81（第1の電源線）に接続される。トランジスタ62の順方向は、電源配線81から配線80に向かう方向である。通常、配線80の電位レベルは、電源配線81の電位レベルと等しいか或いは少し高い程度であるので、トランジスタ62を通じて電流が流れることはない。一方、静電気放電などに起因して配線80に大電流が供給された場合には、配線80の電位レベルが電源配線81の電位レベルに比べて大幅に高くなるため、トランジスタ62に降伏電流が流れる。これにより、配線80に供給された大電流を電源配線81に逃がすことが可能になるので、静電放電保護回路61によれば、内部回路60を静電気放電から護ることが実現される。
- [0030] なお、図4においてノードnより上側にある構成（貫通電極TSV及び裏面マイクロバンプMBB）は、メモリチップ24には設けられない構成であ

る。その他の点では、メモリチップ24もメモリチップ21と同様の構成を有している。

[0031] 本実施の形態によるメモリチップ21は、図5に示すように、半導体基板SSと、その主面SSaに順に積層された絶縁層I1~I4とを有して構成される。半導体基板SSは、Pチャンネル型のシリコン基板である。主面SSaには素子分離用絶縁膜ISが埋め込まれており、これにより主面SSaには、トランジスタ62が形成される活性領域K1と、貫通電極TSVが形成される活性領域K2とが区画される。活性領域K1、K2は、いずれもPチャンネル型の領域である。

[0032] 貫通電極TSVは、図5に示すように、半導体基板SS及び絶縁層I1を貫通して設けられる。貫通電極TSVの半導体基板SSの裏面側、すなわちメモリチップ21の裏面21B側の端部には、裏面マイクロバンプMBBが設けられる。貫通電極TSV及び裏面マイクロバンプMBBのそれぞれと半導体基板SSとの間には絶縁膜70が配置され、これにより、貫通電極TSV及び裏面マイクロバンプMBBのそれぞれと半導体基板SSとの絶縁が確保される。

[0033] 貫通電極TSVの主面SSa側の端部は、絶縁層I1の表面に形成された配線71に接続される。配線71は貫通電極TSVごとに設けられ、それぞれ絶縁層I2を貫通するスルーホール導体72を介して、絶縁層I2の表面に形成された配線73に接続される。配線73も貫通電極TSVごとに設けられ、それぞれ絶縁層I3を貫通する複数のスルーホール導体74を介して、絶縁層I3の表面に形成された配線75に接続される。配線75も貫通電極TSVごとに設けられ、それぞれ絶縁層I4を貫通する複数のスルーホール導体76を介して、絶縁層I4の表面、すなわちメモリチップ21の主面21Fに形成された表面マイクロバンプMFBに接続される。こうして、裏面マイクロバンプMBBと表面マイクロバンプMFBとは、貫通電極TSVを介して電氣的に接続される。

[0034] なお、図5に示した例は、貫通電極TSVが図3(a)に示した貫通電極

T S V 1である場合の例であるが、他の種類の貫通電極 T S V についても基本的な構造は同じである。図 3 (b) に示した貫通電極 T S V 2 に関して言えば、配線 7 1 , 7 3 のいずれか又は両方を延設することにより、図 3 (b) に示したような接続が実現される。

[0035] また、図 5 にはメモリチップ 2 1 の例を示しているが、貫通電極 T S V を有しないメモリチップ 2 4 においては、スルーホール導体 7 2 から裏面マイクロバンプ M B B までの構成が省略される。この場合、活性領域 K 2 も設ける必要はなく、したがって、平面的に見て表面マイクロバンプ M F B と重なる領域に、トランジスタ 6 2 を含む各種のトランジスタを配置することが可能になる。

[0036] トランジスタ 6 2 が形成される活性領域 K 1 は、図 5 に示すように、貫通電極 T S V が形成される活性領域 K 2 の間に配置される。以下、トランジスタ 6 2 の構造について、図 5 に加えて図 6 (a) ~ (c) も参照しながら、詳しく説明する。

[0037] 活性領域 K 1 の内側には、図 6 (a) に示すように、それぞれトランジスタ 6 2 のソース／ドレインの一方及び他方を構成する拡散層 6 2 D 1 , 6 2 D 2 (第 1 及び第 2 の拡散層) が形成される。拡散層 6 2 D 1 , 6 2 D 2 は、Nチャンネル型の不純物を半導体基板 S S にイオン注入することによって形成される Nチャンネル型の不純物拡散層である。拡散層 6 2 D 2 は、拡散層 6 2 D 1 の両側にひとつずつ設けられる。拡散層 6 2 D 1 と拡散層 6 2 D 2 との間 (2 カ所) には半導体基板 S S の表面が露出しており、この露出部分の上には、図 6 (b) に示すように、ゲート絶縁膜 6 2 I (図 5 を参照) を介して、トランジスタ 6 2 のゲート電極 6 2 G (第 1 のゲート電極) が形成される。ゲート電極 6 2 G は、活性領域 K 1 の外側まで延設される。

[0038] トランジスタ 6 2 の上方には、図 6 (c) に示すように、さらに配線 6 3 , 6 4 が形成される。配線 6 3 , 6 4 はともに、図 5 に示した絶縁層 I 1 の上面に形成される配線である。配線 6 3 は、図 6 (b) (c) から理解されるように、平面的に見て、拡散層 6 2 D 2 と、ゲート電極 6 2 G のうち活性

領域K1の外側に形成された部分とに重なるように延設される。そして、絶縁層I1を貫通するスルーホール導体TH1によって拡散層62D2と電氣的に接続されるとともに、絶縁層I1を貫通するスルーホール導体TH2によってゲート電極62Gと電氣的に接続される。したがって、拡散層62D2とゲート電極62Gとは配線63を介して短絡されており、これにより、図4に示したダイオード接続が実現されている。一方、配線64は、平面的に見て拡散層62D1と重なる位置に延設され、絶縁層I1を貫通するスルーホール導体TH3によって、拡散層62D1と接続される。

[0039] 次に、表面マイクロバンプMFBとトランジスタ62の平面的な位置関係について説明する。以下、図2に示した領域Bに着目して説明するが、他の領域についても同様である。

[0040] 図7～図10は、領域B内に配置される構成を、主面21F側からの視点で透過的に示したものである。図7に示すように、主面21Fに形成される複数の表面マイクロバンプMFBは、チャンネルChAに隣接して配置されるバンプ電極設置領域BAに、マトリクス状に配置される。表面マイクロバンプMFB間のY方向のピッチ（第1のピッチ）及びX方向のピッチ（第1のピッチ）はそれぞれ、図8から理解されるように、P1、P2である。以下、同図に示す9つの表面マイクロバンプMFB₁～MFB₉（第1乃至第9のバンプ電極）に着目して、説明を進める。

[0041] 図7に示すように、表面マイクロバンプMFB₁～MFB₉は3×3のマトリクス状に配置されている。3×3のマトリクスの中央には、表面マイクロバンプMFB₁が配置される。表面マイクロバンプMFB₁のY方向（第1の方向）の両側には、表面マイクロバンプMFB₂、MFB₃が配置される。したがって、表面マイクロバンプMFB₁～MFB₃は、Y方向に沿って一列に配置されている。表面マイクロバンプMFB₁のX方向（第1の方向に交差する第2の方向）の両側には、表面マイクロバンプMFB₄、MFB₇が配置される。したがって、表面マイクロバンプMFB₁、MFB₄、MFB₇は、X方向に沿って一列に配置されている。

- [0042] 表面マイクロバンプMF B₂のX方向の両側には、表面マイクロバンプMF B₅, MF B₈が配置される。また、表面マイクロバンプMF B₃のX方向の両側には、表面マイクロバンプMF B₆, MF B₉が配置される。表面マイクロバンプMF B₅, MF B₆は、表面マイクロバンプMF B₄とともにY方向に沿って一列に配置される。また、表面マイクロバンプMF B₈, MF B₉は、表面マイクロバンプMF B₇とともにY方向に沿って一列に配置される。
- [0043] 上でも触れたように、トランジスタ62は表面マイクロバンプMF Bごとに設けられる。図7にはトランジスタ62自体の描画はしていないが、図6(c)から理解されるように、トランジスタ62は配線63, 64の真下の領域に存在している。図7では、表面マイクロバンプMF B₁~MF B₉のそれぞれに対応するトランジスタ62をトランジスタ62₁~62₉。(第1乃至第9のトランジスタ)とし、符号のみを示している。
- [0044] 図8から理解されるように、各トランジスタ62はそれぞれ、対応する表面マイクロバンプMF Bの平面的な中心から見て、Y方向にL1(第1の距離)離れ、かつX方向にL2(第2の距離)離れた位置に平面的な中心が位置するように配置される。ただし、L1はP1より小さく、L2はP2より小さい。その結果、例えばトランジスタ62₁が配置される領域は、図8に示すように、表面マイクロバンプMF B₄~MF B₆と表面マイクロバンプMF B₇~MF B₉との間の領域となる。
- [0045] 配線64は、図8及び図9から理解されるように、スルーホール導体TH4を介して、図4にも示した配線80に接続される。スルーホール導体TH4は、図5に示した絶縁層12を貫通する柱状の導体である。配線80は表面マイクロバンプMF Bごとに設けられており、それぞれ図5に示した絶縁層12の上面に形成される。図4に示したように、配線80の一端はチャンネルChA内の内部回路60に接続され、他端は、対応する表面マイクロバンプMF Bに接続される配線73に接続される。図5に示したように、配線73は、絶縁層13を貫通するスルーホール導体74を介して、対応する表面マイクロバンプMF Bに接続される。したがって、配線64と、対応する表

面マイクロバンプMFBとは、配線80、73及びスルーホール導体74を介して、互いに接続されている。また、配線64は、図6(b)(c)を参照して説明したように、スルーホール導体TH3を介してトランジスタ62の拡散層62D1に接続されている。したがって、拡散層62D1は、対応する表面マイクロバンプMFBと電氣的に接続されている。

[0046] 配線63は、図8乃至図10から理解されるように、スルーホール導体TH5、電源配線82、及びスルーホール導体TH6を介して、電源配線81に接続される。スルーホール導体TH5、TH6はそれぞれ図5に示した絶縁層12、13を貫通する柱状の導体であり、電源配線82は絶縁層12の上面に形成される配線である。電源配線81は、図4に示したように接地電位VSSが供給される電源配線であり、図5に示した絶縁層13の上面に形成される。また、配線63は、図6(b)(c)を参照して説明したように、スルーホール導体TH1、TH2を介して、トランジスタ62の拡散層62D2及びゲート電極62Gに接続されている。したがって、拡散層62D2及びゲート電極62Gは、電源配線81と電氣的に接続されている。

[0047] 以上の接続関係を、図7に示したトランジスタ62_k(kは1から9の整数)に関して説明すると、各トランジスタ62_kの拡散層62D1(第2k-1の拡散層)はそれぞれ、対応する表面マイクロバンプMFB_kに接続される。表面マイクロバンプMFB_kはそれぞれ、外部端子42に接続されるとともに、貫通電極TSV(第kの貫通電極)を通じて、より上層のメモリチップに設けられる表面マイクロバンプMFBに接続される。また、各トランジスタ62_kの拡散層62D2(第2kの拡散層)及びゲート電極62G(第kのゲート電極)は、電源配線81に共通に接続される。

[0048] 以上説明したように、本実施の形態による半導体装置10によれば、図4に示した表面マイクロバンプMFBごとの静電放電保護回路61(トランジスタ62)を、バンプ電極設置領域BA内に配置することが可能になる。したがって、静電放電保護回路61を設置するための領域をバンプ電極設置領域BA外に設ける必要がないので、面積の利用効率を向上し、半導体装置の

小型化を実現することが可能になる。

[0049] 次に、本発明の第2の実施の形態による半導体装置10について、説明する。本実施の形態による半導体装置10は、静電放電保護回路61に代えてリードデータの出力回路をバンプ電極設置領域BA内に配置する点で、第1の実施の形態による半導体装置10と異なる。その他の点では第1の実施の形態による半導体装置10と同様であるので、以下では相違点に着目して説明する。以下では、第1の実施の形態と同様、メモリチップ21に着目して説明を進めるが、メモリチップ22～24についても同様である。

[0050] リードデータの出力回路93は、図11に示すように、Nチャンネル型（第1の導電型）のMOSトランジスタ94（第1のトランジスタ）と、Pチャンネル型（第2の導電型）のMOSトランジスタ95（第2のトランジスタ）と、によって構成される。トランジスタ94、95は、接地電位VSSの供給される電源配線81（第1の電源線）と、電源電位VDDの供給される電源配線82（第2の電源線）との間に直列に接続される。トランジスタ94、95の接続点は、出力回路93の出力端を構成し、表面マイクロバンプMFBのメモリチップ側端部であるノードnに接続される。ノードnは、配線83を介して、内部回路90の入力端にも接続される。また、メモリチップ21～23のノードnに限り、図11に示すように、貫通電極TSVにも接続される。

[0051] トランジスタ94のゲート電極（第1のゲート電極）は出力回路93の一方入力端を構成し、内部回路90に含まれるノア回路91の出力端に接続される。また、トランジスタ95のゲート電極（第2のゲート電極）は出力回路93の他方入力端を構成し、内部回路90に含まれるナンド回路92の出力端に接続される。トランジスタ94、95それぞれのゲート電極には、それぞれノア回路91及びナンド回路92から、対応する表面マイクロバンプMFB（第1のバンプ電極）を通じて出力されるべきリードデータRD（出力データ）を示す電位が供給される。

[0052] 具体的に説明すると、リードデータRDは、図示しないリード関連回路か

ら、ノア回路91及びナンド回路92それぞれの一方入力端に供給される。このリード関連回路は、他にも制御信号Sを生成しており、ノア回路91の他方入力端には制御信号Sの反転信号が、ナンド回路92の他方入力端には制御信号Sが、それぞれ入力される。制御信号Sは、リードデータRDを出力しないときにローレベルに活性化されるローアクティブな信号である。制御信号Sがローレベルである場合、ノア回路91及びナンド回路92の出力がそれぞれローレベル及びハイレベルに固定されるので、トランジスタ94、95はともにオフとなる。したがって、出力回路93はハイインピーダンス状態となる。一方、制御信号Sがハイレベルである場合には、出力回路93の出力端に、リードデータRDの電位レベルに応じた電位が現れる。具体的には、リードデータRDがハイレベルである場合、トランジスタ95がオンとなることによって出力回路93の出力端の電位レベルは電源電位VDDとなり、リードデータRDがローレベルである場合、トランジスタ94がオンとなることによって出力回路93の出力端の電位レベルは接地電位VSSとなる。こうして得られる出力回路93の出力は、メモリチップ21の出力データとして、表面マイクロバンプMFBを経由して外部端子42から出力される。

[0053] なお、出力回路93が接続される表面マイクロバンプMFB及び外部端子42は、ライトデータWDの入力にも用いられる。ライトデータWDは、外部のコントローラから外部端子42に供給された後、表面マイクロバンプMFB及び配線83を経由して、内部回路90に供給される。

[0054] 本実施の形態によるメモリチップ21は、図12に示すように、半導体基板SSと、その主面SSaに順に積層された絶縁層I1~I5とを有して構成される。絶縁層I5は、絶縁層I1と半導体基板SSの間に設けられる。基本的な層構造は第1の実施の形態によるメモリチップ21と同様であるが、絶縁層が5層構造になっている点（第1の実施の形態によるメモリチップ21は4層構造）で、第1の実施の形態によるメモリチップ21と相違している。ただし、第1の実施の形態によるメモリチップ21においても、絶縁

層 15 を設けて 5 層構造としても構わない。

- [0055] 半導体基板 SS の主面 SS a には、主面 SS a に埋め込まれた素子分離用絶縁膜 1 S により、トランジスタ 9 4 が形成される活性領域 K 3（第 1 の活性領域）と、トランジスタ 9 5 が形成される活性領域 K 4（第 2 の活性領域）と、貫通電極 T S V が形成される活性領域 K 2 とが区画される。活性領域 K 2, K 3 は P チャンネル型の領域であり、活性領域 K 4 は、P チャンネル型のシリコン基板である半導体基板 SS に N チャンネル型の不純物をイオン注入することにより形成された N チャンネル型の領域（N ウェル）である。
- [0056] 貫通電極 T S V に関する構成は、図 5 を参照して説明したものと比べると、絶縁層 15 に関連する部分が異なっている。以下、相違点について説明すると、貫通電極 T S V の主面 SS a 側の端部は、絶縁層 11 の表面に形成された配線 5 4 に接続される。配線 5 4 は、それぞれ絶縁層 15 を貫通する複数のスルーホール導体 7 7 を介して、絶縁層 15 の表面に形成された配線 7 1 に接続される。配線 7 1 は、図 5 を参照して説明したように、スルーホール導体 7 2, 7 4 などを経由して、表面マイクロバンプ M F B に接続される。
- [0057] 活性領域 K 3, K 4 は、図 13 に示すように、それぞれ活性領域 K 2 を挟んで X 方向の一方側と他方側に設けられる。なお、図 13 ~ 図 18 に示す一点鎖線 D で区切られた領域は、1 つの表面マイクロバンプ M F B に対応する領域を示している。活性領域 K 3, K 4 はそれぞれ、Y 方向に長く、かつ、Y 方向の両端部が活性領域 K 2 側に向かって膨らんだ形状を有している。このような形状を採用しているのは、活性領域 K 3, K 4 と活性領域 K 2 との間の距離を確保する一方、活性領域 K 3, K 4 の面積をできるだけ広く確保するためである。
- [0058] 活性領域 K 3 の内側には、それぞれ複数の拡散層 9 4 D 1, 9 4 D 2, 9 6 が形成される。拡散層 9 4 D 1, 9 4 D 2, 9 6 はいずれも、N チャンネル型の不純物を半導体基板 SS にイオン注入することによって形成される N チャンネル型の不純物拡散層である。拡散層 9 4 D 1, 9 4 D 2 はそれぞれ、トランジスタ 9 4 のソース / ドレインの一方及び他方を構成する。一方、

拡散層 96 は、活性領域 K3 に接地電位 VSS を供給するために設けられているものである。

[0059] 同様に、活性領域 K4 の内側には、図 13 に示すように、それぞれ複数の拡散層 95D1, 95D2, 97 が形成される。拡散層 95D1, 95D2, 97 はいずれも、Pチャンネル型の不純物をNウェルにイオン注入することによって形成されるPチャンネル型の不純物拡散層である。拡散層 95D1, 95D2 はそれぞれ、トランジスタ 95 のソース／ドレインの一方及び他方を構成する。一方、拡散層 97 は、活性領域 K4 に電源電位 VDD を供給するために設けられているものである。

[0060] 拡散層 94D1, 94D2, 96, 95D1, 95D2, 97 はそれぞれ、図 13 に示すように、X方向に細長い長方形とされている。拡散層 96 は、活性領域 K3 の両端に1つずつ設けられる。一方、拡散層 94D1, 94D2 (第1及び第2の拡散層) は、拡散層 94D2 を両端として、Y方向に交互に複数個ずつ配置される。同様に、拡散層 97 は、活性領域 K4 の両端に1つずつ設けられる。一方、拡散層 95D1, 95D2 (第3及び第4の拡散層) は、拡散層 95D2 を両端として、Y方向に交互に複数個ずつ配置される。

[0061] 活性領域 K3 の上方には、図 14 に示すように、ゲート絶縁膜 94I (図 12 を参照) を介して、楕形のゲート電極 94G が配置される。このゲート電極 94G は、トランジスタ 94 のゲート電極 (第1のゲート電極) を構成する。拡散層 94D1 と拡散層 94D2 との間には半導体基板 SS の表面が露出しており、ゲート電極 94G のうち楕の歯に相当する部分は、この露出部分を覆うように配置される。ゲート電極 94G のうち楕のシャフトに相当する部分は、活性領域 K3 と活性領域 K2 の間に配置される。同様に、活性領域 K4 の上方には、楕形のゲート電極 95G が配置される。このゲート電極 95G は、トランジスタ 95 のゲート電極 (第2のゲート電極) を構成する。拡散層 95D1 と拡散層 95D2 との間には半導体基板 SS の表面が露出しており、ゲート電極 95G のうち楕の歯に相当する部分は、この露出部

分を覆うように配置される。ゲート電極 95 G のうち櫛のシャフトに相当する部分は、活性領域 K 4 と活性領域 K 2 の間に配置される。

[0062] ゲート電極 94 G は、図 12 に示した絶縁層 1 を貫通するスルーホール導体 TH 13 を介して、図 15 に示すように、それぞれ絶縁層 1 の上面に形成される配線 50 a, 50 b に接続される。配線 50 a, 50 b はそれぞれ、ゲート電極 94 G の Y 方向の一端及び他端に設けられる。また、配線 50 a, 50 b はそれぞれ、絶縁層 5 を貫通するスルーホール導体 TH 20 a, TH 20 b を介して絶縁層 5 の上面に形成される配線 55 a, 55 b に接続され (図 16)、さらに、これら配線 55 a, 55 b はそれぞれ、それぞれ絶縁層 2 を貫通するスルーホール導体 TH 25 a, TH 25 b を介して、絶縁層 2 の上面に形成される配線 84 に接続される (図 17)。配線 84 は、図 11 に示したように、内部回路 90 内のノア回路 91 の出力に接続される配線である。したがって、ゲート電極 94 G には、ノア回路 91 の出力が供給される。

[0063] ゲート電極 95 G は、図 12 に示した絶縁層 1 を貫通するスルーホール導体 TH 18 を介して、図 15 に示すように、それぞれ絶縁層 1 の上面に形成される配線 52 a, 52 b に接続される。配線 52 a, 52 b はそれぞれ、ゲート電極 95 G の Y 方向の一端及び他端に設けられる。配線 52 a, 52 b はそれぞれ、絶縁層 5 を貫通するスルーホール導体 TH 22 a, TH 22 b を介して絶縁層 5 の上面に形成される配線 57 a, 57 b に接続され (図 16)、さらに、これら配線 57 a, 57 b はそれぞれ、それぞれ絶縁層 2 を貫通するスルーホール導体 TH 27 a, TH 27 b を介して、絶縁層 2 の上面に形成される配線 85 に接続される (図 17)。配線 85 は、図 11 に示したように、内部回路 90 内のナンド回路 92 の出力に接続される配線である。したがって、ゲート電極 95 G には、ナンド回路 92 の出力が供給される。

[0064] 活性領域 K 3 の上方には、図 15 に示すように、さらに配線 51, 54 が配置される。配線 54 は、活性領域 K 2, K 4 の上方にも配置される。活性

領域K4の上方には、配線53も配置される。

- [0065] 配線51は、図12に示した絶縁層11を貫通するスルーホール導体TH11、TH14をそれぞれ介して拡散層94D2、96に接続される(図15)とともに、絶縁層15を貫通するスルーホール導体TH21を介して、絶縁層15の上面に形成される配線56に接続される(図16)。配線56はさらに、絶縁層12を貫通するスルーホール導体TH26を介して、絶縁層12の上面に形成される電源配線81に接続される(図17)。電源配線81には、図11に示したように、接地電位VSSが供給される。したがって、拡散層94D2、96には、接地電位VSSが供給されることになる。
- [0066] 配線53は、図12に示した絶縁層11を貫通するスルーホール導体TH16、TH19をそれぞれ介して拡散層95D2、97に接続される(図15)とともに、絶縁層15を貫通するスルーホール導体TH23を介して、絶縁層15の上面に形成される配線58に接続される(図16)。配線58はさらに、絶縁層12を貫通するスルーホール導体TH28を介して、絶縁層12の上面に形成される電源配線82に接続される(図17)。電源配線82には、図11に示したように、電源電位VDDが供給される。したがって、拡散層95D2、97には、電源電位VDDが供給されることになる。
- [0067] 配線54は、図15に示すように、図12に示した絶縁層11を貫通するスルーホール導体TH12を介して拡散層94D1に接続されるとともに、絶縁層11を貫通するスルーホール導体TH17を介して拡散層95D1に接続される。また、配線54は、上述したように、貫通電極TSV及び表面マイクロバンプMFBに接続される(図12)。したがって、拡散層94D1、95D1はともに、図11に示したように、表面マイクロバンプMFBに接続されることになる。
- [0068] その他、図11に示したライトデータWD用の配線83は、図12及び図18に示すように、絶縁層13の上面に形成され、配線75を介して、対応する表面マイクロバンプMFBに接続される。したがって、表面マイクロバンプMFBに供給されたライトデータWDを、配線83経由で内部回路90

に取り込むことが可能になっている。

[0069] 次に、複数の表面マイクロバンプMFBのそれぞれに対応するトランジスタ94, 95の平面的な配置について説明する。以下では、図16に示す表面マイクロバンプMFB₁~MFB₉（第1乃至第9のバンプ電極）に着目して、説明を進める。なお、図16に示したこれらの符号は、対応する配線71の真上にある表面マイクロバンプMFBを指している。表面マイクロバンプMFB₁~MFB₉は、第1の実施の形態で説明した表面マイクロバンプMFB₁~MFB₉（図7）と同じものである。

[0070] 表面マイクロバンプMFB₁~MFB₉の相対的な位置関係は、第1の実施の形態で説明したとおりである。本実施の形態では、表面マイクロバンプMFB_k（kは1~9の整数）は、トランジスタ94_k（第2k-1のトランジスタ）及びトランジスタ95_k（第2kのトランジスタ）に対応している。

[0071] 図16に示すように、トランジスタ95₁, 95₄は、表面マイクロバンプMFB₁, MFB₄の間の領域に配置される。同様に、トランジスタ95₂, 95₅は表面マイクロバンプMFB₂, MFB₅の間の領域に配置され、トランジスタ95₃, 95₆は表面マイクロバンプMFB₃, MFB₆の間の領域に配置され、トランジスタ94₁, 94₇は表面マイクロバンプMFB₁, MFB₇の間の領域に配置され、トランジスタ94₂, 94₈は表面マイクロバンプMFB₂, MFB₈の間の領域に配置され、トランジスタ94₃, 94₉は表面マイクロバンプMFB₃, MFB₉の間の領域に配置される。さらに、トランジスタ94₄は表面マイクロバンプMFB₄に対してトランジスタ95₄の反対側に配置され、トランジスタ94₅は、表面マイクロバンプMFB₅に対してトランジスタ95₅の反対側に配置され、トランジスタ94₆は、表面マイクロバンプMFB₆に対してトランジスタ95₆の反対側に配置され、トランジスタ95₇は、表面マイクロバンプMFB₇に対してトランジスタ94₇の反対側に配置され、トランジスタ95₈は、表面マイクロバンプMFB₈に対してトランジスタ94₈の反対側に配置され、トランジスタ95₉は、表面マイクロバンプMFB₉に対してトランジスタ94₉の反対側に配置される。

- [0072] 以上の配置から理解されるように、Y方向に隣接する表面マイクロバンプMFB間では、トランジスタ94、95の配置が左右逆になっている。こうすることで、X方向に隣接する表面マイクロバンプMFB間で、接地電位VSSを供給するための電源配線81（図17）及び配線56（図16）、及び、電源電位VDDを供給するための電源配線82（図17）及び配線58（図16）を共有することが可能になっている。なお、図16及び図17から理解されるように、これらの配線56、58、81、82はそれぞれ、Y方向に隣接する表面マイクロバンプMFB間に共通に接続される。
- [0073] 上述した接続関係を表面マイクロバンプMFB₁～MFB₉について説明すると、トランジスタ94_kの拡散層94D1（第4k-3の拡散層）と、トランジスタ95_kの拡散層95D1（第4k-1の拡散層）とは、対応する表面マイクロバンプMFB_kに接続される。また、各トランジスタ94_kの拡散層94D2（第4k-2の拡散層）は、拡散層96とともに接地電位VSSが供給される電源配線81（図17）に接続され、各トランジスタ95_kの拡散層95D2（第4kの拡散層）は、拡散層97とともに電源電位VDDが供給される電源配線82（図17）に接続される。
- [0074] 以上説明したように、本実施の形態による半導体装置10の構成によれば、図11に示した表面マイクロバンプMFBごとの出力回路93（トランジスタ94、95）を、バンプ電極設置領域BA内に配置することが可能になる。したがって、出力回路93を設置するための領域をバンプ電極設置領域BA外に設ける必要がないので、面積の利用効率を向上し、半導体装置の小型化を実現することが可能になる。
- [0075] 以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。
- [0076] 例えば、本発明は、貫通電極TSVを有するメモリチップを用いない半導体装置にも好適に適用できる。図19（b）には、そのような半導体装置1

0 a の例を示している。半導体装置 10 a は、同図に示すように、第 1 及び第 2 の実施の形態で説明した半導体装置 10 からメモリチップ 21～23 を取り除き、貫通電極 TSV を有しないメモリチップ 24 をコントローラチップ 30 の上に直接積層した構成を有している。このような半導体装置 10 a に含まれるメモリチップ 24 に内蔵される静電放電保護回路やリードデータの出力回路にも、本発明は好適に適用可能である。なお、半導体装置 10 a も半導体装置 10 と同様、図 19 (a) に示す半製品 10 a A を用意し、これをコントロールチップ 30 及び回路基板 40 に接続することによって製造することが好適である。

符号の説明

| | | |
|--------|--|-----------|
| [0077] | 2, 3, 60, 90 | 内部回路 |
| | 10, 10 a | 半導体装置 |
| | 10 A, 10 a A | 半製品 |
| | 21～24 | メモリチップ |
| | 30 | コントロールチップ |
| | 40 | 回路基板 |
| | 41 | 基板電極 |
| | 42 | 外部端子 |
| | 43 | 封止樹脂 |
| | 50 a, 50 b, 52 a, 52 b, 51, 53, 54, 55 a, 55 b, 56, 57 a, 57 b, 58, 63, 64, 71, 73, 75, 80, 84, 84, 85 | 配線 |
| | 81, 82 | 電源配線 |
| | 61 | 静電放電保護回路 |
| | 62, 62 ₁ ～62 ₉ , 94, 95 | トランジスタ |
| | 62D1, 62D2, 94D1, 94D2, 96, 95D1, 95D2, 97 | 拡散層 |
| | 62G, 94G | ゲート電極 |

| | |
|---|-----------|
| 621, 941 | ゲート絶縁膜 |
| 72, 74, 76, 77, TH1~TH6, TH11~TH14, TH16~TH19, TH20a, TH20b, TH21, TH22a, TH22b, TH23, TH25a, TH25b, TH26, TH27a, TH27b, TH28 | スルーホール導体 |
| 91 | ノア回路 |
| 92 | ナンド回路 |
| 93 | 出力回路 |
| BA | バンプ電極設置領域 |
| CBB | 裏面マイクロバンプ |
| CFB | 表面マイクロバンプ |
| ChA~ChD | チャネル |
| I1~I5 | 絶縁層 |
| IS | 素子分離用絶縁膜 |
| K1~K4 | 活性領域 |
| MBB | 裏面マイクロバンプ |
| MFB, MFBa~MFBd, MFB ₁ ~MFB ₉ | 表面マイクロバンプ |
| SS | 半導体基板 |
| TP | テストパッド |
| TSV, TSV1, TSV2 | 貫通電極 |

請求の範囲

[請求項1]

半導体基板と、
前記半導体基板の上に形成され、第1の方向に沿って第1のピッチで配置された第1乃至第3のバンプ電極と、
前記半導体基板の上に形成され、前記第1の方向に沿って前記第1のピッチで配置された第4乃至第6のバンプ電極と、
前記半導体基板の上に形成され、前記第1の方向に沿って前記第1のピッチで配置された第7乃至第9のバンプ電極と、
それぞれ前記半導体基板に形成された第1及び第2の拡散層を含む第1のトランジスタと、
前記半導体基板の上に配置された第1の電源線とを備え、
前記第1、第4、第7のバンプ電極は、前記第1の方向に交差する第2の方向に沿って、前記第1のバンプ電極が前記第4及び第7のバンプ電極の間に位置するよう第2のピッチで配置され、
前記第2、第5、第8のバンプ電極は、前記第2の方向に沿って、前記第2のバンプ電極が前記第5及び第8のバンプ電極の間に位置するよう前記第2のピッチで配置され、
前記第3、第6、第9のバンプ電極は、前記第2の方向に沿って、前記第3のバンプ電極が前記第6及び第9のバンプ電極の間に位置するよう前記第2のピッチで配置され、
前記第1の拡散層は前記第1のバンプ電極に接続され、
前記第2の拡散層は前記第1の電源線に接続され、
前記第1のトランジスタは、前記第4乃至第6のバンプ電極と前記第7乃至第9のバンプ電極との間の領域に配置されることを特徴とする半導体装置。

[請求項2]

前記第1乃至第9のバンプ電極はそれぞれ、前記半導体基板を貫通する第1乃至第9の貫通電極に接続されることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記第1のトランジスタは、前記半導体基板の上に形成された第1のゲート電極をさらに含み、

前記第1のゲート電極は前記第1の電源線に接続されることを特徴とする請求項1に記載の半導体装置。

[請求項4] それぞれ前記半導体基板に形成された第3及び第4の拡散層並びに第2のゲート電極を含む第2のトランジスタと、

それぞれ前記半導体基板に形成された第5及び第6の拡散層並びに第3のゲート電極を含む第3のトランジスタと、

それぞれ前記半導体基板に形成された第7及び第8の拡散層並びに第4のゲート電極を含む第4のトランジスタと、

それぞれ前記半導体基板に形成された第9及び第10の拡散層並びに第5のゲート電極を含む第5のトランジスタと、

それぞれ前記半導体基板に形成された第11及び第12の拡散層並びに第6のゲート電極を含む第6のトランジスタと、

それぞれ前記半導体基板に形成された第13及び第14の拡散層並びに第7のゲート電極を含む第7のトランジスタと、

それぞれ前記半導体基板に形成された第15及び第16の拡散層並びに第8のゲート電極を含む第8のトランジスタと、

それぞれ前記半導体基板に形成された第17及び第18の拡散層並びに第9のゲート電極を含む第9のトランジスタとをさらに備え、

前記第3の拡散層は前記第2のバンプ電極に接続され、

前記第5の拡散層は前記第3のバンプ電極に接続され、

前記第7の拡散層は前記第4のバンプ電極に接続され、

前記第9の拡散層は前記第5のバンプ電極に接続され、

前記第11の拡散層は前記第6のバンプ電極に接続され、

前記第13の拡散層は前記第7のバンプ電極に接続され、

前記第15の拡散層は前記第8のバンプ電極に接続され、

前記第17の拡散層は前記第9のバンプ電極に接続され、

前記第4の拡散層、前記第2のゲート電極、前記第6の拡散層、前記第3のゲート電極、前記第8の拡散層、前記第4のゲート電極、前記第10の拡散層、前記第5のゲート電極、前記第12の拡散層、前記第6のゲート電極、前記第14の拡散層、前記第7のゲート電極、前記第16の拡散層、前記第8のゲート電極、前記第18の拡散層、及び前記第9のゲート電極は前記第1の電源線に接続され、

前記第1乃至第9のトランジスタはそれぞれ、前記第1乃至第9のバンプ電極のうちの対応するものの平面的な中心から見て、前記第1の方向に第1の距離離れ、かつ前記第2の方向に第2の距離離れた位置に平面的な中心が位置するように配置され、

前記第1の距離は、前記第1のピッチより小さく、
前記第2の距離は、前記第2のピッチより小さい
ことを特徴とする請求項3に記載の半導体装置。

[請求項5]

それぞれ前記半導体基板に形成された第3及び第4の拡散層を含む第2のトランジスタと、

前記半導体基板の上に配置され、かつ前記第1の電源線とは異なる電位が供給される第2の電源線とをさらに備え、

前記第3の拡散層は前記第1のバンプ電極に接続され、

前記第4の拡散層は前記第2の電源線に接続され、

前記第1のトランジスタは、前記第1のバンプ電極と前記第7のバンプ電極との間の領域に配置され、

前記第2のトランジスタは、前記第1のバンプ電極と前記第4のバンプ電極との間の領域に配置される

ことを特徴とする請求項1に記載の半導体装置。

[請求項6]

前記第1のバンプ電極と前記第7のバンプ電極との間の領域に配置された第1の活性領域と、

前記第1のバンプ電極と前記第4のバンプ電極との間の領域に配置された第2の活性領域とをさらに備え、

前記第1及び第2の拡散層は前記第1の活性領域内に配置され、
前記第3及び第4の拡散層は前記第2の活性領域内に配置される
ことを特徴とする請求項5に記載の半導体装置。

[請求項7]

前記第1のトランジスタは第1の導電型のトランジスタであり、
前記第2のトランジスタは、前記第1の導電型とは異なる第2の導
電型のトランジスタである

ことを特徴とする請求項5に記載の半導体装置。

[請求項8]

前記第1のトランジスタは第1のゲート電極を含み、
前記第2のトランジスタは第2のゲート電極を含み、
前記第1及び第2のゲート電極のそれぞれには、前記第1のバンプ
電極を通じて出力されるべき出力データを示す電位が供給される

ことを特徴とする請求項5に記載の半導体装置。

[請求項9]

それぞれ前記半導体基板に形成された第5及び第6の拡散層を含む
第3のトランジスタと、

それぞれ前記半導体基板に形成された第7及び第8の拡散層を含む
第4のトランジスタと、

それぞれ前記半導体基板に形成された第9及び第10の拡散層を含
む第5のトランジスタと、

それぞれ前記半導体基板に形成された第11及び第12の拡散層を
含む第6のトランジスタと、

それぞれ前記半導体基板に形成された第13及び第14の拡散層を
含む第7のトランジスタと、

それぞれ前記半導体基板に形成された第15及び第16の拡散層を
含む第8のトランジスタと、

それぞれ前記半導体基板に形成された第17及び第18の拡散層を
含む第9のトランジスタと、

それぞれ前記半導体基板に形成された第19及び第20の拡散層を
含む第10のトランジスタと、

それぞれ前記半導体基板に形成された第21及び第22の拡散層を含む第11のトランジスタと、

それぞれ前記半導体基板に形成された第23及び第24の拡散層を含む第12のトランジスタと、

それぞれ前記半導体基板に形成された第25及び第26の拡散層を含む第13のトランジスタと、

それぞれ前記半導体基板に形成された第27及び第28の拡散層を含む第14のトランジスタと、

それぞれ前記半導体基板に形成された第29及び第30の拡散層を含む第15のトランジスタと、

それぞれ前記半導体基板に形成された第31及び第32の拡散層を含む第16のトランジスタと、

それぞれ前記半導体基板に形成された第33及び第34の拡散層を含む第17のトランジスタと、

それぞれ前記半導体基板に形成された第35及び第36の拡散層を含む第18のトランジスタとをさらに備え、

前記第5及び第7の拡散層は前記第2のバンプ電極に接続され、

前記第9及び第11の拡散層は前記第3のバンプ電極に接続され、

前記第13及び第15の拡散層は前記第4のバンプ電極に接続され

、

前記第17及び第19の拡散層は前記第5のバンプ電極に接続され

、

前記第21及び第23の拡散層は前記第6のバンプ電極に接続され

、

前記第25及び第27の拡散層は前記第7のバンプ電極に接続され

、

前記第29及び第31の拡散層は前記第8のバンプ電極に接続され

、

前記第 3 3 及び第 3 5 の拡散層は前記第 9 のバンプ電極に接続され、

前記第 6、1 0、1 4、1 8、2 2、2 6、3 0、3 4 の拡散層は前記第 1 の電源線に接続され、

前記第 8、1 2、1 6、2 0、2 4、2 8、3 2、3 6 の拡散層は前記第 2 の電源線に接続され、

前記第 2 及び第 8 のトランジスタは、前記第 1 のバンプ電極と前記第 4 のバンプ電極との間の領域に配置され、

前記第 1 及び第 1 3 のトランジスタは、前記第 1 のバンプ電極と前記第 7 のバンプ電極との間の領域に配置され、

前記第 4 及び第 1 0 のトランジスタは、前記第 2 のバンプ電極と前記第 5 のバンプ電極との間の領域に配置され、

前記第 3 及び第 1 5 のトランジスタは、前記第 2 のバンプ電極と前記第 8 のバンプ電極との間の領域に配置され、

前記第 6 及び第 1 2 のトランジスタは、前記第 3 のバンプ電極と前記第 6 のバンプ電極との間の領域に配置され、

前記第 5 及び第 1 7 のトランジスタは、前記第 3 のバンプ電極と前記第 9 のバンプ電極との間の領域に配置され、

前記第 7 のトランジスタは、前記第 4 のバンプ電極に対して前記第 8 のトランジスタの反対側に配置され、

前記第 9 のトランジスタは、前記第 5 のバンプ電極に対して前記第 1 0 のトランジスタの反対側に配置され、

前記第 1 1 のトランジスタは、前記第 6 のバンプ電極に対して前記第 1 2 のトランジスタの反対側に配置され、

前記第 1 4 のトランジスタは、前記第 7 のバンプ電極に対して前記第 1 3 のトランジスタの反対側に配置され、

前記第 1 6 のトランジスタは、前記第 8 のバンプ電極に対して前記第 1 5 のトランジスタの反対側に配置され、

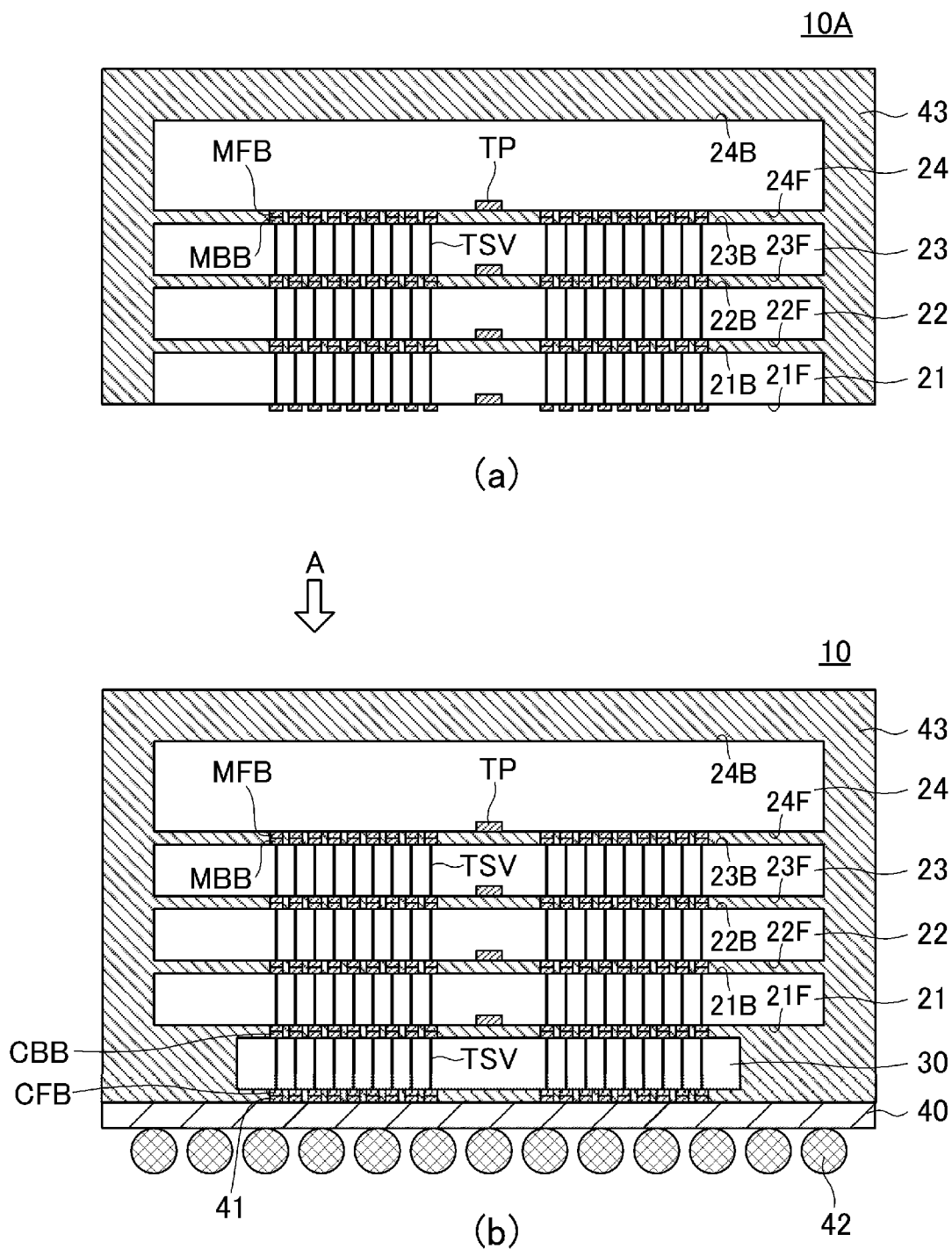
前記第18のトランジスタは、前記第9のバンプ電極に対して前記第17のトランジスタの反対側に配置され、

前記第1、第3、第5、第7、第9、第11、第13、第15、第17のトランジスタは第1の導電型のトランジスタであり、

前記第2、第4、第6、第8、第10、第12、第14、第16、第18のトランジスタは、前記第1の導電型とは異なる第2の導電型のトランジスタである

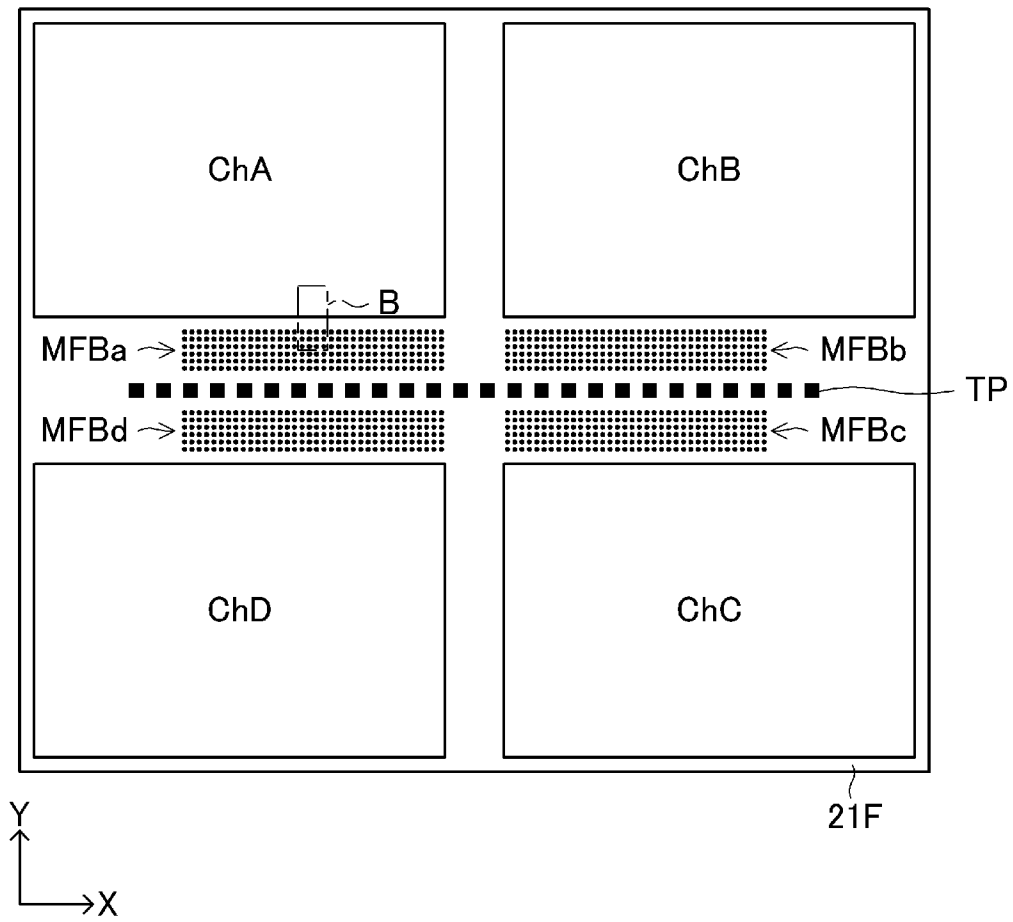
ことを特徴とする請求項5に記載の半導体装置。

[図1]

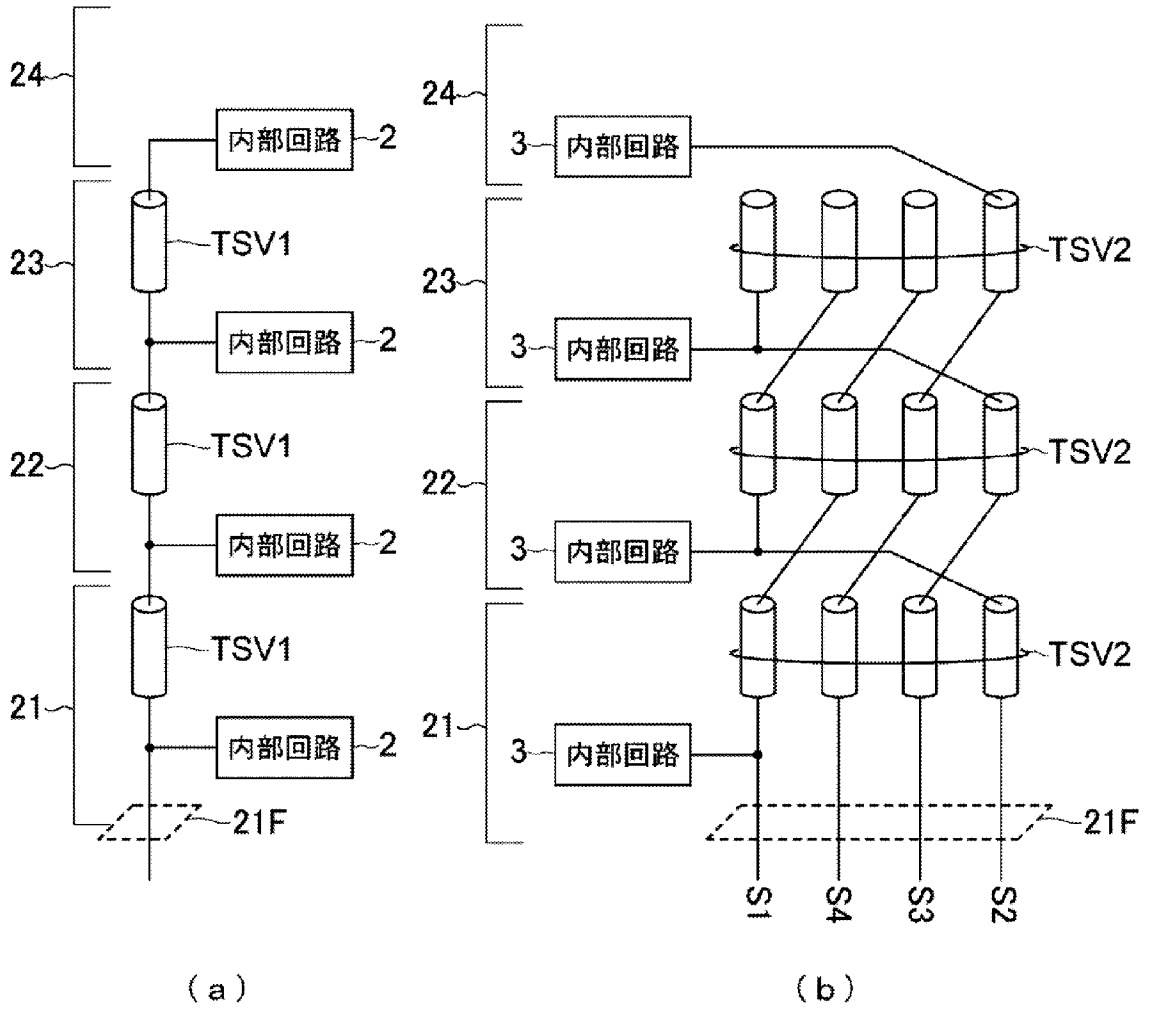


[図2]

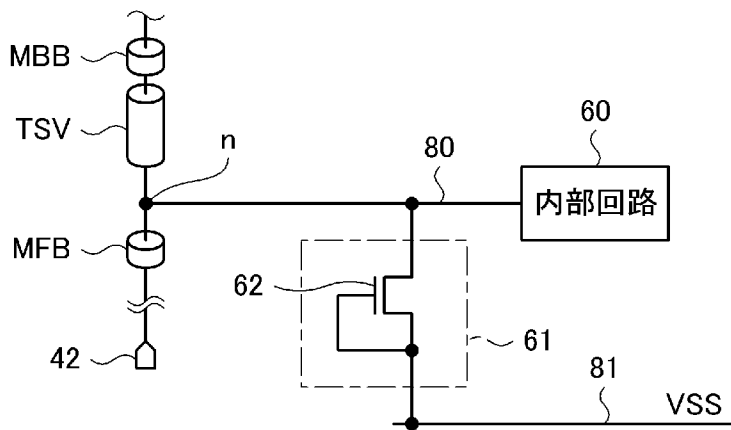
21



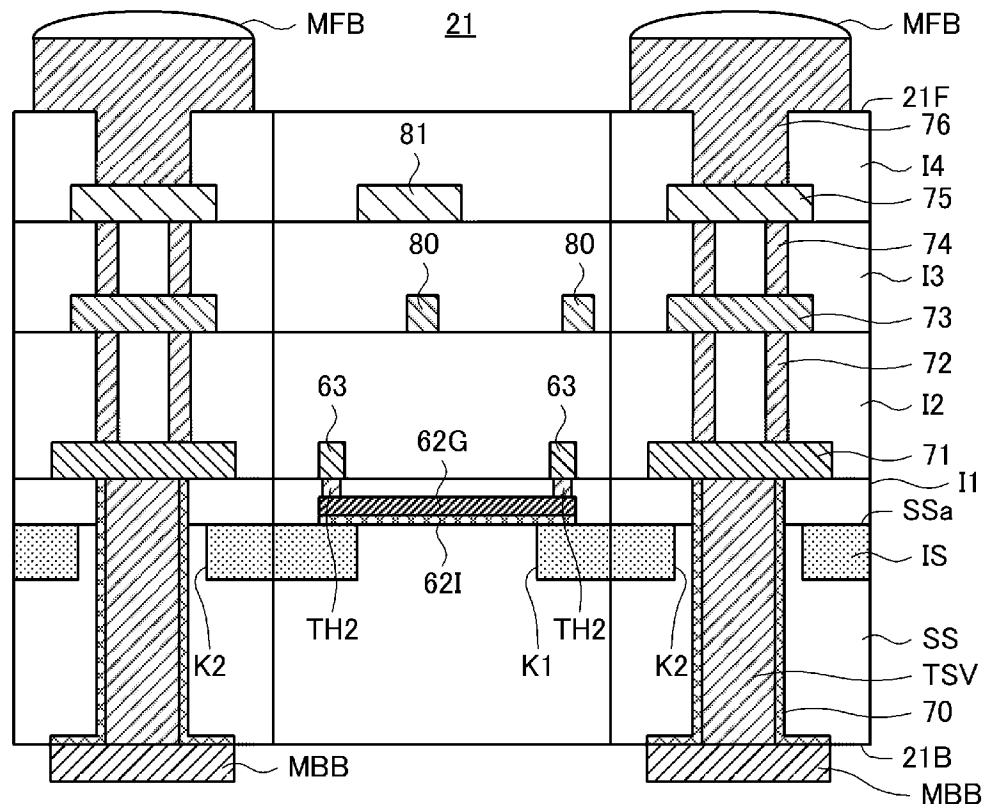
[図3]



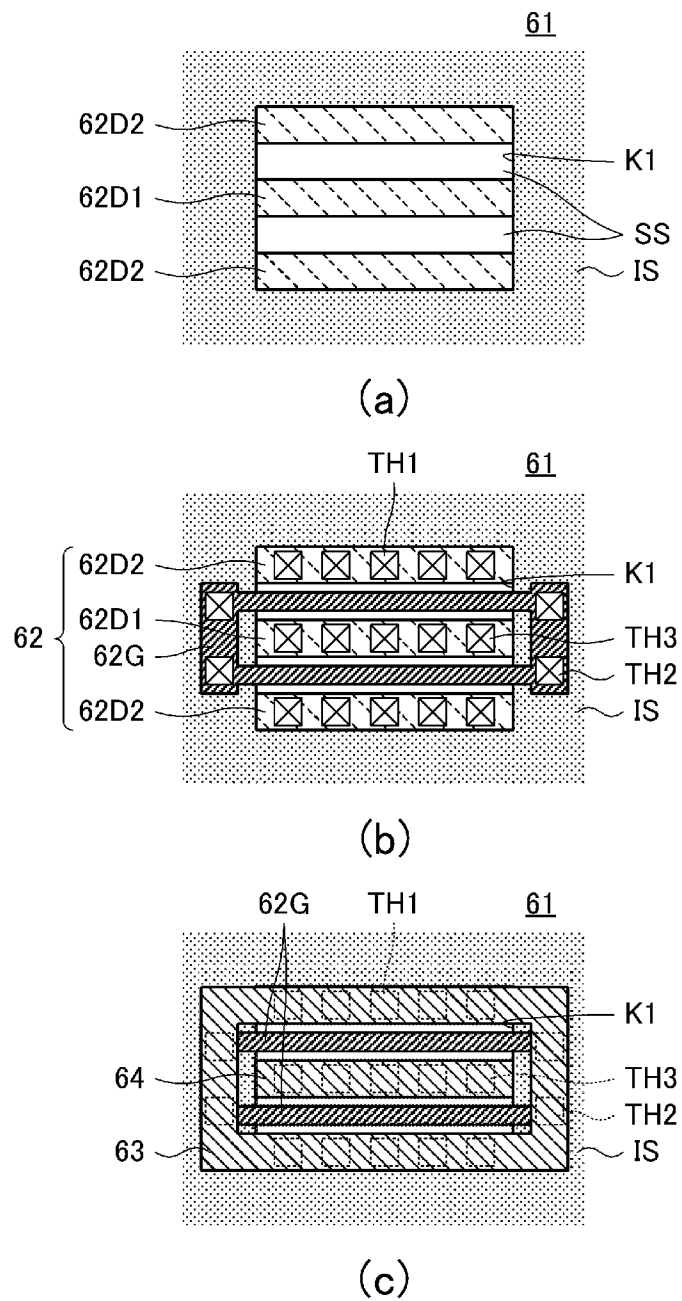
[図4]



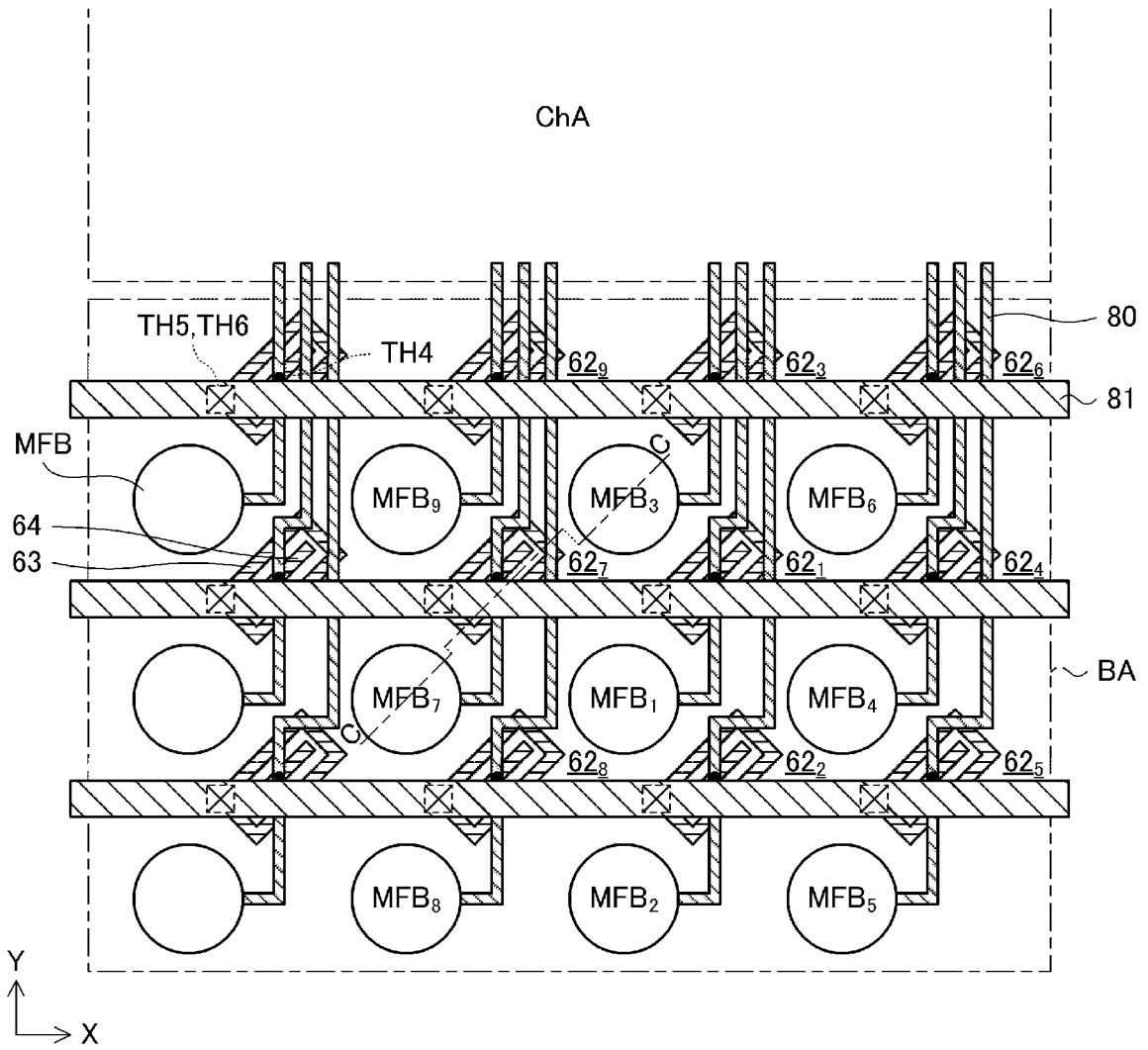
[図5]



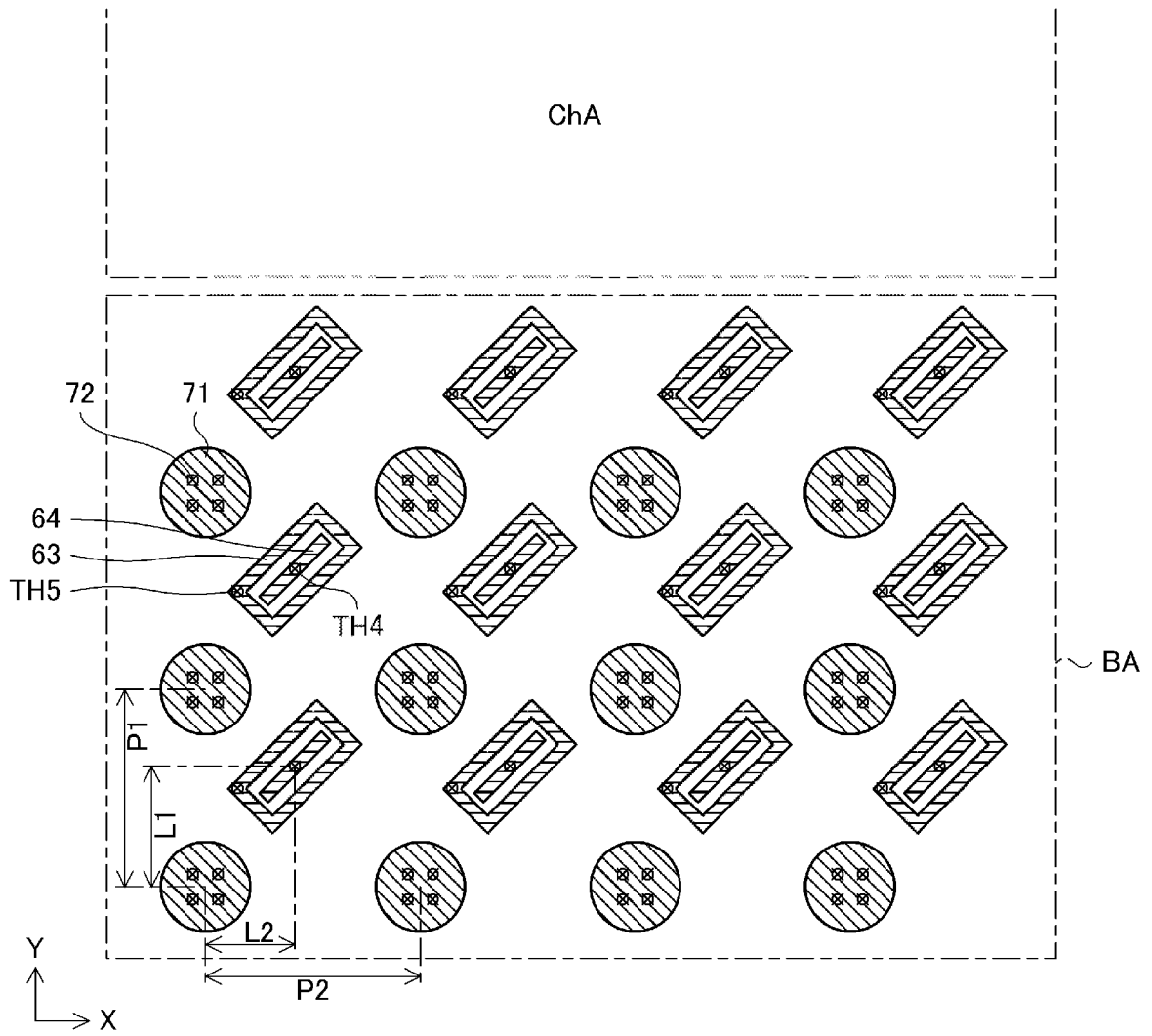
[図6]



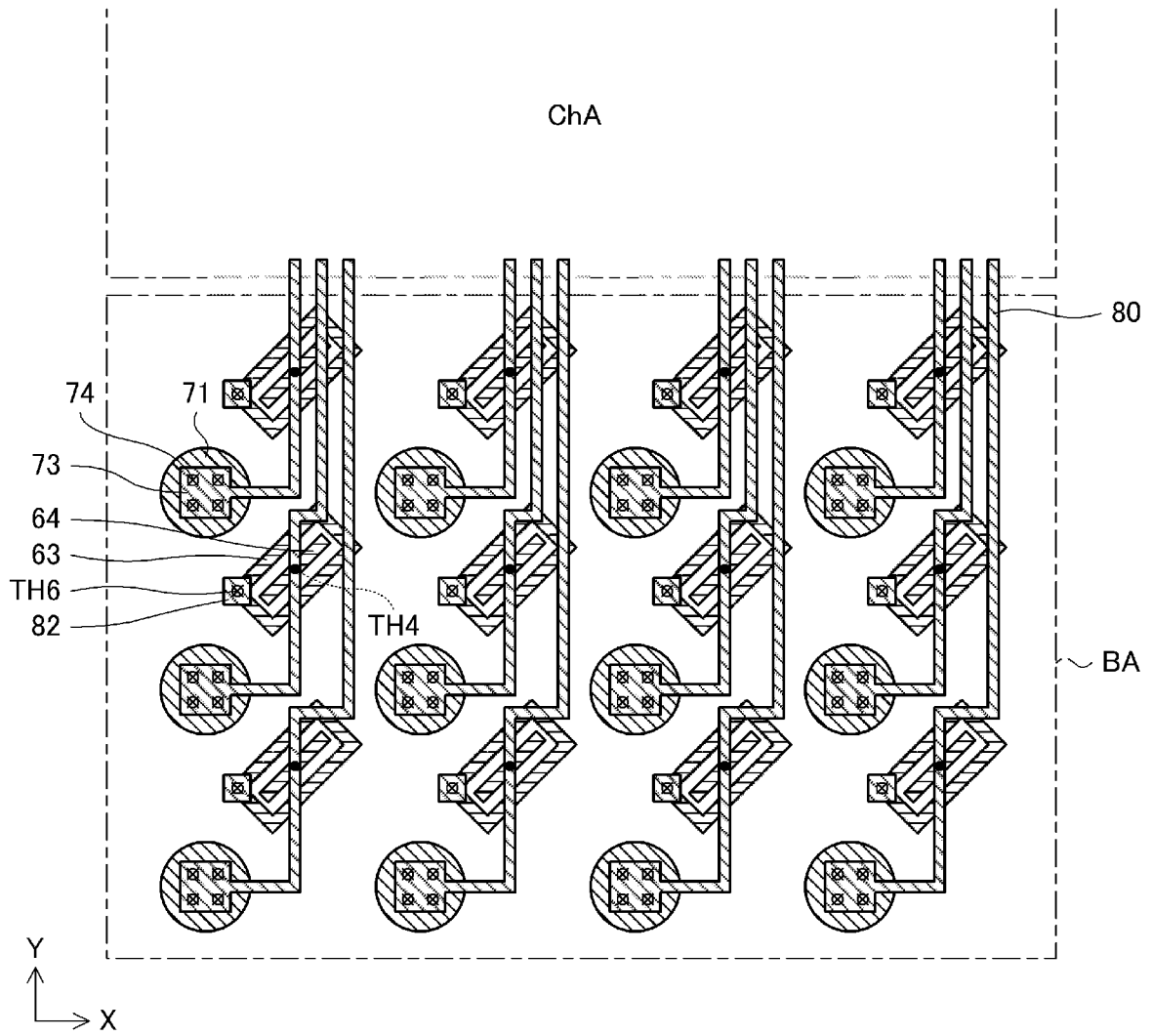
[図7]



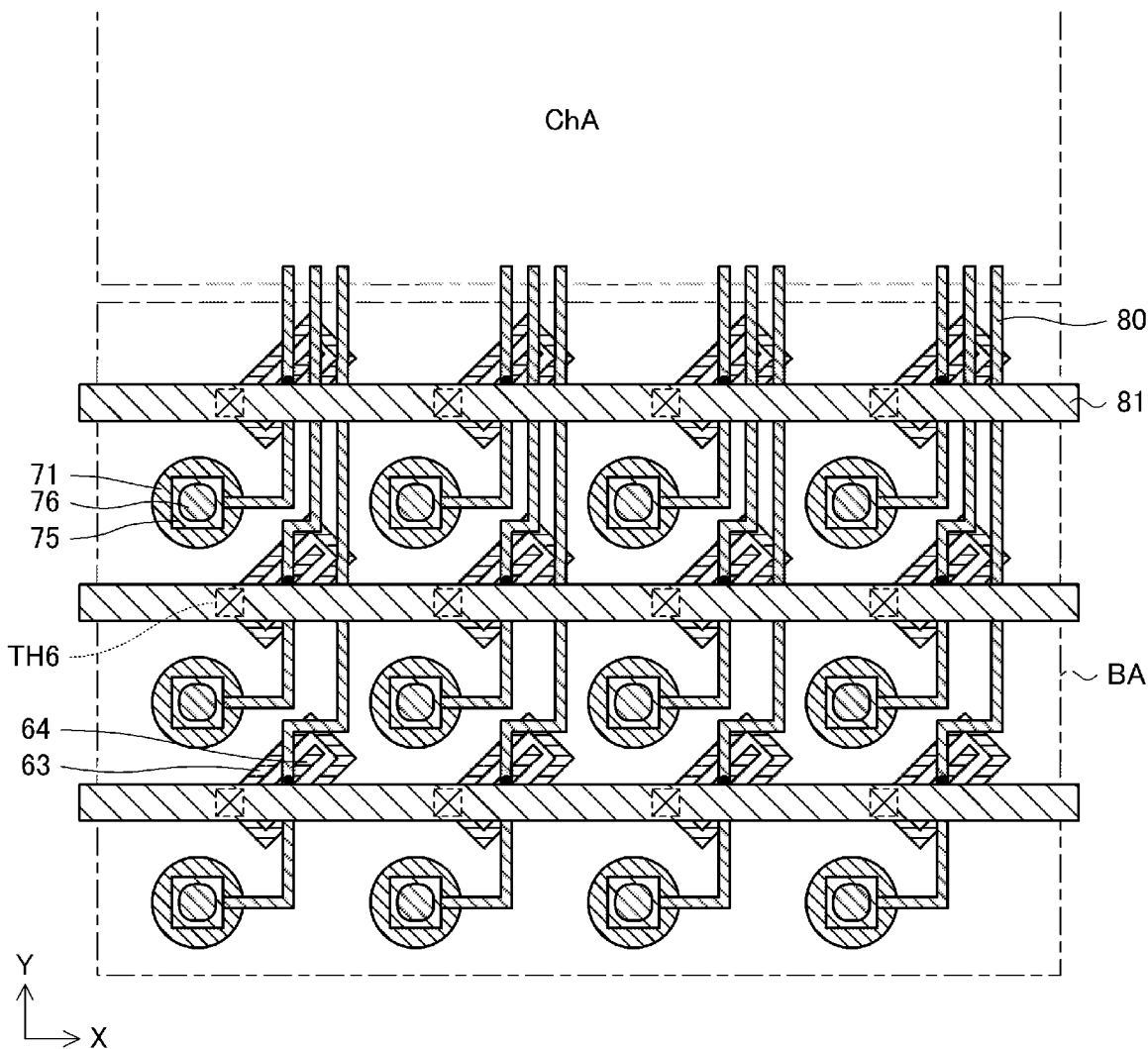
[図8]



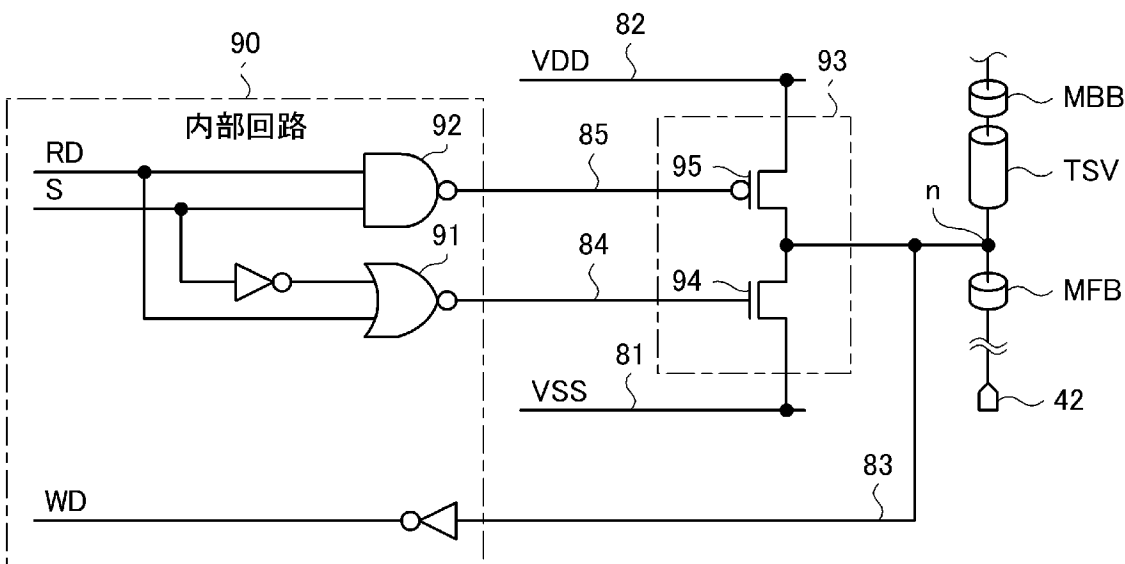
[図9]



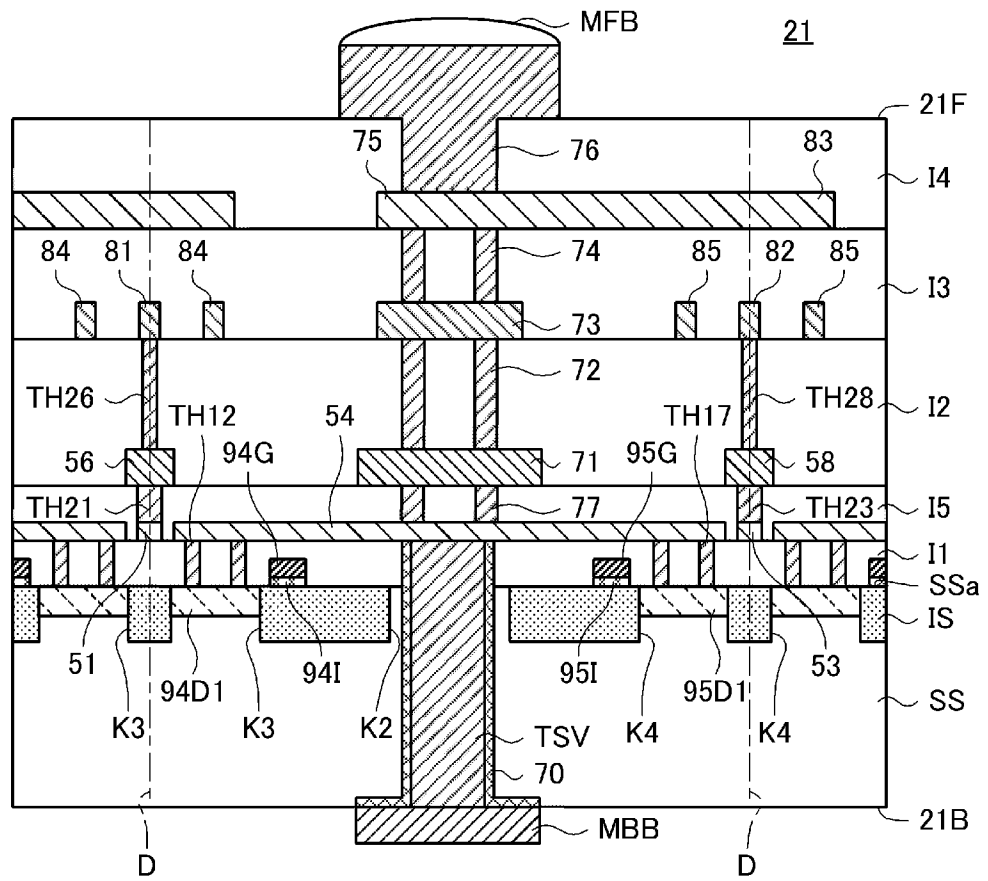
[図10]



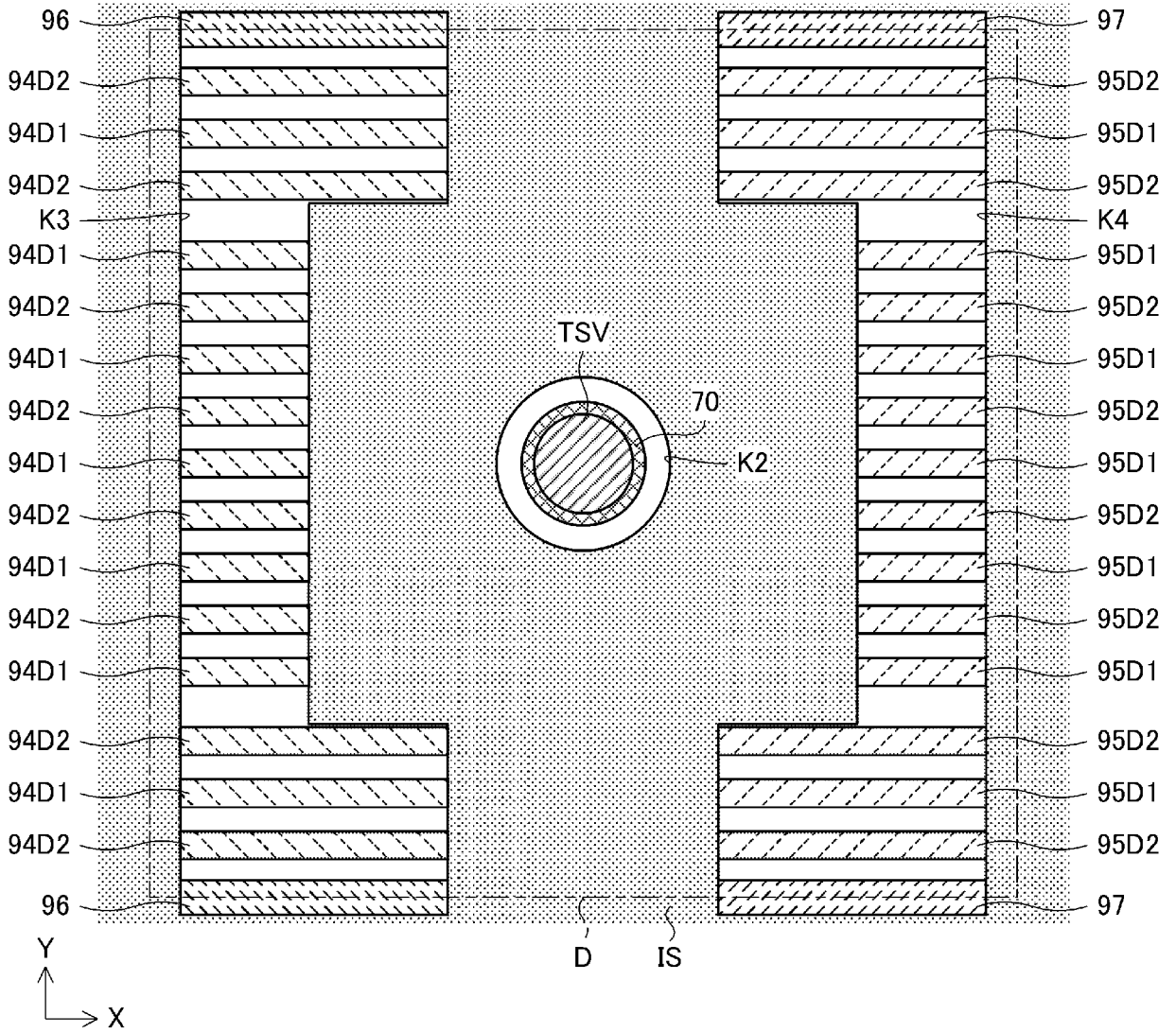
[図11]



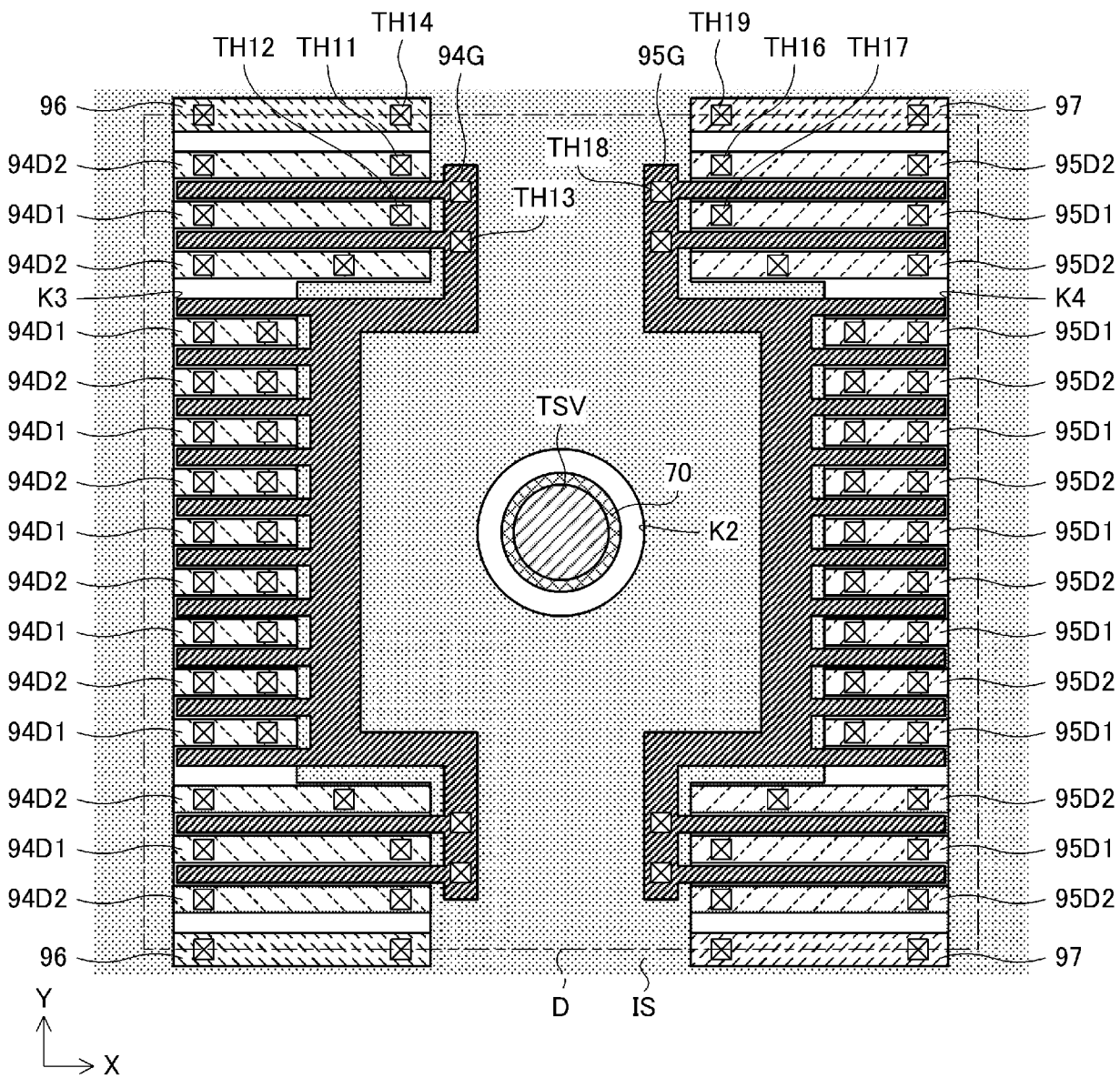
[図12]



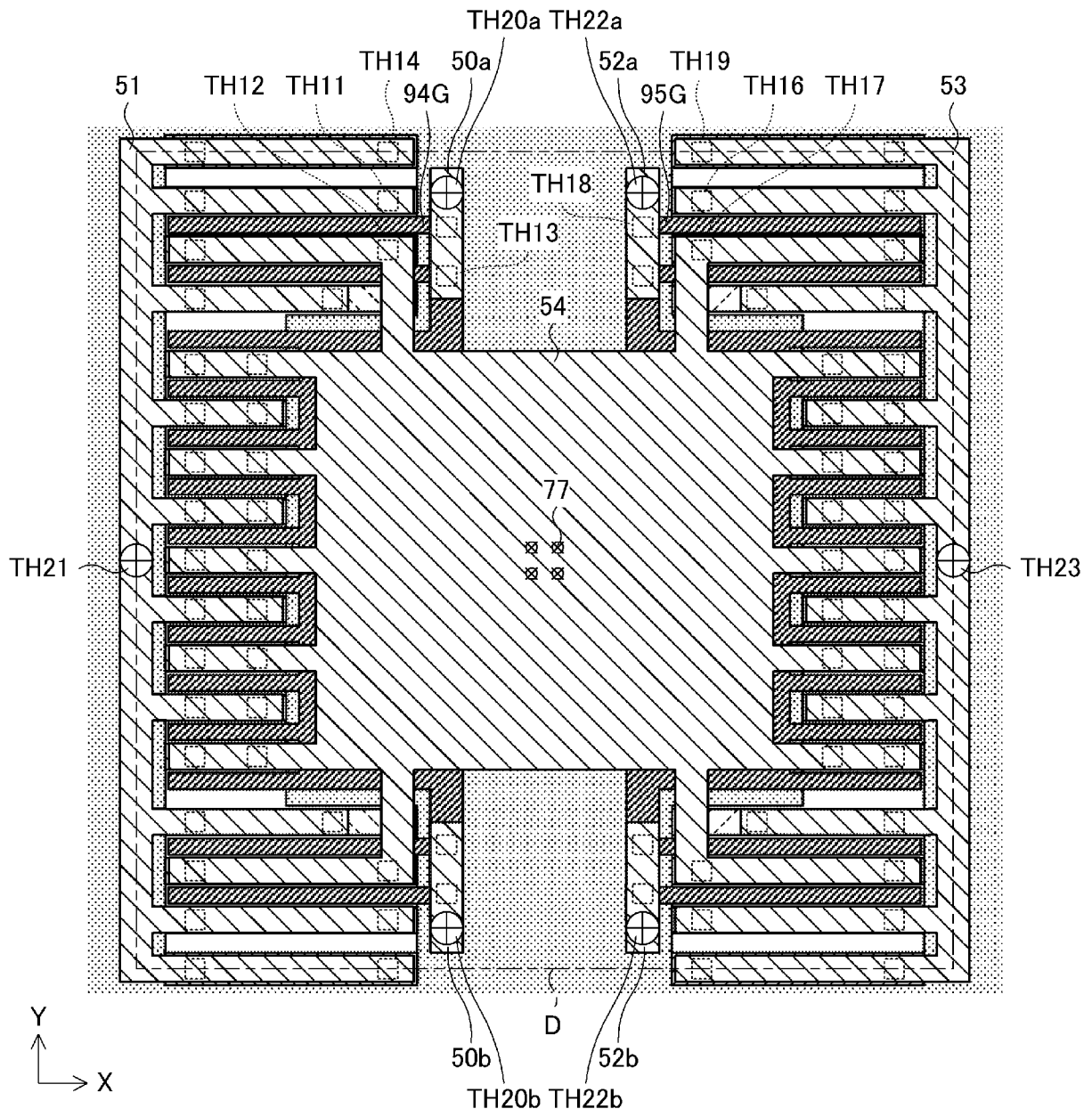
[図13]



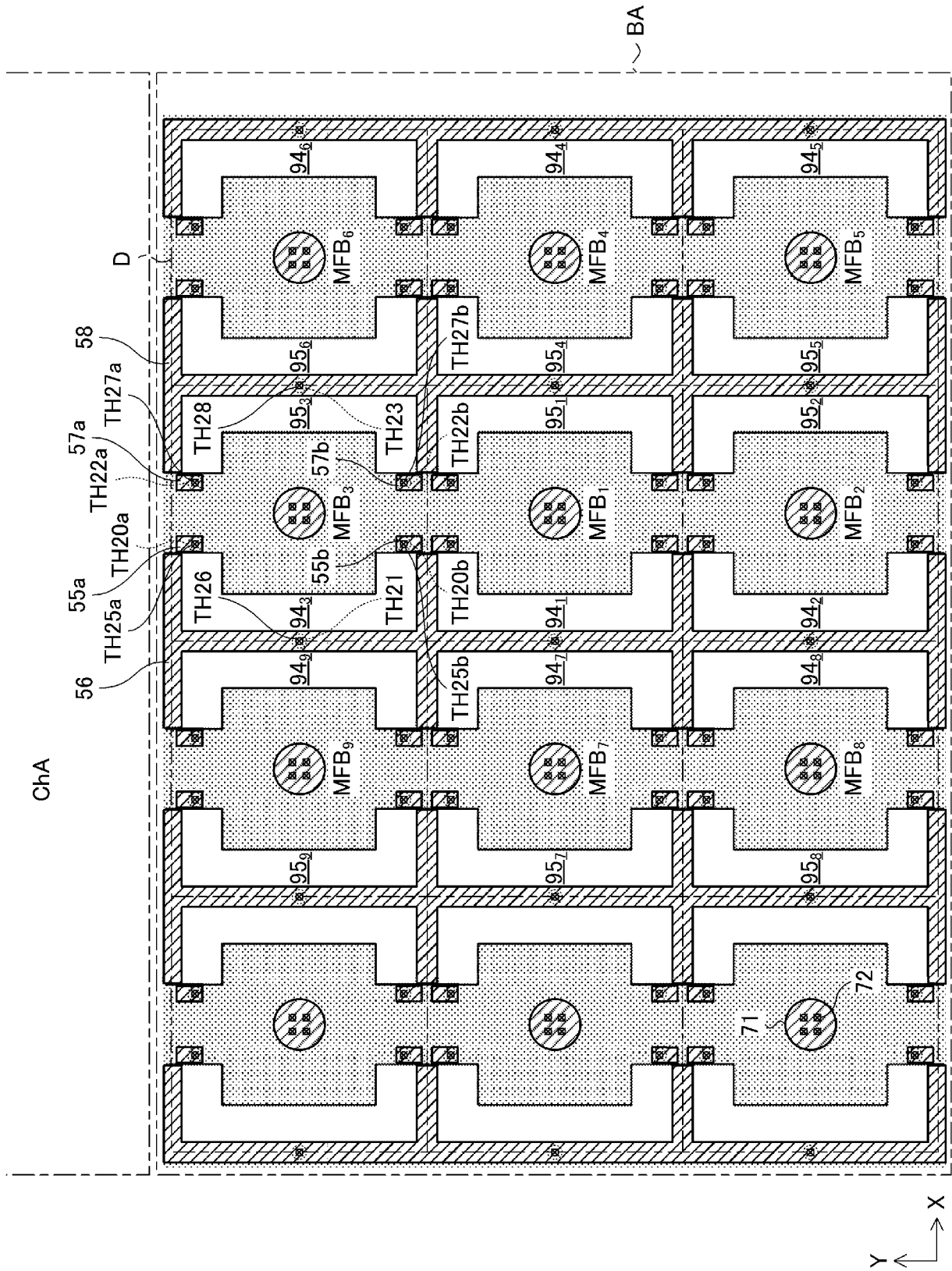
[図14]



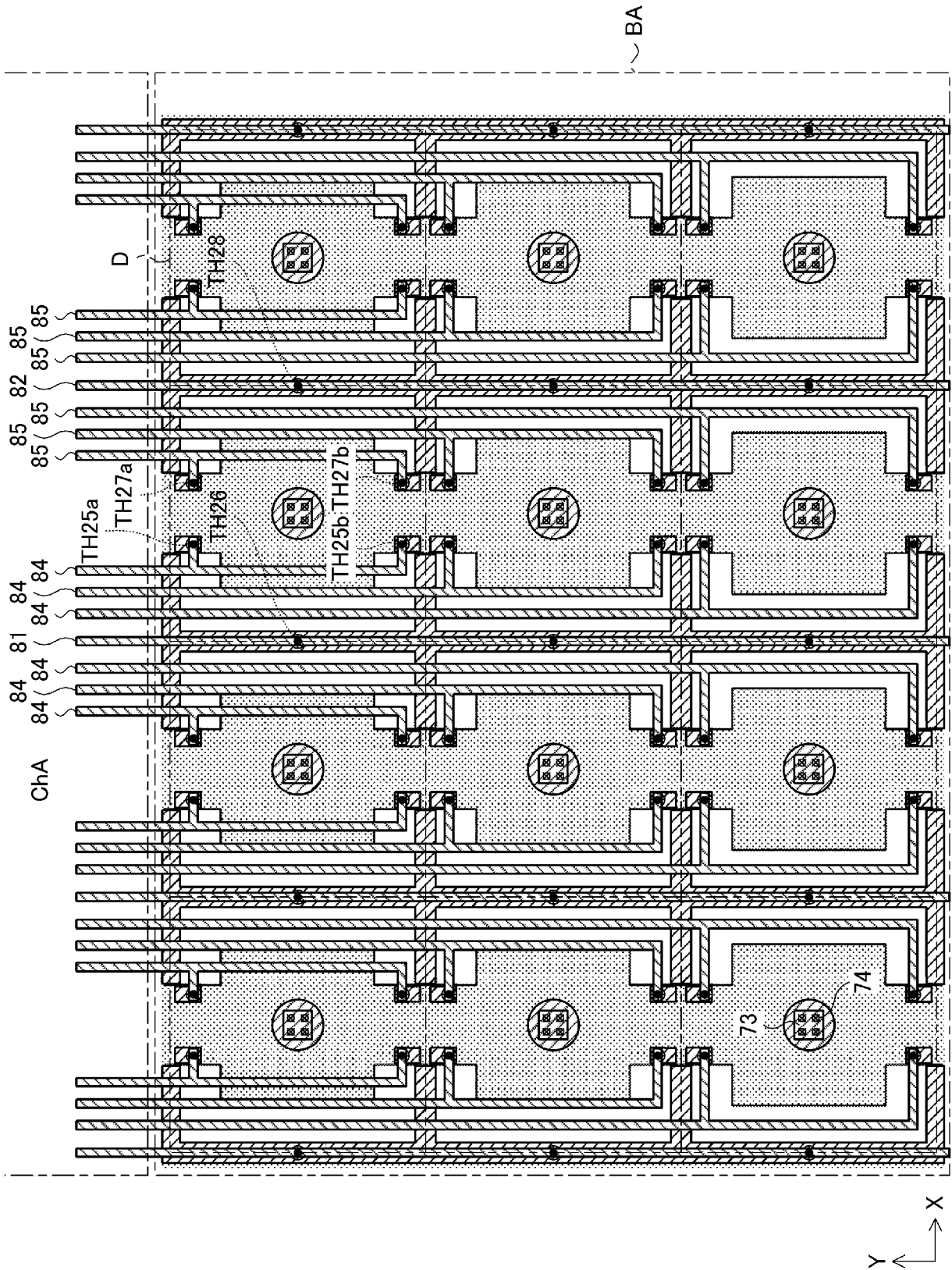
[図15]



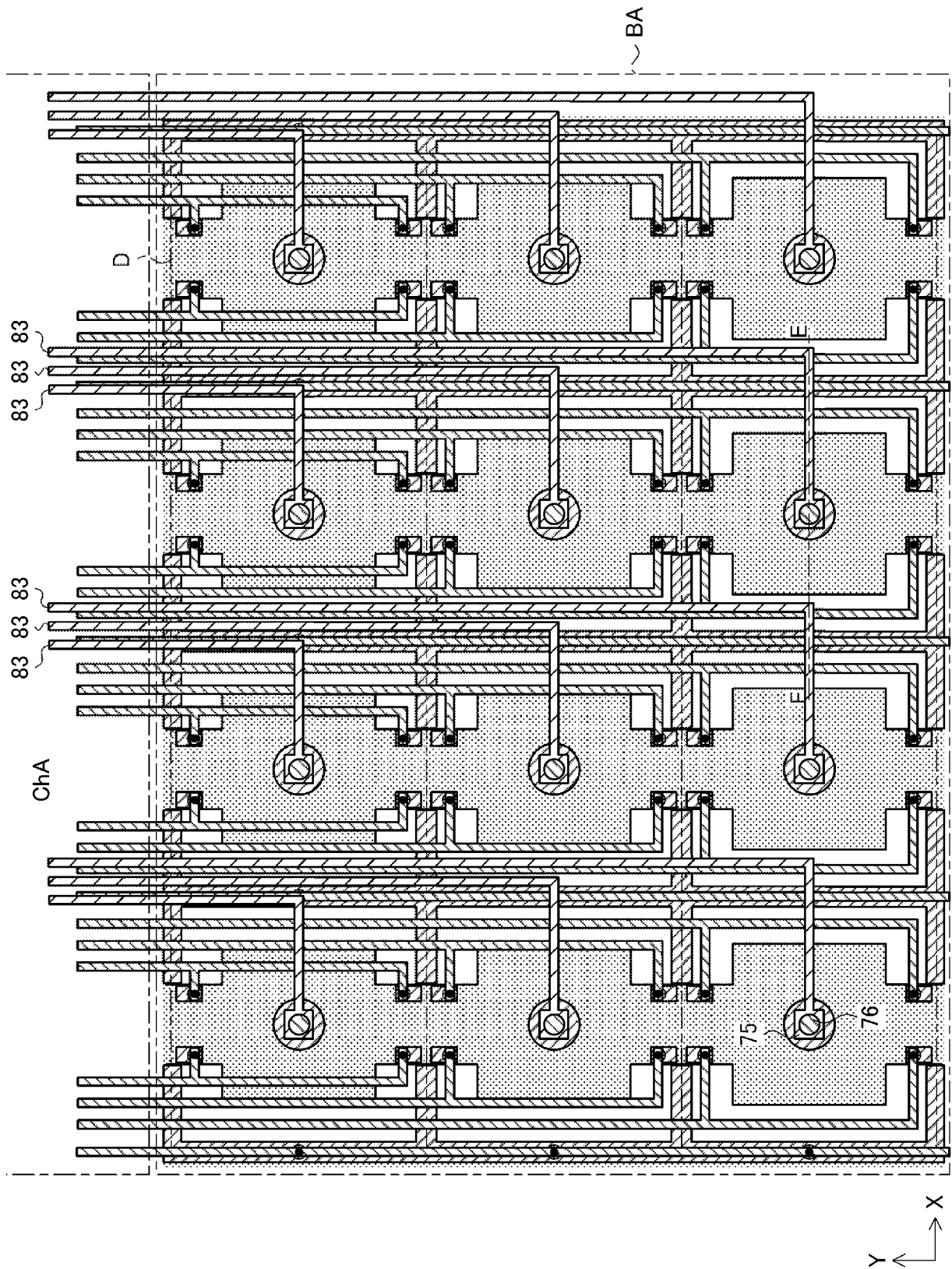
[図16]



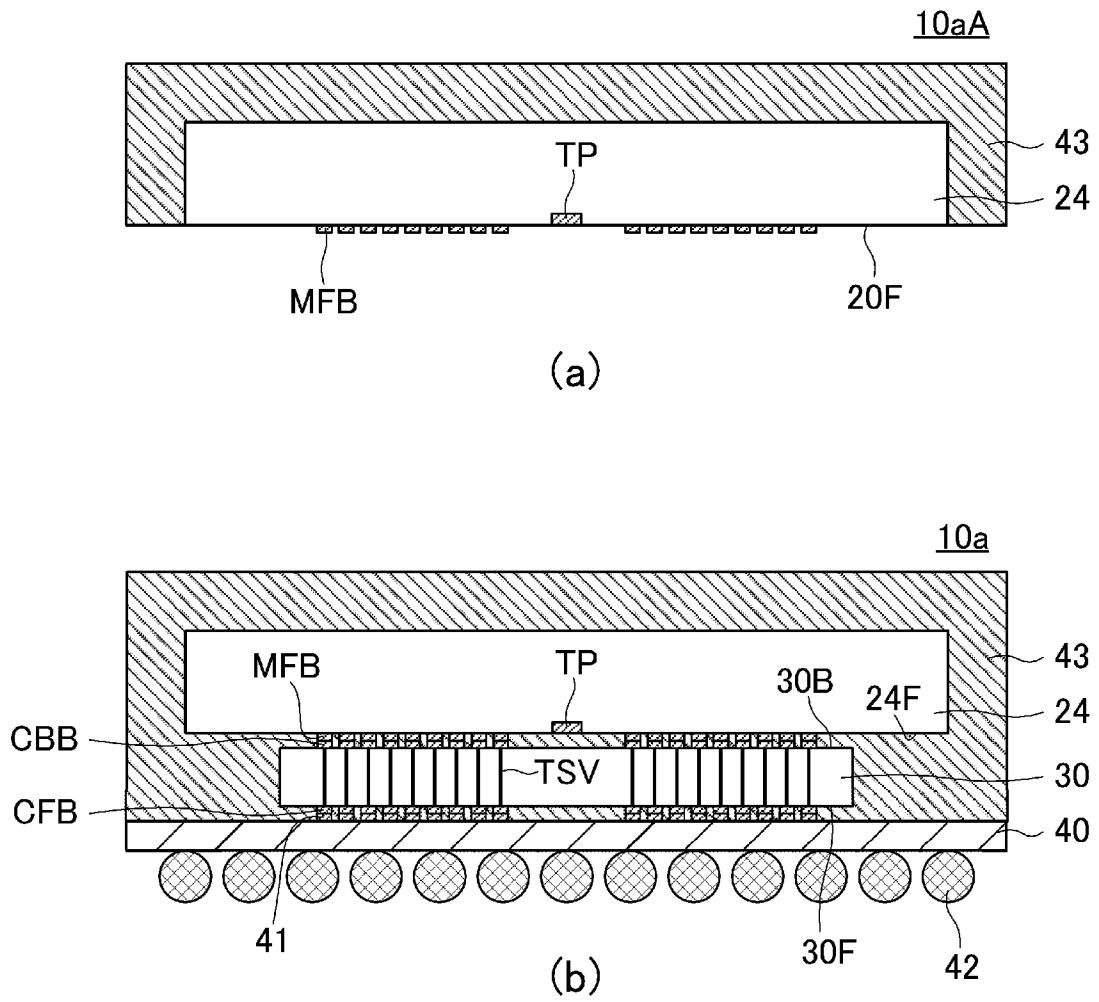
[17]



[18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/065613

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/822(2006.01)i, H01L21/3205(2006.01)i, H01L21/60(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i, H01L27/10(2006.01)i
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H01L21/822, H01L21/3205, H01L21/60, H01L21/768, H01L23/522, H01L27/04, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | JP 2011-171680 A (Panasonic Corp.), 01 September 2011 (01.09.2011), paragraphs [0043] to [0047]; fig. 7 & US 2012/0287541 A1 & WO 2011/101943 A1 | 1-9 |
| A | JP 2007-165800 A (Rohm Co., Ltd.), 28 June 2007 (28.06.2007), entire text; all drawings & US 2007/0145565 A1 | 1-9 |
| A | JP 2010-87113 A (Casio Computer Co., Ltd.), 15 April 2010 (15.04.2010), entire text; all drawings (Family: none) | 1-9 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier application or patent but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

| | |
|---|---|
| Date of the actual completion of the international search 19 August, 2014 (19.08.14) | Date of mailing of the international search report 02 September, 2014 (02.09.14) |
|---|---|

| | |
|--|--------------------|
| Name and mailing address of the ISA/ Japanese Patent Office | Authorized officer |
| Facsimile No. | Telephone No. |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/065613

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 2012-119022 A (Elpida Memory, Inc.), 21 June 2012 (21.06.2012), entire text; all drawings & US 2012/0134193 A1 | 1-9 |
| A | JP 2010-135391 A (Seiko Epson Corp.), 17 June 2010 (17.06.2010), entire text; all drawings & US 2010/0133678 A1 | 1-9 |
| A | JP 2012-243953 A (Panasonic Corp.), 10 December 2012 (10.12.2012), entire text; all drawings (Family: none) | 1-9 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822(2006.01)i, H01L21/3205(2006.01)i, H01L21/60(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i, H01L27/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822, H01L21/3205, H01L21/60, H01L21/768, H01L23/522, H01L27/04, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国実用新案公報 | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2014年 |
| 日本国実用新案登録公報 | 1996-2014年 |
| 日本国登録実用新案公報 | 1994-2014年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|--|----------------|
| A | JP 2011-171680 A (パナソニック株式会社) 2011.09.01, 段落【0043】 - 【0047】, 図7 & US 2012/0287541 A1 & WO 2011/101943 A1 | 1-9 |
| A | JP 2007-165800 A (ローム株式会社) 2007.06.28, 全文, 全図 & US 2007/0145565 A1 | 1-9 |
| A | JP 2010-87113 A (カシオ計算機株式会社) 2010.04.15, 全文, 全図 (ファミリーなし) | 1-9 |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

19.08.2014

国際調査報告の発送日

02.09.2014

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | JP 2012-119022 A (エルピーダメモリ株式会社) 2012.06.21, 全文, 全図 & US 2012/0134193 A1 | 1-9 |
| A | JP 2010-135391 A (セイコーエプソン株式会社) 2010.06.17, 全文, 全図 & US 2010/0133678 A1 | 1-9 |
| A | JP 2012-243953 A (パナソニック株式会社) 2012.12.10, 全文, 全図 (ファミリーなし) | 1-9 |