

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸ (45) 공고일자 2006년01월26일
G11C 7/00 (2006.01) (11) 등록번호 10-0546322

(24) 등록일자 2006년01월19일

(21) 출원번호 10-2003-0019257

(65) 공개번호 10-2004-0084288

(22) 출원일자 2003년03월27일

(43) 공개일자 2004년10월06일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 황영남
경기도화성군태안읍반월리신영통현대아파트303-904

김기남
경기도안양시동안구평촌동932-6번지꿈마을라이프아파트108-502

안수진
서울특별시광진구자양2동한양아파트5-107

(74) 대리인 리엔목특허법인

심사관 : 윤난영

(54) 비휘발성 메모리와 휘발성 메모리로 선택적으로 동작할 수 있는 상 변화 메모리 장치 및 상 변화 메모리 장치의 동작방법

요약

비휘발성 메모리와 휘발성 메모리로 선택적으로 동작할 수 있는 상 변화 메모리 장치 및 상 변화 메모리 장치의 동작 방법이 개시된다. 본 발명의 실시예에 따른 상 변화 메모리의 동작 방법은 (a) 메모리 셀에 저장된 데이터를 독출하는 단계 및 (b) 독출된 상기 데이터를 외부로 전송하고, 독출된 상기 데이터를 상기 데이터가 본래 저장되었던 메모리 셀에 다시 기입하는 단계를 구비한다. 상기 (b) 단계는 상기 데이터 독출 및 전송 동작이 N 번 수행될 때마다 한번씩 상기 데이터를 메모리 셀에 다시 기입하는 것을 특징으로 한다. 상기 (b) 단계는 상기 데이터 독출 및 전송 동작이 수행될 때마다 항상 상기 데이터를 메모리 셀에 다시 기입하는 것을 특징으로 한다. 상술한 바와 같이 본 발명에 따른 상 변화 메모리의 동작 방법 및 상 변화 메모리 장치는 비휘발성 메모리인 상 변화 메모리를 휘발성 메모리와 같이 동작되도록 함으로써 전력 소비를 줄일 수 있는 장점이 있다. 또한 응용 분야에 따라 상 변화 메모리를 휘발성 메모리 또는 비휘발성 메모리로 선택하여 사용할 수 있는 장점이 있다.

대표도

도 4

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 상 변화 메모리의 상태와 온도의 관계를 나타내는 도면이다.

도 2는 상 변화 메모리의 기입 동작 및 독출 동작을 설명하기 위한 회로도이다.

도 3은 본 발명의 실시예에 따른 상 변화 메모리의 동작 방법을 설명하는 플로우 차트이다.

도 4는 본 발명의 실시예에 따른 상 변화 메모리 장치를 나타내는 회로도이다.

도 5는 도 4의 전류 소스부를 설명하는 회로도이다.

도 6은 도 4에 개시된 상 변화 메모리 장치의 동작을 설명하는 타이밍도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상 변화 메모리(Phase-Change Random Access memory : PRAM)에 관한 것으로서, 특히 비휘발성 메모리와 휘발성 메모리로 선택적으로 동작할 수 있는 상 변화 메모리 장치 및 상 변화 메모리 장치의 동작 방법에 관한 것이다.

상 변화 메모리(PRAM)는 물질의 결정 상태에 따라 전기적 저항이 변하는 chalcogenide 라는 물질을 이용하는 메모리 소자이다. 상 변화 막으로 인가되는 전류의 양의 차이에 의하여 상 변화 막 일부의 결정 상태가 변화된다.

도 1은 상 변화 메모리의 상태와 온도의 관계를 나타내는 도면이다.

도 1을 참조하면, 높은 전류 펄스를 짧은 시간 동안 상 변화 막으로 인가하여 상 변화 막의 온도를 녹는 온도(melting temperature)(약 610도)까지 높인 후 급속히 냉각하면 상 변화 막은 저항이 큰 비정질(amorphous) 상태(리셋 상태)가 된다.

반대로 낮은 전류 펄스를 상 변화 막으로 인가하여 상 변화 막을 결정화 온도(crystallization temperature)(약 450도)로 수십 ns 동안 유지하다가 냉각시키면 상 변화 막은 저항이 작은 결정(crystalline) 상태(셋 상태)가 된다.

상 변화 물질을 이용하는 상 변화 메모리(PRAM)는 기본적으로 비휘발성 메모리로 알려져 있다. 비휘발성 메모리란 일반적인 디램(DRAM)과 같은 데이터 유지(data retention)를 위한 리프레시(refresh) 동작이 필요하지 않은 메모리를 의미한다.

비휘발성 메모리로서의 성질 즉, 데이터 유지(data retention)를 좋게 하기 위해서는 상 변화 물질의 리셋(Reset) 상태의 저항과 셋(Set) 상태의 저항의 비가 커야한다. 이 저항 비는 구체적인 상 변화 메모리의 셀(cell) 구조에 따라 다르나 보통 수십에서 수백 배에 이른다.

큰 저항 비는 센싱 여유(sensing margin)를 넓히고, 비휘발성 메모리(non volatile memory)로서 가져야 할 데이터 유지(data retention)의 성질을 좋게 한다. 그러나 상 변화 메모리가 이와 같은 큰 저항 비를 갖기 위해서는 수 mA 대의 큰 전류를 상 변화 막으로 흘려주어야 하며 큰 전류의 흐름에 따른 전력소모가 커지는 문제가 있다.

Chalcogenide 물질의 상 변화 과정에서 기존의 핵(nucleus) 형성 메커니즘 및 성장(growth) 메커니즘을 모두 이용하는 대신 핵 형성 메커니즘만 이용하여도 리셋 상태와 셋 상태 사이에 수 배의 저항 비를 얻을 수 있으며 데이터를 독출하는 데에도 문제가 없다. 이때의 상 변화 막으로 흘려주는 전류는 수십 uA 에 지나지 않아 전력 소모를 크게 줄일 수 있다.

다만 데이터 유지(data retention) 능력이 감소하고 데이터 독출을 위한 전류에 의하여 핵(nucleus) 성장이 이루어지지 않고 핵이 분해되는 독출 간섭(reading disturb)이 심해지는 문제가 있다. 또한 반복되는 데이터의 독출 동작에 의하여 데이터가 지워질 가능성도 있다.

따라서, 데이터를 보존하기 위하여 DRAM 에서와 같이 데이터 독출 후 재 기입을 해주고 주기적으로 리프레시(refresh)를 상 변화 메모리에 행하면 낮은 전류로 상 변화 메모리를 구동시키는 것이 가능할 것이다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 상 변화 메모리 장치를 휘발성 메모리와 같이 작은 전류로 구동할 수 있는 상 변화 메모리 동작 방법을 제공하는데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 휘발성 메모리와 같이 작은 전류로 구동될 수 있는 상 변화 메모리 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 상 변화 메모리의 동작 방법은 (a) 메모리 셀에 저장된 데이터를 독출하는 단계 및 (b) 독출된 상기 데이터를 외부로 전송하고, 독출된 상기 데이터를 상기 데이터가 본래 저장되었던 메모리 셀에 다시 기입하는 단계를 구비한다.

상기 (b) 단계는 상기 데이터 독출 및 전송 동작이 N 번 수행될 때마다 한번씩 상기 데이터를 메모리 셀에 다시 기입하는 것을 특징으로 한다. 상기 (b) 단계는 상기 데이터 독출 및 전송 동작이 수행될 때마다 항상 상기 데이터를 메모리 셀에 다시 기입하는 것을 특징으로 한다.

상기 상 변화 메모리는 비휘발성(non volatile) 메모리 또는 휘발성(volatile) 메모리 중 하나로 선택적으로 동작될 수 있는 것을 특징으로 한다. 상기 상 변화 메모리는 높은 기입 전류를 수신하여 비휘발성 메모리로 동작되거나 또는 상기 비휘발성 메모리로 동작되기 위한 기입 전류보다 낮은 기입 전류를 수신하여 휘발성 메모리로 동작되는 것을 특징으로 한다.

상기 (b) 단계는 독출된 상기 데이터를 본래의 메모리 셀에 기입하는 동작이 일정 시간 간격으로 수행되어 상기 메모리 셀을 리프레시(refresh) 하는 것을 특징으로 한다.

상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 상 변화 메모리의 동작 방법은, 상 변화 메모리를 비휘발성 메모리로 동작시키거나 또는 휘발성 메모리로 동작시키는 방법에 있어서, 휘발성 메모리로 동작시키는 경우, 데이터를 독출 한 후 독출 된 데이터를 본래 저장되었던 메모리 셀에 다시 기입하여 메모리 셀의 데이터를 유지하는 것을 특징으로 한다.

상기 상 변화 메모리는 휘발성 메모리로 동작될 경우 필요한 기입 전류가 비휘발성 메모리로 동작될 경우 필요한 기입 전류보다 낮은 것을 특징으로 한다. 독출 된 상기 데이터를 본래 저장되었던 메모리 셀에 다시 기입하는 동작은 상기 데이터의 독출 동작이 수행될 때마다 매번 수행되거나 또는 여러 번의 상기 데이터의 독출 동작이 수행될 때마다 한번씩 수행되거나 또는 일정한 시간 간격마다 한번씩 수행되는 것을 특징으로 한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 1 실시예에 따른 상 변화 메모리 장치는 메모리 어레이 블록, 기입 제어부, 전송부, 글로벌 입출력 라인 및 전류 소스부를 구비한다.

메모리 어레이 블록은 워드라인 과 비트라인 쌍에 연결된 복수개의 상 변화 메모리 셀을 구비한다. 기입 제어부는 데이터 신호, 반전 데이터 신호, 리셋 전류 및 셋 전류에 응답하여 상기 메모리 어레이 블록 내부의 상 변화 메모리 셀에 데이터를 기입하고, 재 기입 제어 신호에 응답하여 소정의 데이터를 상기 상 변화 메모리 셀에 다시 기입한다.

전송부는 상기 메모리 어레이 블록에서 출력되는 데이터를 증폭하고 칼럼 선택 신호에 응답하여 상기 증폭된 데이터를 로컬 입출력 라인으로 전송한다. 글로벌 입출력 라인은 상기 로컬 입출력 라인으로부터 상기 데이터를 수신하여 외부로 출력하며 상기 재 기입 제어 신호에 응답하여 상기 데이터를 상기 기입 제어부로 전송한다.

전류 소스부는 동작 모드에 따라 상기 리셋 전류 및 상기 셋 전류의 전류량을 변화시킨다.

상기 기입 제어부는 복수개의 제어 트랜지스터들, 반전 제어 트랜지스터들, 제 1 및 제 2 재 기입 제어 트랜지스터들을 구비한다. 제어 트랜지스터들은 상기 데이터 신호에 응답하여 상기 리셋 전류와 비트라인을 연결하거나 차단한다.

반전 제어 트랜지스터들은 상기 반전 데이터 신호에 응답하여 상기 리셋 전류와 반전 비트라인을 연결하거나 차단한다. 제 1 재 기입 제어 트랜지스터는 상기 재 기입 제어 신호에 응답하여 상기 글로벌 입출력 라인 중 제 1 글로벌 입출력 라인과 상기 반전 제어 트랜지스터들의 게이트를 연결하거나 차단한다.

제 2 재 기입 제어 트랜지스터는 상기 재 기입 제어 신호에 응답하여 상기 글로벌 입출력 라인 중 제 2 글로벌 입출력 라인과 상기 제어 트랜지스터들의 게이트를 연결하거나 차단한다.

상기 전송부는 대응되는 비트라인과 반전 비트라인에 연결되어 상기 상 변화 메모리 셀에 저장된 데이터를 수신하여 증폭하고 상기 컬럼 선택 신호에 응답하여 상기 로컬 입출력 라인으로 상기 데이터를 전송하는 복수개의 서브 전송부들을 구비한다.

상기 서브 전송부들 각각은 센스 앰프 회로, 제 1 전송 트랜지스터 및 제 2 전송 트랜지스터를 구비한다. 센스 앰프 회로는 대응되는 비트라인과 반전 비트라인에 연결된다.

제 1 전송 트랜지스터는 대응되는 상기 컬럼 선택 신호에 응답하여 상기 센스 앰프 회로에서 출력되는 상기 비트라인 정보를 상기 로컬 입출력 라인 중 제 2 로컬 입출력 라인에 전송하거나 차단한다.

제 2 전송 트랜지스터는 대응되는 상기 컬럼 선택 신호에 응답하여 상기 센스 앰프 회로에서 출력되는 상기 반전 비트라인 정보를 상기 로컬 입출력 라인 중 제 1 로컬 입출력 라인에 전송하거나 차단한다.

상기 로컬 입출력 라인과 상기 글로벌 입출력 라인은 소정의 블록 어드레스 신호에 응답하여 턴 온 또는 턴 오프 되는 스위치 트랜지스터에 의하여 연결되거나 차단되는 것을 특징으로 한다.

상기 전류 소스부는 상기 상 변화 메모리 장치가 휘발성 메모리 모드로 동작되면 상기 리셋 전류 및 상기 셋 전류를 낮은 레벨로 출력하고, 상기 상 변화 메모리 장치가 비휘발성 메모리 모드로 동작되면 상기 리셋 전류 및 상기 셋 전류를 높은 레벨로 출력한다.

상기 전류 소스부는 높은 전류를 출력하는 고 전류원, 낮은 전류를 출력하는 저 전류원, 제 1 전류 제어부 및 제 2 전류 제어부를 구비한다. 제 1 전류 제어부는 상기 상 변화 메모리 장치가 휘발성 메모리 모드로 동작되면 제 1 전류 제어 신호에 응답하여 상기 저 전류원의 전류를 상기 리셋 전류로서 출력하고, 상기 상 변화 메모리 장치가 비휘발성 메모리 모드로 동작되면 상기 제 1 전류 제어 신호에 응답하여 상기 고 전류원의 전류를 상기 리셋 전류로서 출력한다.

제 2 전류 제어부는 상기 상 변화 메모리 장치가 휘발성 메모리 모드로 동작되면 제 2 전류 제어 신호에 응답하여 상기 저 전류원의 전류를 상기 셋 전류로서 출력하고, 상기 상 변화 메모리 장치가 비휘발성 메모리 모드로 동작되면 상기 제 2 전류 제어 신호에 응답하여 상기 고 전류원의 전류를 상기 셋 전류로서 출력한다.

상기 제 1 전류 제어부는 상기 제 1 전류 제어 신호의 제 2 레벨에 응답하여 턴 온 되어 상기 고 전류원의 전류를 상기 리셋 전류로서 출력하는 제 1 전류 제어 트랜지스터 및 상기 제 1 전류 제어 신호의 제 1 레벨에 응답하여 턴 온 되어 상기 저 전류원의 전류를 상기 리셋 전류로서 출력하는 제 2 전류 제어 트랜지스터를 구비한다.

상기 제 2 전류 제어부는 상기 제 2 전류 제어 신호의 제 2 레벨에 응답하여 턴 온 되어 상기 고 전류원의 전류를 상기 셋 전류로서 출력하는 제 3 전류 제어 트랜지스터 및 상기 제 2 전류 제어 신호의 제 1 레벨에 응답하여 턴 온 되어 상기 저 전류원의 전류를 상기 셋 전류로서 출력하는 제 4 전류 제어 트랜지스터를 구비한다.

상기 재 기입 제어 신호는 상기 상 변화 메모리 장치가 휘발성 메모리 모드로 동작되면 상기 제 1 및 제 2 재 기입 제어 트랜지스터들을 턴 온 시키고, 상기 상 변화 메모리 장치가 비휘발성 메모리 모드로 동작되면 상기 제 1 및 제 2 재 기입 제어 트랜지스터들을 턴 오프 시키는 것을 특징으로 한다.

상기 상 변화 메모리 장치는 상기 로컬 입출력 라인의 데이터를 증폭하여 상기 글로벌 입출력 라인으로 전송하는 증폭 회로를 더 구비한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 2 실시예에 따른 상 변화 메모리 장치는 메모리 어레이 블록, 기입 제어부, 전송부, 글로벌 입출력 라인 및 전류 소스부를 구비한다. 메모리 어레이 블록은 워드라인 과 비트라인 쌍에 연결된 복수개의 상 변화 메모리 셀을 구비한다.

기입 제어부는 데이터 신호, 반전 데이터 신호, 리셋 전류 및 셋 전류에 응답하여 상기 메모리 어레이 블록 내부의 상 변화 메모리 셀에 데이터를 기입하고, 재 기입 제어 신호에 응답하여 소정의 데이터를 상기 상 변화 메모리 셀에 다시 기입한다.

전송부는 상기 메모리 어레이 블록에서 출력되는 데이터를 증폭하고 컬럼 선택 신호에 응답하여 상기 증폭된 데이터를 로컬 입출력 라인으로 전송하며 상기 재 기입 제어 신호에 응답하여 상기 데이터를 상기 기입 제어부로 전송한다.

글로벌 입출력 라인은 상기 로컬 입출력 라인으로부터 상기 데이터를 수신하여 외부로 출력한다. 전류 소스부는 동작 모드에 따라 상기 리셋 전류 및 상기 셋 전류의 전류량을 변화시킨다.

상기 전송부는 대응되는 비트라인과 반전 비트라인에 연결되어 상기 상 변화 메모리 셀에 저장된 데이터를 수신하여 증폭하고 상기 컬럼 선택 신호에 응답하여 상기 로컬 입출력 라인으로 상기 데이터를 전송하는 복수개의 서브 전송부들을 구비한다.

상기 서브 전송부들 각각은 대응되는 비트라인과 반전 비트라인에 연결되는 센스 앰프 회로, 제 1 전송 트랜지스터 및 제 2 전송 트랜지스터를 구비한다.

제 1 전송 트랜지스터는 대응되는 상기 컬럼 선택 신호에 응답하여 상기 센스 앰프 회로에서 출력되는 상기 비트라인 정보를 상기 로컬 입출력 라인 중 제 2 로컬 입출력 라인에 전송하거나 차단한다.

제 2 전송 트랜지스터 대응되는 상기 컬럼 선택 신호에 응답하여 상기 센스 앰프 회로에서 출력되는 상기 반전 비트라인 정보를 상기 로컬 입출력 라인 중 제 1 로컬 입출력 라인에 전송하거나 차단한다.

상기 기입 제어부는 복수개의 제어 트랜지스터들, 반전 제어 트랜지스터들, 제 1 및 제 2 재 기입 제어 트랜지스터들을 구비한다. 제어 트랜지스터들은 상기 데이터 신호에 응답하여 상기 리셋 전류와 비트라인을 연결하거나 차단한다.

반전 제어 트랜지스터들은 상기 반전 데이터 신호에 응답하여 상기 리셋 전류와 반전 비트라인을 연결하거나 차단한다. 제 1 재 기입 제어 트랜지스터는 상기 재 기입 제어 신호에 응답하여 상기 전송부의 대응되는 센스 앰프 회로에서 출력되는 상기 반전 비트라인 정보를 상기 반전 제어 트랜지스터들의 게이트로 인가하거나 차단한다.

제 2 재 기입 제어 트랜지스터는 상기 재 기입 제어 신호에 응답하여 상기 전송부의 대응되는 센스 앰프 회로에서 출력되는 상기 비트라인 정보를 상기 제어 트랜지스터들의 게이트로 인가하거나 차단한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 상 변화 메모리의 기입 동작 및 독출 동작을 설명하기 위한 회로도이다.

워드 라인(WLi)에 셀 트랜지스터(PTRi1)의 게이트가 연결되고, 셀 트랜지스터(PTRi1)의 드레인과 비트 라인(BL) 사이에 상 변화 물질(PCELLi1)이 연결된다. 또한 워드 라인(WLi)에 셀 트랜지스터(PTRi2)의 게이트가 연결되고 셀 트랜지스터(PTRi2)의 드레인과 반전 비트 라인(/BL) 사이에 상 변화 물질(PCELLi2)이 연결된다.

상 변화 메모리(200)에 데이터를 기입하는 기입 동작에 대해서 설명한다. 워드 라인(WLi)이 인에이블 된다고 가정한다. 셋 전류(ISET)를 비트 라인(BL)과 반전 비트 라인(/BL)에 연결된 상 변화 물질(PCELLi1, PCELLi2) 및 셀 트랜지스터 (PTR1, PTRi2)로 인가한다. 셋 전류(ISET)는 도 1에서 설명된 것과 같이 상 변화 물질을 저항이 작은 결정(crystalline) 상태로 변화시킬 수 있는 전류이다.

셀 트랜지스터들(PTRi1, PTRi2)이 워드 라인(WLi)에 의해서 턴 온 되어 있으므로 셋 전류(ISET)는 상 변화 물질 (PCELLi1, PCELLi2)들을 통과하여 그라운드로 흐르게 된다. 그리고 상 변화 물질(PCELLi1, PCELLi2)들은 셋 전류 (ISET)에 의해서 저항이 작은 결정 상태로 변화된다.

데이터 신호(D) 및 반전 데이터 신호(/D)를 제어 트랜지스터(CTR) 및 반전 제어 트랜지스터(/CTR)로 인가한다. 데이터 신호(D)는 상 변화 메모리(200)에 저장할 데이터를 구비한다. 만일 데이터 신호(D)가 하이 레벨이고 반전 데이터 신호(/D)가 로우 레벨이면 제어 트랜지스터(CTR)는 턴 온 되고 반전 제어 트랜지스터(/CTR)는 턴 오프 된다.

그러면 리셋 전류(IRESET)는 제어 트랜지스터(CTR)를 통하여 반전 비트 라인(/BL)에 연결된 상 변화 물질(PCELLi2)로 흐른다. 리셋 전류(IRESET)는 도 1에서 설명된 것과 같이 상 변화 물질을 저항이 큰 비정질(amorphous) 상태로 변화시킬 수 있는 전류이다. 따라서 상 변화 물질(PCELLi2)은 리셋 전류(IRESET)에 의하여 저항이 큰 비정질 상태로 변화된다.

반전 비트 라인(/BL)과 워드 라인(WLi) 사이에 연결된 상 변화 물질(PCELLi2)은 저항이 큰 비정질 상태이고, 비트 라인 (BL)과 워드 라인(WLi) 사이에 연결된 상 변화 물질(PCELLi1)은 저항이 작은 결정 상태이다. 상 변화 메모리(200)에서는 이와 같은 상태를 데이터 1 이 저장된 상태로 정의한다.

반대로 상 변화 메모리(200)에 데이터 0 을 기입하려면 반전 비트 라인(/BL)과 워드 라인(WLi) 사이에 연결된 상 변화 물질(PCELLi2)은 저항이 작은 결정 상태로 만들고, 비트 라인(BL)과 워드 라인(WLi) 사이에 연결된 상 변화 물질 (PCELLi1)은 저항이 큰 비정질 상태로 만들면 된다.

이와 같이 상 변화 메모리(200)는 일반적인 디램(DRAM)과 달리 비트 라인(BL)에 연결된 상 변화 물질과 반전 비트 라인(/BL)에 연결된 상 변화 물질의 상태를 제어하여 데이터를 저장한다. 즉, 비트 라인(BL)과 반전 비트 라인(/BL)으로 구성된 비트 라인 쌍(BL, /BL)이 하나의 데이터를 저장할 수 있다.

물론, 데이터 1을 저장한 상 변화 메모리(200)의 상태가 앞에서 설명된 상태에 한정되는 것은 아니며, 반전 비트 라인(/BL)과 워드 라인(WLi) 사이에 연결된 상 변화 물질(PCELLi2)은 저항이 작은 결정 상태이고, 비트 라인(BL)과 워드 라인 (WLi) 사이에 연결된 상 변화 물질(PCELLi1)은 저항이 큰 비정질 상태인 경우를 데이터 1 이 저장된 상태로 정의할 수 있음은 당업자에게는 자명하다 할 것이다.

상 변화 메모리(200)에 기입된 데이터를 독출하는 독출 동작에 대해서 설명한다.

반전 비트 라인(/BL)과 워드 라인(WLi) 사이에 연결된 상 변화 물질(PCELLi2)은 저항이 큰 비정질 상태이고, 비트 라인 (BL)과 워드 라인(WLi) 사이에 연결된 상 변화 물질(PCELLi1)은 저항이 작은 결정 상태라고 가정한다. 즉, 데이터 1 이 저장된 상태라고 가정한다.

비트 라인(BL)과 반전 비트 라인(/BL)으로 일정한 전류를 인가한다. 인가된 전류는 비트 라인(BL)과 반전 비트 라인(/BL)을 통하여 흐르다가 상 변화 물질(PCELLi1, PCELLi2)로 흘러 들어간다.

반전 비트 라인(/BL)에 연결된 상 변화 물질(PCELLi2)의 저항이 비트 라인(BL)에 연결된 상 변화 물질(PCELLi1)의 저항 보다 크므로, 비트 라인(BL)에 연결된 상 변화 물질(PCELLi1)로 더 많은 양의 전류가 흘러 들어갈 것이다.

따라서, 반전 비트 라인(/BL)으로부터 센스 앰프(S/A)로 인가되는 전류의 양이 비트 라인(BL)으로부터 센스 앰프(S/A)로 인가되는 전류의 양보다 많을 것이다. 센스 앰프(S/A)는 반전 비트 라인(/BL)과 비트 라인(BL)으로부터 인가되는 전류의 양을 감지하여 독출되는 데이터가 1 인지 0 인지를 인식한다.

즉, 반전 비트 라인(/BL)으로부터 센스 앰프(S/A)로 인가되는 전류의 양이 비트 라인(BL)으로부터 센스 앰프(S/A)로 인가되는 전류의 양보다 많으면 데이터 1이 메모리 셀에 저장되어 있는 것이고, 반대로 반전 비트 라인(/BL)으로부터 센스 앰프(S/A)로 인가되는 전류의 양이 비트 라인(BL)으로부터 센스 앰프(S/A)로 인가되는 전류의 양보다 적으면 데이터 0이 메모리 셀에 저장되어 있는 것이다.

클램프 회로(210, 220)는 비트 라인(BL) 및 반전 비트 라인(/BL)으로 인가되는 전류의 양이 일정한 양을 넘지 않도록 제한하는 기능을 한다.

이와 같은 동작에 의하여 데이터가 기입되거나 독출되는 상 변화 메모리(200)는 일반적으로 비휘발성 메모리이다. 즉 한번 데이터를 기입하면 지워지지 않으므로 디램(DRAM)과 같은 리프레시 동작이 필요하지 않다. 그러나 상 변화 메모리(200)에 데이터를 기입하는 경우 전력 소모가 매우 크다.

따라서, 본 발명에서는 데이터 독출 시 디램(DRAM)에서처럼 데이터를 재 기입하고 주기적으로 리프레시(refresh) 수행하여 저 전력으로 상 변화 메모리를 구동하는 방법 및 상 변화 메모리 장치를 제공한다.

도 3은 본 발명의 실시예에 따른 상 변화 메모리의 동작 방법을 설명하는 플로우 차트이다.

도 3을 참조하면, 본 발명의 실시예에 따른 상 변화 메모리의 동작 방법(300)은 메모리 셀에 저장된 데이터를 독출하는 310 단계 및 독출된 상기 데이터를 외부로 전송하고, 독출된 상기 데이터를 상기 데이터가 본래 저장되었던 메모리 셀에 다시 기입하는 320 단계를 구비한다.

독출된 데이터를 메모리 셀에 다시 기입하기 위해서는 재 기입을 위한 회로가 도 1의 상 변화 메모리(200)의 회로에 추가되어야 한다.

도 4는 본 발명의 실시예에 따른 상 변화 메모리 장치를 나타내는 회로도이다.

도 4를 참조하면, 본 발명의 실시예에 따른 상 변화 메모리 장치(400)는 메모리 어레이 블록(410), 기입 제어부(420), 전송부(430), 글로벌 입출력 라인(GIO, /GIO), 로컬 입출력 라인(LIO, /LIO) 및 전류 소스부(440)를 구비한다.

이하, 도 3 및 도 4를 참조하여 본 발명의 실시예에 따른 상 변화 메모리의 동작 방법 및 상 변화 메모리 장치의 동작이 상세히 설명된다.

먼저, 메모리 셀에 저장된 데이터를 독출한다.(310 단계) 메모리 셀로부터 데이터를 독출하는 동작은 도 2에서 설명된 동작과 동일하다.

메모리 어레이 블록(410)은 워드라인(WL1, WL2 ~ WLn) 과 비트라인 쌍(BL1, /BL1, BL2, /BL2 ~ BLm, /BLm)에 연결된 복수개의 상 변화 메모리 셀을 구비한다.

기입 제어부(420)는 데이터 신호(D), 반전 데이터 신호(/D), 리셋 전류(IRESET) 및 셋 전류(ISET)에 응답하여 메모리 어레이 블록(410) 내부의 상 변화 메모리 셀에 데이터를 기입하고, 재 기입 제어 신호(RWCTRL)에 응답하여 소정의 데이터를 상 변화 메모리 셀에 다시 기입한다.

데이터를 기입하는 동작은 도 2에서 설명된 동작과 동일하다.

전송부(430)는 메모리 어레이 블록(410)에서 출력되는 데이터를 증폭하고 칼럼 선택 신호(CD1, CD2 ~ CDm)에 응답하여 증폭된 데이터를 로컬 입출력 라인(LIO, /LIO)으로 전송한다. 전송부(430)는 복수개의 서브 전송부들(STM1, STM2 ~ STMm)을 구비한다.

서브 전송부(STM1, STM2 ~ STMm)는 대응되는 비트라인(BL1, BL2 ~ BLm)과 반전 비트라인(/BL1, /BL2 ~ /BLm)에 연결되어 상 변화 메모리 셀에 저장된 데이터를 수신하여 증폭하고 칼럼 선택 신호(CD1, CD2 ~ CDm)에 응답하여 로컬 입출력 라인(LIO, /LIO)으로 상기 데이터를 전송한다.

서브 전송부들(STM1, STM2 ~ STMm) 각각은 센스 앰프 회로(S/A1, S/A2 ~ S/Am), 제 1 전송 트랜지스터(TTR11, TTR21 ~ TTRm1) 및 제 2 전송 트랜지스터(TTR12, TTR22 ~ TTRm2)를 구비한다. 센스 앰프 회로(S/A1, S/A2 ~ S/Am)는 대응되는 비트라인(BL1, BL2 ~ BLm)과 반전 비트라인(/BL1, /BL2 ~ /BLm)에 연결된다.

제 1 전송 트랜지스터(TTR11, TTR21 ~ TTRm1)는 대응되는 칼럼 선택 신호(CD1, CD2 ~ CDm)에 응답하여 센스 앰프 회로(S/A1, S/A2 ~ S/Am)에서 출력되는 비트라인 정보를 로컬 입출력 라인 중 제 2 로컬 입출력 라인(/LIO)에 전송하거나 차단한다.

제 2 전송 트랜지스터(TTR12, TTR22 ~ TTRm2)는 대응되는 칼럼 선택 신호(CD1, CD2 ~ CDm)에 응답하여 센스 앰프 회로(S/A1, S/A2 ~ S/Am)에서 출력되는 반전 비트라인(/BL1, /BL2 ~ /BLm) 정보를 로컬 입출력 라인 중 제 1 로컬 입출력 라인(LIO)에 전송하거나 차단한다.

이하에서는, 설명의 편의를 위하여 메모리 어레이 블록(410)의 제 1 워드라인(WL1)과 제 1 비트라인 쌍(BL1, /BL1)에 저장된 데이터를 독출 한다고 가정한다.

또한 제 1 비트라인(BL1)에 연결된 상 변화 물질(미도시)이 저항이 큰 비정질(amorphous) 상태이고 제 1 반전 비트라인(/BL1)에 연결된 상 변화 물질(미도시)이 저항이 작은 결정(crystalline) 상태라고 가정한다.

제 1 비트라인(BL1)에 연결된 상 변화 물질(미도시)이 저항이 큰 비정질(amorphous) 상태이고 제 1 반전 비트라인(/BL1)에 연결된 상 변화 물질(미도시)이 저항이 작은 결정(crystalline) 상태이므로 제 1 비트라인(BL1)에서 제 1 센스 앰프 회로(S/A1)로 인가되는 전류의 양이 제 1 반전 비트라인(/BL1)에서 제 1 센스 앰프 회로(S/A1)로 인가되는 전류의 양보다 많다.

편의상 제 1 비트라인(BL1)의 전류 양을 하이 레벨로 표현하고 제 1 반전 비트라인(/BL1)의 전류 양을 로우 레벨로 표현한다.

제 1 센스 앰프 회로(S/A1)는 제 1 비트라인(BL1)으로부터 전송되는 하이 레벨의 전류와 제 1 반전 비트라인(/BL1)으로부터 전송되는 로우 레벨의 전류를 증폭하고 전압으로 변환하여 출력한다.

제 1 칼럼 선택 신호(CD1)가 하이 레벨로 인가되어 제 1 전송 트랜지스터(TTR11)와 제 2 전송 트랜지스터(TTR12)가 턴 온 되면 제 1 센스 앰프 회로(S/A1)에서 증폭되어 전환된 전압이 로컬 입출력 라인(LIO, /LIO)으로 인가된다. 제 1 칼럼 선택 신호(CD1)는 데이터를 독출하는 컬럼 어드레스에 관한 정보를 가진 신호이다.

글로벌 입출력 라인(GIO, /GIO)은 로컬 입출력 라인(LIO, /LIO)으로부터 데이터를 수신하여 외부로 출력하며 제 기입 제어 신호(RWCTRL)에 응답하여 데이터를 기입 제어부(420)로 전송한다.

글로벌 입출력 라인(GIO, /GIO)중 제 1 글로벌 입출력 라인(GIO)은 제 1 로컬 입출력 라인(LIO)으로부터 로우 레벨의 전압을 수신하고 제 2 글로벌 입출력 라인(/GIO)은 제 2 로컬 입출력 라인(/LIO)으로부터 하이 레벨의 전압을 수신하여 외부로 출력한다.

로컬 입출력 라인(LIO, /LIO)과 글로벌 입출력 라인(GIO, /GIO)은 소정의 블록 어드레스 신호(BAS)에 응답하여 턴 온 또는 턴 오프 되는 스위치 트랜지스터(SWTR)에 의하여 연결되거나 차단된다.

도 4에 도시된 메모리 어레이 블록(410)과 주변 회로들은 복수개의 메모리 어레이 블록들 중 하나를 도시한 것이다. 글로벌 입출력 라인(GIO, /GIO)에는 독출된 데이터를 전송하는 로컬 입출력 라인들이 여러 개 연결될 수 있다.

블록 어드레스 신호(BAS)는 여러 개의 로컬 입출력 라인들 중 데이터를 가진 로컬 입출력 라인을 선택하여 글로벌 입출력 라인(GIO, /GIO)에 연결한다. 다시 말하면, 블록 어드레스 신호(BAS)는 데이터가 독출 되는 메모리 어레이 블록을 선택하는 신호이다.

상 변화 메모리 장치(400)는 로컬 입출력 라인(LIO, /LIO)의 데이터를 증폭하여 글로벌 입출력 라인(GIO, /GIO)으로 전송하는 증폭 회로(450)를 더 구비할 수 있다. 증폭 회로(450) 독출된 데이터의 드라이빙 능력을 증가시킨다.

독출된 데이터를 외부로 전송하고, 독출된 데이터를 데이터가 본래 저장되었던 메모리 셀에 다시 기입한다. (제 320 단계)

재 기입 동작은 기입 제어부(420)에서 수행된다. 기입 제어부(420)는 복수개의 제어 트랜지스터들(CTR1, CTR2 ~ CTRm), 반전 제어 트랜지스터들(/CTR1, /CTR2 ~ /CTRm), 제 1 및 제 2 재 기입 제어 트랜지스터들(RTR1, RTR2)을 구비한다.

제어 트랜지스터들(CTR1, CTR2 ~ CTRm)은 데이터 신호(D)에 응답하여 리셋 전류(IRESET)와 비트라인(BL1, BL2 ~ BLm)을 연결하거나 차단한다. 반전 제어 트랜지스터들(/CTR1, /CTR2 ~ /CTRm)은 반전 데이터 신호(/D)에 응답하여 리셋 전류(IRESET)와 반전 비트라인(/BL1, /BL2 ~ /BLm)을 연결하거나 차단한다.

제 1 재 기입 제어 트랜지스터(RTR1)는 재 기입 제어 신호(RWCTRL)에 응답하여 글로벌 입출력 라인 중 제 1 글로벌 입출력 라인(GIO)과 반전 제어 트랜지스터들(/CTR1, /CTR2 ~ /CTRm)의 게이트를 연결하거나 차단한다.

제 2 재 기입 제어 트랜지스터(RTR2)는 재 기입 제어 신호(RWCTRL)에 응답하여 글로벌 입출력 라인 중 제 2 글로벌 입출력 라인(/GIO)과 제어 트랜지스터들(CTR1, CTR2 ~ CTRm)의 게이트를 연결하거나 차단한다.

재 기입 제어 신호(RWCTRL)는 상 변화 메모리 장치(400)가 휘발성 메모리 모드로 동작되면 제 1 및 제 2 재 기입 제어 트랜지스터들(CTR1, CTR2 ~ CTRm)을 턴 온 시키고, 상 변화 메모리 장치(400)가 비휘발성 메모리 모드로 동작되면 제 1 및 제 2 재 기입 제어 트랜지스터들(CTR1, CTR2 ~ CTRm)을 턴 오프 시킨다.

재 기입 제어 신호(RWCTRL)가 하이 레벨로 발생되어 제 1 또는 제 2 재 기입 제어 트랜지스터들(CTR1, CTR2 ~ CTRm)이 턴 온 되면 제 1 글로벌 입출력 라인(GIO)은 로우 레벨의 전압을 제 1 반전 제어 트랜지스터(/CTR1)의 게이트로 인가하고 제 2 글로벌 입출력 라인(/GIO)은 하이 레벨의 전압을 제 1 제어 트랜지스터(CTR1)의 게이트로 인가한다.

이때 제 1 비트라인(BL1)과 제 1 반전 비트라인(/BL1)에 연결된 상 변화 물질(미도시)들은 셋 전류(ISET)에 의하여 결정 상태로 유지되고 있다. 제 1 제어 트랜지스터(CTR1)는 하이 레벨의 전압에 의하여 턴 온 되고 제 1 반전 제어 트랜지스터(/CTR1)는 로우 레벨의 전압에 의하여 턴 오프 된다.

그러면 리셋 전류(IRESET)가 제 1 제어 트랜지스터(CTR1)를 통하여 제 1 비트라인(BL1)에 연결된 상 변화 물질(미도시)로 인가되어 제 1 비트라인(BL1)에 연결된 상 변화 물질(미도시)은 높은 저항을 가지는 비정질(amorphous) 상태가 된다.

이러한 제 1 비트라인(BL1)과 제 1 반전 비트라인(/BL1)에 연결된 상 변화 물질(미도시)의 상태는 데이터 독출 이전의 상태와 동일하다. 즉, 독출 된 데이터가 외부로 전송됨과 동시에 데이터가 본래 저장되어 있던 메모리 셀에 다시 기입된다.

독출된 데이터를 다시 메모리 셀에 기입하는 동작은 상기 데이터 독출 및 전송 동작이 수행될 때마다 항상 수행될 수 있다. 그러나 상기 데이터 독출 및 전송 동작이 N 번 수행될 때마다 한번씩만 수행될 수도 있다. 데이터의 재 기입 동작의 수행 회수는 상 변화 메모리 장치(400)의 메모리 셀에 저장된 데이터가 사라지는 정도(휘발성의 정도)에 따라 조정될 수 있다.

만일 독출된 상기 데이터를 본래의 메모리 셀에 기입하는 동작이 일정 시간 간격으로 수행되도록 제어한다면 이러한 동작은 디램(DRAM)의 리프레시(refresh) 동작과 동일할 것이다. 본 발명의 실시예에 따른 상 변화 메모리 장치는 비휘발성(non volatile) 메모리 또는 휘발성(volatile) 메모리 중 하나로 선택적으로 동작될 수 있다.

본 발명의 실시예에 따른 상 변화 메모리 장치가 휘발성 메모리로서 동작될 경우 비휘발성 메모리로 동작되기 위한 기입 전류보다 낮은 기입 전류를 수신하여 동작될 수 있다.

전류 소스부(440)는 동작 모드에 따라 리셋 전류(IRESET) 및 셋 전류(ISET)의 전류량을 변화시킨다. 전류 소스부(440)는 상 변화 메모리 장치(400)가 휘발성 메모리 모드로 동작되면 리셋 전류(IRESET) 및 셋 전류(ISET)를 낮은 레벨로 출력하고, 상 변화 메모리 장치(400)가 비휘발성 메모리 모드로 동작되면 리셋 전류(IRESET) 및 셋 전류(ISET)를 높은 레벨로 출력한다.

도 5는 도 4의 전류 소스부를 설명하는 회로도이다.

도 5를 참조하면, 전류 소스부(440)는 높은 전류를 출력하는 고 전류원(510), 낮은 전류를 출력하는 저 전류원(520), 제 1 전류 제어부(530) 및 제 2 전류 제어부(540)를 구비한다.

제 1 전류 제어부(530)는 상 변화 메모리 장치(400)가 휘발성 메모리 모드로 동작되면 제 1 전류 제어 신호(HCS1)에 응답하여 저 전류원(520)의 전류를 리셋 전류(IRESET)로서 출력하고, 상 변화 메모리 장치(400)가 비휘발성 메모리 모드로 동작되면 제 1 전류 제어 신호(HCS1)에 응답하여 고 전류원(510)의 전류를 리셋 전류(IRESET)로서 출력한다.

제 2 전류 제어부(540)는 상 변화 메모리 장치(400)가 휘발성 메모리 모드로 동작되면 제 2 전류 제어 신호(HCS2)에 응답하여 저 전류원(520)의 전류를 셋 전류(ISET)로서 출력하고, 상 변화 메모리 장치(400)가 비휘발성 메모리 모드로 동작되면 제 2 전류 제어 신호(HCS2)에 응답하여 고 전류원(510)의 전류를 셋 전류(ISET)로서 출력한다.

고 전류원(510)은 높은 전류 레벨을 출력할 수 있는 전류원이고 저 전류원(520)은 고 전류원(510)보다 낮은 전류 레벨을 출력할 수 있는 전류원이다. "낮은 전류 레벨"이란 앞에서 설명된 것처럼 Chalcogenide 물질의 상 변화 과정에서 핵(nucleus) 형성 메커니즘 및 성장(growth) 메커니즘이 모두 수행되는 전류 레벨이 아닌 핵 형성 메커니즘만 수행되는 전류 레벨이다.

핵 형성 메커니즘만 수행되어도 상 변화 물질의 리셋 상태와 셋 상태 사이에 수 배의 저항 비를 얻을 수 있으며 데이터를 독출하는 데에도 문제가 없기 때문이다. "낮은 전류 레벨"은 수십 μA 정도의 레벨이다.

전류 소스부(440)의 회로 구조를 좀 더 구체적으로 설명한다. 제 1 전류 제어부(530)는 제 1 전류 제어 신호(HCS1)의 제 2 레벨에 응답하여 턴 온 되어 고 전류원(510)의 전류를 리셋 전류(IRESET)로서 출력하는 제 1 전류 제어 트랜지스터(HCTR1) 및 제 1 전류 제어 신호(HCS1)의 제 1 레벨에 응답하여 턴 온 되어 저 전류원(520)의 전류를 리셋 전류(IRESET)로서 출력하는 제 2 전류 제어 트랜지스터(HCTR2)를 구비한다.

제 1 전류 제어 신호(HCS1)는 상 변화 메모리 장치(400)가 비휘발성 메모리로서 동작될 경우 제 2 레벨로 발생되고 상 변화 메모리 장치(400)가 휘발성 메모리로서 동작될 경우 제 1 레벨로 발생된다.

여기서 제 1 레벨은 하이 레벨이고 제 2 레벨은 로우 레벨이다. 그러나 제 1 레벨을 로우 레벨로, 제 1 레벨을 하이 레벨로 설정할 수도 있음은 당업자에게는 자명하다 할 것이다.

제 1 전류 제어 신호(HCS1)가 하이 레벨로 발생되면 제 2 전류 제어 트랜지스터(HCTR2)는 턴 온 되어 저 전류원(520)의 전류를 리셋 전류(IRESET)로서 출력한다. 그리고 인버터(535)는 제 1 전류 제어 신호(HCS1)의 레벨을 로우 레벨로 반전시켜 제 1 전류 제어 트랜지스터(HCTR1)로 인가한다. 따라서 제 1 전류 제어 트랜지스터(HCTR1)는 턴 오프 된다.

제 2 전류 제어부(540)는 제 2 전류 제어 신호(HCS2)의 제 2 레벨에 응답하여 턴 온 되어 고 전류원(510)의 전류를 셋 전류(ISET)로서 출력하는 제 3 전류 제어 트랜지스터(HCTR3) 및 제 2 전류 제어 신호(HCS2)의 제 1 레벨에 응답하여 턴 온 되어 저 전류원(520)의 전류를 셋 전류(ISET)로서 출력하는 제 4 전류 제어 트랜지스터(HCTR4)를 구비한다.

제 2 전류 제어 신호(HCS2)는 제 1 전류 제어 신호(HCS1)와 마찬가지로 상 변화 메모리 장치(400)가 비휘발성 메모리로서 동작될 경우 제 2 레벨로 발생되고 상 변화 메모리 장치(400)가 휘발성 메모리로서 동작될 경우 제 1 레벨로 발생된다.

제 2 전류 제어 신호(HCS2)가 하이 레벨로 발생되면 제 4 전류 제어 트랜지스터(HCTR4)는 턴 온 되어 저 전류원(520)의 전류를 셋 전류(ISET)로서 출력한다. 그리고 인버터(545)는 제 2 전류 제어 신호(HCS2)의 레벨을 로우 레벨로 반전시켜 제 3 전류 제어 트랜지스터(HCTR3)로 인가한다. 따라서 제 3 전류 제어 트랜지스터(HCTR3)는 턴 오프 된다.

전류 소스부(440)의 구조는 도 5에 도시된 것에 한정되지 않으며 동일한 기능을 한다면 다양한 회로 구조를 구비할 수 있다.

도 6은 도 4에 개시된 상 변화 메모리 장치(400)의 동작을 설명하는 타이밍도이다.

제 1 워드라인(WL1)이 활성화되고 제 1 비트라인(BL1)에 연결된 상 변화 물질이 리셋 전류(IRESET)에 의해서 큰 저항을 가지는 비정질 상태가 되고 제 1 반전 비트라인(/BL1)에 연결된 상 변화 물질이 셋 전류(ISET)에 의해서 작은 저항을 가지는 결정상태가 된다.

제 1 칼럼 선택 신호(CD1)가 활성화되어 제 1 비트라인(BL1)과 제 1 반전 비트라인(/BL1)의 데이터가 로컬 입출력 라인(LIO, /LIO)으로 전송되고 다시 글로벌 입출력 라인으로 전송된다. 이 때 재 기입 제어 신호(RWCTRL)가 활성화되면 리셋 전류(IRESET)가 제 1 비트라인(BL1)으로 전송되어 제 1 비트라인(BL1)에 연결된 상 변화 물질이 큰 저항을 가지는 비정질 상태로 된다.

도 4에 도시된 상 변화 메모리 장치(400)는 로컬 입출력 라인(LIO, /LIO)으로 출력된 데이터가 글로벌 입출력 라인(GIO, /GIO)으로 전송되고 다시 메모리 셀에 기입된다. 그러나 데이터의 재 기입 동작의 속도를 빠르게 하기 위해서 전송부(430)의 센스 앰프 회로들(S/A1, S/A2 ~ S/Am)의 출력을 직접 기입 제어부(420)로 인가할 수도 있을 것이다.

재 기입 동작의 속도를 빠르게 하기 위한 본 발명의 실시예에 따른 상 변화 메모리 장치는 메모리 어레이 블록, 기입 제어부, 전송부, 로컬 입출력 라인, 글로벌 입출력 라인 및 전류 소스부를 구비한다. 메모리 어레이 블록, 전송부, 전류 소스부의 구성은 도 4에 도시된 것과 동일하다. 따라서 상세한 설명은 생략된다.

기입 제어부도 도 4에 도시된 것과 같이 복수개의 제어 트랜지스터들, 반전 제어 트랜지스터들, 제 1 및 제 2 재 기입 제어 트랜지스터들을 구비한다.

제어 트랜지스터들은 상기 데이터 신호에 응답하여 상기 리셋 전류와 비트라인을 연결하거나 차단한다. 반전 제어 트랜지스터들은 상기 반전 데이터 신호에 응답하여 상기 리셋 전류와 반전 비트라인을 연결하거나 차단한다.

제 1 재 기입 제어 트랜지스터는 상기 전송부의 대응되는 센스 앰프 회로에서 출력되는 상기 반전 비트라인 정보를 상기 반전 제어 트랜지스터들의 게이트로 인가하거나 차단한다.

제 2 재 기입 제어 트랜지스터는 상기 재 기입 제어 신호에 응답하여 상기 전송부의 대응되는 센스 앰프 회로에서 출력되는 상기 비트라인 정보를 상기 제어 트랜지스터들의 게이트로 인가하거나 차단한다.

이와 같이 전송부의 각각의 센스 앰프 회로로부터 출력되는 데이터를 직접 기입 제어부로 인가하여 데이터의 재 기입 동작을 수행함으로써 재 기입 동작의 속도를 좀 더 빠르게 할 수 있을 것이다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 상 변화 메모리의 동작 방법 및 상 변화 메모리 장치는 비휘발성 메모리인 상 변화 메모리를 휘발성 메모리와 같이 동작되도록 함으로써 전력 소비를 줄일 수 있는 장점이 있다. 또한 응용 분야에 따라 상 변화 메모리를 휘발성 메모리 또는 비휘발성 메모리로 선택하여 사용할 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

상 변화 메모리의 동작 방법에 있어서,

(a) 메모리 셀에 저장된 데이터를 독출하는 단계 ; 및

(b) 독출된 상기 데이터를 외부로 전송하고, 독출된 상기 데이터를 상기 데이터가 본래 저장되었던 메모리 셀에 다시 기입하는 단계를 구비하고,

상기 (b) 단계는,

상기 데이터 독출 및 전송 동작이 N 번 수행될 때마다 한번씩 상기 데이터를 메모리 셀에 다시 기입하는 것을 특징으로 하는 상 변화 메모리의 동작 방법.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제 1항에 있어서, 상기 상 변화 메모리는,

비휘발성(non volatile) 메모리 또는 휘발성(volatile) 메모리 중 하나로 선택적으로 동작될 수 있는 것을 특징으로 하는 상 변화 메모리의 동작 방법.

청구항 5.

제 4항에 있어서, 상기 상 변화 메모리는,

높은 기입 전류를 수신하여 비휘발성 메모리로 동작되거나 또는 상기 비휘발성 메모리로 동작되기 위한 기입 전류보다 낮은 기입 전류를 수신하여 휘발성 메모리로 동작되는 것을 특징으로 하는 상 변화 메모리의 동작 방법.

청구항 6.

삭제

청구항 7.

상 변화 메모리를 비휘발성 메모리로 동작시키거나 또는 휘발성 메모리로 동작시키는 방법에 있어서,

휘발성 메모리로 동작시키는 경우, 데이터를 독출 한 후 독출 된 데이터를 본래 저장되었던 메모리 셀에 다시 기입하여 메모리 셀의 데이터를 유지하는 것을 특징으로 하는 상 변화 메모리의 동작 방법.

청구항 8.

제 7항에 있어서, 상기 상 변화 메모리는,

휘발성 메모리로 동작될 경우 필요한 기입 전류가 비휘발성 메모리로 동작될 경우 필요한 기입 전류보다 낮은 것을 특징으로 하는 상 변화 메모리의 동작 방법.

청구항 9.

제 7항에 있어서, 독출 된 상기 데이터를 본래 저장되었던 메모리 셀에 다시 기입하는 동작은,

상기 데이터의 독출 동작이 수행될 때마다 매번 수행되거나 또는 여러 번의 상기 데이터의 독출 동작이 수행될 때마다 한번씩 수행되거나 또는 일정한 시간 간격마다 한번씩 수행되는 것을 특징으로 하는 상 변화 메모리의 동작 방법.

청구항 10.

워드라인 과 비트라인 쌍에 연결된 복수개의 상 변화 메모리 셀을 구비하는 메모리 어레이 블록 ;

데이터 신호, 반전 데이터 신호, 리셋 전류 및 셋 전류에 응답하여 상기 메모리 어레이 블록 내부의 상 변화 메모리 셀에 데이터를 기입하고, 재 기입 제어 신호에 응답하여 소정의 데이터를 상기 상 변화 메모리 셀에 다시 기입하는 기입 제어부 ;

상기 메모리 어레이 블록에서 출력되는 데이터를 증폭하고 컬럼 선택 신호에 응답하여 상기 증폭된 데이터를 로컬 입출력 라인으로 전송하는 전송부 ;

상기 로컬 입출력 라인으로부터 상기 데이터를 수신하여 외부로 출력하며 상기 재 기입 제어 신호에 응답하여 상기 데이터를 상기 기입 제어부로 전송하는 글로벌 입출력 라인 ; 및

동작 모드에 따라 상기 리셋 전류 및 상기 셋 전류의 전류량을 변화시키는 전류 소스부를 구비고,

상기 기입 제어부는,

상기 데이터 신호에 응답하여 상기 리셋 전류와 비트라인을 연결하거나 차단하는 복수개의 제어 트랜지스터들 ;

상기 반전 데이터 신호에 응답하여 상기 리셋 전류와 반전 비트라인을 연결하거나 차단하는 반전 제어 트랜지스터들 ;

상기 재 기입 제어 신호에 응답하여 상기 글로벌 입출력 라인 중 제 1 글로벌 입출력 라인과 상기 반전 제어 트랜지스터들의 게이트를 연결하거나 차단하는 제 1 재 기입 제어 트랜지스터 ; 및

상기 재 기입 제어 신호에 응답하여 상기 글로벌 입출력 라인 중 제 2 글로벌 입출력 라인과 상기 제어 트랜지스터들의 게이트를 연결하거나 차단하는 제 2 재 기입 제어 트랜지스터를 구비하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 11.

삭제

청구항 12.

제 10항에 있어서, 상기 전송부는,

대응되는 비트라인과 반전 비트라인에 연결되어 상기 상 변화 메모리 셀에 저장된 데이터를 수신하여 증폭하고 상기 컬럼 선택 신호에 응답하여 상기 로컬 입출력 라인으로 상기 데이터를 전송하는 복수개의 서브 전송부들을 구비하고,

상기 서브 전송부들 각각은,

대응되는 비트라인과 반전 비트라인에 연결되는 센스 앰프 회로;

대응되는 상기 컬럼 선택 신호에 응답하여 상기 센스 앰프 회로에서 출력되는 상기 비트라인 정보를 상기 로컬 입출력 라인 중 제 2 로컬 입출력 라인에 전송하거나 차단하는 제 1 전송 트랜지스터 ; 및

대응되는 상기 컬럼 선택 신호에 응답하여 상기 센스 앰프 회로에서 출력되는 상기 반전 비트라인 정보를 상기 로컬 입출력 라인 중 제 1 로컬 입출력 라인에 전송하거나 차단하는 제 2 전송 트랜지스터를 구비하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 13.

제 10항에 있어서, 상기 로컬 입출력 라인과 상기 글로벌 입출력 라인은,

소정의 블록 어드레스 신호에 응답하여 턴 온 또는 턴 오프 되는 스위치 트랜지스터에 의하여 연결되거나 차단되는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 14.

제 10항에 있어서, 상기 전류 소스부는,

상기 상변화 메모리 장치가 휘발성 메모리 모드로 동작되면 상기 리셋 전류 및 상기 셋 전류를 낮은 레벨로 출력하고,

상기 상변화 메모리 장치가 비휘발성 메모리 모드로 동작되면 상기 리셋 전류 및 상기 셋 전류를 높은 레벨로 출력하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 15.

제 14항에 있어서, 상기 전류 소스부는,

높은 전류를 출력하는 고 전류원 ;

낮은 전류를 출력하는 저 전류원 ;

상기 상변화 메모리 장치가 휘발성 메모리 모드로 동작되면 제1전류 제어 신호에 응답하여 상기 저 전류원의 전류를 상기 리셋 전류로서 출력하고, 상기 상변화 메모리 장치가 비휘발성 메모리 모드로 동작되면 상기 제1 전류 제어 신호에 응답하여 상기 고 전류원의 전류를 상기 리셋 전류로서 출력하는 제 1 전류 제어부 ; 및

상기 상 변화 메모리 장치가 휘발성 메모리 모드로 동작되면 제 2 전류 제어 신호에 응답하여 상기 저 전류원의 전류를 상기 셋 전류로서 출력하고, 상기 상 변화 메모리 장치가 비휘발성 메모리 모드로 동작되면 상기 제 2 전류 제어 신호에 응답하여 상기 고 전류원의 전류를 상기 셋 전류로서 출력하는 제 2 전류 제어부를 구비하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 16.

제 15항에 있어서, 상기 제 1 전류 제어부는,

상기 제 1 전류 제어 신호의 제 2 레벨에 응답하여 턴 온 되어 상기 고 전류원의 전류를 상기 리셋 전류로서 출력하는 제 1 전류 제어 트랜지스터 ; 및

상기 제 1 전류 제어 신호의 제 1 레벨에 응답하여 턴 온 되어 상기 저 전류원의 전류를 상기 리셋 전류로서 출력하는 제 2 전류 제어 트랜지스터를 구비하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 17.

제 15항에 있어서, 상기 제 2 전류 제어부는,

상기 제 2 전류 제어 신호의 제 2 레벨에 응답하여 턴 온 되어 상기 고 전류원의 전류를 상기 셋 전류로서 출력하는 제 3 전류 제어 트랜지스터 ; 및

상기 제 2 전류 제어 신호의 제 1 레벨에 응답하여 턴 온 되어 상기 제 1 전류원의 전류를 상기 셋 전류로서 출력하는 제 4 전류 제어 트랜지스터를 구비하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 18.

제 10항에 있어서, 상기 재 기입 제어 신호는

상기 상 변화 메모리 장치가 휘발성 메모리 모드로 동작되면 상기 제 1 및 제 2 재 기입 제어 트랜지스터들을 턴 온 시키고,

상기 상 변화 메모리 장치가 비휘발성 메모리 모드로 동작되면 상기 제 1 및 제 2 재 기입 제어 트랜지스터들을 턴 오프 시키는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 19.

제 10항에 있어서,

상기 로컬 입출력 라인의 데이터를 증폭하여 상기 글로벌 입출력 라인으로 전송하는 증폭 회로를 더 구비하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 20.

워드라인 과 비트라인 쌍에 연결된 복수개의 상 변화 메모리 셀을 구비하는 메모리 어레이 블록 ;

데이터 신호, 반전 데이터 신호, 리셋 전류 및 셋 전류에 응답하여 상기 메모리 어레이 블록 내부의 상 변화 메모리 셀에 데이터를 기입하고, 재 기입 제어 신호에 응답하여 소정의 데이터를 상기 상 변화 메모리 셀에 다시 기입하는 기입 제어부 ;

상기 메모리 어레이 블록에서 출력되는 데이터를 증폭하고 칼럼 선택 신호에 응답하여 상기 증폭된 데이터를 로컬 입출력 라인으로 전송하며 상기 재 기입 제어 신호에 응답하여 상기 데이터를 상기 기입 제어부로 전송하는 전송부 ;

상기 로컬 입출력 라인으로부터 상기 데이터를 수신하여 외부로 출력하는 글로벌 입출력 라인 ; 및

동작 모드에 따라 상기 리셋 전류 및 상기 셋 전류의 전류량을 변화시키는 전류 소스부를 구비하고,

상기 기입 제어부는,

상기 데이터 신호에 응답하여 상기 리셋 전류와 비트라인을 연결하거나 차단하는 복수개의 제어 트랜지스터들 ;

상기 반전 데이터 신호에 응답하여 상기 리셋 전류와 반전 비트라인을 연결하거나 차단하는 반전 제어 트랜지스터들 ;

상기 재 기입 제어 신호에 응답하여 상기 전송부의 대응되는 센스 앰프 회로에서 출력되는 상기 반전 비트라인 정보를 상기 반전 제어 트랜지스터들의 게이트로 인가하거나 차단하는 제 1 재 기입 제어 트랜지스터 ; 및

상기 재 기입 제어신호에 응답하여 상기 전송부의 대응되는 센스앰프 회로에서 출력되는 상기비트라인 정보를 상기제어 트랜지스터들의 게이트로 인가하거나 차단하는 제2 재기입 제어 트랜지스터를 구비하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 21.

제 20항에 있어서, 상기 전송부는,

대응되는 비트라인과 반전 비트라인에 연결되어 상기 상 변화 메모리 셀에 저장된 데이터를 수신하여 증폭하고 상기 컬럼 선택 신호에 응답하여 상기 로컬 입출력 라인으로 상기 데이터를 전송하는 복수개의 서브 전송부들을 구비하고,

상기 서브 전송부들 각각은,

대응되는 비트라인과 반전 비트라인에 연결되는 센스 앰프 회로;

대응되는 상기 컬럼 선택 신호에 응답하여 상기 센스 앰프 회로에서 출력되는 상기 비트라인 정보를 상기 로컬 입출력 라인 중 제 2 로컬 입출력 라인에 전송하거나 차단하는 제 1 전송 트랜지스터; 및

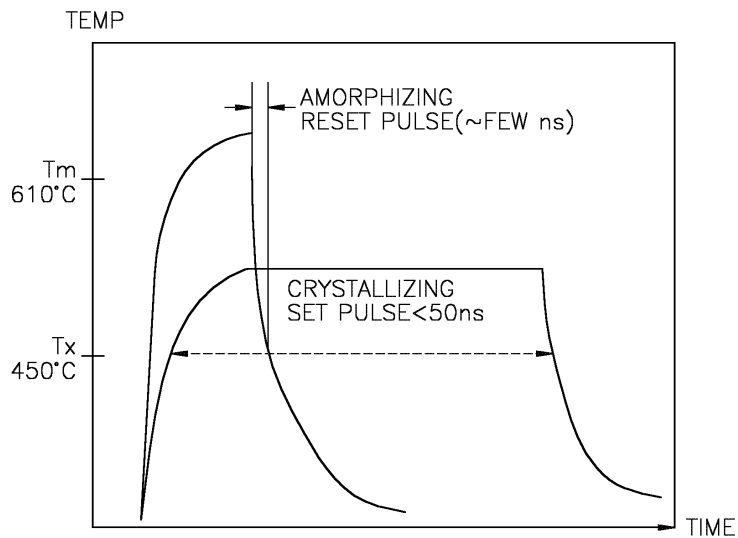
대응되는 상기 컬럼 선택 신호에 응답하여 상기 센스 앰프 회로에서 출력되는 상기 반전 비트라인 정보를 상기 로컬 입출력 라인 중 제 1 로컬 입출력 라인에 전송하거나 차단하는 제 2 전송 트랜지스터를 구비하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 22.

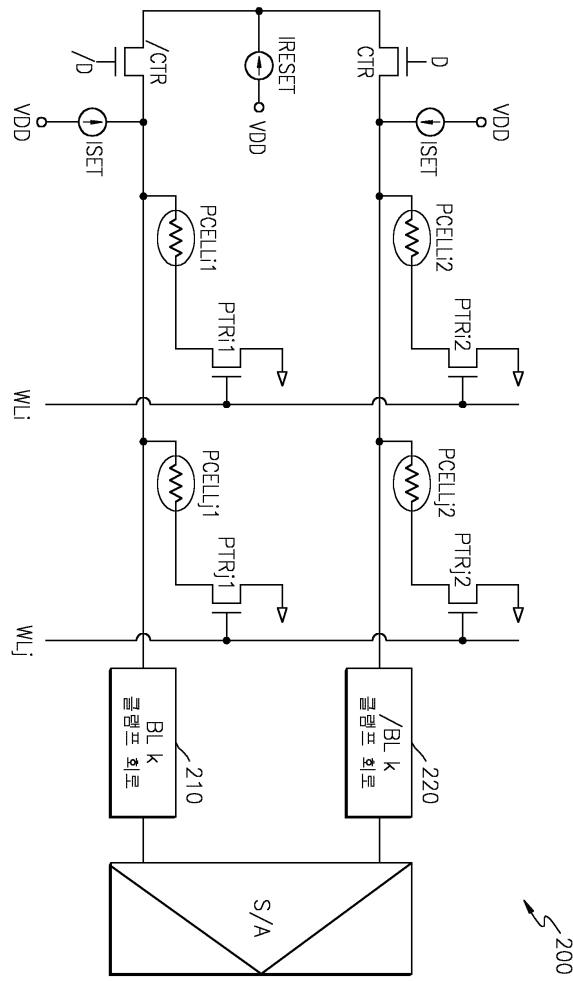
삭제

도면

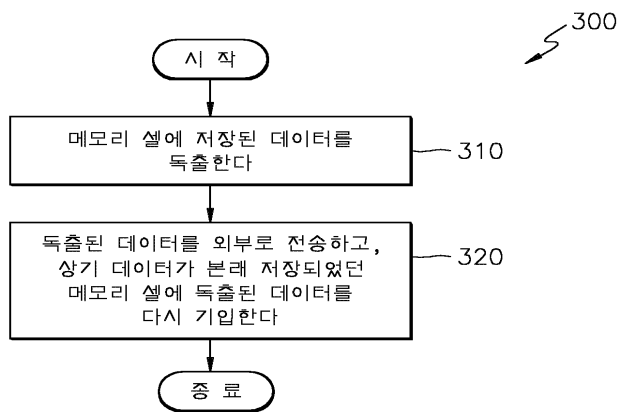
도면1



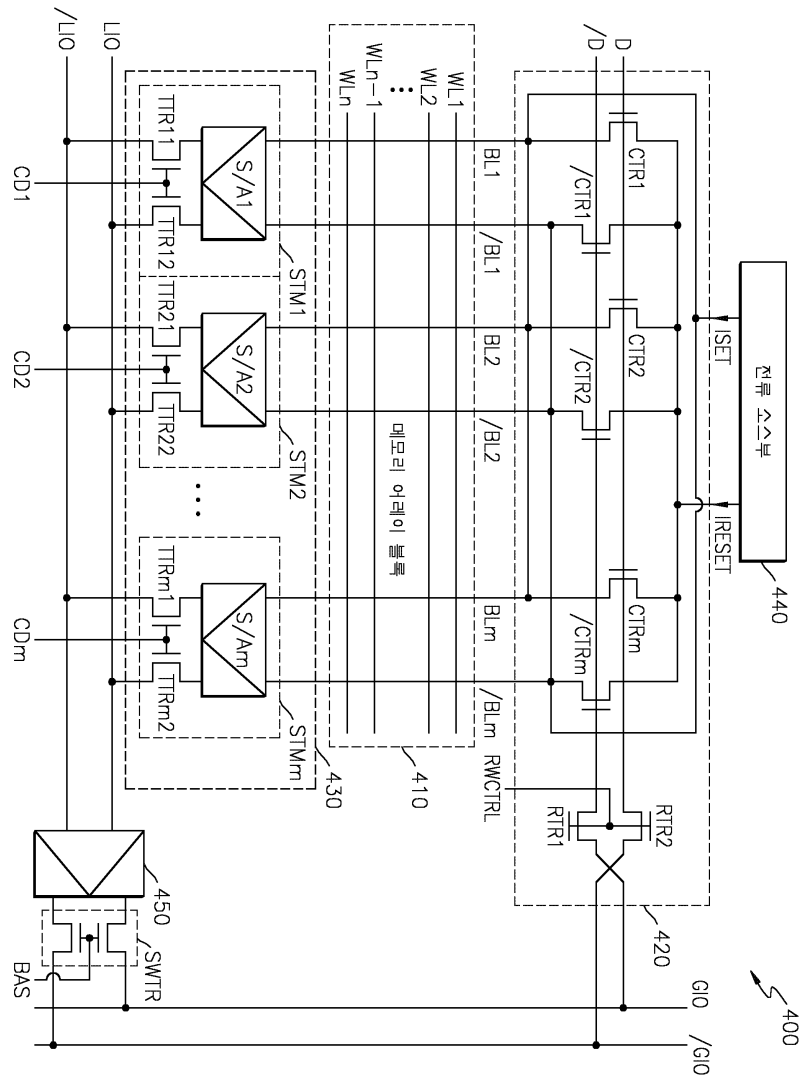
도면2



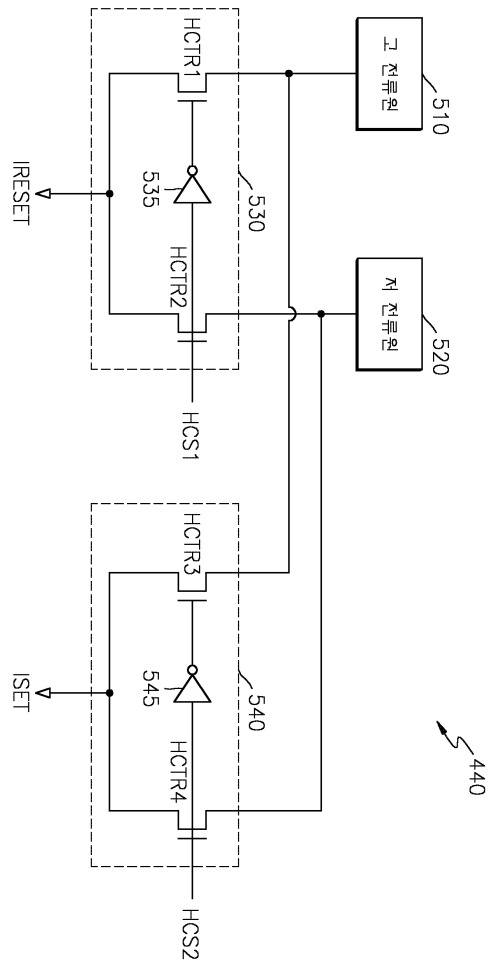
도면3



도면4



도면5



도면6

