



(12) 发明专利申请

(10) 申请公布号 CN 102543196 A

(43) 申请公布日 2012. 07. 04

(21) 申请号 201010588208. 1

(22) 申请日 2010. 12. 14

(71) 申请人 群联电子股份有限公司

地址 中国台湾苗栗县

(72) 发明人 叶志刚 曾建富 吴宗霖

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G11C 16/26(2006. 01)

G11C 16/06(2006. 01)

G11C 16/02(2006. 01)

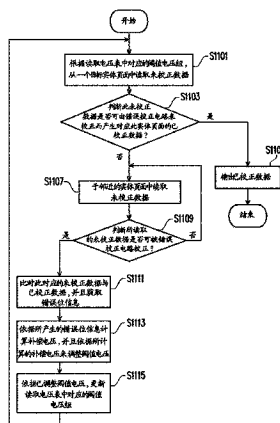
权利要求书 6 页 说明书 13 页 附图 7 页

(54) 发明名称

数据读取方法、存储器储存装置及其控制器

(57) 摘要

本发明披露了一种数据读取方法、存储器储存装置及其控制器。该数据读取方法,用于可重写式非易失性存储器模块,其中此可重写式非易失性存储器模块具有多个实体页面。本方法包括将这些实体页面分组为多个实体页面群;并且为每一实体页面群设定对应的阈值电压组。本方法也包括分别地使用对应的阈值电压组从这些实体页面群的实体页面中读取数据。本方法还包括,当从其中一个实体页面群的其中一个实体页面中读取的数据无法藉由错误校正电路来校正时,更新对应此实体页面群的阈值电压组。基此,可有效地确保所读取数据的正确性。



1. 一种数据读取方法,用于一可重写式非易失性存储器模块,其中该可重写式非易失性存储器模块具有多个实体页面,该数据读取方法包括:

将这些实体页面分组为多个实体页面群;

为每一这些实体页面群设定一阈值电压组,其中每一这些位组数据读取电压组包括多个阈值电压;

分别地使用对应的这些阈值电压组从这些实体页面群的这些实体页面中读取数据;以及

当从这些实体页面群之中的其中一个实体页面群的其中一个实体页面中读取的数据无法藉由一错误校正电路来校正时,更新对应该其中一个实体页面群的该阈值电压组。

2. 如权利要求 1 所述的数据读取方法,还包括:

建立一读取电压表,以记录这些实体页面群所对应的这些阈值电压组。

3. 如权利要求 1 所述的数据读取方法,其中更新对应该其中一个实体页面群的该阈值电压组的步骤包括:

使用对应该其中一个实体页面群的该阈值电压组从该其中一个实体页面群的另一实体页面中获取对应该另一实体页面的一未校正数据,其中该另一实体页面邻近该其中一个实体页面,并且对应该另一实体页面的该未校正数据可藉由该错误校正电路来校正而产生对应该另一实体页面的一已校正数据;

藉由比对对应该另一实体页面的该未校正数据与该已校正数据来获得一错误位信息;

依据该错误位信息来计算至少一补偿电压;以及

藉由该至少一补偿电压来调整对应该其中一个实体页面群的该阈值电压组中的至少一阈值电压。

4. 一种数据读取方法,用于一可重写式非易失性存储器模块,其中该可重写式非易失性存储器模块具有依序排列的多个实体页面,该数据读取方法包括:

使用至少一阈值电压从这些实体页面之中的一第一实体页面中获取一第一数据;

判断该第一数据是否可藉由一错误校正电路来校正而产生对应该第一实体页面的一第一已校正数据;

倘若该第一数据无法藉由该错误校正电路来校正而产生对应该第一实体页面的该已校正数据时,从这些实体页面之中的一第二实体页面中获取一第二数据,其中该第二实体页面邻近该第一实体页面,并且该第二数据可藉由该错误校正电路来校正而产生对应该第二实体页面的一第二已校正数据;

藉由比对该第二数据与对应该第二实体页面的该第二已校正数据来获得一错误位信息;

依据该错误位信息来计算至少一补偿电压;

藉由该至少一补偿电压来将该至少一阈值电压调整成至少一已调整阈值电压;以及

使用该至少一已调整阈值电压从该第一实体页面获取一另一第一数据并且藉由该错误校正电路来校正该另一第一数据以产生对应该第一实体页面的该第一已校正数据。

5. 如权利要求 4 所述的数据读取方法,其中该第二数据具有多个位,并且每一这些位对应该可重写式非易失性存储器模块的多个储存状态的其中之一,

其中这些储存状态包括一第一储存状态与一第二储存状态并且该至少一阈值电压之中的一第一阈值电压用以区分该第一储存状态与该二储存状态，

其中藉由比对该第二数据与对应该第二实体页面的该第二已校正数据来获得该错误位信息的步骤包括：

找出该第二数据的这些位之中与该第二已校正数据的对应位不相同的多个错误位；

统计这些错误位之中属于一第一错误位型态的错误位的数目，其中属于该第一错误位型态的错误位是应对应该第一储存状态但被误认为对应该第二储存状态的位；

统计这些错误位之中属于一第二错误位型态的错误位的数目，其中属于该第二错误位型态的错误位是应对应该第二储存状态但被误认为对应该第一储存状态的位；以及

将属于该第一错误位型态的错误位的数目与属于该第二错误位型态的错误位的数目作为该错误位信息。

6. 如权利要求 5 所述的数据读取方法，其中依据该错误位信息计算该至少一补偿电压的步骤包括：

依据属于该第一错误位型态的错误位的数目与属于该第二错误位型态的错误位的数目来计算该至少一补偿电压之中的一第一补偿电压。

7. 如权利要求 6 所述的数据读取方法，其中藉由该至少一补偿电压来将该至少一阈值电压调整成该至少一已调整阈值电压的步骤包括：

使用该第一补偿电压将该第一阈值电压调整成该至少一已调整阈值电压之中的一第一已调整阈值电压。

8. 如权利要求 4 所述的数据读取方法，还包括：

建立一读取电压表，以记录该至少一已调整阈值电压。

9. 如权利要求 8 所述的数据读取方法，还包括：

将这些实体页面分组为多个实体页面群，

其中该第一实体页面与该第二实体页面属于这些实体页面群之中的一第一实体页面群，并且该至少一已调整阈值电压是对应该第一实体页面群。

10. 如权利要求 9 所述的数据读取方法，还包括：

依据该读取电压表使用该至少一已调整阈值电压读取属于该第一实体页面群的其他实体页面。

11. 一种存储器控制器，用于控制一可重写式非易失性存储器模块，其中该可重写式非易失性存储器模块具有多个实体页面，该存储器控制器包括：

一存储器管理电路，用以将这些实体页面分组为多个实体页面群，为每一这些实体页面群设定一阈值电压组并且分别地使用对应的这些阈值电压组从这些实体页面群的这些实体页面中读取数据，其中每一这些位组数据读取电压组包括多个阈值电压；

一主机接口，电性连接该存储器管理电路；

一存储器接口，电性连接该存储器管理电路，并且用以电性连接至该可重写式非易失性存储器模块；

一错误校正电路，电性连接该存储器管理电路；以及

一读取电压更新电路，电性连接至该存储器管理电路，

其中当该存储器管理电路从这些实体页面群之中的其中一个实体页面群的其中一个

实体页面中读取的数据无法藉由该错误校正电路来校正时,该读取电压更新电路会更新对应该其中一个实体页面群的该阈值电压组。

12. 如权利要求 11 所述的存储器控制器,其中该存储器管理电路还用以建立一读取电压表,以记录这些实体页面群所对应的这些阈值电压组。

13. 如权利要求 11 所述的存储器控制器,其中该存储器管理电路使用对应该其中一个实体页面群的该阈值电压组从该其中一个实体页面群的另一实体页面中获取对应该另一实体页面的一未校正数据,其中该另一实体页面邻近该其中一个实体页面,

其中该错误校正电路校正对应该另一实体页面的该未校正数据来校正来产生对应该另一实体页面的一已校正数据,

其中该读取电压更新电路比对该另一实体页面的该未校正数据与该已校正数据来获得一错误位信息,

其中该读取电压更新电路依据该错误位信息来计算至少一补偿电压,

其中该读取电压更新电路使用该至少一补偿电压来调整对应该其中一个实体页面群的该阈值电压组中的至少一阈值电压。

14. 一种存储器控制器,用于控制一可重写式非易失性存储器模块,其中该可重写式非易失性存储器模块具有依序排列的多个实体页面,该存储器控制器包括:

一存储器管理电路;

一主机接口,电性连接该存储器管理电路;

一存储器接口,电性连接该存储器管理电路,并且用以电性连接至该可重写式非易失性存储器模块;

一错误校正电路,电性连接该存储器管理电路;以及

一读取电压更新电路,电性连接至该存储器管理电路,

其中该存储器管理电路用以使用至少一阈值电压从这些实体页面之中的一第一实体页面中获取一第一数据,并且判断该错误校正电路是否可校正该第一数据来产生对应该第一实体页面的一第一已校正数据,

其中倘若该错误校正电路无法校正该第一数据来产生对应该第一实体页面的该已校正数据时,该存储器管理电路还用以从这些实体页面之中的一第二实体页面中获取一第二数据,其中该第二实体页面邻近该第一实体页面,并且该第二数据可藉由该错误校正电路来校正而产生对应该第二实体页面的一第二已校正数据,

其中该读取电压更新电路用以比对该第二数据与对应该第二实体页面的该第二已校正数据来获得一错误位信息,并且依据该错误位信息来计算至少一补偿电压,

其中该读取电压更新电路还用以根据该至少一补偿电压来将该至少一阈值电压调整成至少一已调整阈值电压,

其中该存储器管理电路还用以使用该至少一已调整阈值电压从该第一实体页面获取一另一第一数据并且该错误校正电路校正该另一第一数据以产生对应该第一实体页面的该第一已校正数据。

15. 如权利要求 14 所述的存储器控制器,其中该第二数据具有多个位,并且每一这些位对应该可重写式非易失性存储器模块的多个储存状态的其中之一,

其中这些储存状态包括一第一储存状态与一第二储存状态并且该至少一阈值电压之

中的一第一阈值电压用以区分该第一储存状态与该二储存状态，

其中该读取电压更新电路用以找出该第二数据的这些位之中与该第二已校正数据的对应位不相同的多个错误位，统计这些错误位之中属于一第一错误位型态的错误位的数目，统计这些错误位之中属于一第二错误位型态的错误位的数目并且将属于该第一错误位型态的错误位的数目与属于该第二错误位型态的错误位的数目作为该错误位信息，

其中属于该第一错误位型态的错误位是应对应该第一储存状态但被误认为对应该第二储存状态的位，

其中属于该第二错误位型态的错误位是应对应该第二储存状态但被误认为对应该第一储存状态的位。

16. 如权利要求 15 所述的存储器控制器，其中该读取电压更新电路依据属于该第一错误位型态的错误位的数目与属于该第二错误位型态的错误位的数目来计算该至少一补偿电压之中的一第一补偿电压。

17. 如权利要求 16 所述的存储器控制器，其中该读取电压更新电路使用该第一补偿电压将该第一阈值电压调整成该至少一已调整阈值电压之中的一第一已调整阈值电压。

18. 如权利要求 14 所述的存储器控制器，其中该存储器管理电路还用以建立一读取电压表，以记录该至少一已调整阈值电压。

19. 如权利要求 18 所述的存储器控制器，其中该存储器管理电路还用以将这些实体页面分组为多个实体页面群，

其中该第一实体页面与该第二实体页面属于这些实体页面群之中的一第一实体页面群，并且在该读取电压表中该至少一已调整阈值电压是对应该第一实体页面群。

20. 如权利要求 19 所述的存储器控制器，其中该存储器管理电路依据该读取电压表使用该至少一已调整阈值电压读取属于该第一实体页面群的其他实体页面。

21. 一种存储器储存装置，包括：

一连接器，用以电性连接至一主机系统；

一可重写式非易失性存储器模块，具有多个实体页面；以及

一存储器控制器，电性连接至该连接器与该可重写式非易失性存储器模块并且具有一错误校正电路，

其中该存储器控制器用以将这些实体页面分组为多个实体页面群，为每一这些实体页面群设定一阈值电压组并且分别地使用对应的这些阈值电压组从这些实体页面群的这些实体页面中读取数据，其中每一这些位组数据读取电压组包括多个阈值电压；

其中当该存储器控制器从这些实体页面群之中的其中一个实体页面群的其中一个实体页面中读取的数据无法藉由该错误校正电路来校正时，该存储器控制器会更新对应该其中一个实体页面群的该阈值电压组。

22. 如权利要求 21 所述的存储器储存装置，其中该存储器控制器还用以建立一读取电压表，以记录这些实体页面群所对应的这些阈值电压组。

23. 如权利要求 21 所述的存储器储存装置，其中该存储器控制器使用对应该其中一个实体页面群的该阈值电压组从该其中一个实体页面群的另一实体页面中获取对应该另一实体页面的一未校正数据，其中该另一实体页面邻近该其中一个实体页面，

其中该错误校正电路校正对应该另一实体页面的该未校正数据来校正来产生对应该

另一实体页面的一已校正数据，

其中该存储器控制器比对对应该另一实体页面的该未校正数据与该已校正数据来获得一错误位信息，依据该错误位信息来计算至少一补偿电压，并且使用该至少一补偿电压来调整对应该其中一个实体页面群的该阈值电压组中的至少一阈值电压。

24. 一种存储器储存装置，包括：

一连接器，用以电性连接至一主机系统；

一可重写式非易失性存储器模块，具有依序排列的多个实体页面；以及

一存储器控制器，电性连接至该连接器与该可重写式非易失性存储器模块并且具有一错误校正电路，

其中该存储器控制器用以使用至少一阈值电压从这些实体页面之中的一第一实体页面中获取一第一数据，并且判断该错误校正电路是否可校正该第一数据来产生对应该第一实体页面的一第一已校正数据，

其中倘若该错误校正电路无法校正该第一数据来产生对应该第一实体页面的该已校正数据时，该存储器控制器还用以从这些实体页面之中的一第二实体页面中获取一第二数据，其中该第二实体页面邻近该第一实体页面，并且该第二数据可藉由该错误校正电路来校正而产生对应该第二实体页面的一第二已校正数据，

其中该存储器控制器还用以比对该第二数据与对应该第二实体页面的该第二已校正数据来获得一错误位信息，依据该错误位信息来计算至少一补偿电压，并且根据该至少一补偿电压来将该至少一阈值电压调整成至少一已调整阈值电压，

其中该存储器控制器还用以使用该至少一已调整阈值电压从该第一实体页面获取一另一第一数据并且该错误校正电路校正该另一第一数据以产生对应该第一实体页面的该第一已校正数据。

25. 如权利要求 24 所述的存储器储存装置，其中该第二数据具有多个位，并且每一这些位对应该可重写式非易失性存储器模块的多个储存状态的其中之一，

其中这些储存状态包括一第一储存状态与一第二储存状态并且该至少一阈值电压之中的一第一阈值电压用以区分该第一储存状态与该二储存状态，

其中该存储器控制器用以找出该第二数据的这些位之中与该第二已校正数据的对应位不相同的多个错误位，统计这些错误位之中属于一第一错误位型态的错误位的数目，统计这些错误位之中属于一第二错误位型态的错误位的数目并且将属于该第一错误位型态的错误位的数目与属于该第二错误位型态的错误位的数目作为该错误位信息，

其中属于该第一错误位型态的错误位是应对应该第一储存状态但被误认为对应该第二储存状态的位，

其中属于该第二错误位型态的错误位是应对应该第二储存状态但被误认为对应该第一储存状态的位。

26. 如权利要求 25 所述的存储器储存装置，其中该存储器控制器依据属于该第一错误位型态的错误位的数目与属于该第二错误位型态的错误位的数目来计算该至少一补偿电压之中的一第一补偿电压。

27. 如权利要求 26 所述的存储器储存装置，其中该存储器控制器使用该第一补偿电压将该第一阈值电压调整成该至少一已调整阈值电压之中的一第一已调整阈值电压。

28. 如权利要求 24 所述的存储器储存装置,其中该存储器控制器还用以建立一读取电压表,以记录该至少一已调整阈值电压。

29. 如权利要求 28 所述的存储器储存装置,其中该存储器控制器还用以将这些实体页面分组为多个实体页面群,

其中该第一实体页面与该第二实体页面属于这些实体页面群之中的一第一实体页面群,并且在该读取电压表中该至少一已调整阈值电压是对应该其第一实体页面群。

30. 如权利要求 29 所述的存储器储存装置,其中该存储器控制器依据该读取电压表使用该至少一已调整阈值电压读取属于该第一实体页面群的其他实体页面。

数据读取方法、存储器储存装置及其控制器

技术领域

[0001] 本发明涉及一种用于可重写式非易失性存储器的数据读取方法，特别是涉及一种在从可重写式非易失性存储器中所读取的数据无法被校正时重新调整读取电压以正确地读取数据的方法，及使用此方法的存储器控制器与存储器储存装置。

背景技术

[0002] 数字相机、手机与 MP3 在这几年来的成长十分迅速，使得消费者对数字内容的储存需求也急速增加。由于快闪存储器 (Flash Memory) 具有数据非易失性、省电、体积小与无机械结构等的特性，适合使用者随身携带作为数字文件传递与交换的储存媒体。固态硬盘 (Solid State Drive, SSD) 就是以快闪存储器作为储存媒体的一个例子，并且已广泛使用于计算机主机系统中作为主硬盘。

[0003] 目前的快闪存储器主要分为两种，分别为或非型快闪存储器 (NORFlash) 及与非型快闪存储器 (NAND Flash)。快闪存储器亦可根据每一存储单元可储存的数据位数而区分为多层存储单元 (Multi-Level Cell, MLC) 快闪存储器及单层存储单元 (Single-Level Cell, SLC) 快闪存储器。SLC 快闪存储器的每个存储单元仅能储存 1 个位数据，而 MLC 快闪存储器的每个存储单元可储存至少 2 个以上的位数据。例如，以 4 层存储单元快闪存储器为例，每一存储单元可储存 2 个位数据 (即，" 11"、" 10"、" 00" 与 " 01")。

[0004] 在快闪存储器中，存储单元会由位线 (Bit Line) 与字线 (Word Line) 来串起而形成一存储单元阵列 (memory cell array)。当控制位线与字线的控制电路在读取或写入数据到存储单元阵列的指定存储单元时，其他非指定的存储单元的浮动电压可能会受到干扰 (disturb)，进而造成错误位 (即，控制电路从存储单元中所读取的数据 (亦称为读取数据) 与原先所写入的数据 (亦称为写入数据不同)。或者，当快闪存储器亦可能因长期闲置、存储器漏电、或是多次擦除或写入等因素而造成磨损 (Wear) 情况时，存储单元中的浮动电压亦可能改变而造成错误位。

[0005] 一般来说，存储器储存装置会配置错误校正电路。在写入数据时，错误校正电路会为所写入的数据产生错误校正码，并且在读取数据时，错误校正电路会依据对应的错误校正码来为所读取的数据进行错误校正解码 (亦称为错误校正程序)，由此更正错误位。然而，错误校正电路所能够校正的错误位数是有限的，一旦所读取的数据的错误位的个数超过错误校正电路所能校正的错误位的个数时，所读取的数据将无法被校正。此时，主机系统将无法正确地从存储器储存装置中读取到正确的数据。由于工艺的演进或存储器本身的硬件架构的特性造成错误位越来越多 (如多层存储单元快闪存储器的每一存储单元可储存的位数越多其可能产生的错误位亦较 SLC 为多)，因此，如何确保所读取的数据的正确性，成为本领域技术人员所关注的议题。

发明内容

[0006] 本发明提供一种数据读取方法、存储器控制器与存储器储存装置，其能够正确地

读取储存于可重写式非易失性存储器中的数据。

[0007] 本发明范例实施例提出一种数据读取方法,用于一可重写式非易失性存储器模块,其中此可重写式非易失性存储器模块具有多个实体页面。本数据读取方法包括将这些实体页面分组为多个实体页面群;并且为每一实体页面群设定一个对应的阈值电压组,其中每一位组数据读取电压组包括多个阈值电压。本数据读取方法也包括分别地使用对应的阈值电压组从这些实体页面群的实体页面中读取数据。本数据读取方法还包括,当从其中一个实体页面群的其中一个实体页面中读取的数据无法藉由错误校正电路来校正时,更新对应此实体页面群的阈值电压组。

[0008] 本发明范例实施例提出一种数据读取方法,用于一可重写式非易失性存储器模块,其中此可重写式非易失性存储器模块具有依序排列的多个实体页面。本数据读取方法包括:使用至少一阈值电压从这些实体页面之中的第一实体页面中获取第一数据;并且判断此第一数据是否可藉由错误校正电路来校正而产生对应第一实体页面的第一已校正数据。本数据读取方法也包括,倘若第一数据无法藉由错误校正电路来校正而产生对应第一实体页面的已校正数据时,从这些实体页面之中的第二实体页面中获取第二数据,其中第二实体页面是邻近第一实体页面,并且第二数据可藉由错误校正电路来校正而产生对应第二实体页面的第二已校正数据。本数据读取方法亦包括:藉由比对第二数据与对应第二实体页面的第二已校正数据来获得一错误位信息;依据此错误位信息来计算至少一补偿电压;藉由所计算的补偿电压来将阈值电压调整成已调整阈值电压;以及使用已调整阈值电压从第一实体页面获取另一第一数据并且藉由错误校正电路来校正此另一第一数据以产生对应第一实体页面的第一已校正数据。

[0009] 本发明范例实施例提出一种存储器控制器,用于控制可重写式非易失性存储器模块,其中此可重写式非易失性存储器模块具有多个实体页面。本存储器控制器包括存储器管理电路以及电性连接至此存储器管理电路的主机接口、存储器接口、错误校正电路与读取电压更新电路。存储器管理电路用以将这些实体页面分组为多个实体页面群,为每一实体页面群设定对应的阈值电压组并且分别地使用对应的这些阈值电压组从这些实体页面群的实体页面中读取数据,其中每一位组数据读取电压组包括多个阈值电压。存储器接口用以电性连接至此可重写式非易失性存储器模块。在此,当存储器管理电路从其中一个实体页面群的其中一个实体页面中读取的数据无法藉由错误校正电路来校正时,读取电压更新电路会更新对应此实体页面群的阈值电压组。

[0010] 本发明范例实施例提出一种存储器控制器,用于控制可重写式非易失性存储器模块,其中此可重写式非易失性存储器模块具有依序排列的多个实体页面。本存储器控制器包括存储器管理电路以及电性连接至此存储器管理电路的主机接口、存储器接口、错误校正电路与读取电压更新电路。存储器接口用以电性连接至可重写式非易失性存储器模块。在此,存储器管理电路用以使用至少一阈值电压从第一实体页面中获取第一数据,并且判断错误校正电路是否可校正此第一数据来产生对应第一实体页面的第一已校正数据。倘若错误校正电路无法校正第一数据来产生对应第一实体页面的已校正数据时,存储器管理电路还用从第二实体页面中获取第二数据,其中第二实体页面是邻近第一实体页面,并且第二数据可藉由错误校正电路来校正而产生对应第二实体页面的第二已校正数据。读取电压更新电路用以比对第二数据与对应第二实体页面的第二已校正数据来获得一错误位信

息,依据此错误位信息来计算至少一补偿电压,并且根据所计算的补偿电压来将阈值电压调整成已调整阈值电压。此外,存储器管理电路还用以使用已调整阈值电压从第一实体页面获取另一第一数据并且错误校正电路校正此另一第一数据以产生对应第一实体页面的第一已校正数据。

[0011] 本发明范例实施例提出一种存储器储存装置,其包括连接器、可重写式非易失性存储器模块以及存储器控制器。连接器用以电性连接至主机系统。可重写式非易失性存储器模块具有多个实体页面。存储器控制器电性连接至连接器与可重写式非易失性存储器模块,并且具有错误校正电路。存储器控制器用以将这些实体页面分组为多个实体页面群,为每一实体页面群设定对应的阈值电压组并且分别地使用对应的阈值电压组从这些实体页面群的实体页面中读取数据,其中每一位组数据读取电压组包括多个阈值电压。当存储器控制器从这些实体页面群之中的其中一个实体页面群之中的一个实体页面中读取的数据无法藉由错误校正电路来校正时,存储器控制器会更新对应此实体页面群的阈值电压组。

[0012] 本发明范例实施例提出一种存储器储存装置,其包括连接器、可重写式非易失性存储器模块以及存储器控制器。连接器用以电性连接至主机系统。可重写式非易失性存储器模块具有多个实体页面。存储器控制器电性连接至连接器与可重写式非易失性存储器模块,并且具有错误校正电路。存储器控制器用以使用至少一阈值电压从这些实体页面之中的第一实体页面中获取第一数据,并且判断错误校正电路是否可校正第一数据来产生对应第一实体页面的第一已校正数据。倘若错误校正电路无法校正第一数据来产生对应第一实体页面的已校正数据时,存储器控制器还用以从这些实体页面之中的第二实体页面中获取第二数据,其中第二实体页面是邻近第一实体页面,并且第二数据可藉由错误校正电路来校正而产生对应第二实体页面的第二已校正数据。此外,存储器控制器还用以比对第二数据与对应第二实体页面的第二已校正数据来获得错误位信息,依据错误位信息来计算至少一补偿电压,并且根据所计算的补偿电压来将上述阈值电压调整成已调整阈值电压。再者,存储器控制器还用以使用此已调整阈值电压从第一实体页面获取另一第一数据并且错误校正电路校正此另一第一数据以产生对应第一实体页面的第一已校正数据。

[0013] 基于上述,本发明范例实施例的数据读取方法、存储器控制器与存储器储存装置能够有效地确保所读取的数据的正确性。

[0014] 为使本发明的上述特征和优点能更明显易懂,下文特举实施例,并结合附图详细说明如下。

附图说明

[0015] 图 1A 是根据本发明范例实施例所绘示的主机系统与存储器储存装置。

[0016] 图 1B 是根据本发明范例实施例所绘示的计算机、输入/输出装置与存储器储存装置的示意图。

[0017] 图 1C 是根据本发明另一范例实施例所绘示的主机系统与存储器储存装置的示意图。

[0018] 图 2 是绘示图 1A 所示的存储器储存装置的概要方块图。

[0019] 图 3 是根据本发明范例实施例所绘示的可重写式非易失性存储器模块的概要方块图。

[0020] 图 4 是根据本发明范例实施例所绘示储存于存储单元阵列中的写入数据所对应的浮动电压的统计分配图。

[0021] 图 5 是根据本发明第一范例实施例所绘示的针对其中一个存储单元的读取运作示意图。

[0022] 图 6 是根据本发明另一范例实施例所绘示的 8 层存储单元的读取运作示意图。

[0023] 图 7 是根据本发明范例实施例所绘示的存储器控制器的概要方块图。

[0024] 图 8 是根据本发明范例实施例所绘示的管理可重写式非易失性存储器模块的示意图。

[0025] 图 9 是根据本发明范例实施例所绘示读取数据的范例。

[0026] 图 10 是根据本发明范例实施例所绘示的统计错误位的错误类型的示意图。

[0027] 图 11 是根据本发明范例实施例所绘示的数据读取方法的流程图。

[0028] 附图符号说明

[0029] 1000 :主机系统

[0030] 1100 :计算机

[0031] 1102 :微处理器

[0032] 1104 :随机存取存储器

[0033] 1106 :输入 / 输出装置

[0034] 1108 :系统总线

[0035] 1110 :数据传输接口

[0036] 1202 :鼠标

[0037] 1204 :键盘

[0038] 1206 :显示器

[0039] 1208 :打印机

[0040] 1212 :随身盘

[0041] 1214 :存储卡

[0042] 1216 :固态硬盘

[0043] 1310 :数字相机

[0044] 1312 :SD 卡

[0045] 1314 :MMC 卡

[0046] 1316 :存储棒

[0047] 1318 :CF 卡

[0048] 1320 :嵌入式储存装置

[0049] 100 :存储器储存装置

[0050] 102 :连接器

[0051] 104 :存储器控制器

[0052] 106 :可重写式非易失性存储器模块

[0053] 202 :存储单元阵列

[0054] 204 :字线控制电路

[0055] 206 :位线控制电路

- [0056] 208 :列解码器
- [0057] 210 :数据输入 / 输出缓冲器
- [0058] 212 :控制电路
- [0059] VA :第一阈值电压
- [0060] VB :第二阈值电压
- [0061] VC :第三阈值电压
- [0062] VD :第四阈值电压
- [0063] VE :第五阈值电压
- [0064] VF :第六阈值电压
- [0065] VG :第七阈值电压
- [0066] 702 :存储器管理电路
- [0067] 704 :主机接口
- [0068] 706 :存储器接口
- [0069] 708 :错误校正电路
- [0070] 710 :读取电压更新电路
- [0071] 752 :缓冲存储器
- [0072] 754 :电源管理电路
- [0073] 410(0) ~ 410(N) :实体页面群
- [0074] 400(0)-0 ~ 400(0) ~ K :实体页面
- [0075] 1002、1004、1006、1008、1010、1012 :区块
- [0076] S1101、S1103、S1105、S1107、S1109、S1111、S1113、S1115 :数据读取的步骤

具体实施方式

[0077] 在本发明范例实施例中,可重写式非易失性存储器模块的实体页面可被分组为多个实体页面群,并且每一实体页面群会配置有对应的阈值电压组。并且,实体页面群的实体页面中的数据会使用对应的阈值电压组来读取。特别是,当所读取的数据无法藉由错误校正电路来校正时,对应的阈值电压组会依据从邻近实体页面中所获取的错误位信息来调整。由于阈值电压组是依据其对应的实体页面群的特性而被调整,因此,使得所读取的数据的正确性更能被保证。以下将详细范例实施例,来说明本发明。

[0078] 一般而言,存储器储存装置(亦称,存储器储存系统)包括可重写式非易失性存储器模块与控制器(亦称,控制电路)。通常存储器储存装置是与主机系统一起使用,以使主机系统可将数据写入至存储器储存装置或从存储器储存装置中读取数据。

[0079] 图 1A 是根据本发明范例实施例所绘示的主机系统与存储器储存装置。

[0080] 请参照图 1A,主机系统 1000 一般包括计算机 1100 与输入 / 输出 (input/output, I/O) 装置 1106。计算机 1100 包括微处理器 1102、随机存取存储器 (random access memory, RAM) 1104、系统总线 1108 与数据传输接口 1110。输入 / 输出装置 1106 包括如图 1B 的鼠标 1202、键盘 1204、显示器 1206 与打印机 1208。必须了解的是,图 1B 所示的装置非限制输入 / 输出装置 1106,输入 / 输出装置 1106 可还包括其他装置。

[0081] 在本发明实施例中,存储器储存装置 100 是通过数据传输接口 1110 与主机系统

1000 的其他元件电性连接。藉由微处理器 1102、随机存取存储器 1104 与输入 / 输出装置 1106 的运作可将数据写入至存储器储存装置 100 或从存储器储存装置 100 中读取数据。例如, 存储器储存装置 100 可以是如图 1B 所示的随身盘 1212、存储卡 1214 或固态硬盘 (Solid State Drive, SSD) 1216 等的可重写式非易失性存储器储存装置。

[0082] 一般而言, 主机系统 1000 可实质地为可与存储器储存装置 100 配合以储存数据的任意系统。虽然在本范例实施例中, 主机系统 1000 是以计算机系统来作说明, 然而, 在本发明另一范例实施例中主机系统 1000 可以是数码相机、摄影机、通信装置、音讯播放器或视讯播放器等系统。例如, 在主机系统为数码相机 (摄影机) 1310 时, 可重写式非易失性存储器储存装置则为其所使用的 SD 卡 1312、MMC 卡 1314、存储棒 (memory stick) 1316、CF 卡 1318 或嵌入式储存装置 1320 (如图 1C 所示)。嵌入式储存装置 1320 包括嵌入式多媒体卡 (Embedded MMC, eMMC)。值得一提的是, 嵌入式多媒体卡是直接电性连接于主机系统的基板上。

[0083] 图 2 是绘示图 1A 所示的存储器储存装置的概要方块图。

[0084] 请参照图 2, 存储器储存装置 100 包括连接器 102、存储器控制器 104 与可重写式非易失性存储器模块 106。

[0085] 在本范例实施例中, 连接器 102 是相容于序列先进附件 (Serial Advanced Technology Attachment, SATA) 标准。然而, 必须了解的是, 本发明不限于此, 连接器 102 亦可以是符合电气和电子工程师协会 (Institute of Electrical and Electronic Engineers, IEEE) 1394 标准、高速周边零件连接接口 (Peripheral Component Interconnect Express, PCI Express) 标准、通用序列总线 (Universal Serial Bus, USB) 标准、安全数字 (Secure Digital, SD) 接口标准、存储棒 (Memory Stick, MS) 接口标准、多媒体存储卡 (Multi Media Card, MMC) 接口标准、小型快闪 (Compact Flash, CF) 接口标准、整合式驱动电子接口 (Integrated Device Electronics, IDE) 标准或其他适合的标准。

[0086] 存储器控制器 104 用以执行以硬件型式或固件型式实作的多个逻辑门或控制指令, 并且根据主机系统 1000 的指令在可重写式非易失性存储器模块 106 中进行数据的写入、读取与擦除等运作。

[0087] 可重写式非易失性存储器模块 106 是电性连接至存储器控制器 104, 并且用以储存主机系统 1000 所写入的数据。在本范例实施例中, 可重写式非易失性存储器模块 106 为多阶存储单元 (Multi Level Cell, MLC) NAND 型快闪存储器模块。然而, 本发明不限于此, 可重写式非易失性存储器模块 106 亦可是其他快闪存储器模块或其他具有相同特性的存储器模块。

[0088] 图 3 是根据本发明范例实施例所绘示的可重写式非易失性存储器模块的概要方块图。

[0089] 可重写式非易失性存储器模块 106 包括存储单元阵列 202、字线控制电路 204、位线控制电路 206、列解码器 (column decoder) 208、数据输入 / 输出缓冲器 210 与控制电路 212。

[0090] 存储单元阵列 202 包括用以储存数据的多个存储单元 (图未示)、连接这些存储单元的多条位线 (图未示)、多条字线与共用源极线 (图未示)。存储单元是以阵列方式配置在位线与字线的交叉点上。当从存储器控制器 130 接收到写入指令或读取数据时, 控制电

路 212 会控制字线控制电路 204、位线控制电路 206、列解码器 208、数据输入 / 输出缓冲器 210 来写入数据至存储器阵列 202 或从存储器阵列 202 中读取数据,其中字线控制电路 204 用以控制施予至字线的字线电压,位线控制电路 206 用以控制位线,列解码器 208 依据指令中的解码列地址以选择对应的位线,并且数据输入 / 输出缓冲器 210 用以暂存数据。

[0091] 在本范例实施例中,可重写式非易失性存储器模块 106 为 MLC NAND 型快闪存储器模块,其使用多个浮动电压来代表多位 (bits) 的数据。具体来说,存储单元阵列 202 的每一存储单元具有多个储存状态,并且这些储存状态是以多个阈值电压来区分。

[0092] 图 4 是根据本发明范例实施例所绘示储存于存储单元阵列中的写入数据所对应的浮动电压的统计分配图。

[0093] 请参照图 4,以 4 阶存储单元 NAND 型快闪存储器为例,每一存储单元中的浮动电压可依据第一阈值电压 VA、第二阈值电压 VB 与第三阈值电压 VC 而区分为 4 种储存状态,并且这些储存状态分别地代表 " 11 "、" 10 "、" 00 " 与 " 01 "。换言之,每一个储存状态包括最低有效位 (Least Significant Bit, LSB) 以及最高有效位 (Most Significant Bit, MSB)。在本范例实施例中,储存状态 (即, " 11 "、" 10 "、" 00 " 与 " 01 ") 中从左侧算起的第 1 个位的值为 LSB,而从左侧算起的第 2 个位的值为 MSB。因此,在第一范例实施例中,每一存储单元可储存 2 个位数据。必须了解的是,图 3 所绘示的浮动电压及其储存状态的对应仅为一个范例。在本发明另一范例实施例中,浮动电压与储存状态的对应亦可是随着浮动电压越大而以 " 11 "、" 10 "、" 01 " 与 " 00 " 排列。或者,浮动电压所对应的储存状态亦可为对实际储存值进行映射或反相后的值,此外,在另一范例时实例中,亦可定义从左侧算起的第 1 个位的值为 MSB,而从左侧算起的第 2 个位的值为 LSB。

[0094] 在本范例实施例中,每一存储单元可储存 2 个位数据,因此同一条字线上的存储单元会构成 2 个实体页面 (即,下页面与上页面) 的储存空间。也就是说,每一存储单元的 LSB 是对应下页面,并且每一存储单元的 MSB 是对应上页面。此外,在存储单元阵列 202 中数个实体页面会构成一个实体区块,并且实体区块为执行擦除运作的最小单位。亦即,每一实体区块含有最小数目的一并被擦除的存储单元。

[0095] 存储单元阵列 202 的存储单元的数据写入是利用注入电压来改变存储单元的浮动电压,以呈现不同的储存状态。例如,当下页面数据为 1 且上页面数据为 1 时,控制电路 212 会控制字线控制电路 204 不改变存储单元中的浮动电压,而将存储单元的储存状态保持为 " 11 "。当下页面数据为 1 且上页面数据为 0 时,字线控制电路 204 会在控制电路 212 的控制下改变存储单元中的浮动电压,而将存储单元的储存状态改变为 " 10 "。当下页面数据为 0 且上页面数据为 0 时,字线控制电路 204 会在控制电路 212 的控制下改变存储单元中的浮动电压,而将存储单元的储存状态改变为 " 00 "。并且,当下页面数据为 0 且上页面数据为 1 时,字线控制电路 204 会在控制电路 212 的控制下改变存储单元中的浮动电压,而将存储单元的储存状态改变为 " 01 "。

[0096] 图 5 是根据本发明第一范例实施例所绘示的针对其中一个存储单元的读取运作示意图。

[0097] 请参照图 5,存储单元阵列 202 的存储单元的数据读取则是使用阈值电压来区分存储单元的浮动电压。在读取下页数据的运作中,字线控制电路 204 会施予第二阈值电压 VB 至存储单元并且藉由存储单元的控制栅 (controlgate) 是否导通和对应的运算式 (1) 来

判断下页数据的值：

$$[0098] \quad \text{LSB} = (\text{VB})_{\text{Lower_pre1}} \quad (1)$$

[0099] 其中 $(\text{VB})_{\text{Lower_pre1}}$ 表示通过施予第二阈值电压 VB 而获得的第 1 下页验证值。

[0100] 例如，当第二阈值电压 VB 小于存储单元的浮动电压时，存储单元的控制栅 (control gate) 不会导通并输出值 '0' 的第 1 下页验证值，由此 LSB 会被识别为 0。例如，当第二阈值电压 VB 大于存储单元的浮动电压时，存储单元的控制栅会导通并输出值 '1' 的第 1 下页验证值，由此此 LSB 会被识别为 1。也就是说，用以呈现 LSB 为 1 的浮动电压与用以呈现 LSB 为 0 的浮动电压可通过第二阈值电压 VB 而被区分。

[0101] 在读取上页数据的运作中，字线控制电路 204 会分别地施予第三阈值电压 VC 与第一阈值电压 VA 至存储单元并且藉由存储单元的控制栅是否导通和对应的运算式 (2) 来判断上页数据的值：

$$[0102] \quad \text{MSB} = ((\text{VA})_{\text{Upper_pre2}} \text{ xor } (\sim (\text{VC})_{\text{Upper_pre1}})) \quad (2)$$

[0103] 其中 $(\text{VC})_{\text{Upper_pre1}}$ 表示通过施予第三阈值电压 VC 而获得的第 1 上页验证值，并且 $(\text{VA})_{\text{Upper_pre2}}$ 表示通过施予第一阈值电压 VA 而获得的第 2 上页验证值，其中符号“ \sim ”代表反相。此外，在本范例实施例中，当第三阈值电压 VC 小于存储单元的浮动电压时，存储单元的控制栅不会导通并输出值 '0' 的第 1 上页验证值 $(\text{VC})_{\text{Upper_pre1}}$ ，当第一阈值电压 VA 小于存储单元的浮动电压时，存储单元的控制栅不会导通并输出值 '0' 的第 2 上页验证值 $(\text{VA})_{\text{Upper_pre2}}$ 。

[0104] 因此，在本范例实施例中，依照运算式 (2)，当第三阈值电压 VC 与第一阈值电压 VA 皆小于存储单元的浮动电压时，在第三阈值电压 VC 下存储单元的控制栅不会导通并输出值 '0' 的第 1 上页验证值并且在第一阈值电压 VA 下存储单元的控制栅不会导通并输出值 '0' 的第 2 上页验证值。此时，MSB 会被识别为 1。

[0105] 例如，当第三阈值电压 VC 大于存储单元的浮动电压且第一阈值电压 VA 小于存储单元的浮动电压小于存储单元的浮动电压时，在第三阈值电压 VC 下存储单元的控制栅会导通并输出值 '1' 的第 1 上页验证值，并且在第一阈值电压 VA 下存储单元的控制栅不会导通并输出值 '0' 的第 2 上页验证值。此时，MSB 会被识别为 0。

[0106] 例如，当第三阈值电压 VC 与第一阈值电压 VA 皆大于存储单元的浮动电压时，在第三阈值电压 VC 下，存储单元的控制栅会导通并输出值 '1' 的第 1 上页验证值，并且在第一阈值电压 VA 下存储单元的控制栅会导通并输出值 '1' 的第 2 上页验证值。此时，MSB 会被识别为 1。

[0107] 必须了解的是，尽管本发明是以 4 阶存储单元 NAND 型快闪存储器来作说明。然而，本发明不限于此，其他多层存储单元 NAND 型快闪存储器亦可依据上述原理进行数据的读取。

[0108] 例如，以 8 阶存储单元 NAND 型快闪存储器为例（如图 6 所示），每一个储存状态包括左侧算起的第 1 个位的最低有效位 LSB、从左侧算起的第 2 个位的中间有效位 (Center Significant Bit, CSB) 以及从左侧算起的第 3 个位的最高有效位 MSB，其中 LSB 对应下页面，CSB 对应中页面，MSB 对应上页面。在此范例中，每一存储单元中的浮动电压可依据第一阈值电压 VA、第二阈值电压 VB、第三阈值电压 VC、第四阈值电压 VD、第五阈值电压 VE、第六阈值电压 VF 与第七阈值电压 VG 而区分为 8 种储存状态（即，“111”、“110”、“100”

、“ 101”、“ 001”、“ 000”、“ 010”与“ 011”)。

[0109] 图 7 是根据本发明范例实施例所绘示的存储器控制器的概要方块图。

[0110] 请参照图 7, 存储器控制器 104 包括存储器管理电路 702、主机接口 704、存储器接口 706、错误校正电路 708 与读取电压更新电路 710。

[0111] 存储器管理电路 702 用以控制存储器控制器 104 的整体运作。具体来说, 存储器管理电路 702 具有多个控制指令, 并且在存储器储存装置 100 运作时, 这些控制指令会被执行以根据主机系统 1000 的指令于可重写式非易失性存储器模块 106 中读取、写入或擦除数据。

[0112] 在本范例实施例中, 存储器管理电路 702 的控制指令是以固件型式来实作。例如, 存储器管理电路 702 具有微处理器单元 (未绘示) 与只读存储器 (未绘示), 并且这些控制指令是被烧录至此只读存储器中。当存储器储存装置 100 运作时, 这些控制指令会由微处理器单元来执行。

[0113] 在本发明另一范例实施例中, 存储器管理电路 702 的控制指令亦可以程式码型式储存于可重写式非易失性存储器模块 106 的特定区域 (例如, 存储器模块中专用于存放系统数据的系统区) 中。此外, 存储器管理电路 702 具有微处理器单元 (未绘示)、只读存储器 (未绘示) 及随机存取存储器 (未绘示)。特别是, 此只读存储器具有驱动码段, 并且当存储器控制器 104 被致能时, 微处理器单元会先执行此驱动码段来将储存于可重写式非易失性存储器模块 106 中的控制指令载入至存储器管理电路 702 的随机存取存储器中。之后, 微处理器单元会运转这些控制指令以执行数据的读取、写入与擦除。此外, 在本发明另一范例实施例中, 存储器管理电路 702 的控制指令亦可以一硬件型式来实作。

[0114] 主机接口 704 是电性连接至存储器管理电路 702 并且用以接收与识别主机系统 1000 所传送的指令与数据。也就是说, 主机系统 1000 所传送的指令与数据会通过主机接口 704 来传送至存储器管理电路 702。在本范例实施例中, 主机接口 704 是相容于 SATA 标准。然而, 必须了解的是本发明不限于此, 主机接口 704 亦可以是相容于 PATA 标准、IEEE 1394 标准、PCI Express 标准、USB 标准、SD 标准、MS 标准、MMC 标准、CF 标准、IDE 标准或其他适合的数据传输标准。

[0115] 存储器接口 706 是电性连接至存储器管理电路 702 并且用以存取可重写式非易失性存储器模块 106。也就是说, 欲写入至可重写式非易失性存储器模块 106 的数据会经由存储器接口 706 转换为可重写式非易失性存储器模块 106 所能接受的格式。

[0116] 错误校正电路 708 是电性连接至存储器管理电路 702 并且用以执行错误检查与校正程序以确保数据的正确性。具体来说, 当存储器管理电路 702 从主机系统 1000 中接收到写入指令时, 错误校正电路 708 会为对应此写入指令的数据产生对应的错误检查与校正码 (Error Checking and Correcting Code, ECC Code), 并且存储器管理电路 702 会将对应此写入指令的数据与对应的错误检查与校正码写入至可重写式非易失性存储器模块 106 中。之后, 当存储器管理电路 702 从可重写式非易失性存储器模块 106 中读取数据时会同时读取此数据对应的错误检查与校正码, 并且错误校正电路 708 会依据此错误检查与校正码对所读取的数据执行错误检查与校正程序。

[0117] 读取电压更新电路 710 是电性连接至存储器管理电路 702 并且用以调整存储器管理电路 702 从可重写式非易失性存储器模块 106 时所采用的阈值电压组。调整阈值电压组

的方法将配合附图详细描述如后。

[0118] 在本发明一范例实施例中,存储器控制器 104 还包括缓冲存储器 752。缓冲存储器 752 是电性连接至存储器管理电路 702 并且用以暂存来自于主机系统 1000 的数据与指令或来自于可重写式非易失性存储器模块 106 的数据。

[0119] 在本发明一范例实施例中,存储器控制器 104 还包括电源管理电路 754。电源管理电路 754 是电性连接至存储器管理电路 702 并且用以控制存储器储存装置 100 的电源。

[0120] 图 8 是根据本发明范例实施例所绘示的管理可重写式非易失性存储器模块的示意图。

[0121] 请参照图 8,存储器管理电路 702 会将可重写式非易失性存储器模块 106 的实体页面分组成实体页面群 400(0) ~ 400(N)。在本范例实施例中,存储器管理电路 702 是将属于同一个实体区块的实体页面分组成一个实体页面群。也就是说,在本范例实施中,一个实体页面群内的实体页面正好为一个实体区块的实体页面。然而,本发明不限于此,在本发明另一范例实施例中,存储器管理电路 702 亦可将属于同一个区块面(plane)的实体页面分组成一个实体页面群或者将每一个实体页面视为单一实体页面群。

[0122] 在本范例实施例中,存储器管理电路 702 会为每一实体页面群配置独立的阈值电压组。例如,以可复写式非易失性存储器模块 106 为 4 阶存储单元 NAND 型存储器模块的例子中,每一阈值电压组包括第一阈值电压 VA、第二阈值电压 VB 与第三阈值电压 VC。并且,存储器管理电路 702 会采用对应的阈值电压组来读取储存于对应的实体页面群的实体页面中的数据。

[0123] 例如,存储器管理电路 702 会建立读取电压表以记录对应每一实体页面群的阈值电压组。并且,每当欲从实体页面中读取数据时,存储器管理电路 702 会从读取电压表中识别对应的阈值电压组并且采用所识别的阈值电压组来读取数据。

[0124] 也就是说,当欲从属于实体页面群 400(0) 的实体页面中读取数据时,存储器管理电路 702 会采用对应实体页面群 400(0) 的第一阈值电压 VA、第二阈值电压 VB 与第三阈值电压 VC 来读取数据,而当欲从属于实体页面群 400(N) 的实体页面中读取数据时,存储器管理电路 702 会采用对应实体页面群 400(N) 的第一阈值电压 VA、第二阈值电压 VB 与第三阈值电压 VC 来读取数据。

[0125] 特别是,在本范例实施例中,当错误校正电路 708 无法校正存储器管理电路 702 从一实体页面中所读取的数据时,存储器管理电路 702 会从同一个实体页面群的其他实体页面中读取可被错误校正电路 708 校正的数据,并且读取电压更新电路 710 会依据可被校正的数据来获取错误位信息以调整对应的阈值电压组。

[0126] 图 9 是根据本发明范例实施例所绘示读取数据的范例。

[0127] 请参照图 9,倘若存储器管理电路 702 欲从属于第一实体页面群(例如,实体页面群 400(0)) 的第一实体页面(例如,实体页面 400(0)-3) 读取数据时,如图 9 中的符号(1) 所示的步骤,存储器管理电路 702 会采用对应实体页面群 400(0) 的阈值电压组来从第一实体页面中读取未校正数据(亦称为第一数据)。例如,倘若第一实体页面为下页面时,存储器管理电路 702 会采用对应实体页面群 400(0) 的第二阈值电压 VB 来识别此实体页面中每一位的值。例如,倘若第一实体页面为上页面时,存储器管理电路 702 会采用对应实体页面群 400(0) 的第一阈值电压 VA 与第三阈值电压 VC 来识别此实体页面中每一位的值。

[0128] 在完成数据的读取后,错误校正电路 708 会依据对应所读取的未校正数据的错误检查与校正码来进行错误校正程序,并且存储器管理电路 702 会判断所读取的未校正数据是否可被校正而产生已校正数据。倘若所读取的未校正数据无法被校正时,存储器管理电路 702 会从以第一实体页面为中心扩散,从邻近的其他实体页面中读取数据,直到所读取的数据能够被错误校正电路 708 校正为止。

[0129] 例如,如图 9 中符号 (2) 所示的步骤,存储器管理电路 702 先从实体页面 400 (0)-4 中读取未校正数据。倘若从实体页面 400 (0)-4 中读取的未校正数据仍无法被校正时,如图 9 中符号 (3) 所示的步骤,存储器管理电路 702 会再从实体页面 400 (0)-2 中读取未校正数据。倘若从实体页面 400 (0)-2 中所读取的未校正数据仍无法被校正时,如图 9 中符号 (3) 所示的步骤,存储器管理电路 702 会再从实体页面 400 (0)-5 中读取未校正数据,以此类推。最后,倘若从第二实体页面(例如,实体页面 400 (0)-5)中所读取的未校正数据(亦称为第二数据)可被校正而产生对应第二实体页面的已校正数据时,存储器管理电路 702 会将对应第二实体页面的未校正数据与已校正数据传送给读取电压更新电路 710。

[0130] 之后,读取电压更新电路 710 会依据对应第二实体页面的未校正数据与已校正数据来产生补偿电压并且将对应第二实体页面的阈值电压更新成已调整阈值电压。

[0131] 具体来说,读取电压更新电路 710 会依序地比对对应第二实体页面的未校正数据与已校正数据的每一位并且识别其中的错误位。在此所谓错误位是指一个应为某一状态的位并误判为属于另一状态。并且,读取电压更新电路 710 会统计这些错误位的错误位类型作为错误位信息并且依据错误位信息来产生补偿电压以调整阈值电压。

[0132] 图 10 是根据本发明范例实施例所绘示的统计错误位的错误类型的示意图。

[0133] 请参照图 10,以 4 阶存储单元 NAND 型快闪存储器为例,第一位信息读取电压 VA 是用以区别储存状态" 11"与储存状态" 10",第二阈值电压 VB 是用以区别储存状态" 10"与储存状态" 00"并且第三阈值电压 VC 是用以区别储存状态" 00"与储存状态" 01"。在此,阈值电压左边的状态称为第一储存状态,而阈值电压右边的状态称为第二储存状态。

[0134] 特别是,读取电压更新电路 710 会为每一阈值电压,统计应为第一储存状态而被误判为第二储存状态的存储单元位(即,第一错误位类型)的数目,并且统计应为第二储存状态而被误判为第一储存状态的存储单元(即,第二错误位类型)的数目。

[0135] 如图 10 所示,区块 1002 表示应为储存状态" 10"而被误判为储存状态" 11"的存储单元,区块 1004 表示应为储存状态" 11"而被误判为储存状态" 10"的存储单元。特别是,读取电压更新电路 710 会根据所识别的错误位之中对应区块 1002 的错误位的数目以及对应区块 1004 的错误位的数目来产生对应第一阈值电压 VA 的补偿电压。并且,读取电压更新电路 710 会将第一阈值电压加上所计算的补偿电压而成为新的第一阈值电压 VA(即,已调整阈值电压)。

[0136] 例如,读取电压更新电路 710 是使用以下算式 (3) 来计算补偿电压:

$$[0137] \quad x = g \times \log_2 \left(\frac{\text{error2}}{\text{error1}} \right) \quad (3)$$

[0138] 其中 x 代表补偿电压, g 代表常数, error2 代表应为第二储存状态而被误判为第一储存状态的存储单元的数目, error1 代表应为第一储存状态而被误判为第二储存状态的存

储单元位的数目。

[0139] 类似地,读取电压更新电路 710 会根据所识别的错误位之中对应区块 1006 的错误位的数目以及对应区块 1008 的错误位的数目来产生对应第二阈值电压的补偿电压 VB。并且,读取电压更新电路 710 会将第二阈值电压 VB 加上所计算的补偿电压而成为新的第二阈值电压 VB。

[0140] 同样的,读取电压更新电路 710 会根据所识别的错误位之中对应区块 1010 的错误位的数目以及对应区块 1012 的错误位的数目来产生对应第三阈值电压的补偿电压 VC。并且,读取电压更新电路 710 会将第三阈值电压 VC 加上所计算的补偿电压而成为新的第三阈值电压 VC。

[0141] 然后,存储器管理电路 702 会采用更新后的阈值电压(即,已调整阈值电压)再次从第一实体页面中读取数据(如图 9 所示的(5))并且错误校正电路 708 会校正此数据而获取对应第一实体页面的已校正数据。

[0142] 具体来说,由于邻近的实体页面具有类似的物理特性,因此当某一实体页面所读取的数据无法被校正时,藉由分析其邻近实体页面的错误位信息,来调整阈值电压,将可更正确地读取数据。

[0143] 图 11 是根据本发明范例实施例所绘示的数据读取方法的流程图。

[0144] 请参照图 11,在步骤 S1101 中,存储器管理电路 702 会根据读取电压表中对应的阈值电压组来从一个目标实体页面中读取未校正数据。并且在步骤 S1103 中,存储器管理电路 702 会判断此未校正数据是否可由错误校正电路 708 来校正而产生对应此实体页面的已校正数据。

[0145] 倘若未校正数据可被校正时,在步骤 S1105 中,存储器管理电路 702 会输出已校正数据。

[0146] 倘若未校正数据无法被校正时,在步骤 S1107 中,存储器管理电路 702 会于邻近的实体页面中读取未校正数据。如何选择邻近的实体页面来读取数据,已描述如上,在此不再重复描述。

[0147] 之后,在步骤 S1109 中会判断所读取的未校正数据是否可被错误校正电路 708 校正。倘若所读取的未校正数据无法被校正时,步骤 S1107 会再次被执行。

[0148] 倘若所读取的未校正数据可被校正时,在步骤 S1111 中,读取电压更新电路 710 会对比此对应的未校正数据与已校正数据,并且获取错误位信息。

[0149] 之后,在步骤 S1113 中,读取电压更新电路 710 会依据所产生的错误位信息计算补偿电压,并且依据所计算的补偿电压来调整数据位读取电压。

[0150] 然后,在步骤 S1115 中,存储器管理电路 702 会依据已调整数据位读取电压更新读取电压表中对应的数据位读取电压组。

[0151] 接着,步骤 S1101 会被执行,以尝试再次从目标实体页面中读取数据。

[0152] 例如,在本发明一范例实施例中,存储器管理电路 702 会依据不断调整的数据位读取电压组尝试重新读取目标实体页面中的数据,并且在读取一预定次数后无法获取对应此目标实体页面的已校正数据时,输出错误讯息。

[0153] 综上所述,本发明范例实施例的数据读取方法及使用此方法的存储器储存装置与存储器控制器能够依据更适当的数据位读取电压来更正确地读取数据。此外,当错误校正

电路无法将未校正数据成功地校正时,藉由依据从其邻近实体页面所获取的错误位信息来调整数据位读取电压,将能够获取对应的已校正数据,由此提升数据储存的稳定度。

[0154] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,本领域的技术人员,在不脱离本发明的精神和范围的前提下,可作若干的更动与润饰,故本发明的保护范围是以本发明的权利要求为准。

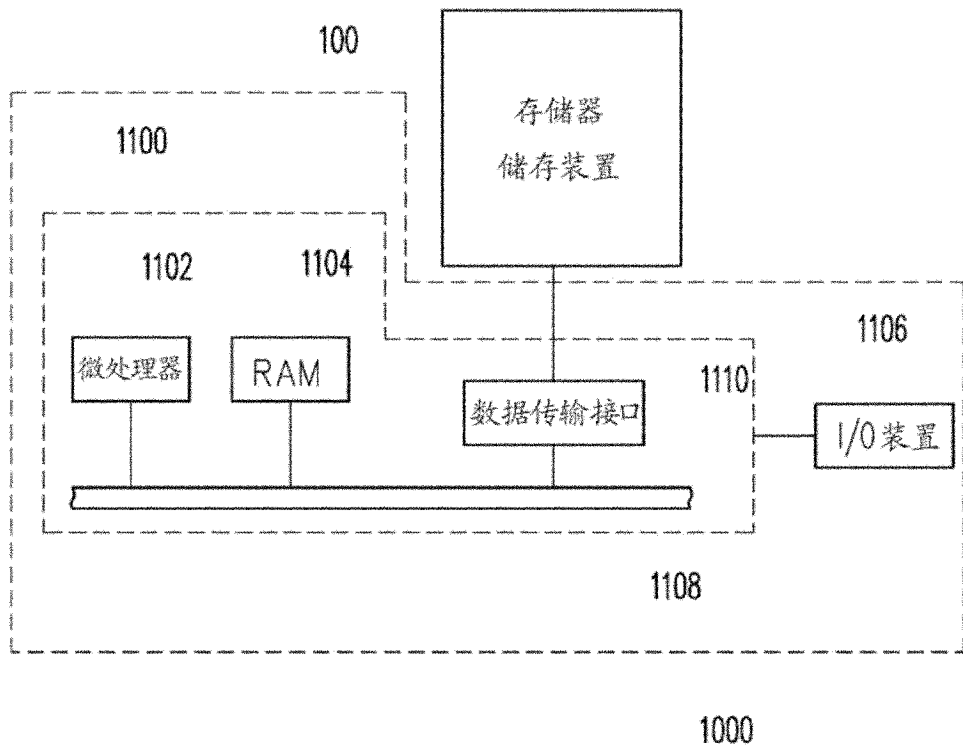


图 1A

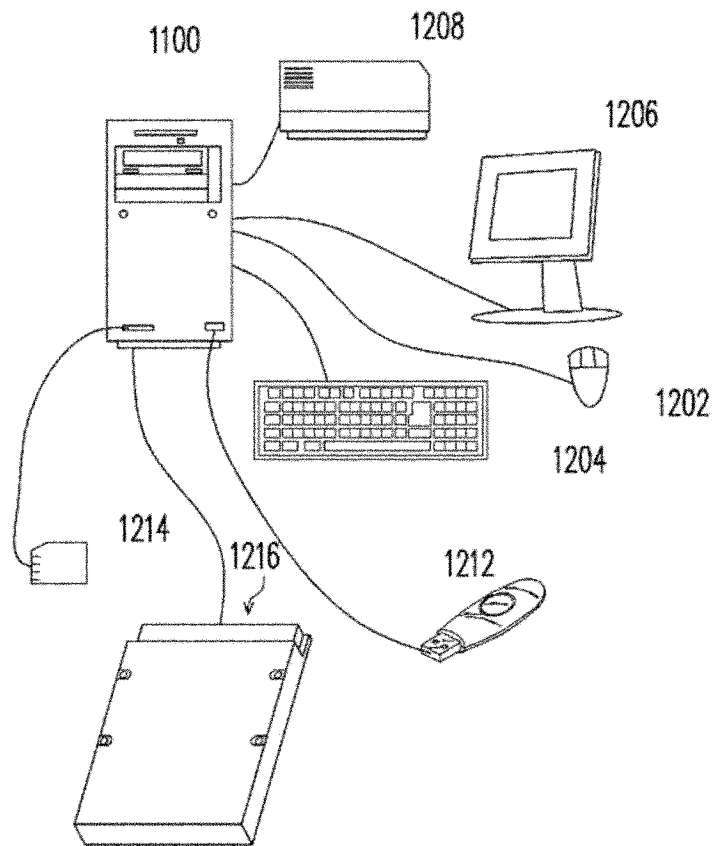


图 1B

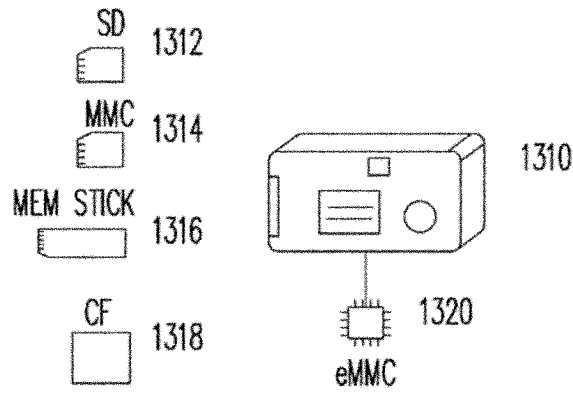


图 1C

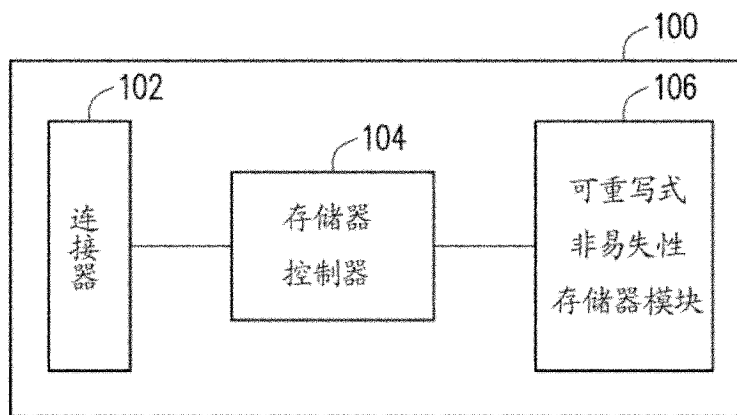


图 2

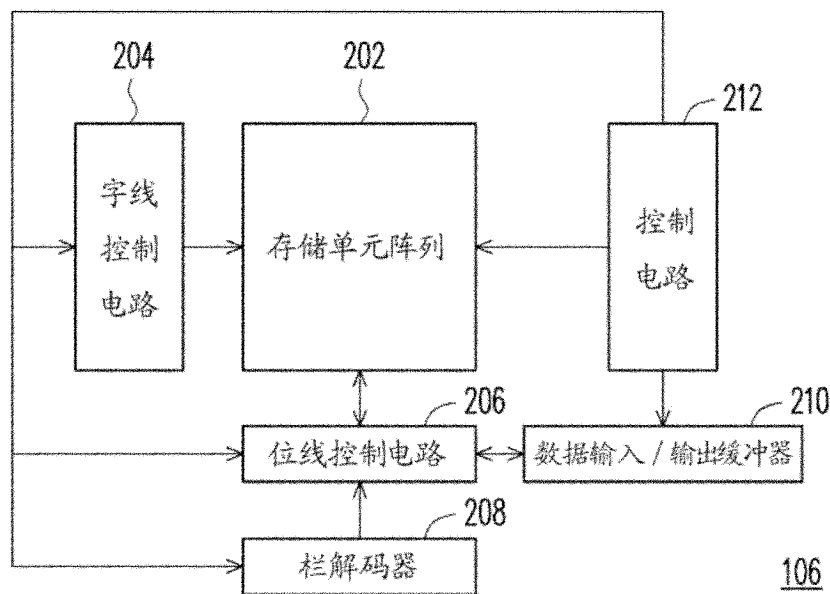


图 3

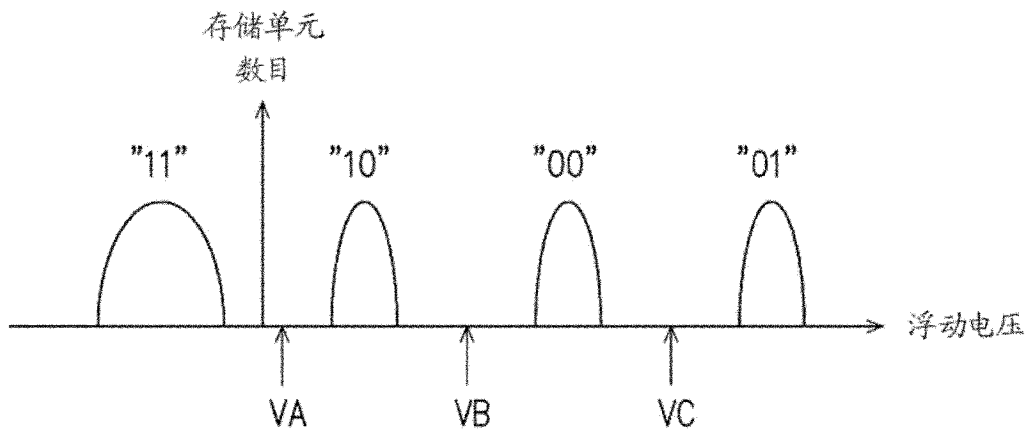


图 4

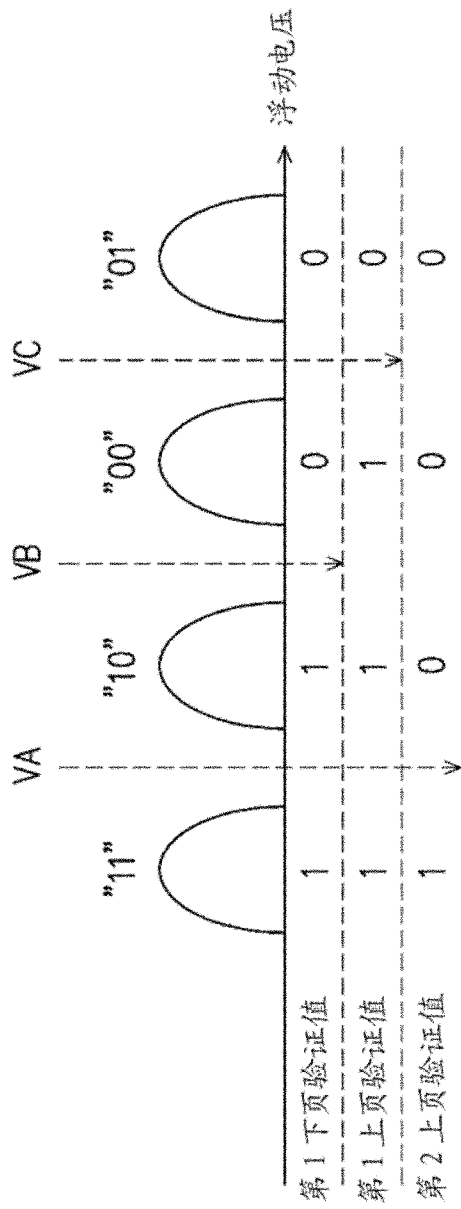


图 5

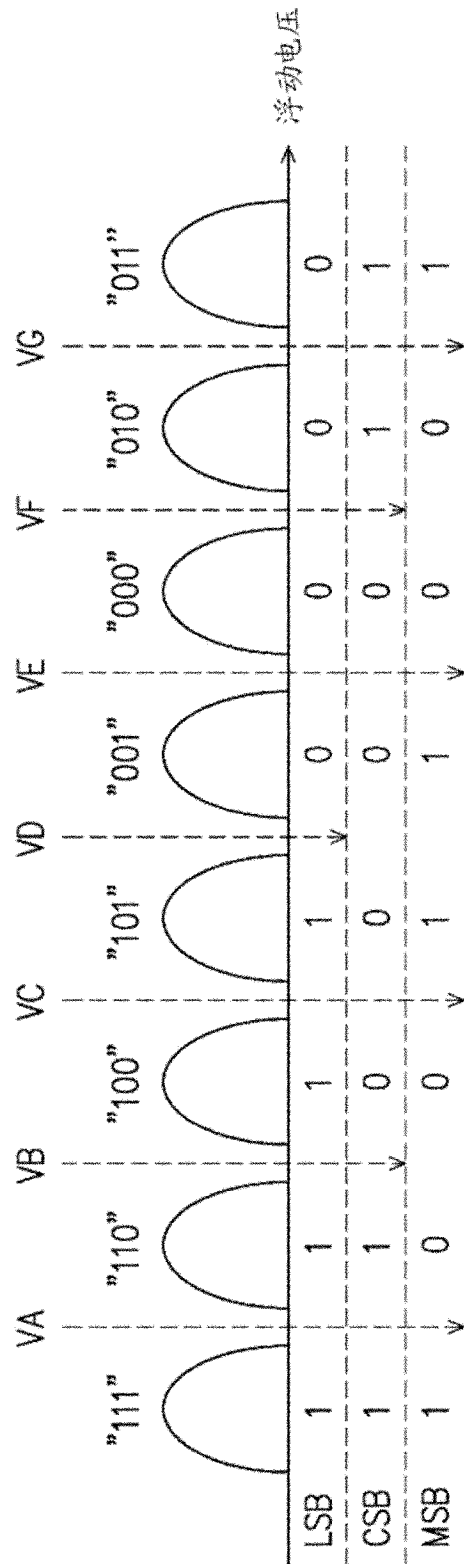


图 6

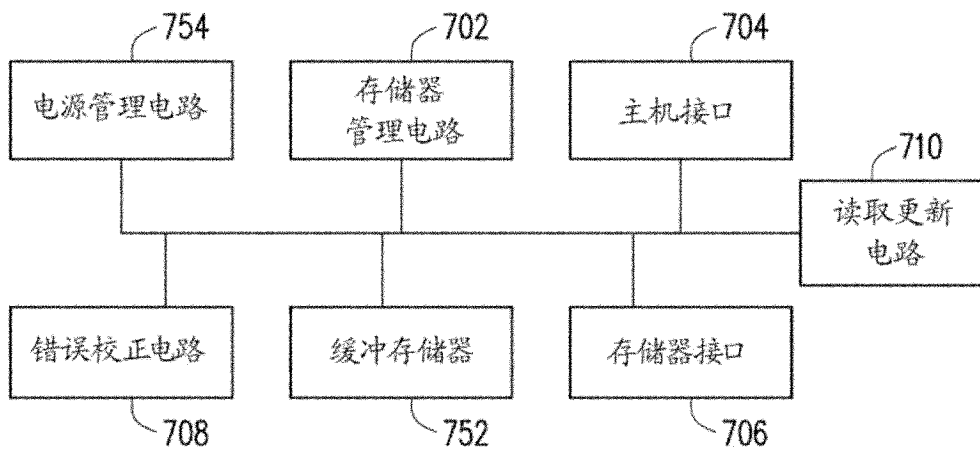


图 7

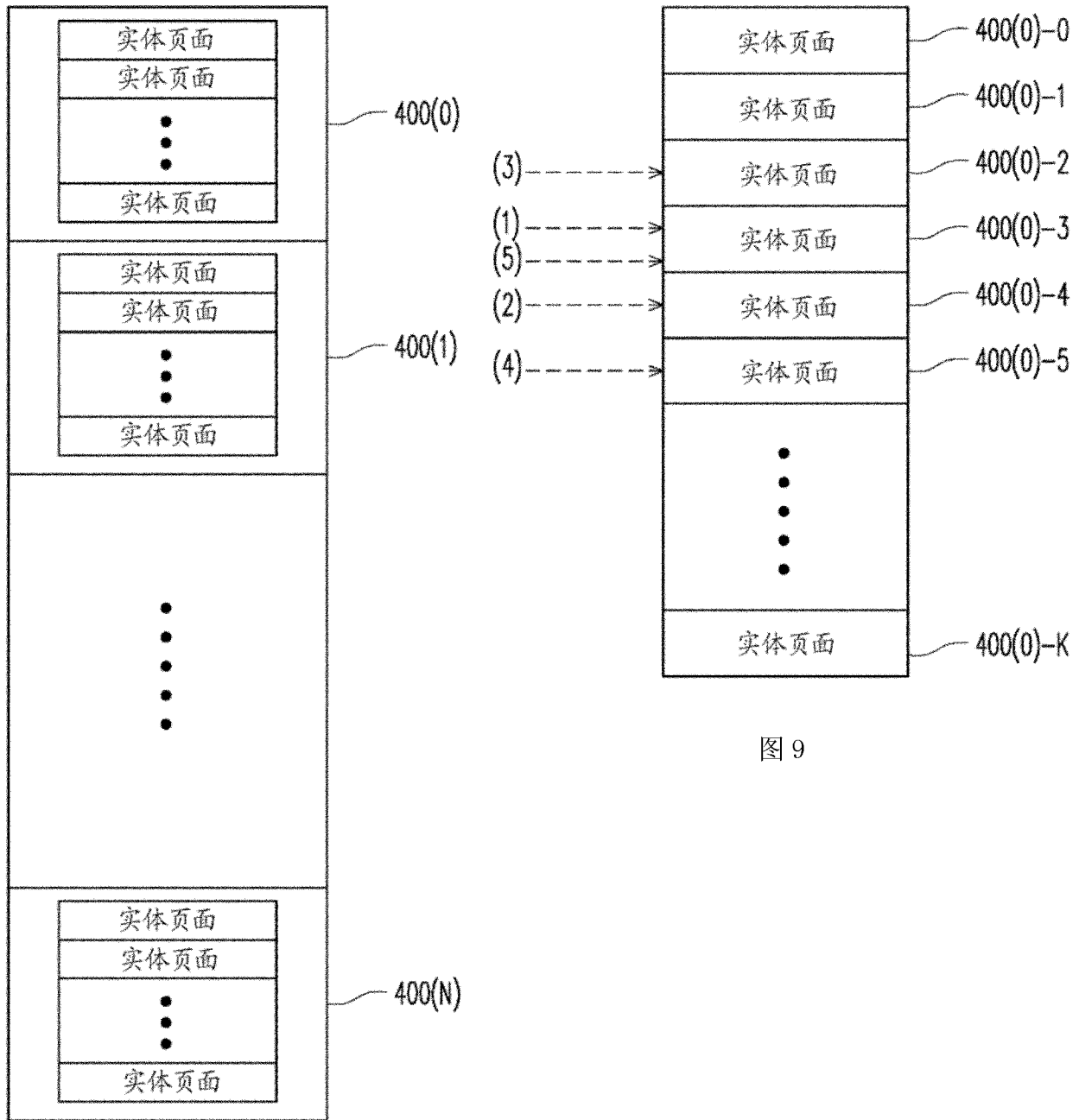


图 9

图 8

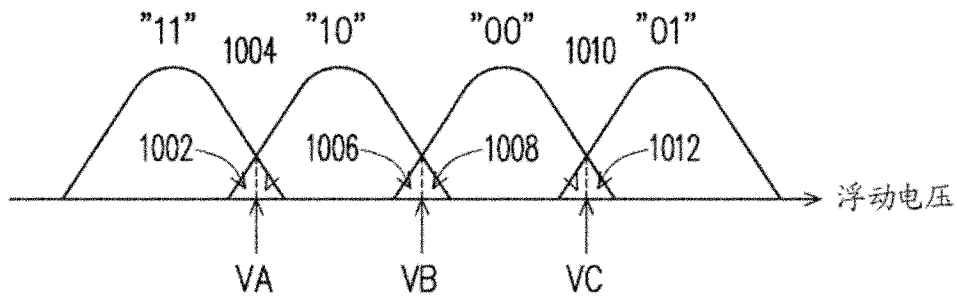


图 10

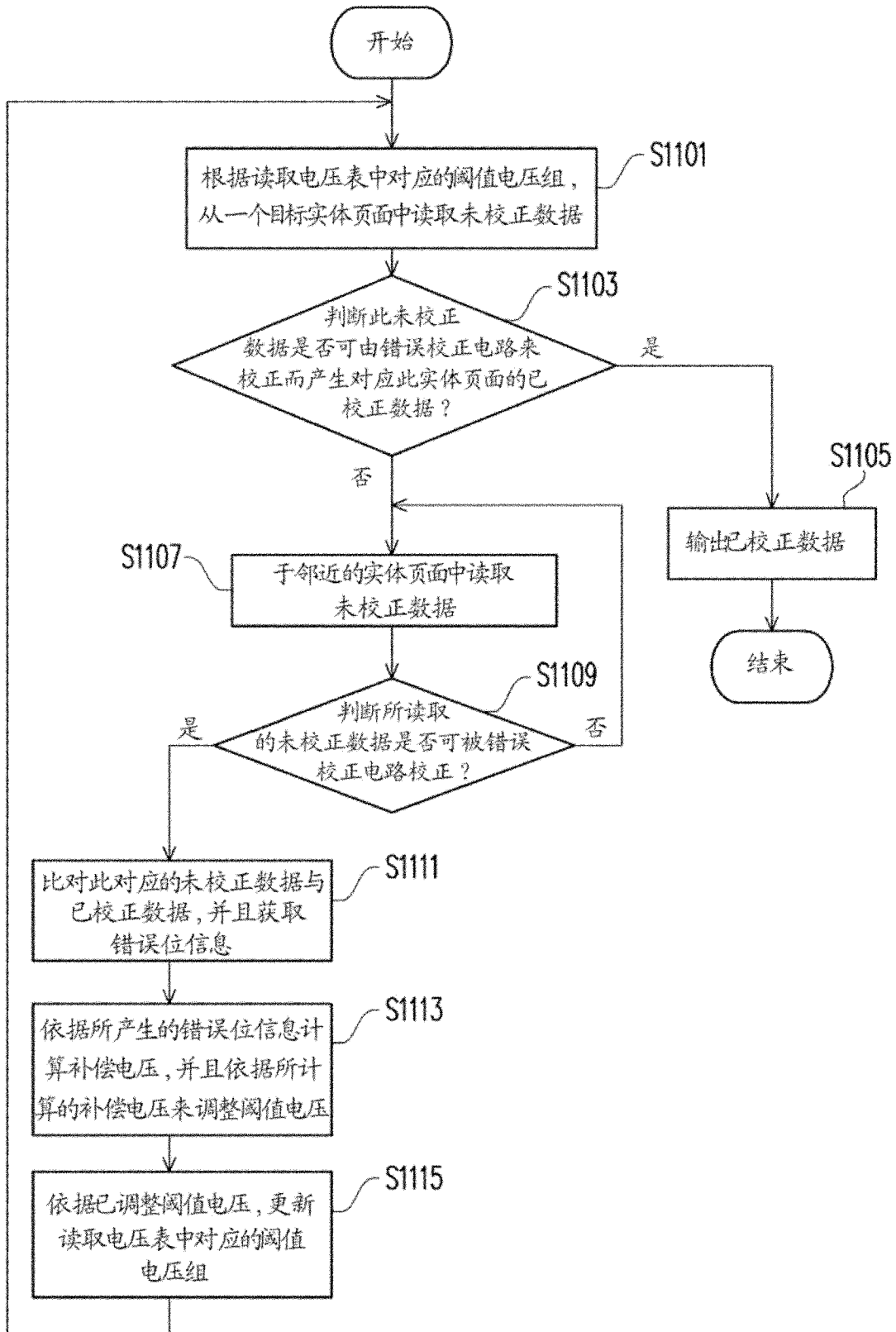


图 11