

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4003734号
(P4003734)

(45) 発行日 平成19年11月7日(2007.11.7)

(24) 登録日 平成19年8月31日(2007.8.31)

(51) Int. Cl.		F I			
	HO 4 N	5/335	(2006.01)	HO 4 N	5/335 P
	HO 1 L	27/146	(2006.01)	HO 4 N	5/335 E
				HO 1 L	27/14 A

請求項の数 7 (全 24 頁)

(21) 出願番号	特願2003-362004 (P2003-362004)	(73) 特許権者	000002369
(22) 出願日	平成15年10月22日(2003.10.22)		セイコーエプソン株式会社
(65) 公開番号	特開2005-130104 (P2005-130104A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成17年5月19日(2005.5.19)	(74) 代理人	100095728
審査請求日	平成16年9月24日(2004.9.24)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	桑沢 和伸
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 固体撮像装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

入射光に応じて光発生電荷を生成する複数の画素をマトリクス状に配列し、撮像に用いられる有効画素領域と、該有効画素領域とは別に設けられる非有効画素領域とを有する固体撮像装置において、

各画素は、前記光発生電荷を蓄積する蓄積ウェルと、変調トランジスタと、前記蓄積ウェルに蓄積された前記光発生電荷を前記変調トランジスタに転送する転送制御素子とを有し、

前記蓄積ウェルに蓄積された前記光発生電荷を前記変調トランジスタに前記転送制御素子によって転送する場合に、前記有効画素領域内の前記光発生電荷と、前記有効画素領域内の前記光発生電荷を含まない前記光発生電荷とを、少なくとも2回以上に分けて転送を行うようにしたことを特徴とする固体撮像装置。

【請求項2】

前記転送は、2次元である前記マトリクス領域の一つの軸方向に少なくとも2つに分割された領域について行われ、

1つの領域は、前記有効画素領域を含む第1の領域であり、他の領域は、前記有効画素領域を含まない第2の領域であることを特徴とする請求項1に記載の固体撮像装置。

【請求項3】

前記第1の領域内の前記光発生電荷は、一括転送されることを特徴とする請求項2に記載の固体撮像装置。

10

20

【請求項 4】

前記第 2 の領域内の前記光発生電荷は、一括転送されることを特徴とする請求項 2 又は請求項 3 に記載の固体撮像装置。

【請求項 5】

前記第 2 の領域は、オプティカルブラック領域を含むことを特徴とする請求項 2 から請求項 4 のいずれかに記載の固体撮像装置。

【請求項 6】

前記第 1 の領域は、オプティカルブラック領域を含み、該オプティカルブラック領域の前記光発生電荷の信号に基づいて黒レベルを決定することを特徴とする請求項 2 から請求項 5 のいずれかに記載の固体撮像装置。

10

【請求項 7】

入射光に応じて光発生電荷を生成する複数の画素をマトリクス状に配列し、撮像に用いられる有効画素領域と、該有効画素領域とは別に設けられる非有効画素領域とを有する固体撮像装置の駆動方法であって、

各画素には、前記光発生電荷を蓄積する蓄積ウェルと、変調トランジスタと、前記蓄積ウェルに蓄積された前記光発生電荷を前記変調トランジスタに転送する転送制御素子とを設け、

前記蓄積ウェルに蓄積された前記光発生電荷を前記変調トランジスタに前記転送制御素子によって転送する場合に、

前記有効画素領域内の前記光発生電荷を転送する工程と、

20

前記有効画素領域内の前記光発生電荷を含まない前記光発生電荷を転送する工程を有することを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、固体撮像装置及びその駆動方法に関し、特に、入射光に応じて光発生電荷を生成する固体撮像装置及びその駆動方法に関する。

【背景技術】**【0002】**

携帯電話などに搭載される固体撮像装置として、CCD（電荷結合素子）型のイメージセンサと、CMOS型のイメージセンサと、がある。CCD型のイメージセンサは画質に優れ、CMOS型のイメージセンサは消費電力が少なく、プロセスコストが低い。近年、高画質と低消費電力とを共に兼ね備えた閾値電圧変調方式のMOS型固体撮像装置が提案されている。閾値電圧変調方式のMOS型固体撮像装置については、例えば、特許文献1に開示されている。

30

【0003】

特許文献1の固体撮像装置は、単位画素をマトリクス状に配列し、初期化、蓄積、読み出しの3つの状態を繰り返すことで、画像出力を得ている。また、特許文献1の固体撮像装置は、各単位画素が、フォトダイオードと、変調トランジスタと、オーバーフロードレインゲートと、を有している。変調トランジスタのゲートはリング状に形成されている。

40

【0004】

フォトダイオードへ入射した光によって発生した電荷（光発生電荷）は、リングゲートの下方に設けられたP型ウェルの領域に転送されて、この領域に形成されたキャリアポケットに蓄積される。キャリアポケットに蓄積された光発生電荷によって変調トランジスタの閾値電圧が変化する。これにより、変調トランジスタのソース領域に接続された端子から入射光に対応した信号（画素信号）が得られるようになっている。

【0005】

また、2次元固体撮像装置において、いわゆる電子シャッター機構を実現するために、キャリア領域に蓄積された光発生電荷であるキャリアを、信号読み出し用トランジスタへ転送する場合に、全画素のキャリアを一括転送する技術が提案されている（特許文献2参照

50

)。

【特許文献1】特開2002-134729号公報

【特許文献2】特開平6-77455号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、このような全画素一括転送技術を用いる場合、転送のために用いられるトランジスタをオンさせるために、相当量の電流駆動能力を有する電源回路が必要となるという問題があった。具体的には、転送時に瞬間的に必要となる電流は、簡略的には次の式で表される。

【0007】

$$Q = C_g \times N / t \cdot t_x \quad \dots \text{式(1)}$$

ここで、Qは、必要電荷量、C_gは、ゲート容量、Nは、画素数、t・t_xは、転送に要する時間である。

【0008】

ところが、固体撮像装置のチップには、面積的な制限があるため、大電流を必要とするような電源回路を固体撮像装置のチップ上に組み込むことは困難な場合がある。また、たとえ、大電流のための電源回路をチップ上に組込んでも、それによりチップサイズが大きくなり、一つのウエハから取れるチップ数が少なくなるので、チップ製造の上でコストを上昇させることに繋がる。さらに、例えばそのような電源回路を外付けタイプとすることも考えられるが、撮像モジュールとしてみた場合に、部品点数が増加するので、結果として撮像モジュールとしてのコストが上昇してしまう。

【0009】

本発明はかかる問題点に鑑みてなされたものであって、転送用トランジスタをオンさせるために必要となる最大電流供給量を減少させる固体撮像装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の固体撮像装置は、入射光に応じて光発生電荷を生成する複数の画素をマトリクス状に配列し、撮像に用いられる有効画素領域と、該有効画素領域とは別に設けられる非有効画素領域とを有する固体撮像装置において、各画素は、前記光発生電荷を蓄積する蓄積ウェルと、変調トランジスタと、前記蓄積ウェルに蓄積された前記光発生電荷を前記変調トランジスタに転送する転送制御素子とを有し、前記蓄積ウェルに蓄積された前記光発生電荷を前記変調トランジスタに前記転送制御素子によって転送する場合に、前記有効画素領域内の前記光発生電荷と、前記有効画素領域内の前記光発生電荷を含まない前記光発生電荷とを、少なくとも2回以上に分けて転送を行うようにした。

【0011】

本発明の固体撮像装置の駆動方法は、入射光に応じて光発生電荷を生成する複数の画素をマトリクス状に配列し、撮像に用いられる有効画素領域と、該有効画素領域とは別に設けられる非有効画素領域とを有する固体撮像装置の駆動方法であって、各画素には、前記光発生電荷を蓄積する蓄積ウェルと、変調トランジスタと、前記蓄積ウェルに蓄積された前記光発生電荷を前記変調トランジスタに転送する転送制御素子とを設け、前記蓄積ウェルに蓄積された前記光発生電荷を前記変調トランジスタに前記転送制御素子によって転送する場合に、前記有効画素領域内の前記光発生電荷を転送する工程と、前記有効画素領域内の前記光発生電荷を含まない前記光発生電荷を転送する工程を有する。

【0012】

このような構成によれば、転送用トランジスタをオンさせるために必要となる最大電流供給量を減少させる固体撮像装置及びその駆動方法を実現することができる。

【0013】

また、本発明の固体撮像装置において、前記転送は、2次元である前記マトリクス領域

10

20

30

40

50

の一つの軸方向に少なくとも2つに分割された領域について行われ、1つの領域は、前記有効画素領域を含む第1の領域であり、他の領域は、前記有効画素領域を含まない第2の領域であることが望ましい。

【0014】

また、本発明の固体撮像装置において、前記第1の領域内の前記光発生電荷は、一括転送されることが望ましい。

【0015】

このような構成によれば、有効画素領域については一括転送するので、電子シャッタの機能は維持しながら、転送用トランジスタをオンさせるために必要となる最大電流供給量を減少させることができる。

10

【0016】

また、本発明の固体撮像装置において、前記第2の領域内の前記光発生電荷は、一括転送されることが望ましい。

【0017】

また、本発明の固体撮像装置において、前記第2の領域は、オプティカルブラック領域を含むことが望ましい。

【0018】

このような構成によれば、電子シャッタの機能は維持しながら、全体の転送期間を短くすることができる。

【0019】

20

また、本発明の固体撮像装置において、前記第1の領域は、オプティカルブラック領域を含み、該オプティカルブラック領域の前記光発生電荷の信号に基づいて黒レベルを決定することが望ましい。

【0020】

このような構成によれば、有効画素領域と黒レベルを決定する非有効画素領域との暗出力の差は無くなり、その結果画質の良い画像を得ることができる。

【発明を実施するための最良の形態】

【0021】

以下、図面を参照して本発明の実施の形態について詳細に説明する。図1乃至図11は本発明の第1の実施の形態に係り、図1は本実施の形態に係る固体撮像装置の平面形状を示す平面図である。図2は図1の1セルの平面形状を示す平面図である。図3は、有効画素領域と非有効画素領域を説明するための図である。図4は図2のA-A'線で切断して断面を示す断面図である。図5は素子の全体構造を示すブロック図であり、図6はセンサセルの等価回路図である。図7は本実施の形態における各駆動期間の概略を説明するためのタイミングチャートである。図8は各駆動期間毎のポテンシャルの関係を説明する図であり、図9は駆動シーケンス中の各期間における駆動電圧の変化を示す説明図である。図10及び図11は駆動シーケンスを示すタイミングチャートである。

30

【0022】

本実施の形態の固体撮像装置は、光電変換素子と、蓄積ウェルと、変調用ウェルと、変調トランジスタと、を含む。光電変換素子は、本実施の形態の場合、フォトダイオードである。蓄積ウェルは、光電変換素子形成領域に設けられ、光電変換素子によって発生した電荷（以下、光発生電荷という）を蓄積する。変調用ウェルは、変調トランジスタ形成領域に設けられ、蓄積ウェルから転送された光発生電荷を保持する。変調トランジスタは、変調用ウェルに保持された光発生電荷により閾値が変調され、それに基づく画素信号を出力する。

40

【0023】

また、本実施の形態の固体撮像装置は、光発生電荷転送経路と、転送制御素子と、を含む。光発生電荷転送経路は、蓄積ウェルと変調用ウェルとの間に設けられる。光発生電荷は、光発生電荷転送経路を通して、蓄積ウェルから変調用ウェルに転送される。転送制御素子は、光発生電荷転送経路の電位障壁を制御し、光発生電荷を蓄積ウェルから変調用ウ

50

エルへと移動させる。転送制御素子は、本実施の形態の場合、転送トランジスタである。重要なことは、蓄積ウェルと変調用ウェルとは転送制御素子によってポテンシャル上分離独立されていることである。これにより、蓄積期間と読み出し期間（以下、ブランキング期間ともいう）とを同一期間内に設定することができ、その結果、フレームレートの高速化が図れる。

【0024】

また、本実施の形態の固体撮像装置は、残留電荷排出経路と、残留電荷排出用のコンタクト領域と、残留電荷排出制御素子と、を含む。残留電荷排出経路は、変調用ウェルと残留電荷排出用のコンタクト領域との間であって、かつ、基板表面に沿ってほぼ水平に設けられる。残留電荷排出経路は、残留電荷排出用のコンタクト領域を介して、基板上に設けられた配線層に電氣的に接続されている。変調用ウェルに残留した電荷（以下、残留電荷という）は、残留電荷排出経路を通過して、変調用ウェルから残留電荷排出用のコンタクト領域に転送される。残留電荷排出用のコンタクト領域は、残留電荷排出経路の内に形成される。残留電荷排出制御素子は、残留電荷排出経路の電位障壁を制御し、残留電荷を変調用ウェルから配線層へと排出させる。残留電荷排出制御素子は、本実施の形態の場合、クリアトランジスタである。重要なことは、残留電荷が変調用ウェルから、直接、基板垂直下方に排出されないことである。すなわち、残留電荷は基板表面に沿ってほぼ水平に、すなわち基板ラテラル方向に移動させられ、その後、基板上に形成された配線層へと排出される。これにより、変調トランジスタ形成領域においてポテンシャルの設計の自由度を向上することができる。

【0025】

さらに、本実施の形態の固体撮像装置は、不要電荷排出経路と、不要電荷排出用のコンタクト領域と、不要電荷排出制御素子と、を含む。不要電荷排出経路は、蓄積ウェルと不要電荷排出用のコンタクト領域との間であって、かつ、基板表面に沿ってほぼ水平に設けられる。不要電荷排出経路は、不要電荷排出用のコンタクト領域を介して、基板上に設けられた配線層に電氣的に接続されている。蓄積ウェルに蓄積されずに該蓄積ウェルからオーバーフローし、かつ、画像信号に寄与しない不要な電荷（以下、不要電荷という）は、不要電荷排出経路を通過して、蓄積ウェルから不要電荷排出用のコンタクト領域に転送される。不要電荷排出用のコンタクト領域は、不要電荷排出経路の内に形成される。不要電荷排出制御素子は、不要電荷排出経路の電位障壁を制御し、不要電荷を蓄積ウェルから配線層へと排出させる。不要電荷排出制御素子は、本実施の形態の場合、ラテラルオーバーフロードレイン（以下、LODという）トランジスタである。重要なことは、不要電荷が蓄積ウェルおよび不要電荷排出用のコンタクト領域のいずれか一方から、直接、基板垂直下方に排出されないことである。すなわち、不要電荷は基板表面に沿ってほぼ水平に、すなわち基板ラテラル方向に移動させられ、その後、基板上に形成された配線層へと排出される。これにより、光電変換素子形成領域における不純物層の深さを深くして高画質化を図った場合でも、微細化を可能にすることができる。

【0026】

本実施の形態は、蓄積の初期化のために、LODトランジスタを用いて蓄積ウェルに蓄積されている不要電荷をコンタクト領域を介して排出する。不要電荷の排出期間を所定のラインの読み出しのためのブランキング期間と次のラインの読み出しのためのブランキング期間との間に設定することによって、画像信号の出力に遅延が生じない連続撮影を可能にするものである。

【0027】

< センサセルの構造 >

本実施の形態における固体撮像装置は、後述するように、単位画素であるセンサセルがマトリクス状に配列されて構成されたセンサセルアレイを有している。各センサセルは、入射光に応じて発生させた光発生電荷を蓄積し、蓄積した光発生電荷に基づくレベルの画素信号を出力する。センサセルをマトリクス状に配列することで1画面の画像信号が得られる。

10

20

30

40

50

【 0 0 2 8 】

先ず、図 1 乃至図 4 を参照して各センサセルの構造について説明する。図 1 は水平 3 画素×垂直 3 画素のセンサセルを示し、図 2 は 1 つのセンサセルを示している。なお、1 つのセンサセルは図 2 の破線にて示す範囲である。なお、本実施の形態は光発生電荷として正孔を用いる例を示している。光発生電荷として電子を用いる場合でも同様に構成可能である。図 3 は、有効画素領域と非有効画素領域を説明するための図である。また、図 4 は図 2 の A - A' 線で切断したセルの断面構造を示している。

【 0 0 2 9 】

図 1 及び図 2 の平面図に示すように、単位画素であるセンサセル 3 内に、フォトダイオード PD と変調トランジスタ TM とが隣接して設けられている。変調トランジスタ TM としては、例えば、N チャネルディプレッション MOS トランジスタが用いられる。単位画素はほぼ長方形を有し、その各辺は、センサセルアレイの列又は行方向に対して斜めに傾斜している。

10

【 0 0 3 0 】

光電変換素子形成領域であるフォトダイオード PD 形成領域 (図 4 の PD) においては、基板 1 の表面に開口領域 2 が形成され、基板 1 表面の比較的浅い位置には開口領域 2 よりも広い領域の P 型のウェルである蓄積ウェル 4 が形成されている。この蓄積ウェル 4 に所定の距離だけ離間して、変調トランジスタ TM 形成領域 (図 4 の FPW) に P 型のウェルである変調用ウェル 5 が形成されている。

【 0 0 3 1 】

変調用ウェル 5 上には、基板 1 表面にリング状のゲート (リングゲート) 6 が形成されており、リングゲート 6 の中央の開口部分の基板 1 表面近傍領域には、高濃度 N 型領域であるソース領域 7 が形成されている。リングゲート 6 の周囲には N 型のドレイン領域 8 が形成されている。ドレイン領域 8 の所定位置には、基板 1 表面近傍に N⁺ 層のドレインコンタクト領域 9 が形成される。

20

【 0 0 3 2 】

変調用ウェル 5 は変調トランジスタ TM のチャンネルの閾値電圧を制御するものである。変調用ウェル 5 内には、リングゲート 6 の下方に P 型の高濃度領域であるキャリアポケット 10 (図 4) が形成されている。変調トランジスタ TM は、変調用ウェル 5、リングゲート 6、ソース領域 7 及びドレイン領域 8 によって構成されて、変調用ウェル 5 (キャリアポケット 10) に蓄積された電荷に応じてチャンネルの閾値電圧が変化するようになっている。

30

【 0 0 3 3 】

フォトダイオード PD の開口領域 2 下方の基板 1 上に形成された後述する N 型ウェル 2 1 と P 型の蓄積ウェル 4 との境界領域には空乏領域 (図示せず) が形成され、この空乏領域において、開口領域 2 を介して入射した光による光発生電荷が生じる。本実施の形態においては発生した光発生電荷は蓄積ウェル 4 に蓄積されるようになっている。

【 0 0 3 4 】

蓄積ウェル 4 に蓄積された電荷は、変調用ウェル 5 に転送されてキャリアポケット 10 に保持される。これにより、変調トランジスタ TM のソース電位は、変調用ウェル 5 に転送された電荷の量、即ち、フォトダイオード PD への入射光に応じたものとなる。

40

【 0 0 3 5 】

蓄積ウェル 4 近傍の基板 1 表面には、蓄積ウェル 4 に蓄積されている光発生電荷のうち蓄積ウェル 4 からオーバーフローする電荷を含み画像信号に寄与しない不要電荷を排出するためのコンタクト領域 (以下、OD コンタクト領域という) 11 が高濃度 P 型拡散層によって形成されている。この OD コンタクト領域 11 と蓄積ウェル 4 領域との間の基板 1 表面上には、OD コンタクト領域 11 と蓄積ウェル 4 領域との間にオーバーフローした電荷を含む不要電荷の経路 (以下、不要電荷排出経路という) RL を形成するためのラテラルオーバーフロードレイン (以下、LOD という) トランジスタ TL の LOD ゲート 12 が形成されている。なお、LOD ゲート 12 は平面的には一端が蓄積ウェル 4 の領域上に

50

掛かっている。

【0036】

不要電荷排出制御素子としてのLODトランジスタLを設けることにより、ODコンタクト領域11と蓄積ウェル4との間の電位障壁を制御して、不要電荷をLODトランジスタLを介してODコンタクト領域11から基板上の配線を介して排出することができる。

【0037】

本実施の形態においては、蓄積ウェル4と変調用ウェル5の間には、転送制御素子としての転送トランジスタTが形成されている。転送トランジスタTの転送ゲート13は、蓄積ウェル4と変調用ウェル5との間の経路（以下、単に転送経路という）RTの基板1表面上に形成される。転送トランジスタTによって、転送経路RTの電位障壁を制御して、蓄積ウェル4から変調用ウェル5への電荷の転送を制御することができるようになっている。

10

【0038】

また、本実施の形態においては、変調用ウェル5近傍の基板表面には、高濃度P型拡散層による排出用のコンタクト領域（以下、排出コンタクト領域という）15が形成されている。この排出コンタクト領域15と変調用ウェル5領域との間の基板1表面上には、排出コンタクト領域15と変調用ウェル5領域との間の経路（以下、残留電荷排出経路という）RCの電位障壁を制御するためのクリアトランジスタTCのクリアゲート14が形成されている。なお、クリアゲート14は平面的には一端が変調用ウェル5の領域上に掛か

20

【0039】

また、図3に示すように、固体撮像装置は、複数のセンサセル3がマトリックス状に多数配列された撮像面10Aを有する。撮像面10Aは、撮像に用いられる有効画素領域10Bと、有効画素領域10Bの外側の非有効画素領域10C（斜線部）に分けられる。非有効画素領域10Cは、いわゆるオプティカルブラック領域であり、黒色判定に利用される領域である。垂直走査回路60aと水平走査回路60bによって、各センサセルの画像信号が読み出される。図3において、2次元である前記マトリックス領域の一つの軸方向に少なくとも3つに分割されている。一つは、有効画素領域10Bを含む領域Bであり、他の2つは、有効画素領域10Bを含まない非有効画素のみを含む領域AとCである。図

30

【0040】

<センサセルの断面>

更に、図4を参照して、センサセル3の断面構造を詳細に説明する。なお、図4中、N、Pの添え字の-、+はその数によって不純物濃度のより薄い部分（添え字- - -）からより濃い部分（添え字+++）の状態を示している。

【0041】

図4は1単位画素（セル）とこのセルに隣接する画素のフォトダイオードPD形成領域（PD）とを示している。1セルは、フォトダイオードPD形成領域（PD）と変調トランジスタTM形成領域（FPW）とを有する。セル内及び隣接するセル同士のフォトダイオードPD形成領域と変調トランジスタTM形成領域との間にアイソレーション領域（ISO）が設けられている。

40

【0042】

基板1の比較的深い位置には、P型基板1aの全域にN⁻のN型ウェル21が形成されている。このN型ウェル21上にN⁻層による素子分離用のアイソレーション領域22が形成されている。N型ウェル21上には、アイソレーション領域22を除く素子全体にP⁻層23が形成されている。

【0043】

フォトダイオードPD形成領域におけるP⁻層23が蓄積ウェル4として機能する。変調トランジスタTM形成領域におけるP⁻層23は変調用ウェル5として機能し、この変

50

調用ウェル 5 内には、P⁻拡散によるキャリアポケット 10 が形成されている。

【0044】

セル内のフォトダイオード PD 形成領域と変調トランジスタ TM 形成領域との間のアイソレーション領域 22 には、基板表面側において、転送トランジスタ TT が形成される。転送トランジスタ TT は、基板表面にチャンネルを構成する P⁻拡散層 24 が形成され、基板表面にゲート絶縁膜 25 を介して転送ゲート 13 が形成されて構成される。この P⁻拡散層 24 は蓄積ウェル 4 と変調用ウェル 5 とに接続されて転送経路 RT を構成し、転送ゲート 13 の印加電圧に応じてこの転送経路 RT の電位障壁が制御される。

【0045】

変調トランジスタ TM 形成領域においては、基板表面にゲート絶縁膜 26 を介してリングゲート 6 が形成され、リングゲート 6 下の基板表面にはチャンネルを構成する N⁻拡散層 27 が形成される。リングゲート 6 の中央の基板表面には N⁺⁺拡散層が形成されてソース領域 7 を構成する。また、リングゲート 6 の周囲の基板表面には N⁺拡散層が形成されてドレイン領域 8 を構成する。チャンネルを構成する N⁻拡散層 27 はソース領域 7 とドレイン領域 8 とに接続される。

10

【0046】

隣接するセル同士のフォトダイオード PD 形成領域と変調トランジスタ TM 形成領域との間のアイソレーション領域 22 には、基板表面側において、排出コンタクト領域 15 及び OD コンタクト領域 11 が形成されている。本実施の形態においては、これらの排出コンタクト領域 15 と OD コンタクト領域 11 とを兼用しているが、別体で構成してもよい。

20

【0047】

そして、変調トランジスタ TM 形成領域と排出及び OD コンタクト領域 15, 11 との間の基板表面側において、クリアトランジスタ TC が形成されている。クリアトランジスタ TC は、変調トランジスタ TM 形成領域と排出及び OD コンタクト領域 15, 11 との間の基板表面に、チャンネルを構成する P⁻拡散層 28 が形成され、基板表面にゲート絶縁膜 29 を介してクリアゲート 14 が形成されて構成される。この P⁻拡散層 28 は変調用ウェル 5 と排出及び OD コンタクト領域 15, 11 とに接続されて残留電荷排出経路 RC を構成し、クリアゲート 14 の印加電圧に応じてこの残留電荷排出経路 RC の電位障壁が制御される。

30

【0048】

フォトダイオード PD 形成領域と排出及び OD コンタクト領域 15, 11 との間の基板表面側において、LOD トランジスタ TL が形成されている。LOD トランジスタ TL は、フォトダイオード PD 形成領域と排出及び OD コンタクト領域 15, 11 との間の基板表面に、チャンネルを構成する P⁻拡散層 30 が形成され、基板表面にゲート絶縁膜 31 を介して LOD ゲート 12 が形成されて構成される。この P⁻拡散層 30 は蓄積ウェル 4 と排出及び OD コンタクト領域 15, 11 とに接続されて不要電荷排出経路 RL を構成し、LOD ゲート 12 の印加電圧に応じてこの不要電荷排出経路 RL の電位障壁が制御される。

40

【0049】

なお、フォトダイオード PD 形成領域の基板表面側にはピニング層としての N⁺拡散層 32 が形成されている。

【0050】

基板表面には層間絶縁膜 41 を介して下層配線層 45 が形成され、下層配線層 45 上には層間絶縁膜 42 を介して上層配線層 46 が形成される。更に、上層配線層 46 上には層間絶縁膜 43 を介して遮光層 47 が形成され、遮光層 47 上にはパシベーション膜 44 が形成される。クリアゲート 14、LOD ゲート 12、転送ゲート 13、排出及び OD コンタクト領域 15, 11 並びにソース領域 7 は、層間絶縁膜 41 に開孔したコンタクトホール 51 によって下層配線層 45 の各配線 52 に電氣的に接続される。なお、下層及び上層

50

配線層 4 5 , 4 6 の各配線 5 2 , 5 3 は例えばアルミニウム等の金属材料で形成される。

【 0 0 5 1 】

更に、下層配線層 4 5 の各配線 5 2 と上層配線層 4 6 の各配線 5 3 とは、層間絶縁膜 4 2 に形成したコンタクトホール 5 4 を介して電氣的に接続されている。また、層間絶縁膜 4 3 には遮光層 4 7 に形成された遮光膜 5 6 と上層配線層 4 6 の 1 配線とを接続するためのコンタクトホール 5 5 が開孔されており、排出及び O D コンタクト領域 1 5 , 1 1 は、下層及び上層配線層 4 5 , 4 6 を介して遮光膜 5 6 に接続されるようになっている。

【 0 0 5 2 】

本実施の形態においては、転送トランジスタ T T、クリアトランジスタ T C 及び L O D トランジスタ T L を独立して制御して、転送経路 R T、残留電荷排出経路 R C 及び不要電荷排出経路 R L の電位障壁を制御するようになっている。正孔のポテンシャルを基準にこれらの経路 R T、R C、R L のポテンシャルの高低を説明すると、蓄積期間においては、転送経路 R T、残留電荷排出経路 R C 及び不要電荷排出経路 R L のポテンシャルを光発生電荷（ホールの場合）の蓄積が可能なように、十分に高いポテンシャルに設定すると共に、残留電荷排出経路 R C 及び不要電荷排出経路 R L のポテンシャルを転送経路 R T のポテンシャルよりも低く設定するようになっている。なお、以後、通常の電子を基準にしたポテンシャルの高低の説明ではなく、ポテンシャルの高低については正孔のポテンシャルを基準にして説明する、

また、図 3 における有効画素領域 1 0 B における各センサセルの構造は、図 4 に示すものであるが、図 3 における非有効画素領域 1 0 C、すなわちオプティカルブラック領域は、遮光層 4 7 に形成された遮光膜 5 6 は、フォトダイオード形成領域（P D）も覆うように、非有効画素領域 1 0 C の全面に亘って形成されている。そして、非有効画素領域 1 0 C におけるセンサセル 3 の出力信号が、黒色判定に用いられる。

【 0 0 5 3 】

< 装置全体の回路構成 >

次に、図 5 を参照して本実施の形態に係る固体撮像装置全体の回路構成について説明する。

【 0 0 5 4 】

固体撮像装置 6 1 は図 2 のセンサセル 3 をセンサセルアレイ 6 2 とセンサセルアレイ 6 2 中の各センサセル 3 を駆動する回路 6 4 ~ 7 0 とを有している。センサセルアレイ 6 2 は、セル 3 をマトリクス状に配置して構成されている。センサセルアレイ 6 2 は、例えば、6 4 0 × 4 8 0 の有効画素領域 1 0 B 内の複数のセンサセル 3 と、図 3 に示すように、有効画素領域 1 0 B の外側の非有効画素領域 1 0 C であるオプティカルブラック（O B）のための領域（O B 領域）内の複数のセンサセル 3 を含む。O B 領域を含めると、センサセルアレイ 6 2 は例えば 7 1 2 × 5 0 0 のセンサセル 3 で構成される。

【 0 0 5 5 】

< センサセルの等価回路 >

図 6 は図 5 中の各センサセルの具体的な回路構成を示している。図 6（A）はセンサセルの等価回路を示し、図 6（B）はセンサセルと各信号線との接続を示している。

各センサセル 3 は、光電変換を行うフォトダイオード P D と、光信号を検出して読み出すための変調トランジスタ T M 並びに光発生電荷の転送を制御する転送トランジスタ T T とを含む。フォトダイオード P D は入射光に応じた電荷（光発生電荷）を生じさせ、生じた電荷を蓄積ウェル 4（図 6 では接続点 P D W に相当）内に蓄積する。転送トランジスタ T T は、蓄積期間において蓄積ウェル 4 に蓄積された光発生電荷を、転送期間において変調トランジスタ T M の閾値変調用の変調用ウェル 5（図 6 では接続点 M T W に相当）内のキャリアポケット 1 0 に転送させて保持させる。

【 0 0 5 6 】

変調トランジスタ T M は、キャリアポケット 1 0 に光発生電荷が保持されることでバックゲートバイアスが変化したことと等価となり、キャリアポケット 1 0 内の電荷量に応じてチャンネルの閾値電圧が変化する。これにより、変調トランジスタ T M のソース電圧は、

10

20

30

40

50

キャリアポケット10内の電荷に応じたもの、即ち、フォトダイオードPDの入射光の明るさに対応したものとなる。

【0057】

変調用ウェル5と端子との間には残留電荷排出制御素子であるクリアトランジスタTCが配置されている。クリアトランジスタTCは変調用ウェル5と端子との間の電位障壁を制御して、画素信号の読み出し終了後にセル3の変調用ウェル5に残留した電荷を端子に排出させる。一方、蓄積ウェル4と端子との間には不要電荷排出制御素子としてのLODトランジスタTLが配置されている。LODトランジスタTLは蓄積ウェル4と端子との間の電位障壁を制御して、蓄積ウェル4内の不要電荷を端子に排出させる。

【0058】

このように各セル3は、変調トランジスタTMのリングゲート6、ソース及びドレイン、転送トランジスタTTの転送ゲート13、クリアトランジスタTCのクリアゲート14並びにLODトランジスタTLのLODゲート12に駆動信号が印加されることで、蓄積、転送、読み出し及び排出等の動作を呈する。セル3の各部には図5に示すように、垂直駆動走査回路64～66、ドレイン駆動回路67及び転送駆動走査回路68から信号が供給されるようになっている。これらの垂直駆動走査回路64～66、ドレイン駆動回路67及び転送駆動走査回路68によって、ブランキング手段、蓄積クリア手段及び転送手段が構成される。

【0059】

図6(B)はマトリクス状に配列されたセル3のうちの1つのセルについて、各走査回路64～66、各駆動回路67、68及び信号出力回路69との接続を示している。他のセルの接続状態も同様である。各セル3は、センサセルアレイ62に水平方向に配列された複数のソース線と垂直方向に配列された複数のゲート線との交点に対応して設けられている。水平方向に配列された各ラインの各セル3は、変調トランジスタTMのリングゲート6が共通のゲート線に接続され、垂直方向に配列された各列の各セル3は、変調トランジスタTMのソースが共通のソース線に接続される。

【0060】

複数のゲート線の1つにオン信号を供給することで、オン信号が供給されたゲート線に共通接続された各セルが同時に選択されて、これらの選択されたセルの各ソースから各ソース線を介して画素信号が出力される。垂直駆動走査回路64は1フレーム期間においてゲート線にオン信号を順次シフトさせながら供給する。オン信号が供給されたラインの各セルからの画素信号が1ライン分同時にソース線から読み出されて信号出力回路69に供給される。1ライン分の画素信号は水平駆動走査回路70によって、信号出力回路69から画素毎に順次出力(ライン出力)される。

【0061】

本実施の形態においては、蓄積ウェル4と変調用ウェル5とはポテンシャル上分離独立して形成されており、蓄積ウェル4と変調用ウェル5との間の電位障壁を制御する転送トランジスタTTによって、フォトダイオードPDによる光発生電荷の蓄積と、変調トランジスタTMによる画素信号の読出しとが同時に実行可能である。転送トランジスタTTの制御は、転送駆動走査回路68からゲート信号を各転送トランジスタTTの転送ゲート13に供給することで行われる。後述するように、有効画素領域10Bと非有効画素領域10Cに対する転送トランジスタTTの制御は、全画素一括転送しないように、行われる。

【0062】

また、本実施の形態においては、上述したように、隣接配置される蓄積ウェル4の不要電荷排出経路RLと変調用ウェル5からの残留電荷排出経路RCとを相互に異なる経路に設定し、これらの2つの経路の電位障壁を夫々制御するLODトランジスタTL及びクリアトランジスタTCを設けることで、蓄積ウェル4からの不要電荷の排出及び変調用ウェル5からの残留電荷の排出をポテンシャル上確実に行うことができるようになっている。LODトランジスタTL及びクリアトランジスタTCの制御は、垂直駆動走査回路65、66から夫々ゲート信号を各LODゲート12又はクリアゲート14に供給することで行

10

20

30

40

50

われる。なお、ドレイン駆動回路 67 は、各変調トランジスタ T M のドレインに、ドレイン電圧を供給する。

【 0 0 6 3 】

< 転送期間、及び蓄積期間と読み出し期間との関係 >

図 7 は本実施の形態における各駆動期間を説明するためのタイミングチャートである。なお、図 7 はノーマルモード時の駆動シーケンスを示している。図 7 において、L1, L2, ... は、センサセルアレイ 62 の各ラインに対応している。

【 0 0 6 4 】

後述するように、蓄積期間は全セルで共通の期間に設定される。しかし、読み出しは、ライン毎に行われる。ライン毎に読み出しを行うタイミングが異なり、図 7 では各ラインの読み出し期間（以下、ブランキング期間ともいう）をパルス形状によって示している。

【 0 0 6 5 】

[転送期間]

まず、転送期間について述べる。図 7 は、1 フレームにおける各期間のタイミングを示す。転送期間は、少なくとも 2 つの転送期間、すなわち転送期間 1 及び転送期間 2 を含む。図 3 に示す撮像面 10A は、有効画素領域 10B を含む領域と非有効画素領域 10C のみの領域とを、2次元のマトリクス領域の 1 つの軸方向、例えば垂直方向（図 3）において分割した場合に、図 3 に示すように、有効画素領域 10B を含む領域 B と、非有効画素領域 10C のみの 2 つの領域 A 及び C とに領域が分けられる。領域 B は、非有効画素領域 10C のセンサセルも含む。

【 0 0 6 6 】

転送期間 1 では、転送駆動走査回路 68 からゲート信号を領域 B 内の各転送トランジスタ T T の転送ゲート 13 に一斉に供給することによって、領域 B 内の全センサセルの画素信号が蓄積ウェル 4 から変調用ウェル 5 に一括転送される。

転送期間 2 では、転送駆動走査回路 68 からゲート信号を領域 A 及び C 内の各転送トランジスタ T T の転送ゲート 13 に一斉に供給することによって、領域 A 及び C 内の全センサセルの画素信号が蓄積ウェル 4 から変調用ウェル 5 に一括転送される。従って、撮像面 10A 内の複数のセンサセルの画素信号が、全画素一括して転送されるのではなく、2回に分けて転送される。

このように、有効画素領域 10B 内の全センサセルの画素信号は一括して転送されるので、いわゆる電子シャッタ機能は維持され、オプティカルブラック領域を含む領域のセンサセルの画素信号は、別のタイミングで一括転送されるので、転送に要する必要電流量が減少する。

【 0 0 6 7 】

なお、領域 A と領域 C とを分けて、転送駆動走査回路 68 からゲート信号を、領域 A の各転送トランジスタ T T の転送ゲート 13 に一斉に供給し、別のタイミングで領域 C の各転送トランジスタ T T の転送ゲート 13 に一斉に供給することによって、領域 A 及び C 内のそれぞれの全センサセルの画素信号が蓄積ウェル 4 から変調用ウェル 5 に転送するようにしてもよい。

【 0 0 6 8 】

[読み出し期間]

本実施の形態においては、読み出し期間（ブランキング期間）は、S（シグナル）変調期間、クリア期間及び N（ノイズ）変調期間によって構成される。セル 3 同士のばらつきや、各種ノイズの除去のために、同一セルから信号成分とノイズ成分とを読み出して比較する。S 変調期間には、変調用ウェル 5 に蓄積された光発生電荷に基づく画素信号を読み出す S 変調動作が行われる。クリア期間には、ノイズ成分を読み出すために、変調用ウェル 5 に残留する光発生電荷を残留電荷排出経路 R C を介して排出するクリア動作が行われる。N 変調期間には、変調用ウェル 5 からノイズ成分を読み出すために、クリア後の画素信号を読み出す N 変調動作を行う。

【 0 0 6 9 】

10

20

30

40

50

〔蓄積期間〕

本実施の形態においては、ブランキング期間においても、蓄積ウェル4に対しては蓄積動作（並行蓄積動作）を行うようになっている。即ち、ブランキング期間のS変調期間、クリア期間及びN変調期間は、夫々、蓄積の点から言えば、S変調時の並行蓄積期間S_s、クリア時の並行蓄積期間S_c及びN変調時の並行蓄積期間S_nとなる。

【0070】

本実施の形態の蓄積期間は、ブランキング期間と同一期間の並行蓄積期間の他に、単独の蓄積動作を行う単独蓄積期間S_aを含む。ブランキング期間において読み出された画素信号は、ラインメモリ（図5の信号出力回路69に相当）に保持される。このラインメモリから1ライン分の画素信号が画素単位で順次出力されて、ラインメモリの出力が終了した後に次のラインの各セルからの読み出しが行われる。従って、ラインメモリから出力が終了するまでは、次ラインのセルからの読み出しを行うことができず、単独蓄積期間S_aは、このようなラインメモリからの画素信号の転送出力（ライン出力）に必要な期間（以下、ライン出力期間という）に設定される。

10

【0071】

本実施の形態においては、図7では図示を省略しているが、ライン出力期間においても、後述する蓄積初期化の処理であるPDクリアを実施するPDクリア期間（蓄積初期化期間）を設けるようになっている。なお、PDクリアは蓄積ウェル4内の不要電荷を排出する処理、即ち、蓄積の初期化のための処理であり、蓄積期間の始期を決定するものである。

20

【0072】

〔フレーム内のシーケンス〕

本実施の形態においては、例えば図7に示すように、1フレーム期間は、後述する転送期間及びPDクリア期間の後に、単独蓄積期間S_a（ライン出力期間と同一期間）と並行蓄積期間S_s、S_c、S_n（ブランキング期間と同一期間）とが巡回的に繰り返されて構成される。センサセルアレイ62の全てのセル3は、単独蓄積期間S_a及び並行蓄積期間S_s、S_c、S_nの動作を巡回的に繰り返し、並行蓄積期間S_s、S_c、S_nのうち図7のパルス形状で示す期間だけ、ライン毎にブランキング期間に設定されて読み出し動作が行われる。単独蓄積期間S_aとブランキング期間とは、1フレーム期間において、ライン数分だけ繰り返される。

30

【0073】

即ち、1フレーム期間はライン数分のブランキング期間を有し、各ラインは夫々1フレーム期間中で1回のブランキング期間だけ読み出しを行うライン（以下、読み出しラインという）に指定される。読み出しライン中の各セルを読み出しセルという。また、読み出しライン以外のラインを非読み出しラインと呼び、非読み出しライン中の各セルを非読み出しセルという。

【0074】

後述するように、単独蓄積期間S_a及び並行蓄積期間S_s、S_c、S_nにおいては、蓄積ウェル4に光発生電荷が逐次蓄積される。図7に示すように、ブランキング期間前に発生しているPDクリア期間終了時からフレーム期間の終了時までの間が蓄積期間であり、この期間に蓄積ウェル4に蓄積された光発生電荷は、次のフレームの先頭期間である図7に示す転送期間において、蓄積ウェル4から変调用ウェル5に転送されて保持される。転送期間には、全セルに対して一括転送動作を行うのではなく、上述したように、撮像面10A内の複数のセンサセルの画素信号が、2回に分けて転送される。

40

【0075】

次に、僅かな期間であるが、転送期間終了から蓄積期間の開始までの間に生じた光発生電荷を排出させるために、PDクリア期間が設定される。PDクリア期間においては、全セルの蓄積ウェル4から不要電荷が排出される。なお、PDクリア期間は、蓄積期間の長さを設定するためのものであり、ノーマルモードではPDクリア期間は省略可能である。従って、ノーマルモードでは、ライン出力期間においてPDクリア期間を設定する必要は

50

ない。

【 0 0 7 6 】

所定のラインについてみれば、例えば、ライン L 1 の各セルは、図 7 に示すブランキング期間に、読み出しセルとして、変調トランジスタ T M 側では、S 変調動作、クリア動作及び N 変調動作が行われ、同時に、蓄積ウェル 4 側では、S 変調時の並行蓄積動作 S s、クリア時の並行蓄積動作 S c 及び N 変調時の並行蓄積動作 S n が行われる。ライン L 1 の各セルは、このブランキング期間以外の期間は非読み出しセルとして、単独蓄積動作 S a、S 変調時の並行蓄積動作 S s、クリア時の並行蓄積動作 S c 及び N 変調時の並行蓄積動作 S n を巡回的に繰り返す。

【 0 0 7 7 】

即ち、いずれのセルも、転送期間及び P D クリア期間を除く期間は、全て、単独又は並行蓄積期間に設定され、特に、読み出しセルのブランキング期間についても、並行蓄積動作が行われる。そして、蓄積された光発生電荷は、次のフレームの先頭の転送期間において、具体的には 2 回の転送期間に分けて、変調用ウェル 5 に転送される。即ち、前フレームの P D クリア期間の終了 (P D クリア期間が省略された場合には転送期間の終了) から転送期間の開始時までが各セルの蓄積期間であり、ブランキングに用いられる画素信号は前フレームの蓄積期間に蓄積された光発生電荷に基づくものとなる。

【 0 0 7 8 】

< ポテンシャル >

次に、図 8 を参照して単独蓄積期間 S a、転送期間、S 変調期間 (並行蓄積期間 S s)、クリア期間 (並行蓄積期間 S c)、N 変調期間 (並行蓄積期間 S n) 及び P D クリア期間における動作について、ポテンシャルの関係に基づいて説明する。図 8 は各期間におけるポテンシャルの関係を正孔のポテンシャルが高くなる向きを正側にとって示す説明図である。図 8 (A) は単独蓄積時の状態を示し、図 8 (B) は転送時の状態を示し、図 8 (C) は S 変調又は N 変調 (S / N 変調) 時の状態を示し、図 8 (D) はクリア時の状態を示し、図 8 (E) は高速シャッターモードにおける蓄積ウェル 4 のクリア (P D クリア) 時の状態を示している。図 8 の左側の欄は読み出しセルの状態を示し、右側の欄は非読み出しセルの状態を示している。なお、図 8 は梨地模様によって電荷によるポテンシャルの変化を示している。また、上述したように、各セルが読み出しセル又は非読み出しセルのいずれになるかは、図 7 のパルスによって示される。

【 0 0 7 9 】

また、図 9 は各期間における駆動電圧の変化を示している。図 9 は各期間における駆動電圧の変化を示すものであり、実際の駆動シーケンスと設定する期間の順は異なる。図 9 は図 8 に示した駆動電圧の設定を時間順に表示したものである。なお、図 9 は、ブランキング期間については、読み出しセルの駆動電圧を破線で示し、非読み出しセルの駆動電圧を実線で示している。

【 0 0 8 0 】

図 8 は横軸に図 2 の各セルの切断線に対応した位置をとり縦軸にホールを基準にしたポテンシャルをとって、各位置のポテンシャルの関係を示している。図 8 の左側から右側に向かって、排出コンタクト領域 (S u b)、クリアゲート (C G) 1 4 (残留電荷排出経路部分)、キャリアポケット (P K T) 1 0 の一端側、ソース (S)、キャリアポケット (P K T) 1 0 の他端側、転送ゲート (T X) 1 3 (転送経路 R T 部分)、蓄積ウェル領域 (P D)、L O D ゲート (L O D) 1 2 (不要電荷排出経路 R L 部分) 及び O D コンタクト領域 (S u b) の位置の基板内のポテンシャルを示している。

【 0 0 8 1 】

各部のポテンシャルは駆動電圧によって変化する。例えば、ソース電圧及びドレイン電圧等を高く又は低くすると、その周囲のポテンシャルも同様に高くなったり低くなったりする。例えば、蓄積ウェル 4 のポテンシャルは、主に、変調トランジスタ T M のソースとドレインの印加電圧の両方の影響を受ける。また、変調用ウェル 5 についても、主に、変調トランジスタ T M のゲート電圧の高低に応じて高くなったり低くなったりする。

10

20

30

40

50

【 0 0 8 2 】

本実施の形態においては、図 8 (A) に示す単独蓄積期間 S_a には、全セルに対して同一の駆動が行われる。図 9 にも示すように、図 8 (A) に示す単独蓄積期間 S_a においては、リングゲート (R G) 6 に 0 . 0 V を印加し、転送ゲート (T X) 1 3 に 2 . 5 V を印加し、クリアゲート 1 4 に 2 . 5 V を印加し、L O D ゲート 1 2 に 2 . 0 V を印加し、ドレイン D に 1 . 0 V を印加し、ソースに 1 . 0 V を印加する。ドレイン電圧は比較的低い値に設定される。

【 0 0 8 3 】

単独蓄積時には、転送トランジスタ T T によって蓄積ウェル 4 と変調用ウェル 5 との間の転送経路 R T の電位障壁を十分に高くする。また、L O D トランジスタ T L によって蓄積ウェル 4 と O D コンタクト領域 1 1 との間の不要電荷排出経路 R L の電位障壁を十分に高くする。更に、転送経路 R T の電位障壁のポテンシャルを不要電荷排出経路 R L の電位障壁のポテンシャルよりも高くする。蓄積ウェル 4 は比較的高い濃度に設定されて、電荷の蓄積前のポテンシャルは比較的低い。蓄積が開始されると、フォトダイオード P D の開口領域 2 から入射した光によって電荷が発生し、蓄積ウェル 4 内に蓄積される。図 8 (A) は梨地模様によって電荷の蓄積によるポテンシャルの増加を示している。

【 0 0 8 4 】

本実施の形態においては、不要電荷排出経路 R L の電位障壁及び転送経路 R T の電位障壁は十分に高く (ポテンシャルが高く) 、光入射によって発生した電荷は変調用ウェル 5 に転送されることなく蓄積ウェル 4 内に蓄積される。仮に、極めて強い光が入射した場合でも、転送経路 R T の電位障壁の方が不要電荷排出経路 R L の電位障壁よりも高いので、蓄積ウェル 4 から溢れた電荷は不要電荷排出経路 R L を介して O D コンタクト領域 1 1 に排出され、変調用ウェル 5 内に流れ込むことはない。

【 0 0 8 5 】

図 8 (B) に示す転送期間においては、リングゲート (R G) 6 に 0 . 0 V を印加し、転送ゲート (T X) 1 3 に 0 . 0 V を印加し、クリアゲート 1 4 に 2 . 5 V を印加し、L O D ゲート 1 2 に 2 . 0 V を印加し、ドレイン D に 4 . 0 V を印加し、ソースに 0 . 0 V を印加する。

転送ゲート 1 3 に 0 V を印加しており、転送経路 R T の電位障壁は十分に低くなる。これにより、上述した単独蓄積期間 S_a 及び後述する並行蓄積期間 S_a , S_c , S_n において蓄積ウェル 4 内に蓄積された電荷は、転送経路 R T を介して変調用ウェル 5 内に流れ込む。なお、ドレイン電圧を比較的高い電圧に設定することで、ポテンシャルの傾斜を大きくして、電荷の転送を容易にしている。

【 0 0 8 6 】

なお、クリアゲート 1 4 による排出経路の電位障壁も十分な高さに設定されており、変調用ウェル 5 に保持された電荷が排出経路側に流れ出すことはない。また、図 8 (B) に示す転送期間においても、全セルが読み出しセルとなって同一の駆動が行われる。

【 0 0 8 7 】

読み出し期間には、主に信号成分 (S) を読み出すシグナル変調 (S 変調) 期間と、主にノイズ成分 (N) を読み出すノイズ変調 (N 変調) 期間と、ノイズ成分を読み出すために残留電荷をクリアするクリア (clear) 期間とを有する。信号成分とノイズ成分とを読み出しして比較することで、セルのばらつきや各種ノイズを除去した画像信号を得るのである。即ち、読み出し期間においては、S 変調期間、クリア期間及び N 変調期間がこの順で実施される。

【 0 0 8 8 】

S 変調期間と N 変調期間の制御は同一である。図 8 (C) に示す S / N 変調期間においては、読み出しセルに対して、図 9 の破線に示すように、リングゲート (R G) 6 に 2 . 5 V を印加し、転送ゲート (T X) 1 3 に 2 . 5 V を印加し、クリアゲート 1 4 に 2 . 5 V を印加し、L O D ゲート 1 2 に 2 . 0 V を印加し、ドレイン D に 2 . 5 V を印加する。ソースには $V_g - V_{th s}$ (= 2 . 5 - $V_{th s}$) が生じる (V_g はゲート電圧、 V_{th}

10

20

30

40

50

s は S 変調時のチャンネルの閾値電圧)。

【 0 0 8 9 】

読み出しはライン毎に行われる。全ライン中の 1 ライン (読み出しライン) の各セルのみが読み出しセルとなり、他のライン (非読み出しライン) の各セルは非読み出しセルである。そして、読み出しラインからの各読み出しセルの読み出しが終了すると、読み出しラインがシフトして次のラインの各セルが読み出しセルとなり、他のセルは非読み出しセルとなる。同様にして、読み出しラインをシフトしながら、信号成分の読み出し (S 変調) 又はノイズ成分の読み出し (N 変調) が行われる。

【 0 0 9 0 】

読み出しセルについては、変調用ウェル 5 に保持された電荷が蓄積ウェル 4 に流れ出さないように、転送トランジスタ T T による転送経路 R T の電位障壁を高くする。リングゲート 6 の電圧を高くしているため、これに伴ってソース電位は上昇する。変調トランジスタ T M のチャンネルの閾値電圧は、キャリアポケット 1 0 に保持される電荷によって変化する。即ち、フォトダイオード P D の蓄積ウェル 4 に蓄積された光発生電荷がキャリアポケット 1 0 に転送されることで、変調トランジスタ T M のソース電位は、光発生電荷の発生量、即ち、入射光に応じたものとなる。

10

【 0 0 9 1 】

なお、非読み出しセルについては、図 9 の実線に示すように、リングゲート (R G) 6 に 0 . 0 V を印加し、転送ゲート (T X) 1 3 に 2 . 5 V を印加し、クリアゲート 1 4 に 2 . 5 V を印加し、L O D ゲート 1 2 に 2 . 0 V を印加し、ドレイン D に 2 . 5 V を印加する。この場合にも、ソースには $V_g - V_{th s} (= 0 - V_{th s})$ が生じるが、リングゲート 6 の電圧が低いので、非読み出しセルの出力は読み出しセルの出力よりも十分に低いレベルとなる。従って、ソース線には読み出しセルの出力画素信号のみが現れる。

20

【 0 0 9 2 】

なお、読み出しセルと非読み出しセルとでリングゲート 6 に印加する電位差を十分に大きくしているため、例えば、画像が暗い場合等であっても、確実に読み出しセルの出力画素信号をソース線から取り出すことが可能である。

【 0 0 9 3 】

図 8 (D) に示すクリア期間においては、読み出しセルについては、図 9 の破線に示すように、リングゲート (R G) 6 に 1 . 5 V を印加し、転送ゲート (T X) 1 3 に 2 . 5 V を印加し、クリアゲート 1 4 に 0 . 0 V を印加し、L O D ゲート 1 2 に 2 . 0 V を印加し、ドレイン D に 2 . 5 V を印加し、ソースに 5 . 0 V を印加する。

30

【 0 0 9 4 】

これにより、クリアゲート 1 4 による排出経路の電位障壁を十分に低下させて、変調用ウェル 5 に残留している電荷を排出経路から排出コンタクト領域 1 5 に流す。これにより、変調用ウェル 5 内の光発生電荷を除去して、ノイズ成分の読み出し (ノイズ変調) を可能にする。

【 0 0 9 5 】

一方、非読み出しセルについては、図 9 の実線に示すように、リングゲート (R G) 6 に 1 . 5 V を印加し、転送ゲート (T X) 1 3 に 2 . 5 V を印加し、クリアゲート 1 4 に 2 . 5 V を印加し、L O D ゲート 1 2 に 2 . 0 V を印加し、ドレイン D に 2 . 5 V を印加し、ソースに 5 . 0 V を印加する。これにより、クリアゲート 1 4 による残留電荷排出経路の電位障壁は高いままである。

40

【 0 0 9 6 】

各ラインのセルのうち図 7 のブランキング期間経過後の非読み出しセルは既に読み出しが終了しているが、ブランキング期間経過前のラインの非読み出しセルについては、まだ読み出しが行われていない。そこで、非読み出しセルについてはクリアゲート 1 4 による排出経路の電位障壁を高いままにしておき、変調用ウェル 5 から電荷が排出されることを防止する。非読み出しセルについての図 8 (C) , (D) の梨地模様部は、変調用ウェル 5 に読み出しが行われていない電荷が保持されていることを示している。

50

【 0 0 9 7 】

本実施の形態においては、上述したようにS/N変調期間及びクリア期間においては、並行蓄積動作を行う。図8(C)、(D)はこの並行蓄積動作を示している。即ち、読み出し期間(S/N変調及びクリア期間)においては、転送経路RT及び不要電荷排出経路RLの電位障壁を高くすることによって、蓄積ウェル4に光発生電荷を蓄積する。これにより、変調トランジスタTMの読み出し期間(変調、クリア期間)は、フォトダイオードPD側では光発生電荷の蓄積を行う蓄積期間(並行蓄積期間 S_s 、 S_n 、 S_c)となる。なお、図8(C)の並行蓄積期間 S_s 、 S_n 及び図8(D)の並行蓄積期間 S_c においては、単独蓄積期間 S_a に比べて、ドレイン電圧が高く、光発生電荷の蓄積の条件は異なる。また、図8(C)、(D)に示すように、読み出しセルと非読み出しセルとでも若干光発生電荷の蓄積の条件は異なる。

10

【 0 0 9 8 】

このように、単独蓄積期間 S_a 、S/N変調期間及びクリア期間においては、全てのセルで光発生電荷の蓄積が行われ、各セルの蓄積時間は図7に示すように、1フレーム期間近傍の時間となる。フォトダイオードPD側に構成する電荷蓄積用の蓄積ウェル4と変調トランジスタTM側に構成する変调用ウェル5とを別々に構成し、両者間の転送経路RTの電位障壁を転送トランジスタTTによって制御するようにしたことから、蓄積ウェル4と変调用ウェル5とを同一期間において読み出し期間と並行蓄積期間とに設定することができ、フレームレートを高速化することができる。

【 0 0 9 9 】

20

図8(E)に示すPDクリア期間は、後述する高速又は低速シャッターモード時に採用される。図9に示すように、リングゲート(RG)6に0.0Vを印加し、転送ゲート(TX)13に2.5Vを印加し、クリアゲート14に2.5Vを印加し、LODゲート12に0.0Vを印加し、ドレインDに4.0Vを印加し、ソースはハイインピーダンスにする。なお、PDクリア期間をノーマルモードで使用する場合の駆動電圧も図8(E)と同一である。

【 0 1 0 0 】

LODゲートを低くすることで、不要電荷排出経路RLの電位障壁を十分に低くして、蓄積ウェル4に蓄積されている不要電荷を不要電荷排出経路RLからODコンタクト領域11を介して外部の信号線に排出する。なお、PDクリア動作を図7のようにノーマルモード時に採用した場合には、図8(E)の変调用ウェル5の部分には残留電荷が残っていない状態となっている。

30

【 0 1 0 1 】

< 駆動シーケンス >

次に、ノーマルモード、高速シャッターモード及び低速シャッターモードの各モードについて動作シーケンスを説明する。

図10はノーマルモード時の駆動シーケンスを示すタイミングチャートである。

【 0 1 0 2 】

図10のノーマルモード時は上述した図7のノーマルモードと略同様の駆動が行われる。なお、図10のノーマルモードにおいては、単独のPDクリア期間及びライン出力期間中のPDクリア期間は省略している。また、図10では図7の単独蓄積期間 S_a (ライン出力期間)及びブランキング期間を合わせて1つのパルス形状にて示している。なお、上述したように、単独蓄積期間 S_a は、ラインメモリからのデータの転送に要する時間であり、実際にはブランキング期間よりも長い時間を要する。

40

【 0 1 0 3 】

図10のノーマルモードにおいては、各セルは1フレーム期間から転送期間を除く期間が蓄積期間である。蓄積期間終了後の次のフレームの先頭タイミングが転送期間に設定される。転送期間において、蓄積ウェル4に保持されている光発生電荷が変调用ウェル5のキャリアポケット10に転送されて蓄積される。転送期間が終了すると、単独蓄積期間及びブランキング期間が繰返されて、各ラインのセルからの読み出しが連続して行われる。

50

上述したように、転送期間は、2つの転送期間、すなわち転送期間1と転送期間2を含む。図3に示すように、転送期間1は、領域B内の全センサセルの画素信号が蓄積ウェル4から変調用ウェル5に転送される。転送期間2は、領域A及びC内の全センサセルの画素信号が蓄積ウェル4から変調用ウェル5に転送される。

【0104】

ブランキング期間と共通の時間を用いて並行蓄積期間を設定していることから、蓄積のために別の期間を設ける必要がなく、フレームレートを高速化することができる。

図11は図10と同一の手法によって駆動シーケンスを示すタイミングチャートである。

図11(A)は高速シャッターモード時の駆動シーケンスを示している。

10

高速シャッターモードは例えば蓄積期間を短縮するためのものである。なお、従来例においては、ブランキングの終了後に第1のウェルの残留電荷を排出するようになっていることから、本実施の形態における高速シャッターモード等を実施することはできない。

【0105】

例えば、フォトダイオードPDに極めて明るい光が入射された場合には、各セルの変調用ウェル5に流れ込む電荷の量が極めて多くなって、各セルから読み出した画素信号に基づく画像は、全体が白っぽく(明るく)なって、コントラストが低下してしまう。このような場合に、高速シャッターモードを採用する。高速シャッターモードにおいては、図11(A)に示すように、PDクリア期間を1フレーム期間の任意の位置のライン出力期間に設定する。なお、図11は上述したようにブランキング期間とライン出力期間とを1つのパルスにて示している。図11ではPDクリア期間をライン出力期間の最後のタイミングに設定した例を示したが、PDクリア期間は各パルス中のライン出力期間内であれば、いずれのタイミングに設定してもよい。また、蓄積期間は、前フレームのPDクリアの終了から転送期間の開始時までの期間である。

20

【0106】

図8(E)に示すように、PDクリア期間においては、蓄積ウェル4に蓄積されている電荷をODコンタクト領域11を介して外部に排出する。これにより、蓄積ウェル4にはPDクリア期間の終了時以後に発生した光発生電荷が蓄積される。PDクリア期間終了後は、フレーム期間の終了まで単独蓄積期間 S_a 及び並行蓄積期間 S_s 、 S_c 、 S_n とが巡回的に繰り返される。こうして、PDクリア期間の位置に応じた1フレーム期間よりも短い時間だけ蓄積が行われた後、フレームの先頭の転送期間において、蓄積ウェル4に蓄積された光発生電荷が変調用ウェル5に転送される。

30

【0107】

読み出しはノーマルモード時と同様であり、読み出しラインが順次シフトしながら、1フレーム期間で全ラインの読み出しが終了する。なお、読み出しが終わっていないセルについては、図8(E)に示すように、変調用ウェル5内に電荷が保持されており、PDクリア期間の位置に基づく蓄積期間に拘わらず、1フレーム期間で読み出しを行うことができる。

【0108】

例えば、PDクリア期間を1フレーム期間の略々中央に設定した場合には、蓄積期間は約1/2フレーム期間となり、変調用ウェル5に流れ込む電荷の量はノーマルモード時の約1/2になって、各セルから読み出される画素信号に基づく画像の明るさを適正な明るさにすることができる。これにより、明るいながらも十分な明暗を有する画像を得ることができる。

40

【0109】

なお、図9に示す駆動電圧を各部に印加することでPDクリア期間を容易に設定することができることから、PDクリア期間は画像の明るさに応じて任意の位置に配置することが可能である。従って、蓄積期間を自由に設定可能であり、各セルから画像の明るさに応じた最適なレベルの画素信号を得ることができる。

【0110】

50

< 連続撮影とPDクリアとの関係 >

ところで、連続撮影時において、PDクリア期間を、ブランキング期間とは独立に、フレーム期間の任意のタイミングに設定することが考えられる。ところが、そうすると、読み出し動作の途中でPDクリア動作が生じることになる。この場合には、ライン出力回路（図5の信号出力回路69に相当）以降の回路において、画像信号に遅延が生じる。この画像信号の出力タイミングのずれを修正するために、ライン出力回路及び図示しない信号処理回路等の動作を停止させる等の処理が必要となり、回路が複雑化してしまう。

【0111】

そこで、本実施の形態においては、PDクリア期間をブランキング期間に同期させて発生させるようになっている。即ち、図9に示すように、PDクリア期間を各ブランキング期間の終了直後に挿入する。即ち、PDクリア期間として設定可能な期間は、1フレーム期間においてライン数（ブランキング数）だけ設けることができる。

10

【0112】

図9に示すように、設定可能なPDクリア期間のうち、実際にPDクリアすべきタイミングのPDクリア期間において、図8（E）に示す駆動電圧の設定を行い、その他の設定可能なPDクリア期間、即ち、実際にはPDクリアしない期間には、図8（A）に示す単独蓄積と同一の駆動電圧の設定を行う。

【0113】

つまり、本実施の形態においては、PDクリア期間は、ブランキング期間の直後の期間、換言すると、単独蓄積期間（ライン出力期間）の開始タイミングに設定可能である。実際にPDクリア動作させるためのPDクリア期間は、フレーム中の各ライン出力期間のうち、設定しようとする蓄積期間に応じた期間に発生させる。

20

【0114】

ブランキング期間から次のブランキング期間までの全期間を単独蓄積期間（ライン出力期間）と呼ぶものとする、PDクリア期間は、この単独蓄積期間（ライン出力期間）内に設定することになり、図9の例では単独蓄積期間（ライン出力期間）の先頭タイミングでPDクリア期間を設定した例を示している。なお、PDクリア期間は、単独蓄積期間（ライン出力期間）内の任意のタイミングに設定してもよいことは明らかである。例えば、シャッタースピードの設定に応じて、PDクリア期間を単独蓄積期間（ライン出力期間）内の任意のタイミングに適宜設定可能である。

30

【0115】

なお、PDクリア期間として設定可能な期間であって実際にはPDクリア動作させない期間においては、上述したように、単独蓄積期間と同一の設定が行われる。従って、実際にPDクリア動作させるためのPDクリア期間が存在する単独蓄積間とそれ以外の単独蓄積期間とでは、単独蓄積期間の長さが若干異なる。しかし、PDクリア期間は極めて短い時間であり、PDクリア期間の有無による影響は極めて小さい。なお、上述したように、PDクリア期間の終了タイミングから次のフレーム先頭の転送期間の開始までが蓄積期間である。

【0116】

また、ノーマルモード時には、図7に示すように、ブランキング期間の開始直前のタイミングでPDクリア期間を発生させればよい。

40

PDクリア期間がブランキング期間に同期して発生していることから、連続撮影モードにおいても、PDクリア期間の有無に拘わらず、連続した画像信号を得ることができる。これにより、PDクリア動作が生じた場合でも、ライン出力回路及び信号処理回路等の動作を停止させる必要はなく、回路構成を簡単化することができる。

【0117】

図11（B）は低速シャッターモード時の駆動シーケンスを示している。

低速シャッターモードは例えば蓄積期間を1フレーム期間よりも長くするためのものである。例えば、フォトダイオードPDに入射される光が暗い場合には、各セルの変調用ウェル5に流れ込む電荷の量が減少して、各セルから読み出した画素信号に基づく画像は、

50

全体が暗くなってしまう。このような場合に、低速シャッターモードを採用する。低速シャッターモードにおいては、PDクリア期間を複数フレーム期間に1回挿入すると共に、転送期間を複数フレームに1回挿入する。

【0118】

この場合においても、PDクリア期間は、ブランキング期間に同期したライン出力期間の任意のタイミングで設定される。

図11(B)の例では、PDクリア期間は2フレーム期間に1回挿入されており、このPDクリア期間の終了から1.5フレーム期間後のフレーム先頭タイミングで転送期間が設定されている。従って、この場合の蓄積期間は1.5フレーム期間となる。これにより、ノーマルモード時よりも約1.5倍の明るさの画像を得ることができる。なお、図11(B)の場合には、各セルからの読み出しは2フレーム期間に1回だけ行われることになり、フレームレートはノーマルモードの1/2となる。

10

【0119】

図11(A)、(B)のシャッターモードを採用することで、蓄積期間を自由に設定することができ、入射光の明るさに応じた最適な画像を得ることができる。

なお、低速シャッターモードにおいても、読み出しは転送期間後の約1フレーム期間に行われる。従来、読み出しを行うことによって蓄積されている光発生電荷も排出されてしまうことから、読み出しを行った次の1フレーム期間は、画像信号に寄与しないクリア動作を伴うダミー読み出しを行うことはできなかった。これに対し、本実施の形態においては、光発生電荷の蓄積と同時に読み出し動作が可能であることから、読み出しを行った次の1フレーム期間においても、クリア動作を伴うダミー読み出しが可能である。これにより、読み出しを行う論理回路等の構成が容易となるという利点がある。

20

【0120】

以上の例では、図3に示すように、撮像面10Aは、有効画素領域10Bを含む領域と非有効画素領域10Cのみの領域とを垂直方向において分割されていた。しかし、次のような変形例であってもよい。すなわち、図12に示すように、有効画素領域10Bを含む領域B'と、非有効画素領域10Cのセンサセル3のみの領域A'及びC'とに領域が分けられるようにしてもよい。図12の場合は、撮像面10Aは、有効画素領域10Bを含む領域と非有効画素領域10Cのみの領域とを2次元マトリクスの水平方向において分割されている。

30

【0121】

その場合、固体撮像装置全体の回路構成は、図13に示すようになる。図13は、その場合の固体撮像装置全体の回路構成図である。図13において図5と同一の構成要素は同一の符号を付し、説明は省略する。ここでは、図5における転送駆動走査回路68が、垂直方向の転送ゲート線を有する転送駆動走査回路68aとして設けられている。よって、転送期間1では、転送駆動走査回路68からゲート信号を領域B'内の各転送トランジスタTTの転送ゲート13に一齐に供給することによって、領域B'内の全センサセルの画素信号が蓄積ウェル4から変調用ウェル5に一括転送される。

転送期間2では、転送駆動走査回路68からゲート信号を領域A'及びC'内の各転送トランジスタTTの転送ゲート13に一齐に供給することによって、領域A'及びC'内の全センサセルの画素信号が蓄積ウェル4から変調用ウェル5に一括転送される。従って、撮像面10A内の複数のセンサセルの画素信号が、全画素一括して転送されるのではなく、2回に分けて転送される。

40

【0122】

また、この変形例において、黒レベルを決定する領域として、有効画素領域10Bの水平方向における非有効画素領域10C、すなわち図12における左右の非有効画素領域のセンサセルの画素信号を用いるようにする。これによれば、露光時間の異なる非有効画素領域のセンサセルの画素信号を用いないので、有効画素領域10Bと黒レベルを決定する非有効画素領域10Bとの暗出力の差は若干ではあるが、無くなる。その結果画質の良い画像を得ることができる。

50

【 0 1 2 3 】

なお、以上の2つの構成例では、有効画素領域を含む領域と、非有効画素領域のみを含む領域の2つに分け、その2つの領域に対応して転送期間を2つに分けており、有効画素領域を含む領域が1つ、そして非有効画素領域のみを含む領域は、2つある。具体的には、図3においては、領域A、領域B及び領域Cの3つの領域が、図12においては、領域A'、領域B'及び領域C'の3つの領域がある。そこで、これらの3つの領域を、別々に順番に転送するようにしてもよい。例えば、図3の場合は、順番としては、領域A、領域B、領域Cの順でもよし、領域B、領域C、領域Aの順、等でもよい。図12の場合は、順番としては、領域A'、領域B'、領域C'の順でもよし、領域B'、領域C'、領域A'の順、等でもよい。

10

【 0 1 2 4 】

以上説明した構成によれば、式(1)において、画素数Nが全画素数ではなく、有効画素領域を含む領域の画素数と、それ以外の領域の画素数に分けられるので、結果として転送時に瞬間的に必要となる最大電流供給量は、減少する。すなわち、有効画素領域を含むセンサセルの画素信号と、非有効画素領域のセンサセルの画素信号とを別タイミングで転送するようにしたので、転送時に瞬間的に必要となる電流量が少なくなる。その結果、駆動回路を小さくできるので、固体撮像装置のチップを小さくできる。

【 0 1 2 5 】

以上説明したように、本実施の形態によれば、転送用トランジスタをオンさせるために必要となる最大電流供給量を減少させる固体撮像装置及びその駆動方法を実現することができる。

20

【 0 1 2 6 】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

【 図面の簡単な説明 】

【 0 1 2 7 】

【図1】本発明の第1の実施の形態に係る固体撮像装置の平面形状を示す平面図。

【図2】図1の1セルの平面形状を示す平面図。

【図3】有効画素領域と非有効画素領域を説明するための図。

【図4】図2のA-A'線で切断して断面を示す断面図。

30

【図5】素子の全体構造を示すブロック図。

【図6】センサセルの等価回路図。

【図7】本実施の形態における各駆動期間の概略を説明するためのタイミングチャート。

【図8】各区同期間毎のポテンシャルの関係を示す説明図。

【図9】駆動シーケンス中の各期間における駆動電圧の変化を示す説明図。

【図10】駆動シーケンスを示すタイミングチャート。

【図11】駆動シーケンスを示すタイミングチャート。

【図12】変形例における有効画素領域と非有効画素領域を説明するための図。

【図13】変形例における素子の全体構造を示すブロック図。

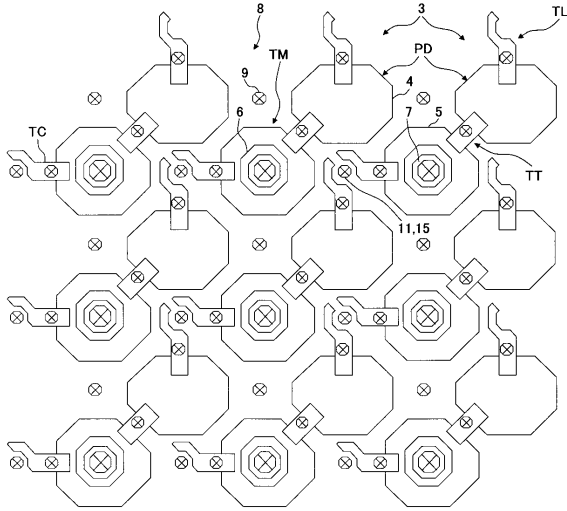
40

【 符号の説明 】

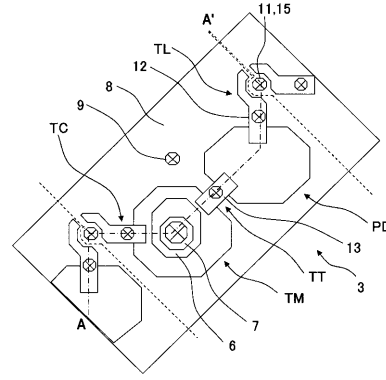
【 0 1 2 8 】

1...基板、4...蓄積ウェル、5...変調用ウェル、6...リングゲート、7...ソース領域、8...ドレイン領域、11...ODコンタクト領域、15...排出コンタクト領域、PD...フォトダイオード、TM...変調トランジスタ、TT...転送トランジスタ、TL...LODトランジスタ、TC...クリアトランジスタ。

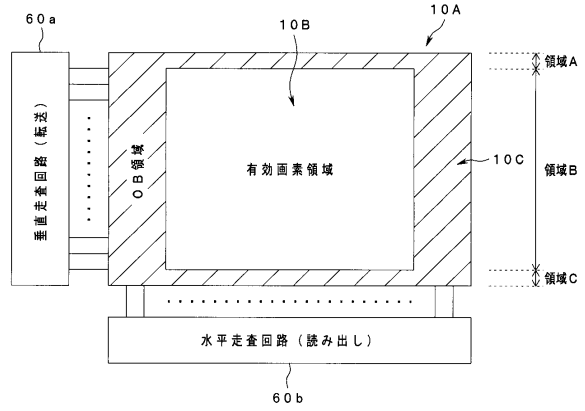
【図1】



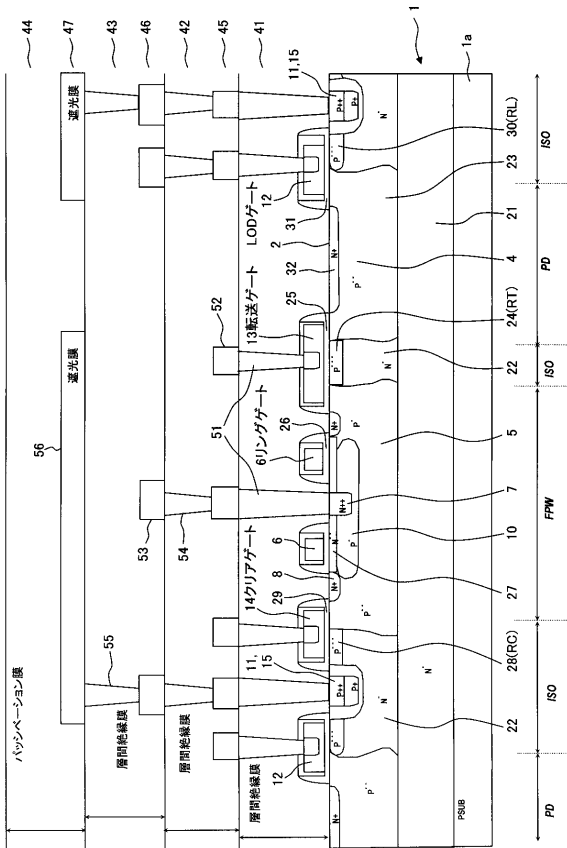
【図2】



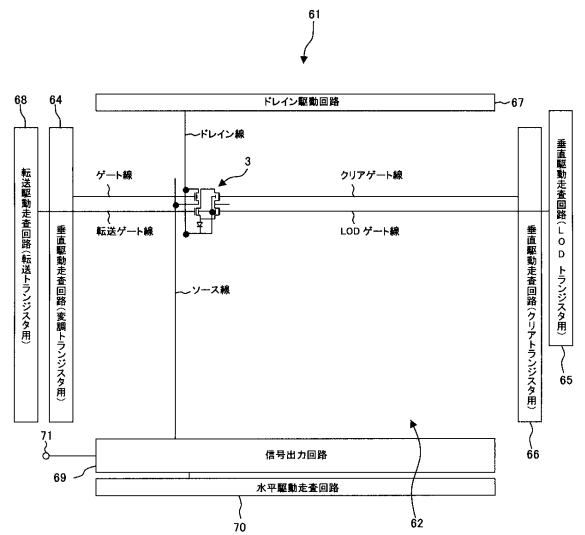
【図3】



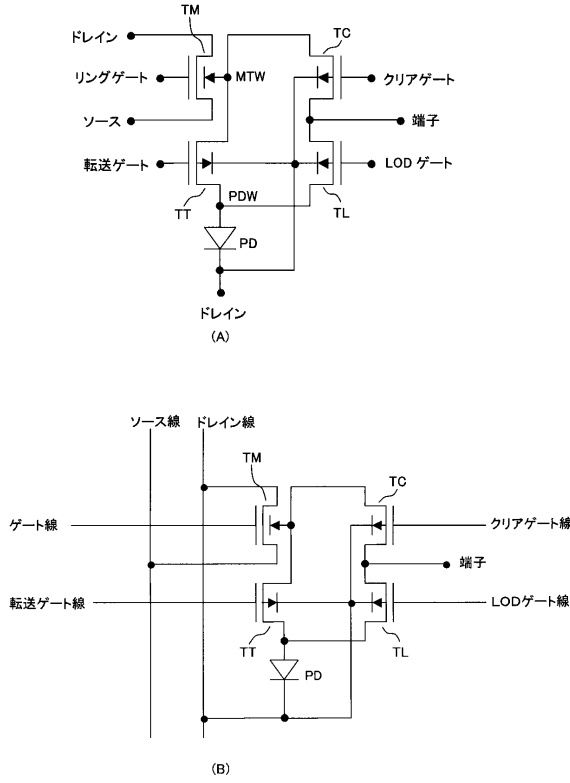
【図4】



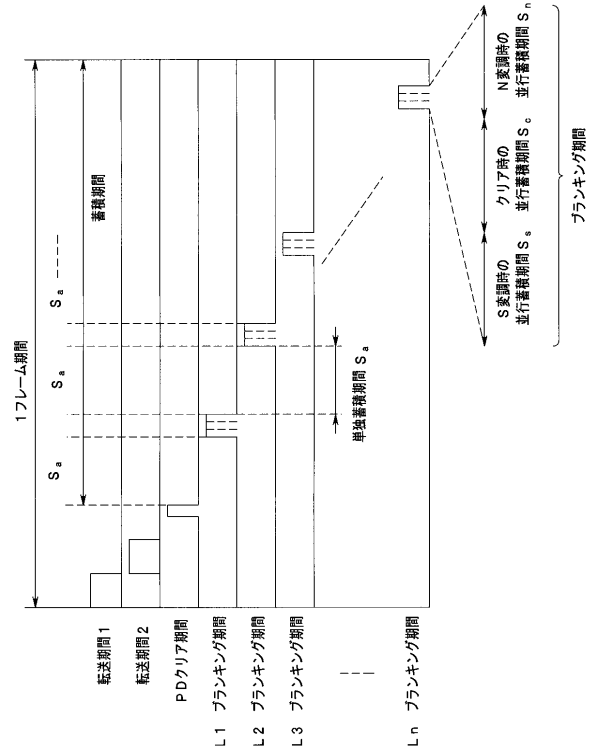
【図5】



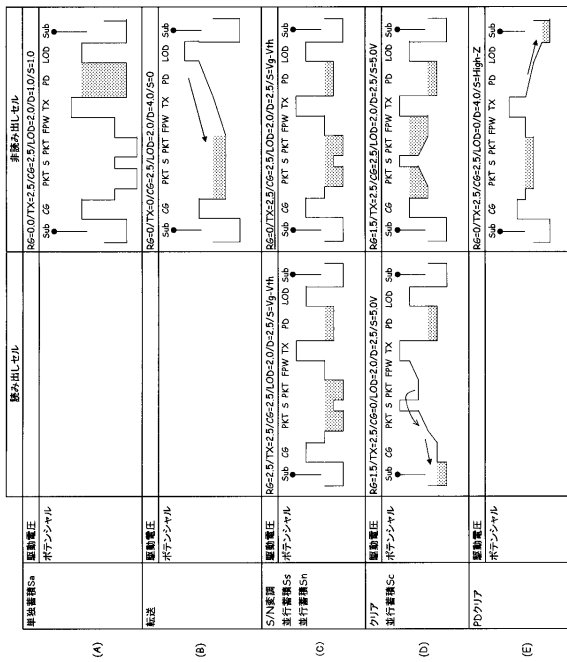
【図6】



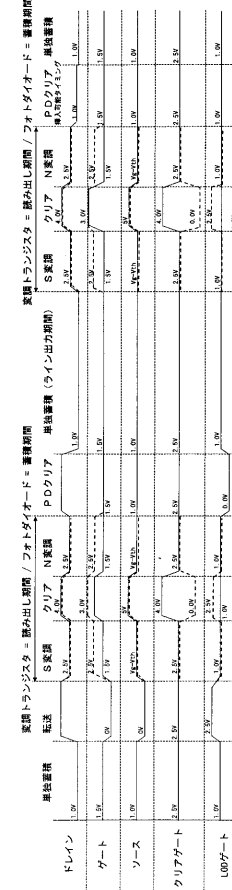
【図7】



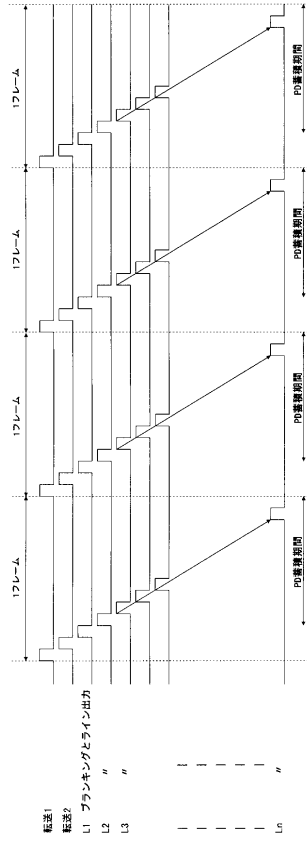
【図8】



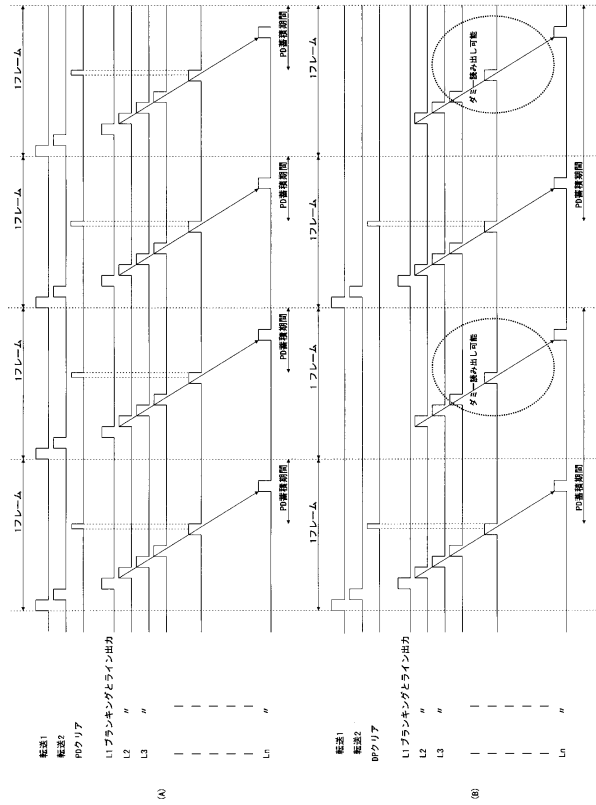
【図9】



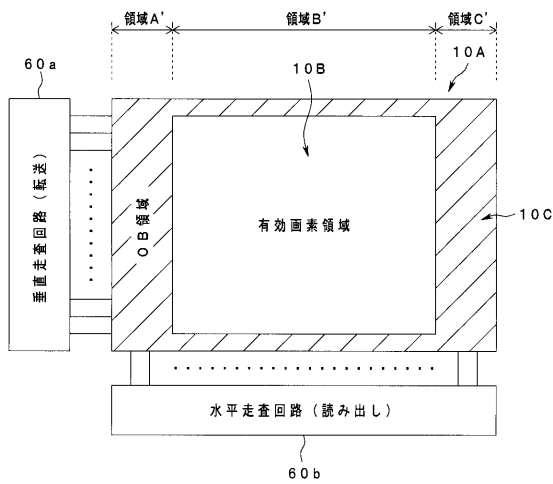
【図 10】



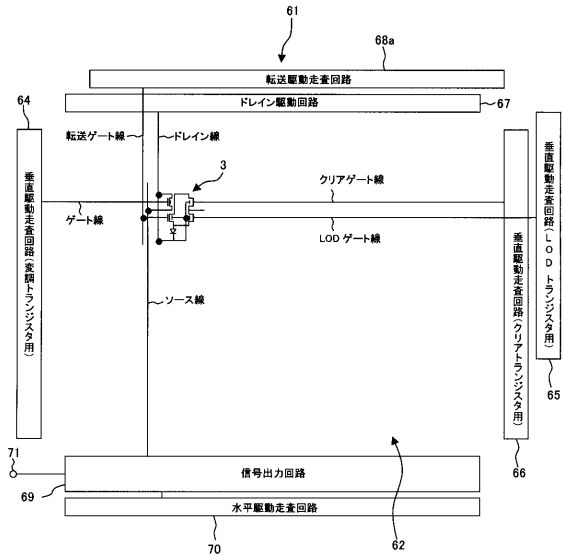
【図 11】



【図 12】



【図 13】



フロントページの続き

- (56)参考文献 特開2002-134729(JP,A)
特開平11-195778(JP,A)
特開2002-176161(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/335
H01L 27/146