



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I590397 B

(45) 公告日：中華民國 106 (2017) 年 07 月 01 日

(21) 申請案號：105135800

(22) 申請日：中華民國 105 (2016) 年 11 月 03 日

(51) Int. Cl. : **H01L23/34 (2006.01)**

(30) 優先權：2016/03/24 美國

15/079,548

(71) 申請人：鈺橋半導體股份有限公司 (中華民國) BRIDGE SEMICONDUCTOR CORP. (TW)
臺北市北投區立德路 157 號 3 樓

(72) 發明人：林 文強 LIN, CHARLES W. C. (US) ; 王家忠 WANG, CHIA-CHUNG (TW)

(74) 代理人：林義傑；劉彥宏；吳珮雯

(56) 參考文獻：

US 6559536B1

US 2004/0164402A1

US 2004/0190245A1

US 2005/0280141A1

審查人員：董柏昌

申請專利範圍項數：11 項 圖式數：53 共 57 頁

(54) 名稱

具有散熱座且整合雙增層電路之散熱增益型半導體組體及製作方法

THERMALLY ENHANCED SEMICONDUCTOR ASSEMBLY WITH HEAT SPREADER AND
INTEGRATED DUAL BUILD-UP CIRCUITRIES AND METHOD OF MAKING THE SAME

(57) 摘要

本發明係關於一種半導體組體之製作方法，其將半導體元件嵌埋於散熱座中，並電性連接至兩步驟形成之互連基板。於一較佳實施態樣中，該互連基板係由第一及第二增層電路所組成，且該製作方法之特徵在於，藉由黏著劑，將半導體次組體貼附至散熱座，其中該半導體次組體具有接置於犧牲載板上之第一增層電路，且半導體元件插置於散熱座之凹穴中，以及自第一增層電路移除犧牲載板之步驟。散熱座可提供散熱途徑，而第一及第二增層電路提供半導體元件階段式的扇出路由。

The present invention relates to methods of making a semiconductor assembly having a semiconductor device embedded in a heat spreader and electrically connected to a dual-stage formed interconnect substrate. In a preferred embodiment, the interconnect substrate consists of first and second build-up circuitries and the methods are characterized by the step of attaching a semiconductor subassembly having a first build-up circuitry adhered to a sacrificial carrier to a heat spreader using an adhesive with the semiconductor device inserted into a cavity of the heat spreader and the step of detaching the sacrificial carrier from the first build-up circuitry. The heat spreader provides thermal dissipation, and the first and second build-up circuitries provide staged fan-out routing for the semiconductor device.

指定代表圖：

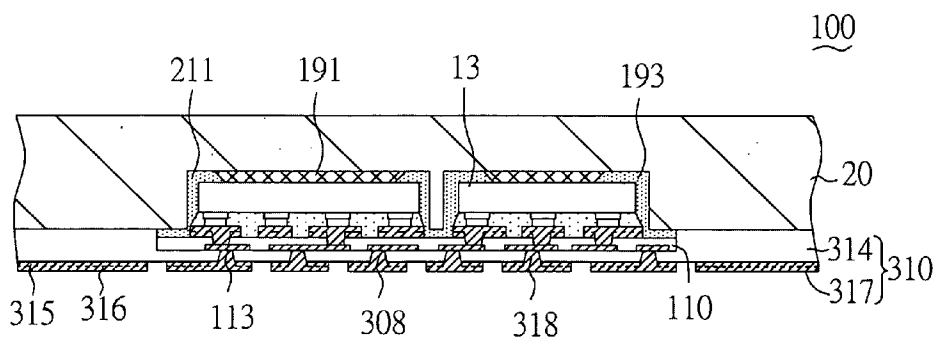


圖26

符號簡單說明：

- 100 . . . 半導體組體
- 110 . . . 第一增層電路
- 113 . . . 第一接觸墊
- 13 . . . 半導體元件
- 191 . . . 第一黏著劑
- 193 . . . 第二黏著層
- 20 . . . 散熱座
- 211 . . . 凹穴
- 308 . . . 第二盲孔
- 310 . . . 第二增層電路
- 314 . . . 第二絕緣層
- 315 . . . 第二金屬板
- 316 . . . 第二被覆層
- 317 . . . 第二導線
- 318 . . . 第二導電盲孔



公告本

申請日: 105.11.3

IPC分類: H01L 23/34 (2006.01)

【發明摘要】

【中文發明名稱】 具有散熱座且整合雙增層電路之散熱增益型半導體組體及製作方法

【英文發明名稱】 THERMALLY ENHANCED SEMICONDUCTOR ASSEMBLY WITH HEAT SPREADER AND INTEGRATED DUAL BUILD-UP CIRCUITRIES AND METHOD OF MAKING THE SAME

【中文】

● 本發明係關於一種半導體組體之製作方法，其將半導體元件嵌埋於散熱座中，並電性連接至兩步驟形成之互連基板。於一較佳實施態樣中，該互連基板係由第一及第二增層電路所組成，且該製作方法之特徵在於，藉由黏著劑，將半導體次組體貼附至散熱座，其中該半導體次組體具有接置於犧牲載板上之第一增層電路，且半導體元件插置於散熱座之凹穴中，以及自第一增層電路移除犧牲載板之步驟。散熱座可提供散熱途徑，而第一及第二增層電路提供半導體元件階段式的扇出路由。

【英文】

● The present invention relates to methods of making a semiconductor assembly having a semiconductor device embedded in a heat spreader and electrically connected to a dual-stage formed interconnect substrate. In a preferred embodiment, the interconnect substrate consists of first and second build-up circuitries and the methods are characterized by the step of attaching a semiconductor subassembly having a first build-up circuitry adhered to a sacrificial carrier to a heat spreader using an adhesive with the semiconductor device inserted into a cavity of the heat spreader and the step of detaching the sacrificial carrier from the first build-up circuitry. The heat spreader

provides thermal dissipation, and the first and second build-up circuitries provide staged fan-out routing for the semiconductor device.

【指定代表圖】 圖26

【代表圖之符號簡單說明】

半導體組體 100	第一增層電路 110
第一接觸墊 113	半導體元件 13
第一黏著劑 191	第二黏著層 193
散熱座 20	凹穴 211
第二盲孔 308	第二增層電路 310
第二絕緣層 314	第二金屬板 315
第二被覆層 316	第二導線 317
第二導電盲孔 318	

【發明說明書】

【中文發明名稱】具有散熱座且整合雙增層電路之散熱增益型半導體組體及製作方法

【英文發明名稱】 THERMALLY ENHANCED SEMICONDUCTOR ASSEMBLY WITH HEAT SPREADER AND INTEGRATED DUAL BUILD-UP CIRCUITRIES AND METHOD OF MAKING THE SAME

【技術領域】

● 【0001】 本發明是關於一種散熱增益型半導體組體及其製作方法，尤指一種散熱增益型半導體組體，其將半導體元件嵌埋於散熱座中，並電性連接至兩步驟形成之增層電路。

【先前技術】

● 【0002】 為了整合行動、通訊以及運算功能，半導體封裝產業面臨極大的散熱、電性、縮小晶片面積(form-factor)以及可靠度挑戰。儘管在文獻中已報導許多將半導體晶片嵌埋於線路板或模封材中之構型，但仍然存在許多性能不足的問題。舉例來說，美國專利案號No. 8,742,589、8,735,222、8,679,963、8,453,323中所揭露之組體，因為其中嵌埋晶片所產生之熱無法藉由熱絕緣材料例如層壓材或模封材適當地散逸，因此可能會造成性能衰減問題。

● 【0003】 此外，由於該些組體是利用微盲孔進行嵌埋晶片之電性連接，故於是製造上述組體結構時，會有嵌埋晶片於進行封埋或層壓製程中發生位移的嚴重缺點。如美國專利案號No. 8,501,544及7,935,893中所述，晶片位移會造成晶片I/O墊上未完全金屬化之微盲孔，導致電性連接品質劣化，因此降低組體之可靠度及生產良率。

【0004】 為了上述理由及以下所述之其他理由，目前亟需發展一種用於互連嵌埋晶片之新裝置與方法，其無須使用位於I/O墊上之微盲孔，以改善晶片級可靠度，並且不需使用模封材或層壓材，以避免晶片過熱而造成裝置電性效能出現重大問題。

【發明內容】

【0005】 本發明之主要目的係提供一種半導體組體，其中半導體元件藉由複數個凸塊電性耦接至互連基板，以解決半導體元件與互連基板間之對位問題，避免於元件I/O墊上直接使用雷射或光顯像製程，藉以改善半導體組體之生產良率及可靠度。

【0006】 本發明之另一目的係提供一種半導體組體，其設有整合為一體之第一及第二增層電路作為互連基板，俾而展現高度的路由靈活度，同時達到優異的信號完整性。例如，可將第一增層電路建構為具有極高路由密度之初級扇出電路，而第二增層電路則建構成具有粗寬度/間距的進一步扇出路由，以用於下一層級的板組裝。整合為一體之兩增層電路可使組體具有階段式扇出路由及最短的可能互連長度，俾而降低電感並改善組體的電性效能。

【0007】 本發明之再一目的係提供一種半導體組體，其將半導體元件封埋於散熱座中，以有效地散逸半導體元件所產生之熱，藉以改善組體之信號完整性及電性效能。

【0008】 依據上述及其他目的，本發明提供一種散熱增益型半導體組體，其包括一半導體元件、一散熱座、一第一增層電路及一第二增層電路。於一較佳實施例中，散熱座包圍該半導體元件，並提供半導體元件散熱途徑，同時對整合為一體之雙增層電路提供抗彎平台；第一增層電路係分離自一可移除之犧牲載板，並提供半導體元件初級扇出路由，藉此可於後續形成第二增層電路

前，放大半導體元件之墊尺寸及墊間距；第二增層電路係鄰接散熱座及第一增層電路，並提供第二級的扇出路由，其具有與下一級組體相符之端子墊圖案化陣列。

【0009】於另一態樣中，本發明提供一種散熱增益型半導體組體之製作方法，其包括下述步驟：提供具有一凹穴之一散熱座；提供一半導體次組體，其包括(i)提供一半導體元件，(ii)提供一第一增層電路於一犧牲載板上，其中該第一增層電路係可拆分式地接置於該犧牲載板上，及(iii)藉由複數凸塊，將該半導體元件電性耦接至該第一增層電路；藉由一黏著劑，將該半導體次組體貼附至該散熱座，並使該半導體元件插入該凹穴，且該第一增層電路側向延伸於該凹穴外；自該第一增層電路移除該犧牲載板；以及形成一第二增層電路於該散熱座及該第一增層電路上，其中該第二增層電路藉由導電盲孔，電性耦接至該第一增層電路。

【0010】除非特別描述或步驟間使用”接著”字詞，或者是必須依序發生之步驟，上述步驟之順序並無限制於以上所列，且可根據所需設計而變化或重新安排。

【0011】本發明之散熱增益型半導體組體製作方法具有許多優點。舉例來說，先形成半導體次組體後，再貼附至散熱座，其可確保電性連接半導體元件，因此可避免於微盲孔製程中會遭遇的未連接接觸墊之問題。藉由半導體次組體將半導體元件插入凹穴中是特別具有優勢的，其原因在於，在製程中無須嚴格控制凹穴之形狀或深度，或是無須嚴格控制用來接合半導體元件之黏著劑用量。此外，以兩步驟形成連線於嵌埋式半導體元件之互連基板是具有益處的，其原因在於，第一增層電路可提供初級扇出路由，而第二增層電路則提供上元件與下元件間的進一步扇出路由及水平互連。

【0012】本發明之上述及其他特徵與優點可藉由下述較佳實施例之詳細敘述更加清楚明瞭。

【圖式簡單說明】

【0013】參考隨附圖式，本發明可藉由下述較佳實施例之詳細敘述更加清楚明瞭，其中：

圖1為本發明第一實施態樣中，於犧牲載板上形成第一接觸墊之剖視圖；

圖2為本發明第一實施態樣中，圖1結構上形成第一絕緣層及第一金屬板之剖視圖；

圖3為本發明第一實施態樣中，圖2結構上形成第一盲孔之剖視圖；

圖4及5分別為本發明第一實施態樣中，圖3結構上形成第一導線之剖視圖及頂部立體示意圖；

圖6為本發明第一實施態樣中，半導體元件上接置凸塊之剖視圖；

圖7及8分別為本發明第一實施態樣中，圖6半導體元件電性耦接至圖4及5結構之剖視圖及頂部立體示意圖；

圖9及10分別為本發明之第一實施態樣中，圖7及8之面板規模結構切割後之剖視圖及頂部立體視圖；

圖11及12分別為本發明之第一實施態樣中，對應於圖9及10切離單元之半導體次組體的剖視圖及頂部立體視圖；

圖13及14分別為本發明之第一實施態樣中，散熱座之剖視圖及底部立體視圖；

圖15及16分別為本發明之第一實施態樣中，將第一黏著劑塗佈於圖13及14散熱座上之剖視圖及底部立體視圖；

圖17及18分別為本發明之第一實施態樣中，將圖11及12之半導體次組體貼附至圖15及16散熱座之剖視圖及底部立體視圖；

圖19及20分別為本發明之第一實施態樣中，圖17及18之結構上具有第二黏著劑之剖視圖及底部立體視圖；

圖21及22分別為本發明之第一實施態樣中，自圖19及20之結構移除過剩第二黏著劑後之剖視圖及底部立體視圖；

圖23為本發明之第一實施態樣中，自圖21結構移除犧牲載板之剖視圖；

圖24為本發明之第一實施態樣中，圖23結構上設置第二絕緣層及第二金屬板之剖視圖；

圖25為本發明之第一實施態樣中，圖24結構上形成第二盲孔之剖視圖；

圖26為本發明之第一實施態樣中，圖25結構上形成第二導線，以完成半導體組體製作之剖視圖；

圖27為本發明之第二實施態樣中，散熱座之剖視圖；

圖28為本發明之第二實施態樣中，圖27散熱座上形成保護層之剖視圖；

圖29為本發明之第二實施態樣中，將第一黏著劑塗佈於圖28散熱座上之剖視圖；

圖30為本發明之第二實施態樣中，將半導體次組體貼附至圖29散熱座之剖視圖；

圖31為本發明之第二實施態樣中，圖30結構上具有第二黏著劑之剖視圖；

圖32為本發明之第二實施態樣中，自圖31之結構移除過剩第二黏著劑後之剖視圖；

圖33為本發明之第二實施態樣中，自圖22結構移除犧牲載板及保護層之剖視圖；

圖34為本發明之第二實施態樣中，圖33結構上設置第二絕緣層及第二金屬板之剖視圖；

圖35為本發明之第二實施態樣中，圖34結構上形成第二盲孔之剖視圖；

圖36為本發明之第二實施態樣中，圖35結構上形成第二導線，以完成半導體組體製作之剖視圖；

圖37為本發明之第三實施態樣中，層壓基板之剖視圖；

圖38為本發明之第三實施態樣中，圖37之層壓基板形成定位件之剖視圖；

圖39為本發明之第三實施態樣中，具有開口之層壓基板剖視圖；

圖40為本發明之第三實施態樣中，圖39之層壓基板形成定位件之剖視圖；

圖41為本發明之第三實施態樣中，於圖38之層壓基板形成凹穴，以製作完成散熱座之剖視圖；

圖42為本發明之第三實施態樣中，半導體次組體貼附至圖41散熱座之剖視圖；

圖43為本發明之第三實施態樣中，自圖42結構移除犧牲載板之剖視圖；

圖44為本發明之第三實施態樣中，圖43結構上設置第二絕緣層及第二金屬板之剖視圖；

圖45為本發明之第三實施態樣中，圖44結構上形成第二盲孔之剖視圖；

圖46為本發明之第三實施態樣中，圖45結構上形成第二導線，以完成半導體組體製作之剖視圖；

圖47為本發明之第四實施態樣中，金屬板上設有定位件之剖視圖；

圖48為本發明之第四實施態樣中，圖47金屬板上設置基層，以完成散熱座製作之剖視圖；

圖49為本發明之第四實施態樣中，將半導體次組體貼附至圖48散熱座之剖視圖；

圖50為本發明之第四實施態樣中，自圖49結構移除犧牲載板之剖視圖；

圖51為本發明之第四實施態樣中，圖50結構上設置第二絕緣層及第二金屬板之剖視圖；

圖52為本發明之第四實施態樣中，圖51結構上形成第二盲孔之剖視圖；以及

圖53為本發明之第四實施態樣中，圖52結構上形成第二導線，以完成半導體組體製作之剖視圖。

【實施方式】

【0014】 在下文中，將提供一實施例以詳細說明本發明之實施態樣。本發明之優點以及功效將藉由本發明所揭露之內容而更為顯著。在此說明所附之圖式係簡化過且做為例示用。圖式中所示之元件數量、形狀及尺寸可依據實際情況而進行修改，且元件的配置可能更為複雜。本發明中也可進行其他方面之實踐或應用，且不偏離本發明所定義之精神及範疇之條件下，可進行各種變化以及調整。

【0015】 [實施例1]

【0016】 圖1-26為本發明第一實施態樣中，一種半導體組體之製作方法圖，其包括半導體元件13、一散熱座20、一第一增層電路110及一第二增層電路310。

【0017】 圖1為第一接觸墊111沉積於犧牲載板111上之剖視圖。該犧牲載板111可由任何導電或非導電材料所製成，如銅、鎳、鋁、鉻、錫、鐵、不鏽鋼、矽、玻璃、石墨、塑膠膜、或其他金屬、合金或非金屬材料。犧牲載板111之厚度較佳為0.1至10毫米。於本實施態樣中，該犧牲載板111係由含鐵材料所製成，且厚度為1.0毫米。第一接觸墊113通常由銅製成，且可經由各種技術進行圖案化沉積，如電鍍、無電電鍍、蒸鍍、濺鍍或其組合，或者藉由薄膜沉積而後進行金屬圖案化步驟而形成。就具導電性之犧牲載板111而言，一般是藉由金屬電鍍方式沉積，以形成第一接觸墊113。金屬圖案化技術包括濕蝕刻、電化學蝕刻、雷射輔助蝕刻及其組合，並使用蝕刻光罩(圖未示)，以定義出第一接觸墊113。

【0018】圖2為第一絕緣層114及第一金屬板115層壓/塗佈於犧牲載板111及第一接觸墊113上之剖視圖。第一絕緣層114接觸犧牲載板111及第一接觸墊113，並由上方覆蓋並側向延伸於犧牲載板111及第一接觸墊113上。第一金屬板115接觸第一絕緣層114，並由上方覆蓋第一絕緣層114。於本實施態樣中，第一絕緣層114通常具有50微米的厚度，且可由環氧樹脂、玻璃環氧樹脂、聚醯亞胺、或其類似物所製成。第一金屬板115通常由銅製成，且具有25微米厚度。

【0019】圖3為形成第一盲孔108之剖視圖。第一盲孔108延伸穿過第一金屬板115及第一絕緣層114，並對準第一接觸墊113。第一盲孔108可藉由各種技術形成，包括雷射鑽孔、電漿蝕刻、及微影技術，且通常具有50微米之直徑。可使用脈衝雷射提高雷射鑽孔效能。或者，可使用掃描雷射光束，並搭配金屬光罩。舉例來說，可先蝕刻銅板以製造一金屬窗口後再照射雷射光束。

【0020】圖4及5分別為形成第一導線117之剖視圖及頂部立體示意圖。藉由沉積第一被覆層116於第一金屬板115上及第一盲孔108中，然後圖案化第一金屬板115以及其上之第一被覆層116，以形成第一導線117於第一絕緣層114上。或者，當前述製程中未有第一金屬板115層壓於第一絕緣層114上時，第一絕緣層114可直接金屬化以形成第一導線117。第一導線117自第一接觸墊113朝上延伸，並填滿第一盲孔108，以形成直接接觸第一接觸墊113之第一導電盲孔118，同時側向延伸於第一絕緣層114上。因此，第一導線117可提供X及Y方向的水平信號路由以及穿過第一盲孔108的垂直路由，以作為第一接觸墊113的電性連接。如圖5所示，第一導線117包括圖案化陣列之第二接觸墊119。

【0021】第一被覆層116可藉由各種技術沉積為單層或多層，如電鍍、

無電電鍍、蒸鍍、濺鍍或其組合。舉例來說，首先藉由將該結構浸入活化劑溶液中，使第一絕緣層114與無電鍍銅產生觸媒反應，接著以無電電鍍方式被覆一薄銅層作為晶種層，然後以電鍍方式將所需厚度之第二銅層形成於晶種層上。或者，於晶種層上沉積電鍍銅層前，該晶種層可藉由濺鍍方式形成如鈦/銅之晶種層薄膜。一旦達到所需之厚度，即可使用各種技術圖案化被覆層，以形成第一導線117，如濕蝕刻、電化學蝕刻、雷射輔助蝕刻或其組合，並使用蝕刻光罩(圖未示)，以定義出第一導線117。

【0022】 為了便於圖示，第一金屬板115及第一被覆層116係以單一層表示。由於銅為同質披覆，金屬層間之界線(以虛線表示)可能不易察覺甚至無法察覺。

【0023】 此階段已完成於犧牲載板111上形成第一增層電路110之製程。於此圖中，第一增層電路110包括第一接觸墊113、一第一絕緣層114及第一導線117。第一導線117包括第二接觸墊119，其藉由第一導電盲孔118，電性連接至第一接觸墊113，並可作為後續元件接置用之電性接點。於本實施例態樣中，第一接觸墊113之墊間距及墊尺寸大於第二接觸墊119之墊間距及墊尺寸。因此，第一增層電路110包括有扇出的導線圖案，其由第二表面109處之第二接觸墊119扇出至第一表面103處之第一接觸墊113。

【0024】 圖6為凸塊15接置於半導體元件13上之剖視圖。在此，該半導體元件13(繪式成裸晶片)包括有主動面131、與主動面131相反之非主動面133、以及位於主動面131上之I/O墊132。凸塊15係接置於半導體元件13之I/O墊132上，其可為錫凸柱、金凸柱、或銅凸柱。

【0025】 圖7及8分別為半導體元件13電性耦接至第一增層電路110之面板規模(panel-scale)結構剖視圖及頂部立體示意圖。藉由熱壓、迴焊、或熱超音波接合技術，可將半導體元件13經由凸塊15電性耦接至第一增層電路110之第二接

觸墊119。或者，可先沉積凸塊15於第一增層電路110之第二接觸墊119上，然後半導體元件13再藉由凸塊15電性耦接至第一增層電路110。此外，可選擇性地進一步提供底部充填材料16，以填充第一增層電路110與半導體元件13間之隙，以提高半導體元件13與第一增層電路110間之接合強度。

【0026】圖9及10分別為面板規模結構切割成個別單件之剖視圖及頂部立體示意圖。面板規模結構沿著切割線“L”被單離成個別的半導體次組體10。

【0027】圖11及12分別為個別的半導體次組體10之剖視圖及頂部立體示意圖。在此圖中，該半導體次組體10包括兩個半導體元件13，其係電性耦接至第一增層電路110，且第一增層電路110包括有側向延伸超過半導體元件13外圍邊緣之第一導線117。由於第一增層電路110之第一接觸墊113之尺寸及墊間距設計為比晶片之I/O墊132大，故第一增層電路110能提供半導體元件13之初級扇出路由，以確保下一級增層電路互連具有較高之生產良率。此外，於互連至下一級互連結構前，第一增層電路110也提供相鄰半導體元件13間之主要電性連接。

【0028】圖13及14分別為散熱座20之剖視圖及底部立體示意圖，其具有凹穴211。可藉由於金屬板21中形成凹穴211以提供散熱座20。金屬板21之厚度可於0.1毫米至10毫米之範圍內，且通常由銅、鋁、不銹鋼、或其合金所製成。在此實施態樣中，金屬板21係為厚度1毫米之銅板。每一凹穴211可具有相同或不同之尺寸及深度。凹穴之深度可於0.05毫米至0.9毫米之範圍內。在此例示中，凹穴211之深度為0.21毫米(以容納0.15毫米晶片及0.05毫米導電凸塊)。

【0029】圖15及16為散熱座20之凹穴211內塗有第一黏著劑191之剖視及底部立體示意圖。第一黏著劑191通常為導熱黏著劑，並且塗佈於凹穴211之底部上。

【0030】圖17及18分別為半導體次組體10藉由第一黏著劑191貼附至散熱座20之剖視圖及底部立體示意圖。將第一半導體元件13插入凹穴211中，並使第

一增層電路110及犧牲載板111位於凹穴211外，同時第一增層電路110及犧牲載板111與散熱座20之外圍邊緣保持距離。

【0031】 圖19及20分別為第二黏著劑193填充至第一增層電路110與散熱座20之間，並進一步延伸進入凹穴211中之剖視圖及底部立體圖。第二黏著劑193通常為電性絕緣之底部填充材料，其塗佈於第一增層電路110與散熱座20之間，且填入凹穴211之剩餘空間中。因此，第一黏著劑191提供第一半導體元件13及散熱座20間之機械性接合及熱性連接，並且第二黏著劑193提供第一半導體元件13與散熱座20間、以及第一增層電路110與散熱座20間之機械性接合。

【0032】 圖21及22分別為將流出第一增層電路110與散熱座20間之過剩黏著劑移除後之剖視圖及底部立體示意圖。或者，可省略此移除過剩黏著劑之步驟，據此過剩之黏著劑變成隨後增層電路之一部分。

【0033】 圖23為移除犧牲載板111後之剖視圖。犧牲載板111可藉由各種方式移除，包括使用酸性溶液(如氯化鐵、硫酸銅溶液)或鹼性溶液(如氨溶液)之濕式化學蝕刻、電化學蝕刻、或於機械方式(如鑽孔或端銑)後再進行化學蝕刻。於此實施態樣中，由含鐵材料所製成之犧牲載板111可藉由化學蝕刻溶液移除，其中化學蝕刻溶液於銅與鐵間具有選擇性，以避免移除犧牲載板111時導致銅製成之第一接觸墊113及散熱座20遭蝕刻。

【0034】 圖24為由下方層壓/塗佈第二絕緣層314及第二金屬板315於第一增層電路110及散熱座20上之剖視圖。第二絕緣層314接觸第一增層電路110及散熱座20，並由第一增層電路110及散熱座20朝向下方向延伸，並且側向覆蓋、圍繞及共形塗佈第一增層電路110之側壁，同時側向延伸至該結構之外圍邊緣。第二絕緣層314可由環氧樹脂、玻璃環氧樹脂、聚醯亞胺、或其類似物所製成。第二金屬板315由下方接觸並覆蓋第二絕緣層314，且通常為具有25微米厚度之銅

層。

【0035】圖25為形成第二盲孔308之剖視圖，以顯露第一增層電路110第一接觸墊113之選定部位。第二盲孔308延伸穿過第二金屬板315及第二絕緣層314，並且對準第一接觸墊113之選定部位。如第一盲孔108所述，第二盲孔308亦可藉由各種技術形成，如雷射鑽孔、電漿蝕刻、及微影技術，且通常具有50微米之直徑。

【0036】參照圖26，藉由沉積第二被覆層316於第二金屬板315上及第二盲孔308中，然後圖案化第二金屬板315及其上之第二被覆層316，以形成第二導線317於第二絕緣層314上。或者，當前述製程中未有第二金屬板315層壓於第二絕緣層314上時，第二絕緣層314可直接金屬化以形成第二導線317。第二導線317自第一接觸墊113向下延伸，並填滿第二盲孔308，以形成直接接觸第一增層電路110第一接觸墊113之第二導電盲孔318，同時側向延伸於第二絕緣層314上。於此圖中，第二導線317側向延伸超過第一增層電路110之外圍邊緣。

【0037】據此，如圖26所示，已完成之半導體組體100包括有半導體元件13、一散熱座20、一第一增層電路110及一第二增層電路310。於此圖中，該第一增層電路110包括第一接觸墊113、一第一絕緣層114及第一導線117，而該第二增層電路310包括一第二絕緣層314及第二導線317。半導體元件13藉由覆晶製程，電性耦接至預先製成之第一增層電路110，並封埋於散熱座20之凹穴211中，同時第一增層電路110則側向延伸於凹穴211外。第二增層電路310藉由第二導電盲孔318，電性耦接至第一增層電路110，其中第二導電盲孔318與第一增層電路110之第一接觸墊113直接接觸，藉此第一增層電路110與第二增層電路310間之電性連接無需用到焊接材料。

【0038】 [實施例2]

【0039】圖27-36為本發明第二實施態樣中，另一種半導體組體之製作

方法圖，其中散熱座之凹穴外設有定位件，且散熱座更電性耦接至第二增層電路。

【0040】 為了簡要說明之目的，上述實施例1中任何可作相同應用之敘述皆併於此，且無須再重複相同敘述。

【0041】 圖27為散熱座20之剖視圖，其於凹穴211之入口周圍設有定位件213。可藉由移除金屬板21之選定部分，或是藉由於金屬板21上圖案化沉積金屬材料或塑膠材料，以形成定位件213。定位件213通常係藉由電鍍、蝕刻、機械切割或層壓步驟而製成。據此，定位件213自散熱座20中鄰接凹穴入口之平坦表面212向下凸出，並且可具有5至200微米之厚度。在此實施態樣中，厚度30微米之定位件213係側向延伸至散熱座20之外圍邊緣，並且具有與隨後設置的第一增層電路四側邊相符之內周圍邊緣。

【0042】 圖28為散熱座20上沉積保護層22之剖視圖。由銅製成之散熱座20通常於定位件213上形成有一保護層22。於此實施態樣中，該保護層22為鍍層，且具有5微米厚度。

【0043】 圖29為散熱座20之凹穴211內塗有第一黏著劑191之剖視。第一黏著劑191通常為導熱黏著劑，並且塗佈於凹穴底部上。

【0044】 圖30為半導體次組體10藉由第一黏著劑191貼附至散熱座20之剖視圖。半導體次組體10與圖11所示結構相似，惟不同處在於，本實施例之犧牲載板111包括一支撐板101及沉積於支撐板101上之一阻障層102，且第一增層電路110形成於阻障層102上。阻障層102可具有0.001至0.1毫米之厚度，且可為一金屬層，其中該金屬層可於化學移除支撐板101時抵抗化學蝕刻，並可於不影響第一接觸墊113下移除該金屬層。舉例說明，當支撐板101及第一接觸墊113係由銅製成時，該阻障層102可由錫或鍍製成。此外，除了金屬材料外，阻障層102亦可為一介電層，如可剝式積層膜(peelable laminate film)。於此實施例中，支撐

板101為銅板，且阻障層102為厚度5微米之鎳層。如圖所示，將半導體次組體10貼附至散熱座20，且半導體元件13插入凹穴211，並使定位件213側向對準且靠近第一增層電路110之外圍邊緣。定位件213可控制次組體置放之準確度。定位件213向下延伸超過第一增層電路110之第二表面109，並且位於第一增層電路110之四側表面外，同時側向對準第一增層電路110之四側表面。由於定位件213側向靠近且符合第一增層電路110四側表面，故其可避免半導體次組體10於黏著劑固化時發生任何不必要的位移。第一增層電路110與定位件213之間隙較佳係於約5至50微米之範圍內。半導體次組體10之貼附步驟亦可不使用定位件213。雖然無法藉由凹穴211來控制半導體次組體10置放之準確度(其原因在於，很難精準地控制凹穴之尺寸與深度)，但是因為第一增層電路110之第一接觸墊113具有較大之墊尺寸及墊間距，因此並不會造成隨後移除犧牲載板111後形成第二增層電路於第一增層電路110上時，微盲孔的連接失敗。

【0045】 圖31為第二黏著層193填充於第一增層電路110與散熱座20之間並進一步延伸進入凹穴211中之剖視圖。第二黏著層193通常係為電性絕緣之底部填充材料，其係塗佈於第一增層電路110與散熱座20之間，並填入凹穴211內的剩餘空間中。

【0046】 圖32為移除溢出於保護層22上之過剩黏著劑後之剖視圖。或者，可省略移除過剩黏著劑之步驟，據此過剩之黏著劑變成隨後增層電路之一部分。

【0047】 圖33為移除犧牲載板111及保護層22後之剖視圖。在此，由銅製成之支撐板101可藉由鹼性蝕刻溶液來移除。接著，由鎳製成之阻障層102及保護層22可藉由酸性蝕刻溶液來移除，以由下方顯露第一增層電路110之第一接觸墊113。於另一態樣中，阻障層102及保護層22為可剝式積層膜(peelable laminate film)，阻障層102及保護層22可藉由機械剝離或電漿灰化(plasma ashing)方式來移

除。

【0048】 圖34為層壓/塗佈第二絕緣層314及第二金屬板315於第一增層電路110及散熱座20上之剖視圖。第二絕緣層314接觸第二金屬板315、第一增層電路110及散熱座20，並於第二金屬板315與第一增層電路110間及第二金屬板315與散熱座20間提供堅固機械性接合。

【0049】 圖35為形成第二盲孔308之剖視圖。第二盲孔308延伸穿過第二金屬板315及第二絕緣層314，並且對準第一增層電路110之第一接觸墊113及散熱座20之定位件213。

【0050】 參照圖36，藉由沉積第二被覆層316於第二金屬板315上及第二盲孔308中，然後圖案化第二金屬板315及其上之第二被覆層316，以形成第二導線317於第二絕緣層314上。第二導線317自第一接觸墊113及定位件213向下延伸，並填滿第二盲孔308，以形成直接接觸第一增層電路110第一接觸墊113及散熱座20定位件213之第二導電盲孔318，同時側向延伸於第二絕緣層314上。

【0051】 據此，如圖36所示，已完成之半導體組體200包括有半導體元件13、一散熱座20、一第一增層電路110及一第二增層電路310。半導體元件13藉由覆晶製程，電性耦接至預先製成之第一增層電路110，並封埋於散熱座20之凹穴211中，同時第一增層電路110則側向延伸於凹穴211外。散熱座20之定位件213向下延伸超過第一增層電路110之第二表面109，並靠近第一增層電路110之外圍邊緣，以控制第一增層電路110置放之準確度。第二增層電路310藉由第二導電盲孔318，電性耦接至第一增層電路110及散熱座20，以提供第一增層電路110訊號路由及散熱座20之接地連接。

【0052】 [實施例3]

【0053】 圖37-46為本發明第三實施態樣中，一種使用層壓基板作為散熱座之半導體組體製作方法圖。

【0054】 為了簡要說明之目的，上述實施例中任何可作相同應用之敘述皆併於此，且無須再重複相同敘述。

【0055】 圖37及38為本發明一實施態樣之定位件製程剖視圖，其係形成於層壓基板之介電層上。

【0056】 圖37為層壓基板之剖視圖，其包括金屬板21、介電層23、以及金屬層25。介電層23係夾置於金屬板21及金屬層25間。介電層23通常由環氧樹脂、玻璃環氧樹脂、聚醯亞胺、或其類似物所製成，並且具有50微米之厚度。金屬層25通常為銅所製成，但亦可使用銅合金或其他材料(例如鋁、不銹鋼、或其合金)。金屬層25厚度可於5至200微米之範圍內。在此實施態樣中，金屬層25係為具有50微米厚度之銅板。

【0057】 圖38為於介電層23上形成定位件253之剖視圖。可藉由使用微影技術及濕蝕刻，以移除金屬層25之選定部分，進而形成定位件253。在此圖中，定位件253係由複數個金屬凸柱組成。然而，定位件之圖案不限於此，其可具有防止隨後設置之次組體發生不必要位移之其他各種圖案。舉例來說，定位件253可由一連續或不連續之凸條所組成，並與隨後設置之半導體次組體四側邊、兩對角、或四角相符。

【0058】 圖39及40為於層壓基板之介電層上形成定位件之另一製程剖視圖。

【0059】 圖39為具有一組開口251之層壓基板剖視圖。該層壓基板包括上述之金屬板21、介電層23、以及金屬層25，並且藉由移除金屬層25之選定部分以形成開口251。

【0060】 圖40為介電層23上形成定位件253之剖視圖。定位件253可藉由將光敏性塑膠材料(例如環氧樹脂、聚醯亞胺等)或非光敏性材料塗佈或印刷於開口251中，接著移除整體金屬層25而形成。據此，定位件253係由複數個樹脂凸

柱組成，且具有防止隨後設置之次組體發生不必要位移之圖案。

【0061】圖41為散熱座20之剖視圖，其具有凹穴211。該凹穴211是形成於圖38結構中，其延伸穿過介電層23，並進一步延伸進入金屬板21。

【0062】圖42為半導體次組體10藉由黏著劑194貼附至散熱座20之剖視圖。半導體次組體10與圖30所示結構相似，惟不同處在於，本實施例是使用塑膠板及離型層分別作為犧牲載板111之支撐板101及阻障層102，且將單一半導體元件13以覆晶方式，接置於第一增層電路110上。該半導體元件13位於凹穴211中，而第一增層電路110及犧牲載板111則延伸於凹穴211外之區域，同時第一增層電路110之第二表面109貼附於散熱座20之介電層23上。在此，先藉由將黏著劑194塗佈於凹穴底部，隨後將半導體次組體10之半導體元件13插入凹穴211，以使半導體元件13貼附至散熱座20。凹穴211中之黏著劑194(通常為導熱但不導電之黏著劑)受到半導體元件13擠壓，進而往下流入半導體元件13與凹穴側壁間間隙，並且溢流至介電層23之平坦表面上。因此，黏著劑194圍繞嵌埋之半導體元件13，且擠出之部分可提供第一增層電路110與散熱座20間之機械性接合。定位件253自介電層23向下延伸，且延伸超過第一增層電路110之第二表面109，並且靠近第一增層電路110之外圍邊緣，以控制半導體次組體10置放之準確度。

【0063】圖43為移除犧牲載板111之剖視圖。本實施態樣係藉由機械剝離方式，使阻障層102隨著支撐板101一起被移除。

【0064】圖44為第二絕緣層314及第二金屬板315層壓/塗佈於第一增層電路110及散熱座20上之剖視圖。第二絕緣層314側向延伸於第一增層電路110及散熱座20上，並接觸第二金屬板315、第一增層電路110及散熱座20，且於第二金屬板315與第一增層電路110間及第二金屬板315與散熱座20間提供堅固機械性接合。

【0065】圖45為形成第二盲孔308之剖視圖。第二盲孔308延伸穿過第二金

屬板315及第二絕緣層314，並且對準第一增層電路110之第一接觸墊113。

【0066】 參照圖46，藉由沉積第二被覆層316於第二金屬板315上及第二盲孔308中，然後圖案化第二金屬板315及其上之第二被覆層316，以形成第二導線317於第二絕緣層314上。第二導線317自第一接觸墊113向下延伸，並填滿第二盲孔308，以形成第二導電盲孔318，同時側向延伸於第二絕緣層314上。

【0067】 據此，如圖46所示，已完成之半導體組體300包括有半導體元件13、一散熱座20、一第一增層電路110及一第二增層電路310。半導體元件13藉由覆晶製程，電性耦接至預先製成之第一增層電路110，並封埋於散熱座20之凹穴211中。散熱座20設有定位件213，其向下延伸超過第一增層電路110之第二表面109，並靠近第一增層電路110之外圍邊緣，以控制第一增層電路110置放之準確度。第二增層電路310藉由第二導電盲孔318，電性耦接至第一增層電路110，並包含有側向延伸超過第一增層電路310外圍邊緣之第二導線317，以提供扇出路由/互連。

【0068】 [實施例4]

【0069】 圖47-53為本發明第四實施態樣中，另一種半導體組體之製作方法圖，其散熱座之凹穴內設有定位件。

【0070】 為了簡要說明之目的，上述實施例中任何可作相同應用之敘述皆併於此，且無須再重複相同敘述。

【0071】 圖47為定位件213形成於金屬板21上之剖視圖。本實施態樣之金屬板21為厚度1毫米之銅板。在此，可藉由移除金屬板21之選定部分，或於金屬板21上圖案化沉積金屬或塑膠材料，以形成定位件213。本實施態樣之定位件213係由複數個金屬凸柱組成，其排列成矩形框圖案，並與隨後設置之半導體元件四側邊相符。然而，定位件之圖案不限於此，其可具有防止隨後設置之半導體元件發生不必要位移之其他各種圖案。

【0072】 圖48為散熱座20之剖視圖，其定位件213係插置於基層26之開口261中。將該基層26層壓於金屬板21上，並使定位件213對準並插入基層26之開口261中。基層26可由環氧樹脂、BT樹脂、聚醯亞胺、或其他種類樹脂或樹脂/玻璃複合材所製成。於本實施態樣中，該基層26之厚度為0.21毫米，相應於0.15毫米厚之晶片加上0.05毫米厚之凸塊。據此，該散熱座20具有對應於基層26開口261之凹穴211，且定位件213位於凹穴211之底部上。

【0073】 圖49為半導體次組體10藉由黏著劑194貼附至散熱座20之剖視圖。半導體次組體10與圖11所示結構相似，惟不同處在於，本實施例之犧牲載板111是由矽製成，且第一增層電路110上是接置單個覆晶式半導體元件13。將半導體次組體10貼附至散熱座20，並使半導體元件13插入凹穴211中，而定位件213則側向對準半導體元件13之外圍邊緣。在此，黏著劑194圍繞嵌埋之半導體元件13，且擠出之部分接觸第一增層電路110之第二表面109及基層26，並夾置於第一增層電路110之第二表面109與基層26之間。定位件213自凹穴211底部向下延伸，且延伸超過半導體元件13之非主動面133，並且靠近半導體元件13之外圍邊緣，以控制半導體次組體10置放之準確度。

【0074】 圖50為移除犧牲載板111之剖視圖。於本實施態樣中，移除犧牲載板111，以由下方顯露第一增層電路110之第一接觸墊113。

【0075】 圖51為第二絕緣層314及第二金屬板315層壓/塗佈於第一增層電路110及散熱座20上之剖視圖。第二絕緣層314接觸第二金屬板315、第一增層電路110及基層26，且於第二金屬板315與第一增層電路110間及第二金屬板315與基層26間提供堅固機械性接合。

【0076】 圖52為形成第二盲孔308之剖視圖。第二盲孔308延伸穿過第二金屬板315及第二絕緣層314，並且對準第一增層電路110之第一接觸墊113。

【0077】 參照圖53，藉由沉積第二被覆層316於第二金屬板315上及第二盲孔308中，然後圖案化第二金屬板315及其上之第二被覆層316，以形成第二導線317於第二絕緣層314上。第二導線317自第一接觸墊113向下延伸，並填滿第二盲孔308，以形成第二導電盲孔318，同時側向延伸於第二絕緣層314上。

【0078】 據此，如圖53所示，已完成之半導體組體400包括有半導體元件13、一散熱座20、一第一增層電路110及一第二增層電路310。半導體元件13藉由覆晶製程，電性耦接至預先製成之第一增層電路110，並封埋於散熱座20之凹穴211中，同時定位件213側向對準並靠近半導體元件13之外圍邊緣。散熱座20之定位件213由凹穴211底部向下延伸超過半導體元件13之非主動面133。第二增層電路310藉由第二導電盲孔318，電性耦接至第一增層電路110，以提供扇出路由/互連。

【0079】 上述組體僅為說明範例，本發明尚可透過其他多種實施例實現。此外，上述實施例可基於設計及可靠度之考量，彼此混合搭配使用或與其他實施例混合搭配使用。一半導體元件可獨自使用一凹穴，或與其他半導體元件共用一凹穴。舉例來說，一凹穴可容納單一半導體元件，且散熱座可包括排列成陣列形狀之複數凹穴以容納複數半導體元件。或者，單一凹穴內能放置數個半導體元件。同樣地，一半導體元件可獨自使用一第一增層電路，或與其他半導體元件共用一第一增層電路。舉例來說，單一半導體元件可電性耦接至一第一增層電路。或者，數個半導體元件可耦接至同一第一增層電路。舉例來說，可將四枚排列成2x2陣列之小型半導體元件耦接至一第一增層電路，並且該第一增層電路可包括額外的接觸墊，以接收並連接額外半導體元件之I/O墊。此外，第二增層電路亦可包括額外的導線，以連接第一增層電路之額外接觸墊。

【0080】 如上述實施態樣所示，本發明建構出一種獨特半導體組體，其可展現較佳之熱性效能及可靠度，且包括半導體元件、散熱座、第一增層電路及

第二增層電路，其中(i)半導體元件藉由複數凸塊，電性耦接至第一增層電路，並封埋於散熱座之凹穴；(ii)第一增層電路側向延伸於散熱座之凹穴外，並具有側向延伸超過半導體元件外圍邊緣之至少一導線；且(iii)第二增層電路形成於散熱座及第一增層電路上，並電性耦接至第一增層電路，且包括側向延伸超過第一增層電路外圍邊緣之至少一導線。

【0081】第一增層電路可先可拆分式地接置於犧牲載板上，接著再將半導體元件電性耦接至第一增層電路，以形成半導體次組體。據此，可藉由將該半導體次組體貼附至散熱座，以將半導體元件嵌埋於散熱座之凹穴中，且犧牲載板及第一增層電路側向延伸於凹穴外。於本發明中，可直接於犧牲載板上形成第一增層電路，或者分開形成第一增層電路後，再將第一增層電路可拆分地貼附於犧牲載板上。更具體地說，第一增層電路可包括第一接觸墊、一絕緣層及導線，其中第一接觸墊係位於犧牲載板上，絕緣層係位於第一接觸墊及犧牲載板上，而導線則填滿絕緣層中之盲孔，以形成導電盲孔，同時側向延伸於絕緣層上。若需要更多的信號路由，第一增層電路可進一步包括額外的絕緣層、額外的盲孔、及額外的導線，而背對犧牲載板之最外層導線可包括第二接觸墊，以提供下一增層電路用之電性接點。因此，該第一增層電路可為多層路由電路，其第一表面處設有第一接觸墊，而第二表面處設有第二接觸墊，其中第二接觸墊係藉由導電盲孔或內部導線，電性耦接至第一接觸墊。方便下文描述，在此將第一增層電路第一表面所面向的方向定義為第一方向，而第一增層電路第二表面所面向的方向定義為第二方向。第一接觸墊及鄰近犧牲載板之最內側絕緣層可具有實質上呈相互共平面之表面(朝向第一方向)。於一較佳實施態樣中，該第一增層電路具有扇出的導線圖案，其係由第二接觸墊之較細微間距扇出至第一接觸墊之較粗間距，俾可提供第一級扇出路由/互連予隨後接置其上之半導體元件。更具體地說，第一接觸墊之墊間距比第二接觸墊之墊

間距大，而第二接觸墊則與半導體元件之I/O墊相符。據此，半導體元件之I/O墊可由第一增層電路之第一表面，藉由複數凸塊接觸第二接觸墊，電性耦接至第一增層電路。

【0082】於半導體次組體貼附至散熱座後，可藉由化學蝕刻或機械剝離方式，將提供堅固支撐力予第一增層電路之犧牲載板從第一增層電路移除。犧牲載板可具有0.1毫米至10毫米之厚度，且可由任何導電或非導電材料所製成，如銅、鎳、鋁、鉻、錫、鐵、不鏽鋼、矽、玻璃、石墨、塑膠膜、或其他金屬、合金或非金屬材料。於透過化學蝕刻方式移除犧牲載板之態樣中，該犧牲載板通常係由化學可移除之材料製成。為避免於移除犧牲載板時蝕刻到與犧牲載板接觸之第一接觸墊，該犧牲載板可由鎳、鉻、錫、鐵、不鏽鋼、或其他可藉由選擇性蝕刻溶液(不對銅製成之第一接觸墊起反應)移除之材料。或者，第一接觸墊可由任何穩定材料所製成，以避免於移除犧牲載板時遭到蝕刻。舉例來說，當犧牲載板係由銅所製成時，第一接觸墊可為金墊。此外，犧牲載板亦可為具有阻障層及支撐板之多層結構，而第一增層電路係形成於犧牲載板之阻障層上。由於第一增層電路與支撐板間係藉由兩者之間的阻障層相互隔離，因此，即使第一接觸墊與支撐板係由相同材料所製成，於移除支撐板時也不會傷害到第一增層電路之第一接觸墊。在此，該阻障層可為一金屬層，且該金屬層於化學移除支撐板時不對化學蝕刻起作用，並且可使用對第一接觸墊不發生反應之蝕刻溶液來移除。舉例來說，可於銅或鋁所製成之支撐板表面上形成鎳層、鉻層或鈦層，以作為阻障層，而銅或鋁所製成之第一接觸墊可沉積於鎳層、鉻層或鈦層上。據此，於移除支撐板時，該鎳層、鉻層或鈦層可保護第一接觸墊免遭蝕刻。或者，該阻障層可為介電層，其可藉由如機械剝離或電漿灰化的方式來移除。舉例說明，可使用離型層作為支撐板與第一增層電路間之阻障層，且該支撐板可藉由機械剝離方式而與離型層一同被移除。此外，第一增層電路與

犧牲載板可藉由兩者間之中間介電材相互隔開，且於移除犧牲載板時，中間介電材仍可維持接合於第一增層電路，以作為後續第二增層電路之一部分。

【0083】 散熱座可延伸至半導體組體之外圍邊緣，以提供半導體元件、第一增層電路及第二增層電路機械支撐力。於一較佳實施態樣中，該散熱座包括一金屬板，以提供嵌埋半導體元件必要的散熱途徑及電磁屏蔽。該金屬板之厚度可為0.1至10毫米，其材料可基於散熱考量來選擇，包括銅、鋁、不鏽鋼或其合金。此外，散熱座可為單層結構或多層結構，且包括一凹穴，其中該凹穴延伸進入該金屬板，或者由金屬板上之基層開口所定義出。基層可由環氧樹脂、BT樹脂、聚醯亞胺、或其他種類樹脂或樹脂/玻璃複合材所製成。藉此，金屬板可於凹穴底部提供導熱接觸表面，使半導體元件所產生之熱可藉由金屬板散逸出。於金屬板內形成凹穴之散熱座中，除了凹穴之金屬底部外，凹穴之金屬側壁亦可對半導體元件提供額外的導熱接觸表面。

【0084】 此外，該散熱座更可包括一定位件於凹穴外或凹穴內，用於次組體之貼附步驟。據此，藉由位於第一增層電路第二表面周圍或嵌埋半導體元件非主動面周圍之定位件，可控制半導體次組體置放之準確度。對於定位件位於散熱座凹穴外之態樣，定位件自散熱座中鄰接凹穴入口之平坦表面朝第一方向延伸，且延伸超過第一增層電路之第二表面。對於定位件位於散熱座凹穴中之另一態樣，定位件自凹穴之底部朝第一方向延伸，且延伸超過半導體元件之非主動面。因此，藉由側向對準且靠近第一增層電路或半導體元件外圍邊緣之定位件，可控制次組體置放之準確度。

【0085】 可藉由下列步驟，以於散熱座凹穴入口周圍形成定位件：提供一金屬板；於該金屬板中形成一凹穴；以及藉由移除金屬板之選定部位，或是藉由於金屬板上沉積金屬或塑膠材料之圖案，以於凹穴入口周圍形成定位件。據此，散熱座係為形成有凹穴之金屬板，且設有定位件，其中定位件自散熱座中

鄰接凹穴入口之平坦表面延伸。亦可藉由下列步驟，藉由層壓基板，以製成凹穴外設有定位件之散熱座：提供一層壓基板，其包括一介電層及一金屬板；藉由移除介電層上金屬層之選定部位，或是藉由於介電層上沉積金屬或塑膠材料之圖案，以於介電層上形成定位件；以及形成延伸穿過介電層並延伸進入金屬板中之凹穴。據此，該散熱座包括金屬板、介電層及定位件，其中定位件自散熱座之介電層延伸，且位於凹穴入口周圍。對於定位件位於散熱座凹穴中之態樣，可藉由下列步驟製成：提供一金屬板；藉由移除金屬板之選定部位，或是藉由於金屬板上沉積金屬或塑膠材料之圖案，以於金屬板表面形成定位件；以及於金屬板上提供基層，並使定位件位於基層之開口中。因此，該散熱座包括金屬板、基層及定位件，其中定位件自散熱座凹穴底部之金屬板延伸。

【0086】 定位件可為金屬、光敏性塑膠材料或非光敏性材料所製成。舉例來說，定位件可實質上由銅、鋁、鎳、鐵、錫或其合金組成。定位件亦可包括環氧樹脂或聚醯亞胺，或是由環氧樹脂或聚醯亞胺組成。再者，定位件可具有防止半導體次組體發生不必要位移之各種圖案。舉例來說，定位件可包括一連續或不連續之凸條、或是凸柱陣列。或者，定位件可側向延伸至散熱座之外圍邊緣，且其內周圍邊緣與第一增層電路之外圍邊緣相符合。具體來說，定位件可側向對準第一增層電路或嵌埋半導體元件之四側邊，以定義出與第一增層電路或嵌埋半導體元件形狀相同或相似之區域，並且避免半導體次組體之側向位移。舉例來說，定位件可對準並符合第一增層電路或嵌埋半導體元件之四側邊、兩對角、或四角，並且第一增層電路與定位件間或是嵌埋半導體元件與定位件間之間隙較佳於5至50微米之範圍內。因此，位於第一增層電路或嵌埋半導體元件外之定位件可控制半導體次組體置放之準確度。此外，定位件較佳具有位於5至200微米範圍內之高度。

【0087】 散熱座之凹穴可在其入口處具有較其底部更大之直徑或尺寸，並

且具有0.05毫米至0.9毫米之深度。舉例來說，凹穴可具有橫切之圓錐或方錐形狀，其直徑或大小係自凹穴底部朝第一方向往入口遞增。或者，凹穴可為具有固定直徑之圓柱形狀。凹穴亦可在其入口及底部具有圓形、正方形或矩形之周緣。

【0088】 可於凹穴底部先塗佈黏著劑，然後當半導體元件插入凹穴中時，部分黏著劑會擠出凹穴外。據此，黏著劑可接觸並圍繞散熱座凹穴中嵌埋的半導體元件，而擠出之黏著劑則可接觸第一增層電路之第二表面及自散熱座中凹穴入口側向延伸之平坦表面，並夾置於第一增層電路之第二表面及自散熱座中凹穴入口側向延伸之平坦表面間。或者，可將第一黏著劑(如導熱黏著劑)塗佈於凹穴之底部上，且當半導體元件插入凹穴中時，第一黏著劑仍位於凹穴中。然後可將第二黏著劑(通常為電性絕緣之底部填充材料)塗佈並填入凹穴之剩餘空間中，且該第二黏著劑更延伸至第一增層電路之第二表面與自散熱座中凹穴入口側向延伸之平坦表面之間。據此，第一黏著劑可提供半導體元件與散熱座間之機械性接合及熱性連接，而第二黏著劑則提供第一增層電路與散熱座間之機械性接合。

【0089】 第二增層電路鄰近於第一增層電路之第一表面，並可提供第二級之扇出路由/互連。此外，第二增層電路更可藉由額外導電盲孔，進一步與散熱座之金屬表面電性耦接及熱性導通，以構成接地連接。於一較佳實施態樣中，該第二增層電路包括一絕緣層及一或多條導線。該絕緣層位於第一增層電路之第一表面上，並接觸散熱座，且側向覆蓋第一增層電路之側壁。該些導線側向延伸於絕緣層上，並延伸穿過絕緣層內之盲孔，以形成導電盲孔，其中導電盲孔是直接接觸第一增層電路之第一接觸墊，且選擇性接觸散熱座。據此，導線可直接接觸第一接觸墊，以提供第一增層電路之訊號路由，故第一增層電路與第二增層電路間之電性連接無需使用焊接材料。此外，散熱座與第二增層電路

間之界面亦無需使用黏著劑。

【0090】 假如需要更多的信號路由，第二增層電路更可包括額外之絕緣層、額外之盲孔、以及額外之導線。第二增層電路之最外層導線可容置導電接點，例如焊球，以與下一級組體或另一電子元件(如半導體晶片、塑料封裝件或另一半導體元件)電性傳輸及機械連接。

【0091】 半導體元件可為已封裝或未封裝之晶片。舉例來說，半導體元件可為裸晶片，或是晶圓級封裝晶粒等。或者，半導體元件可為堆疊晶片。

【0092】 「覆蓋」一詞意指於垂直及/或側面方向上不完全以及完全覆蓋。例如，在凹穴朝下的狀態下，金屬板係由上方覆蓋晶片，不論另一元件例如黏著劑是否位於金屬板與半導體元件之間。

【0093】 「對準」一詞意指元件間之相對位置，不論元件之間是否彼此保持距離或鄰接，或一元件插入且延伸進入另一元件中。例如，當假想之水平線與定位件及第一增層電路相交時，定位件側向對準於第一增層電路，不論定位件與第一增層電路之間是否具有其他與假想之水平線相交之元件，且不論是否具有另一與第一增層電路相交但不與定位件相交、或與定位件相交但不與第一增層電路相交之假想水平線。同樣地，例如盲孔對準第一增層電路之第一接觸墊。

【0094】 「貼附於...上」、「接置於...上」及「層壓於...上」一詞包括與單一或多個元件間之接觸與非接觸。例如，第一增層電路可拆分式地接置於犧牲載板上，不論此第一增層電路是否接觸犧牲載板，或者與犧牲載板以一中間介電材相隔。

【0095】 「靠近」一詞意指元件間之間隙的寬度不超過最大可接受範圍。如本領域習知通識，當第一增層電路與定位件間或半導體元件與定位件間之間隙不夠窄時，由於半導體次組體於間隙中之側向位移而導致之位置誤差可能會

超過可接受之最大誤差限制。在某些情況下，一旦半導體次組體之位置誤差超過最大極限時，則不可能使用雷射光束對準第一增層電路之預定位置，而導致第一增層電路與第二增層電路間之電性連接失敗。根據第一增層電路之墊尺寸，於本領域之技術人員可經由試誤法以確認第一增層電路與定位件間或半導體元件與定位件間之間隙的最大可接受範圍，以確保導電盲孔與第一增層電路之第一接觸墊對準。由此，「定位件靠近半導體元件之外圍邊緣」及「定位件靠近第一增層電路之外圍邊緣」之用語係指半導體元件或第一增層電路之外圍邊緣與定位件間之間隙係窄到足以防止第一增層電路之位置誤差超過可接受之最大誤差限制。

【0096】 「電性連接」、以及「電性耦接」之詞意指直接或間接電性連接。例如，第二增層電路之導線直接接觸並且電性連接至第一增層電路之第一接觸墊，而第二增層電路之導線與第一增層電路之第二接觸墊保持距離，並且第二增層電路之導線藉由第一增層電路之第一接觸墊及導電盲孔，電性連接至第一增層電路之第二接觸墊。

【0097】 「第一方向」及「第二方向」並非取決於組體之定向，凡熟悉此項技藝之人士即可輕易瞭解其實際所指之方向。例如，第一增層電路之第一表面係面朝第一方向，而第一增層電路之第二表面係面朝第二方向，此與半導體組體是否倒置無關。同樣地，定位件係沿一側向平面「側向」對準第一增層電路，此與組體是否倒置、旋轉或傾斜無關。因此，該第一及第二方向係彼此相反且垂直於側面方向。再者，在凹穴朝上之狀態，第一方向係為向上方向，第二方向係為向下方向；在凹穴朝下之狀態，第一方向係為向下方向，第二方向係為向上方向。

【0098】 本發明之半導體組體具有許多優點。舉例來說，藉由習知之覆晶接合製程例如熱壓或迴焊，將半導體元件電性耦接至第一增層電路，其可避免

習知製程中使用黏著載體作為暫時接合時，會遭遇位置準確度問題。第一增層電路可提供第一級扇出/互連予嵌埋的半導體元件，而第二增層電路則可提供第二級扇出/互連。此外，當第二增層電路形成於具有較大墊尺寸及墊間距之第一增層電路上，與傳統之第二增層電路直接形成在晶片之I/O墊上，並且不具扇出路由之技術相比，前者具有較後者大幅改善之生產良率。定位件可控制第一增層電路置放之準確度。因此，容置嵌埋半導體元件之凹穴，其形狀或深度在製程中不再是需要嚴格控制之重要參數。散熱座可提供嵌埋半導體元件之散熱、電磁屏蔽、以及濕氣阻障，並且提供半導體元件、第一增層電路及第二增層電路之機械性支撐。第一增層電路與第二增層電路係直接電性連接，且無須使用焊料，因此有利於展現高I/O值以及高性能。藉由此方法製備成的組體係為可靠度高、價格低廉、且非常適合大量製造生產。

【0099】 本發明之製作方法具有高度適用性，且係以獨特、進步之方式結合運用各種成熟之電性及機械性連接技術。此外，本發明之製作方法不需昂貴工具即可實施。因此，相較於傳統技術，此製作方法可大幅提升產量、良率、效能與成本效益。

【0100】 在此所述之實施例係為例示之用，其中該些實施例可能會簡化或省略本技術領域已熟知之元件或步驟，以免模糊本發明之特點。同樣地，為使圖式清晰，圖式亦可能省略重覆或非必要之元件及元件符號。

【符號說明】

【0101】

半導體組體 100、200、300、400

半導體次組體 10

支撐板 101

阻障層 102

第一表面 103

第一盲孔 108
第二表面 109
第一增層電路 110
犧牲載板 111
第一接觸墊 113
第一絕緣層 114
第一金屬板 115
第一被覆層 116
第一導線 117
第一導電盲孔 118
第二接觸墊 119
半導體元件 13
主動面 131
I/O墊 132
非主動面 133
凸塊 15
第一黏著劑 191
第二黏著劑 193
黏著劑 194
散熱座 20
金屬板 21
凹穴 211
平坦表面 212
定位件 213、253

保護層 22

介電層 23

金屬層 25

基層 26

開口 251、261

第二盲孔 308

第二增層電路 310

第二絕緣層 314

第二金屬板 315

第二被覆層 316

第二導線 317

第二導電盲孔 318

切割線 L

【發明申請專利範圍】

【第1項】一種散熱增益型半導體組體之製作方法，其包括：

提供具有一凹穴之一散熱座；

提供一半導體次組體，其包括：

提供一半導體元件；

提供一第一增層電路於一犧牲載板上，其中該第一增層電路係可拆分式地接置於該犧牲載板上；及

藉由複數凸塊，將該半導體元件電性耦接至該第一增層電路；

藉由一黏著劑，將該半導體次組體貼附至該散熱座，並使該半導體元件插入該凹穴，且該第一增層電路側向延伸於該凹穴外；

自該第一增層電路移除該犧牲載板；以及

形成一第二增層電路於該散熱座及該第一增層電路上，其中該第二增層電路藉由導電盲孔，電性耦接至該第一增層電路。

【第2項】如申請專利範圍第1項所述之製作方法，其中，電性耦接該半導體元件至該第一增層電路之該步驟係以面板規模進行，並且於貼附該半導體次組體至該散熱座之該步驟前執行一單片化步驟，以分離個別的半導體次組體。

【第3項】如申請專利範圍第1項所述之製作方法，其中，該第一增層電路包括第一接觸墊及第二接觸墊分別於其相反之第一表面及第二表面處，該些第一接觸墊與該些導電盲孔電性耦接，而該些第二接觸墊則連接至該些凸塊，且該些第二接觸墊之墊間距小於該些第一接觸墊之墊間距。

【第4項】如申請專利範圍第1項所述之製作方法，其中，該散熱座更包括位於該凹穴外之一定位件，並且該半導體次組體係藉由該定位件側向對準與

靠近該第一增層電路之外圍邊緣，以貼附至該散熱座。

【第5項】如申請專利範圍第4項所述之製作方法，其中，提供該散熱座之該步驟包括：

提供一金屬板；

於該金屬板中形成該凹穴；以及

移除該金屬板之一選定部位，或於該金屬板上沉積金屬或塑膠材料之圖案，以於該凹穴周圍形成該定位件。

【第6項】如申請專利範圍第4項所述之製作方法，其中，提供該散熱座之該步驟包括：

提供一層壓基板，其包括一介電層及一金屬板；

藉由移除該介電層上之該金屬層選定部位，或是藉由於該介電層上沉積金屬或塑膠材料之圖案，以於該介電層上形成該定位件；以及

形成該凹穴，其延伸穿過該介電層，並選擇性延伸進入該金屬板中。

【第7項】如申請專利範圍第1項所述之製作方法，其中，該散熱座更包括位於該凹穴內之一定位件，並且該半導體次組體係藉由該定位件側向對準與靠近該半導體元件之外圍邊緣，以貼附至該散熱座。

【第8項】如申請專利範圍第7項所述之製作方法，其中，提供該散熱座之該步驟包括：

提供一金屬板；

藉由移除該金屬板之選定部位，或是藉由於該金屬板上沉積金屬或塑膠材料之圖案，以於該金屬板之一表面處形成該定位件；以及

於該金屬板上提供一基層，並使該定位件位於該基層之一開口中。

【第9項】如申請專利範圍第1項所述之製作方法，其中，自該第一增層電路移除該犧牲載板之該步驟包括化學蝕刻或機械剝離方式。

【第10項】如申請專利範圍第1項所述之製作方法，其中，該第二增層電路包括額外導電盲孔，其電性耦接至該散熱座，並與該散熱座熱性導通。

【第11項】一種散熱增益型半導體組體，其係藉由下述步驟製成：

提供具有一凹穴之一散熱座；

提供一半導體次組體，其包括：

提供一半導體元件；

提供一第一增層電路於一犧牲載板上，其中該第一增層電路係可拆分式地接置於該犧牲載板上；及

藉由複數凸塊，將該半導體元件電性耦接至該第一增層電路；

藉由一黏著劑，將該半導體次組體貼附至該散熱座，並使該半導體元件插入該凹穴，且該第一增層電路側向延伸於該凹穴外；

自該第一增層電路移除該犧牲載板；以及

形成一第二增層電路於該散熱座及該第一增層電路上，其中該第二增層電路藉由導電盲孔，電性耦接至該第一增層電路。

【發明圖式】

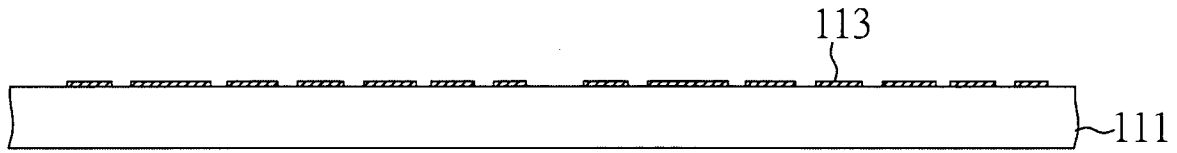


圖1

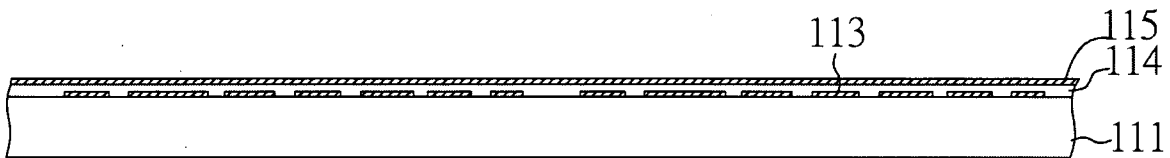


圖2

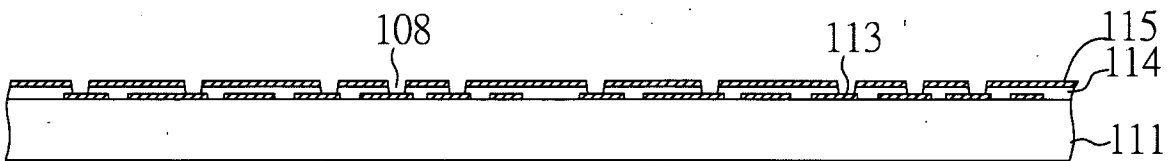


圖3

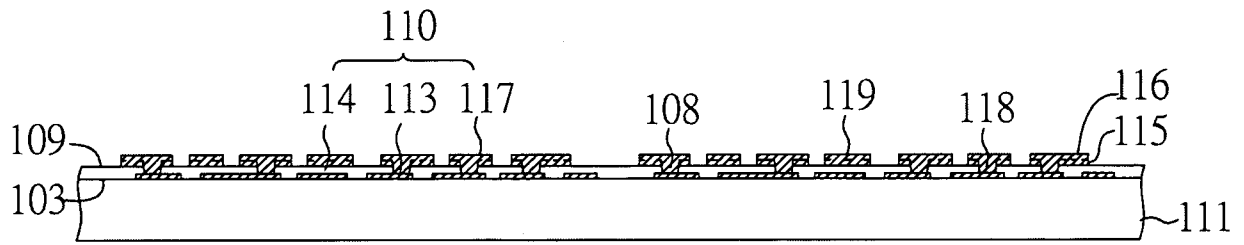


圖4

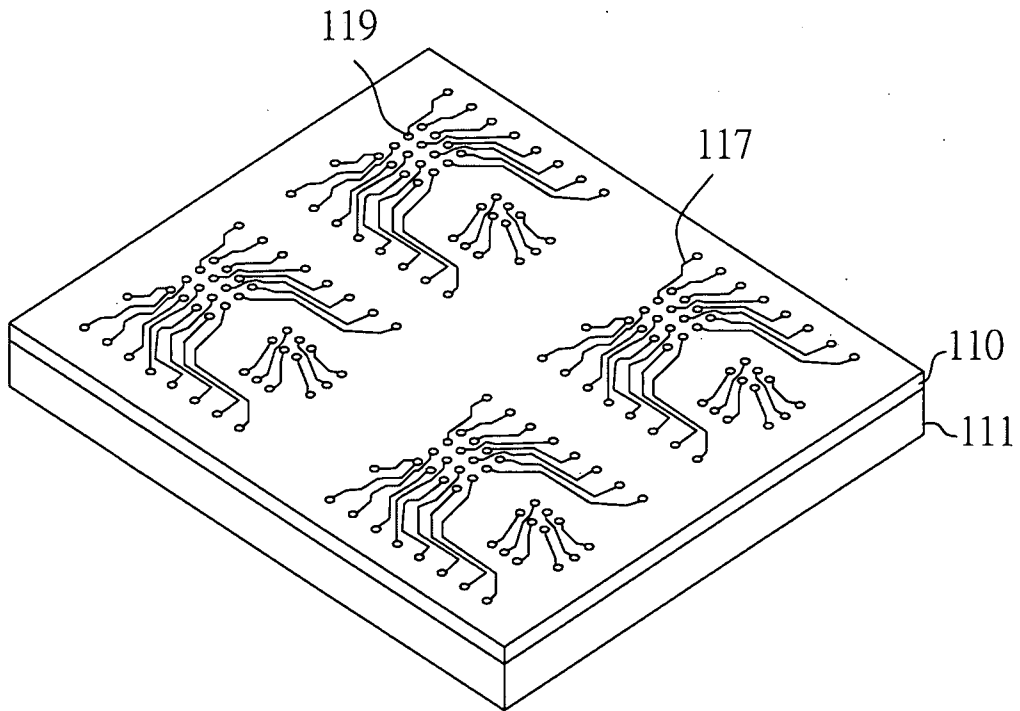


圖5

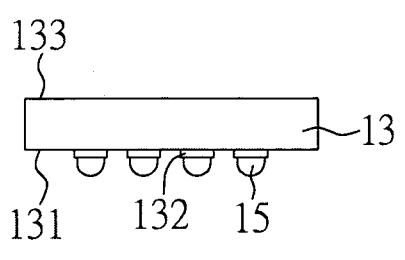


圖6

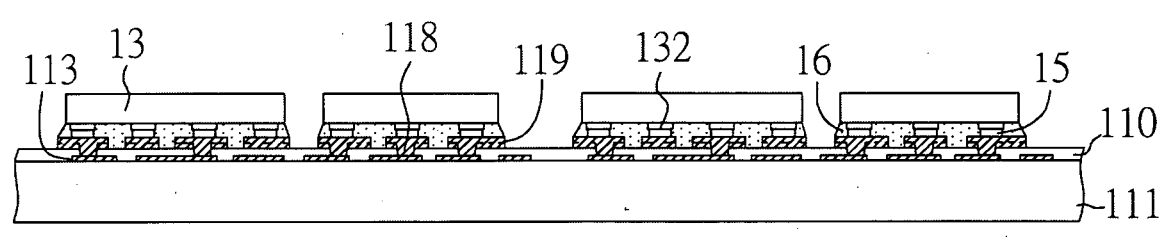


圖7

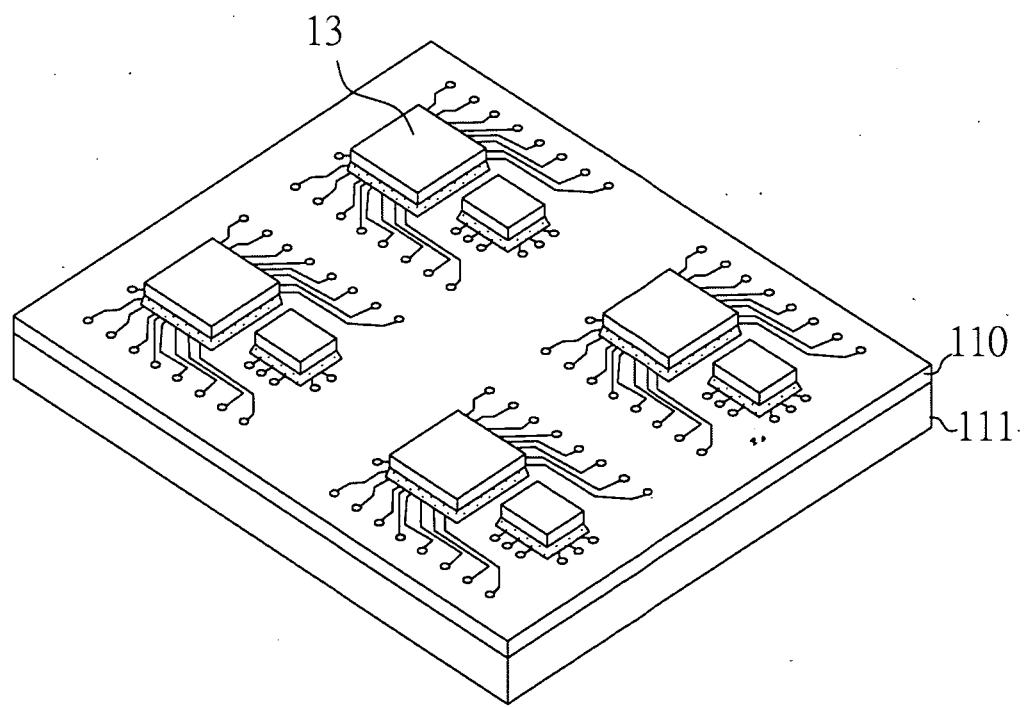


圖8

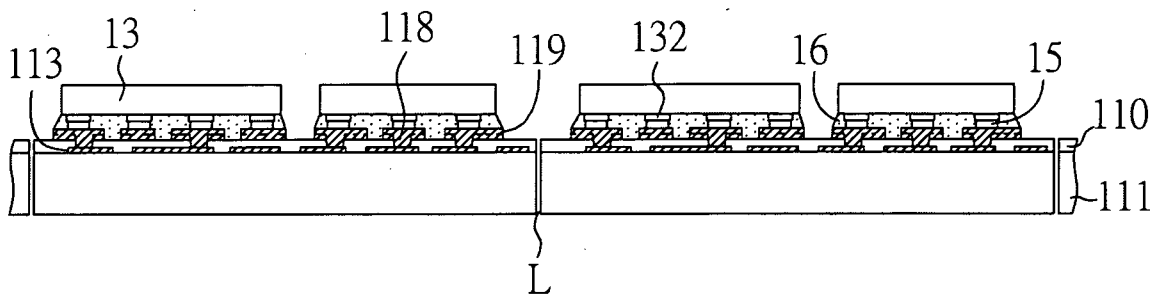


圖9

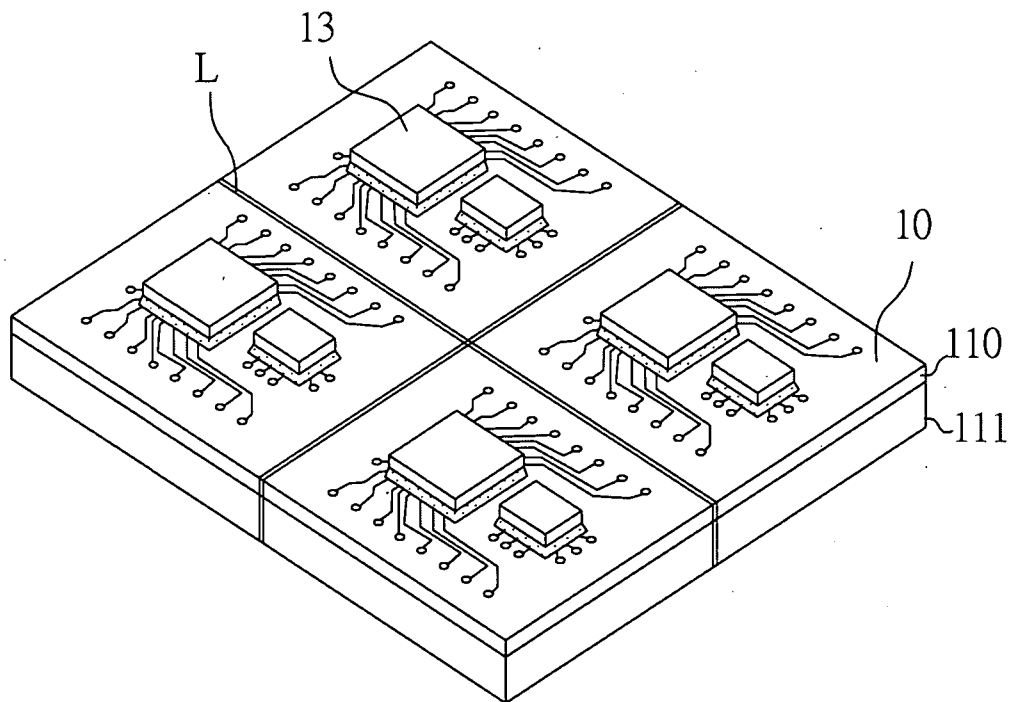


圖10

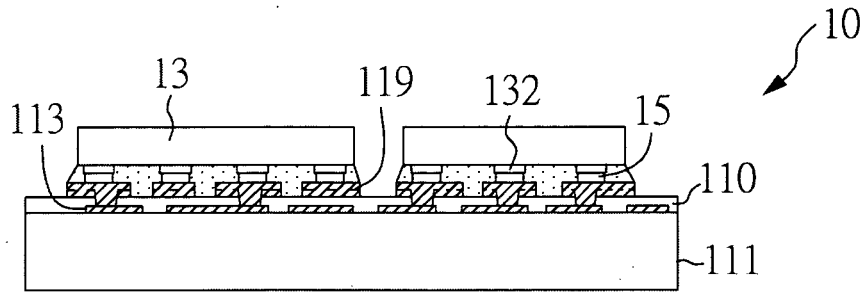


圖11

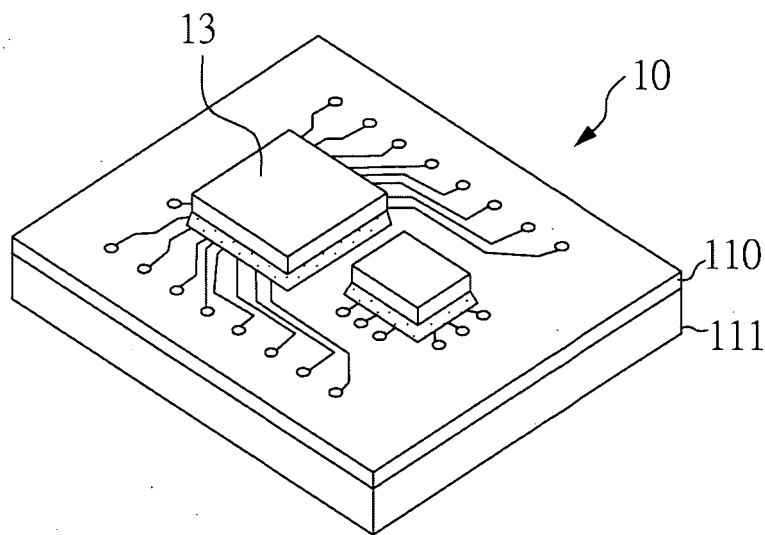


圖12

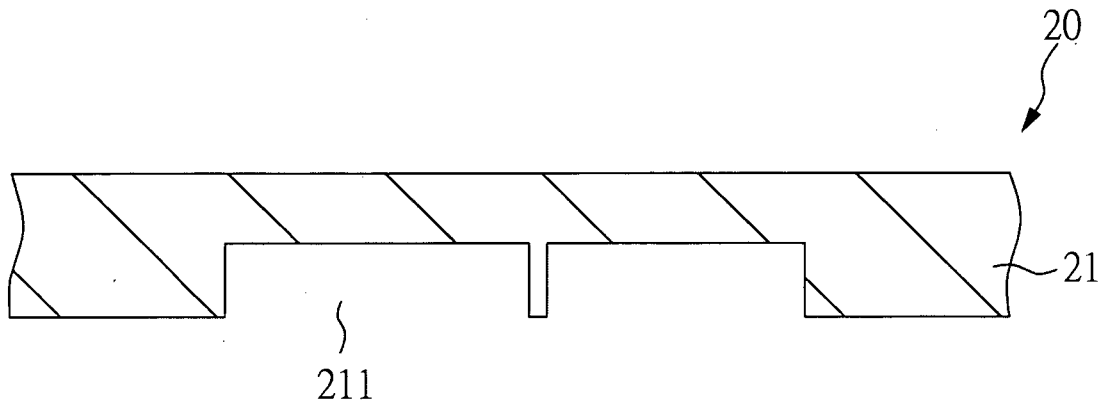


圖13

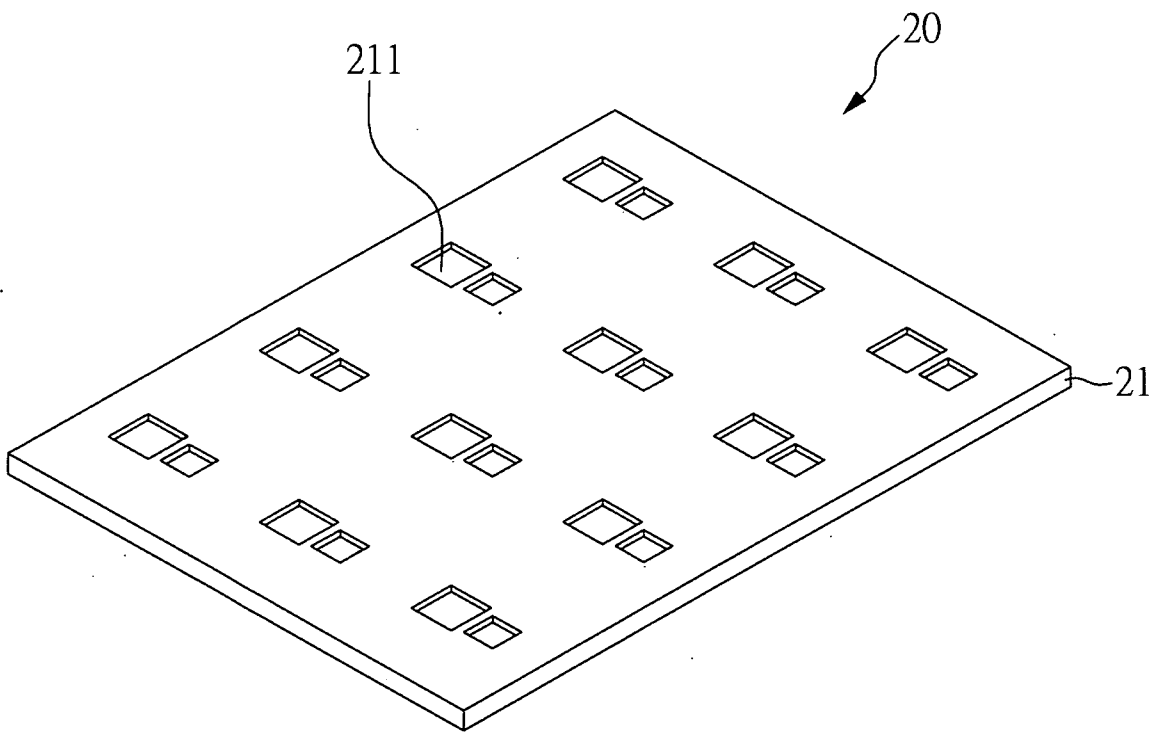


圖14

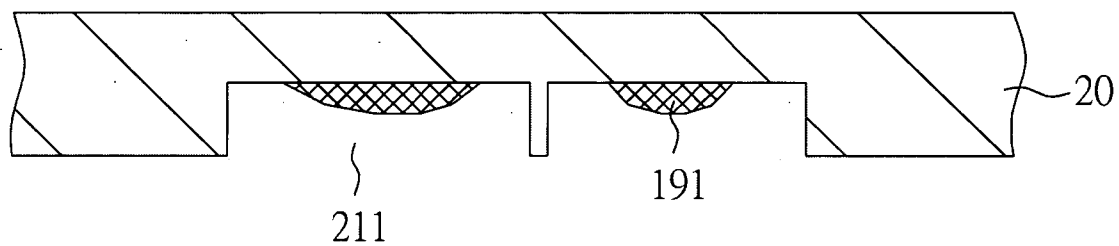


圖15

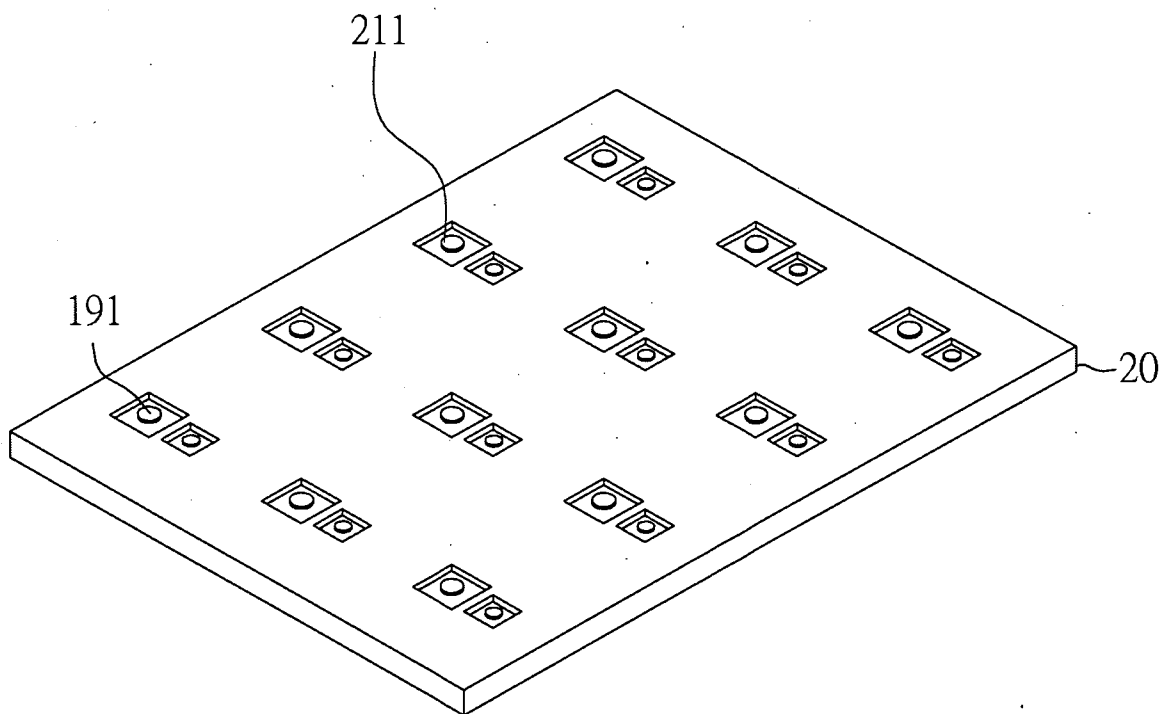


圖16

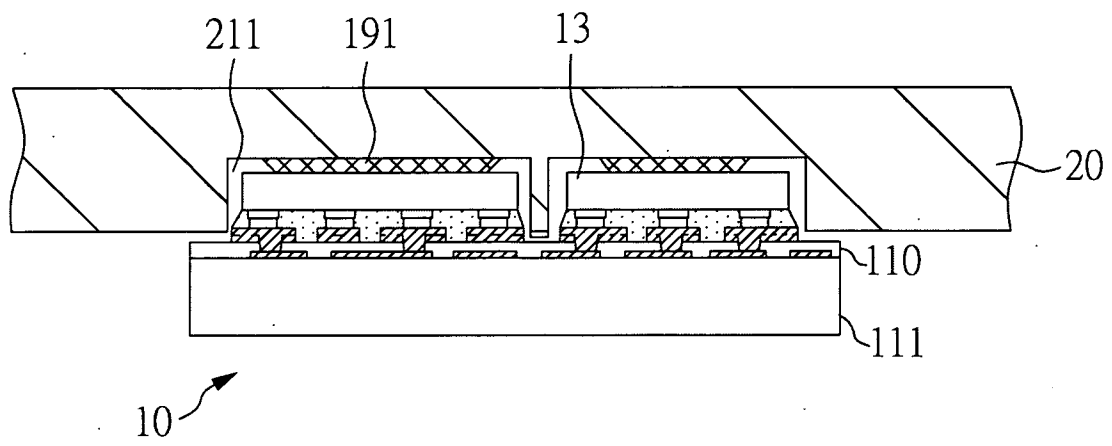


圖17

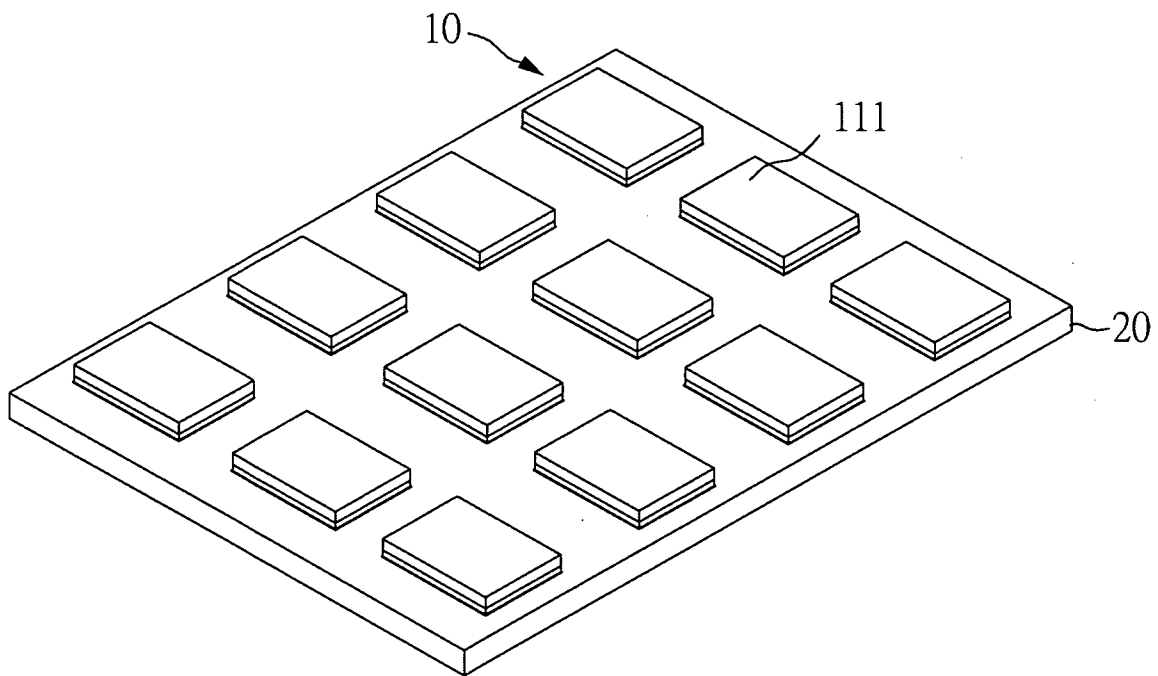


圖18

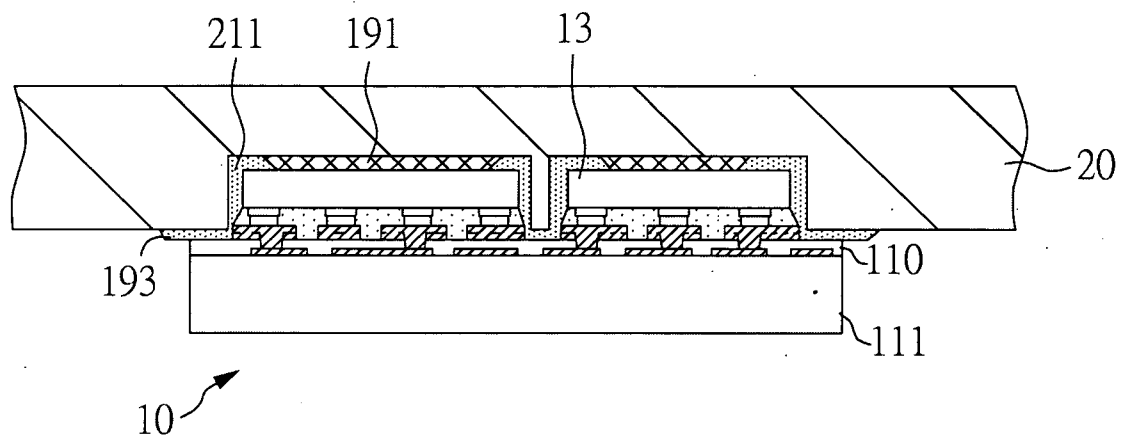


圖19

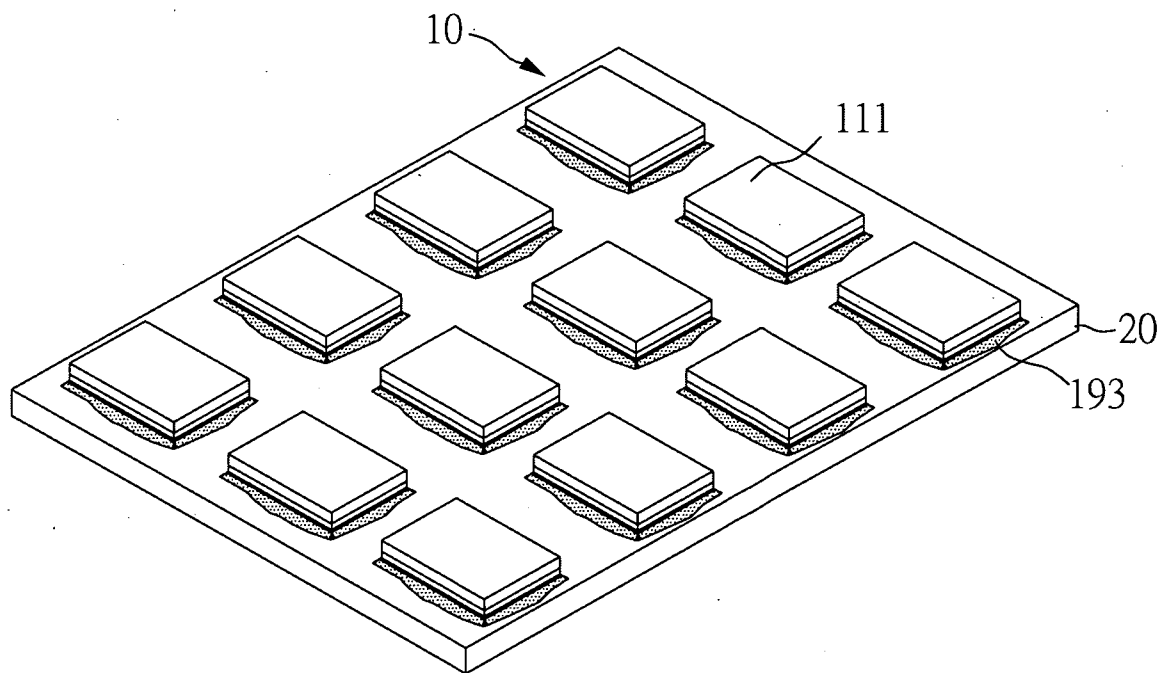


圖20

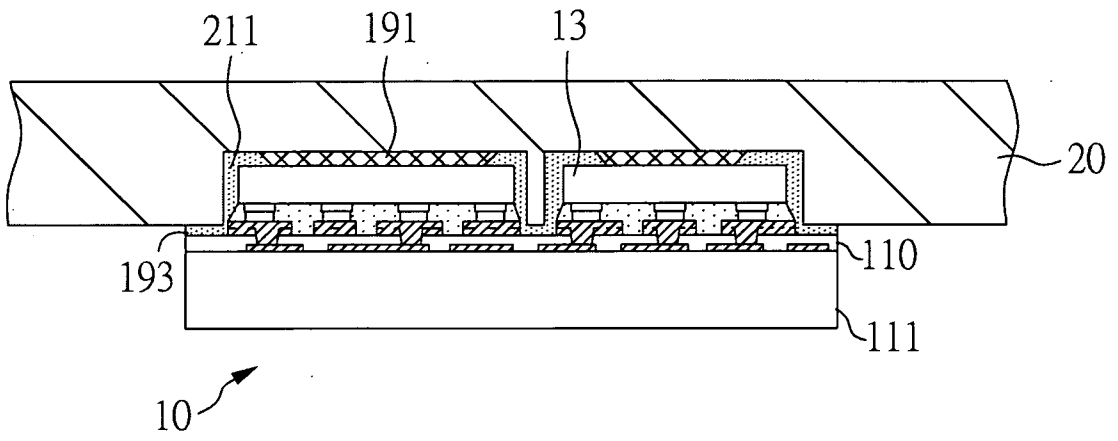


圖21

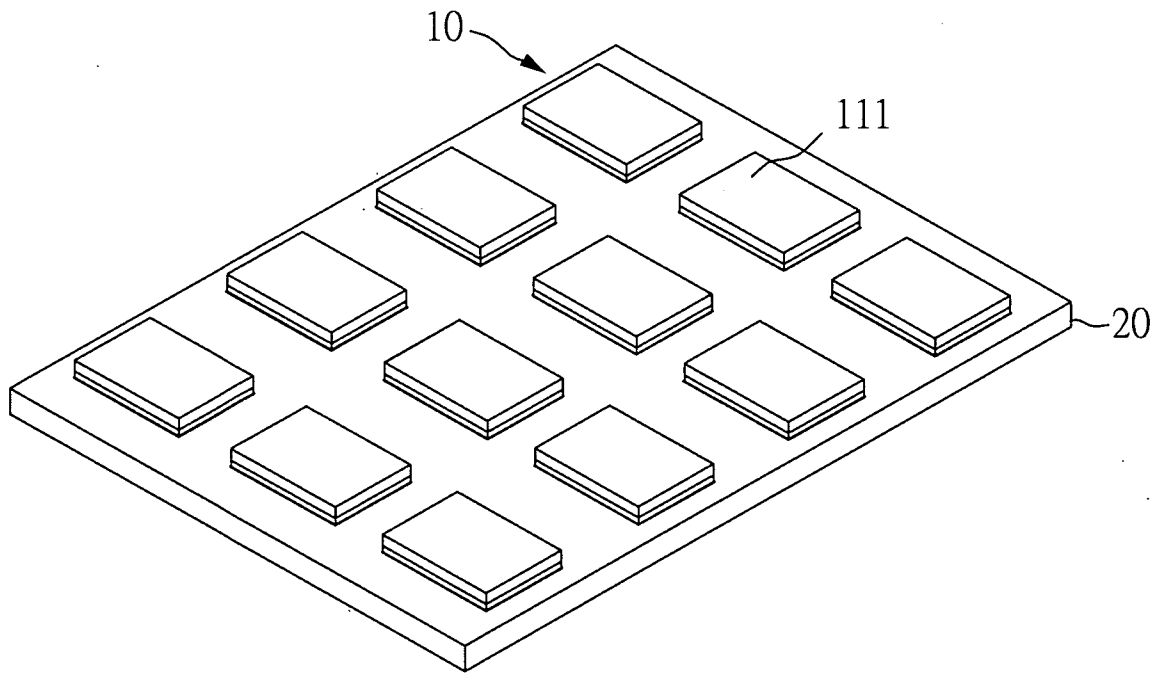


圖22

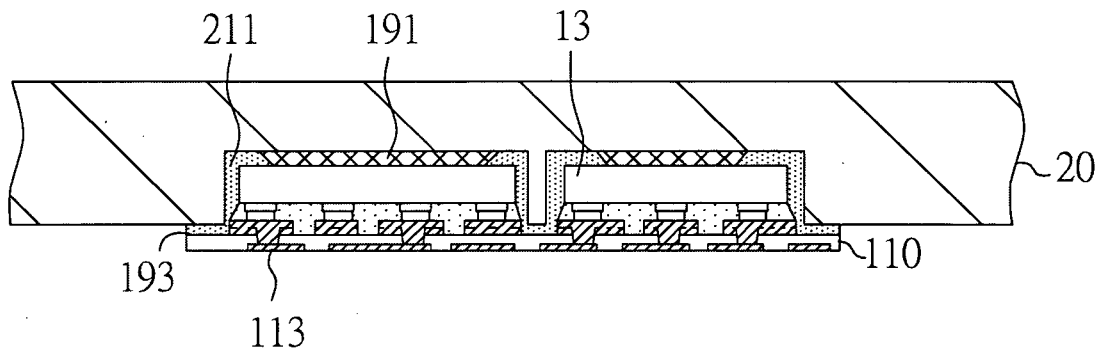


圖23

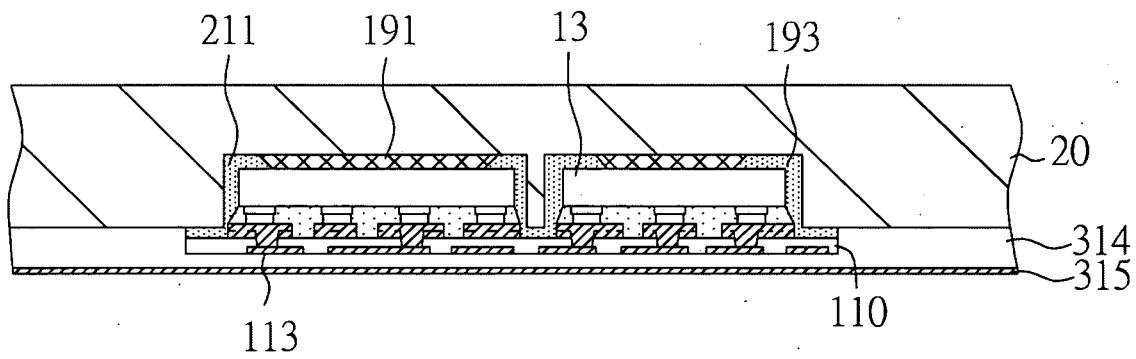


圖24

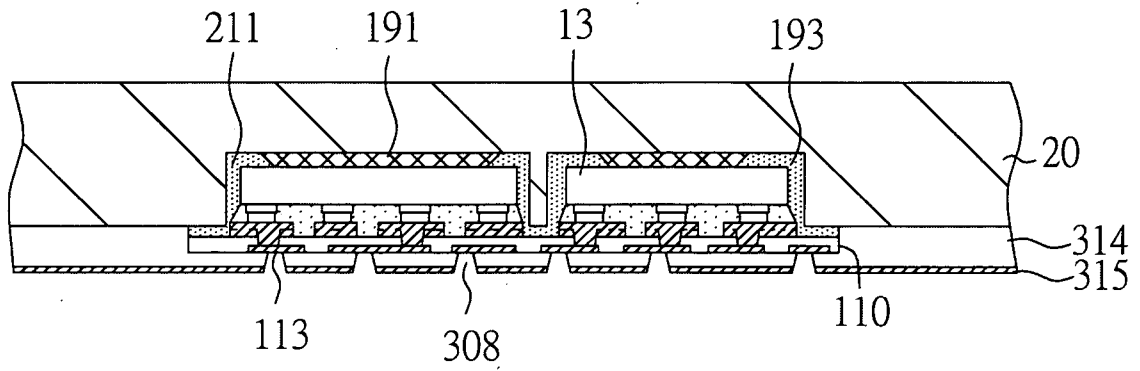


圖25

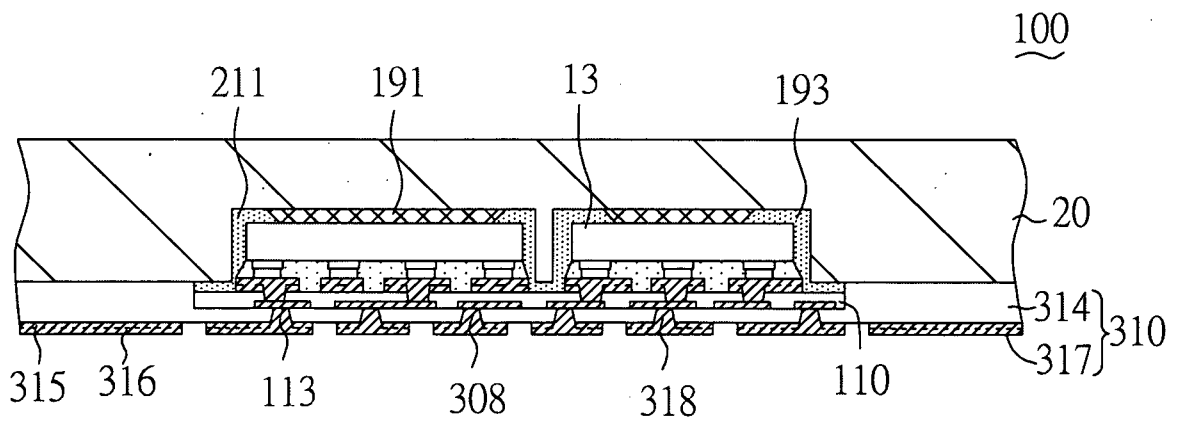


圖26

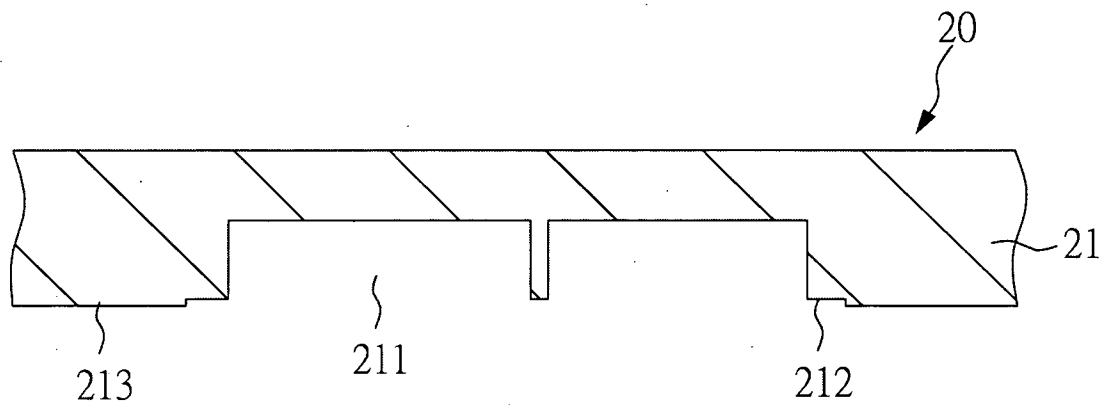


圖27

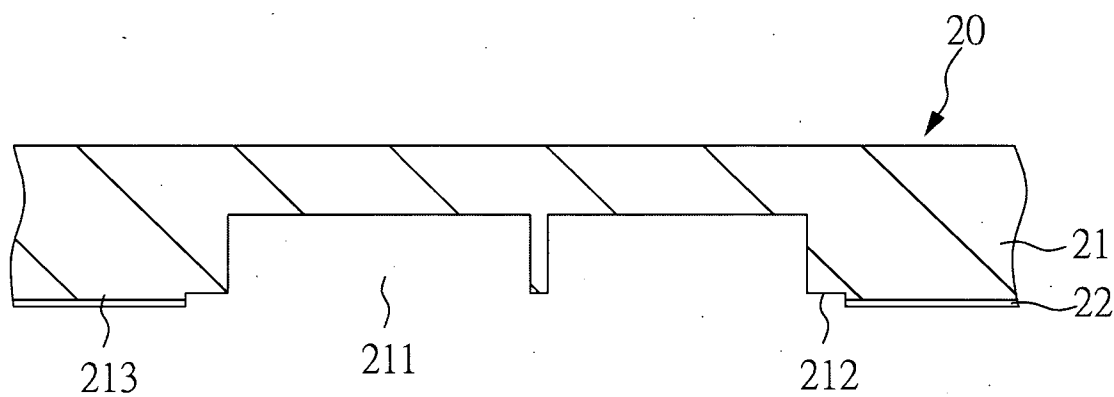


圖28

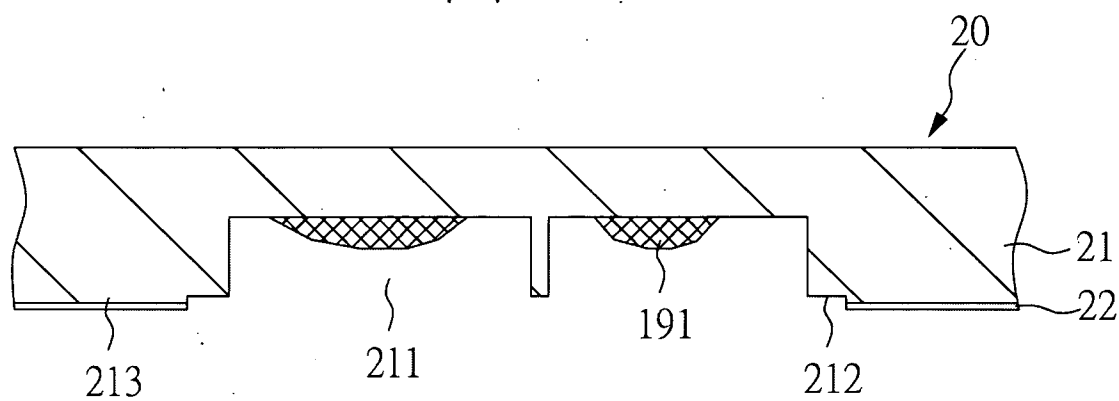


圖29

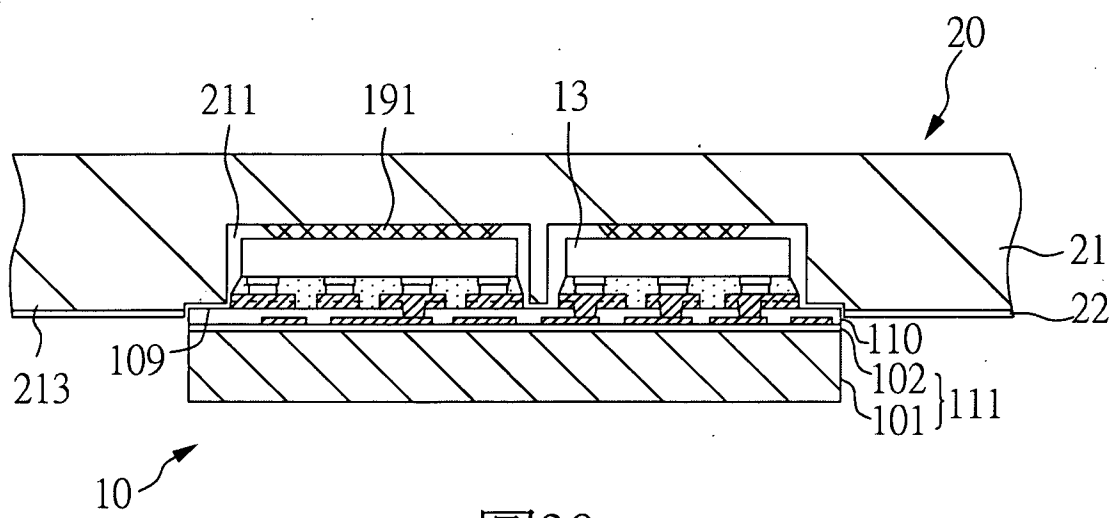


圖30

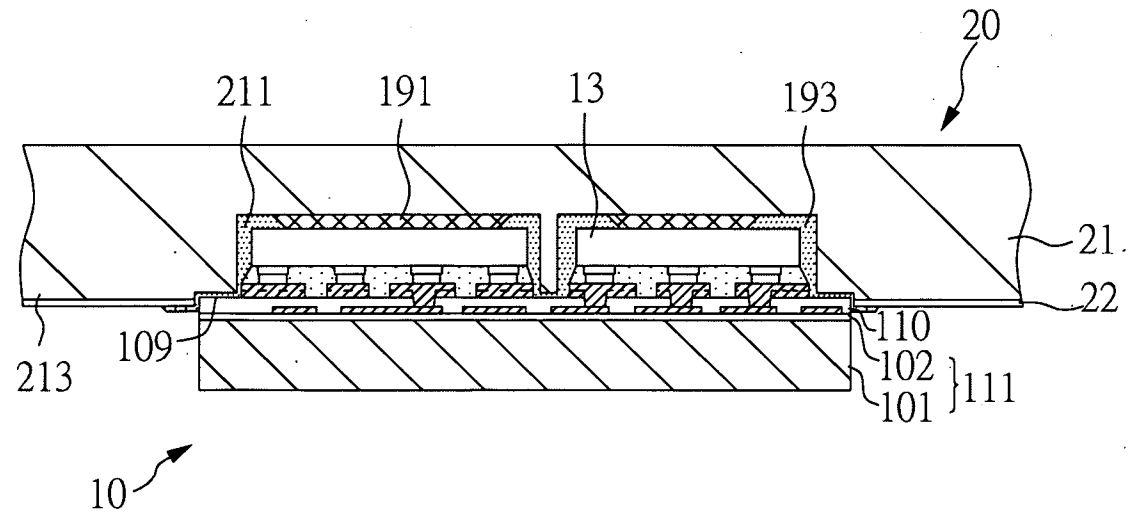


圖31

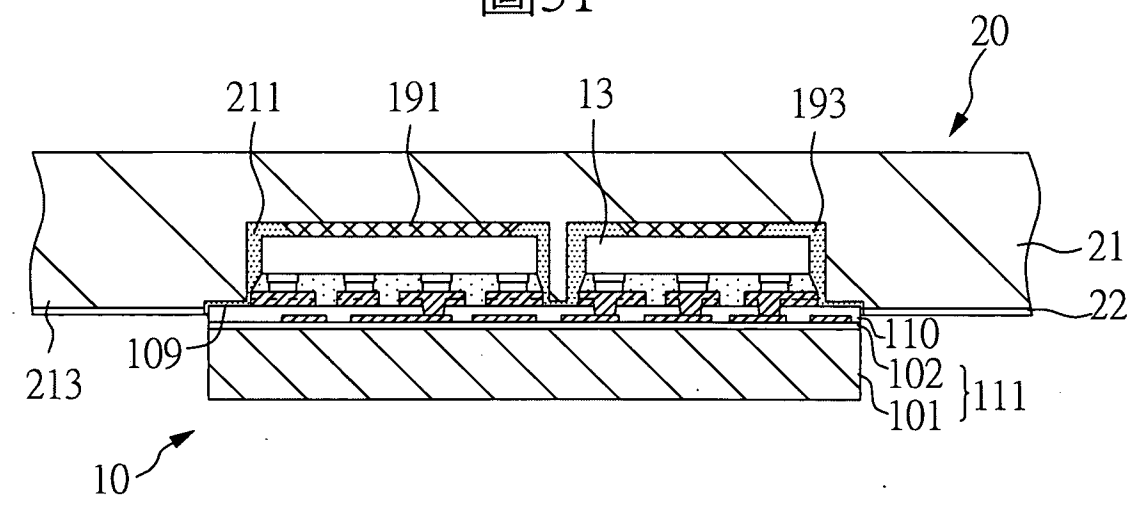


圖32

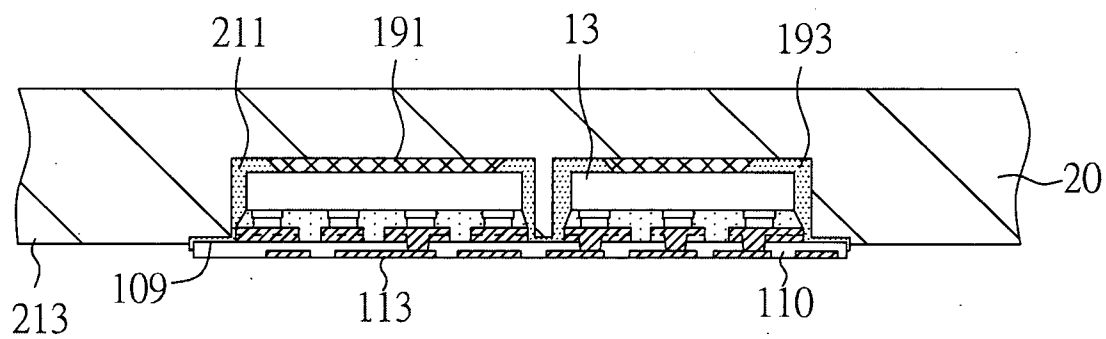


圖33

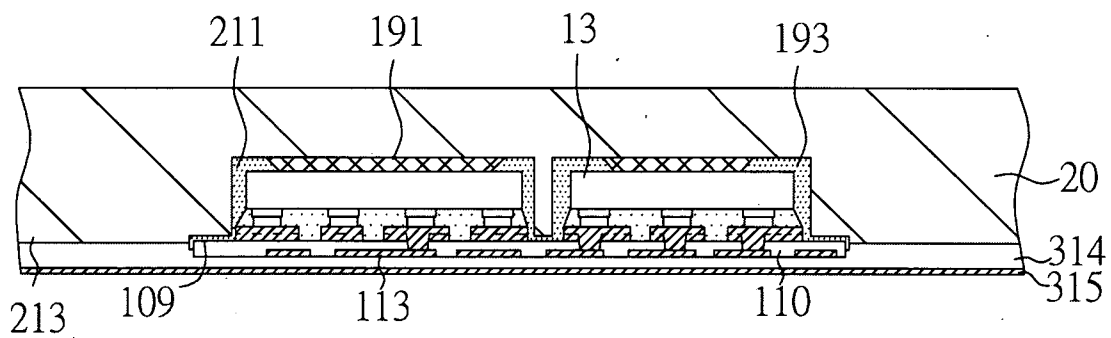


圖34

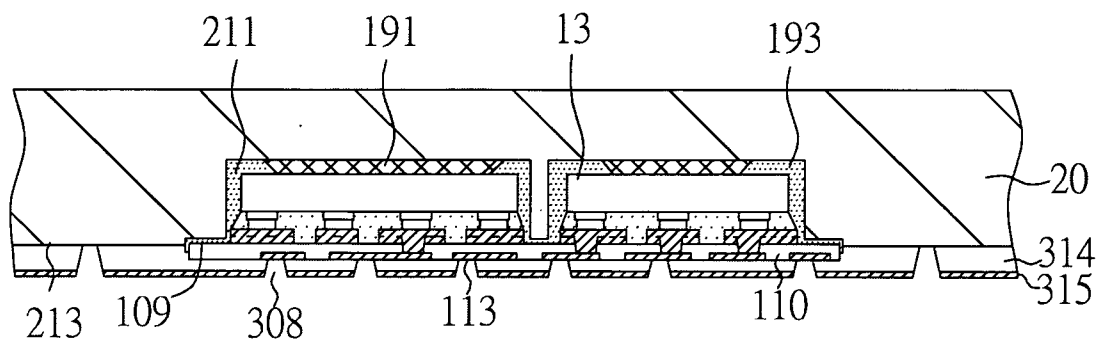


圖35

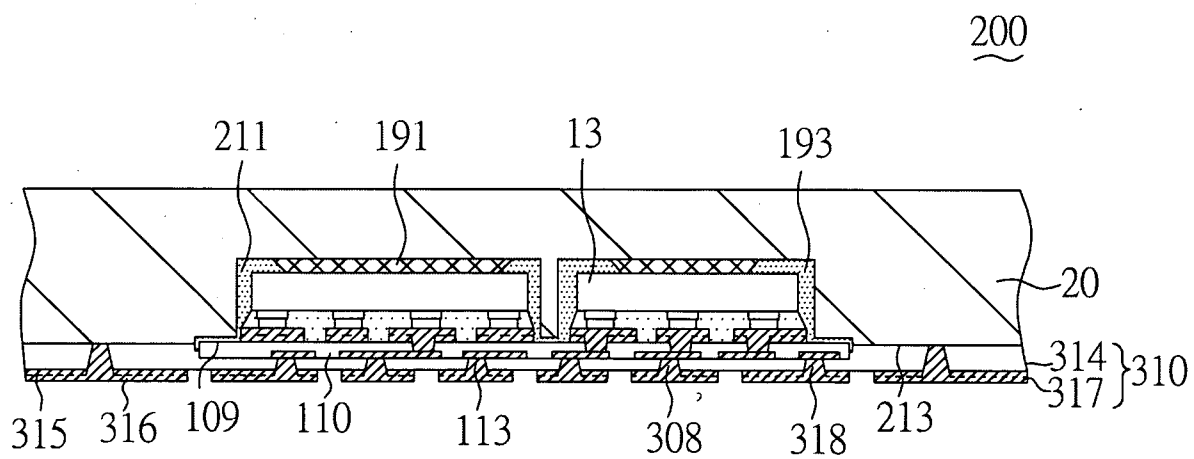


圖36

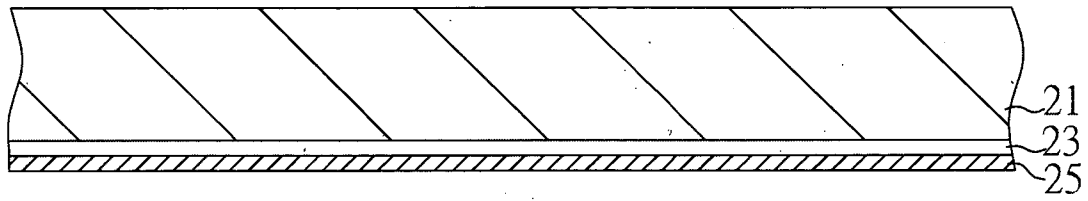


圖37

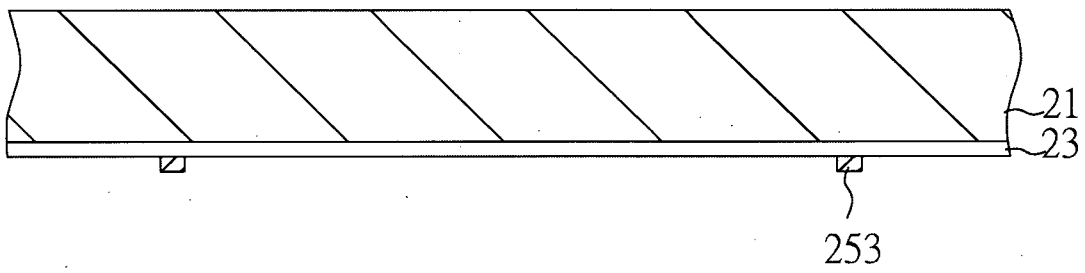


圖38

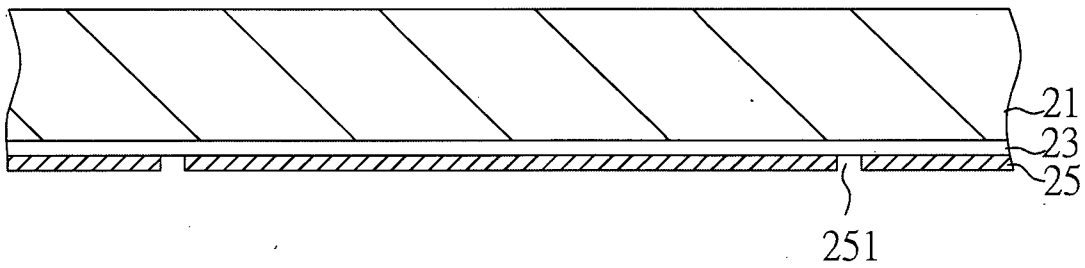


圖39

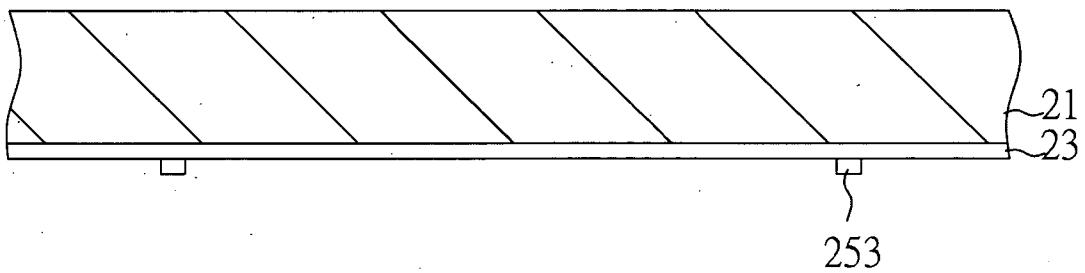


圖40

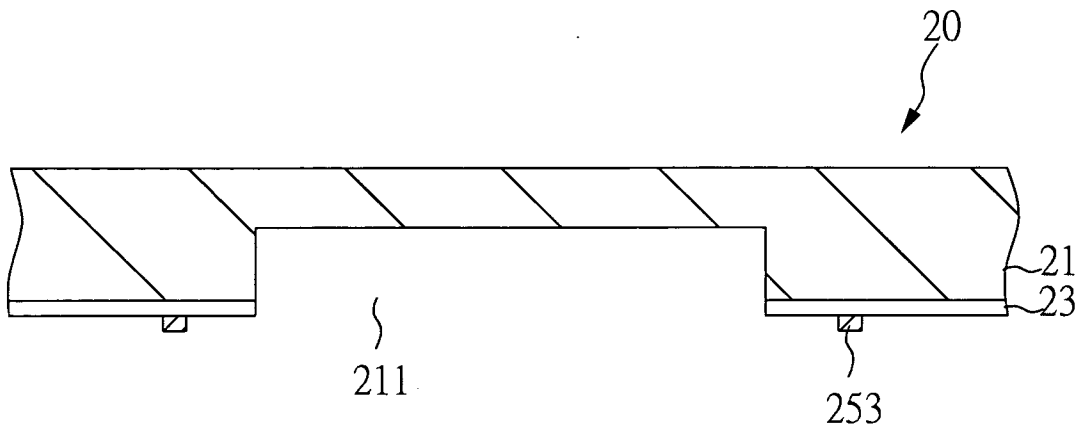


圖41

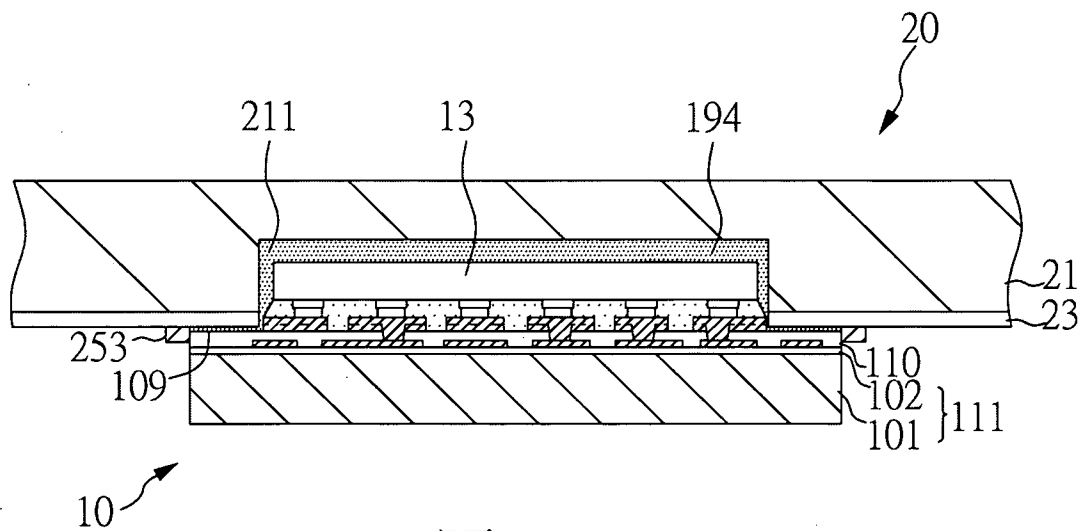


圖42

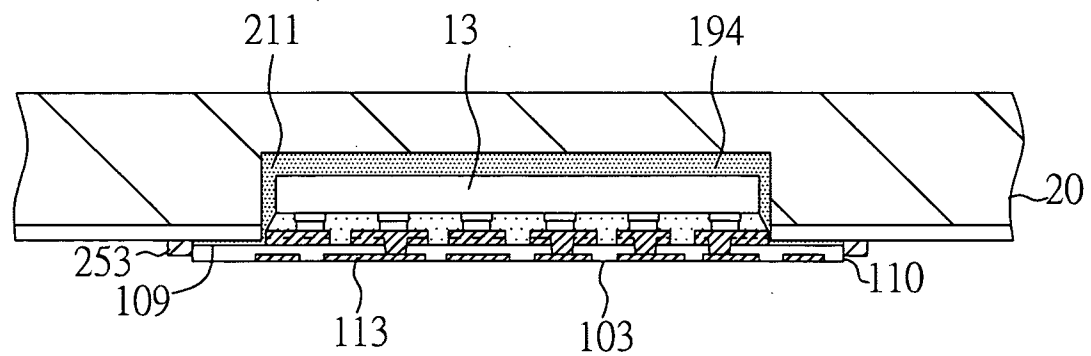


圖43

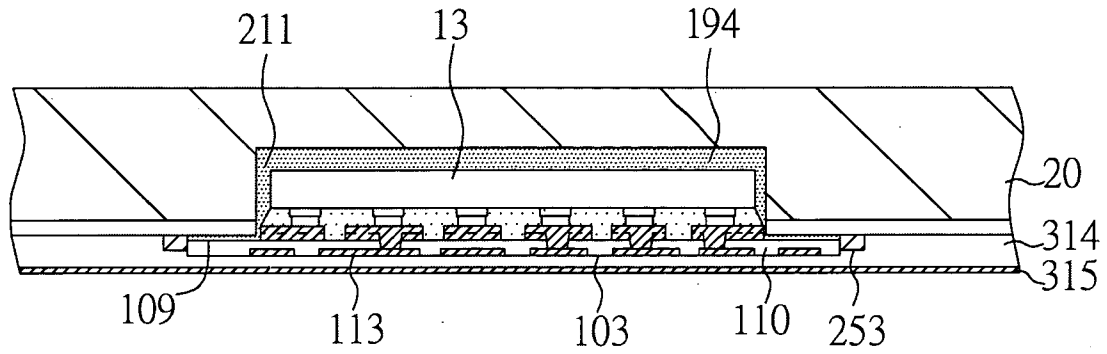


圖44

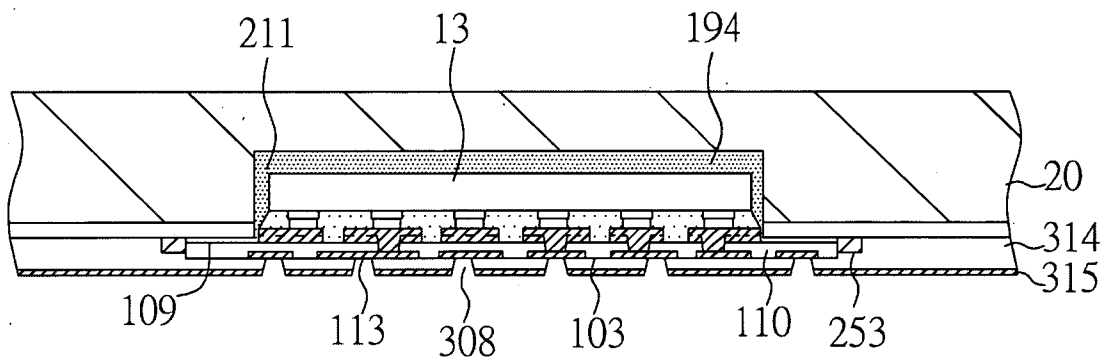


圖45

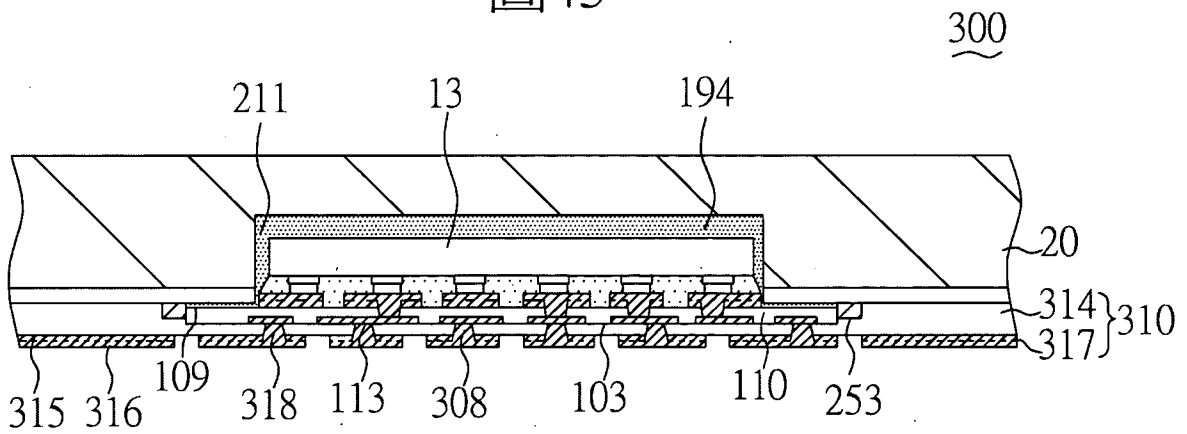


圖46

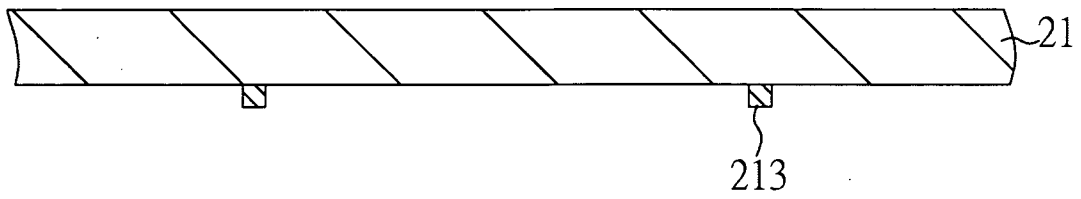


圖47

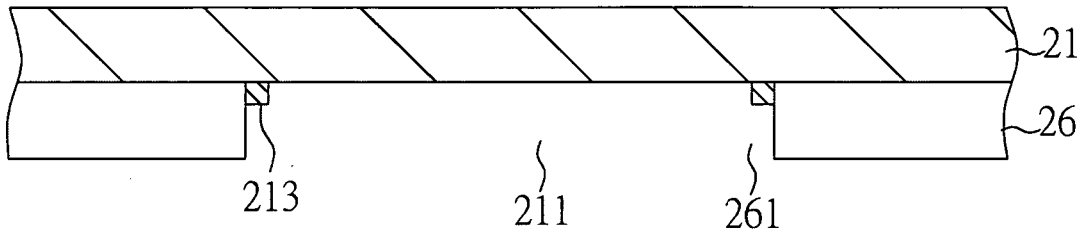


圖48

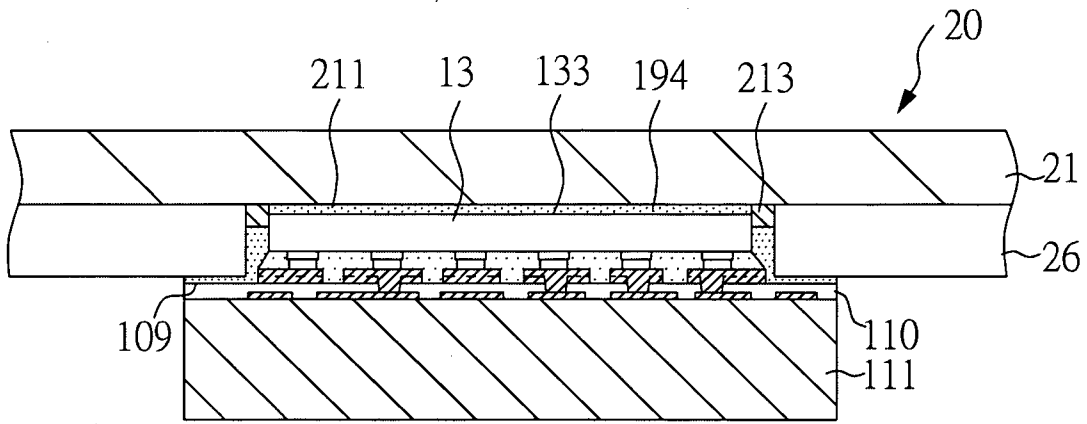


圖49

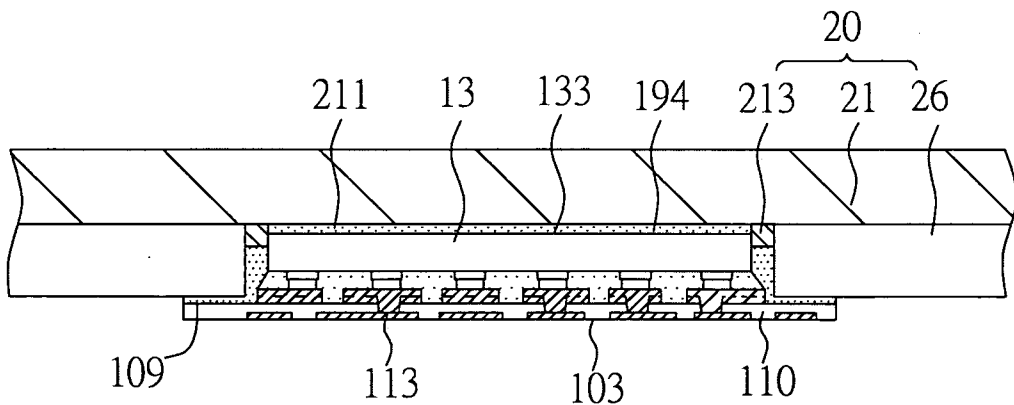


圖50

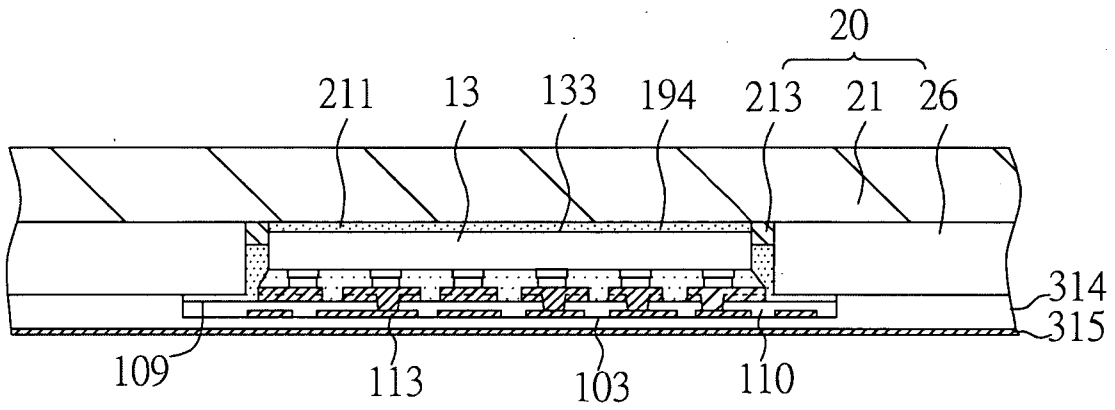


圖51

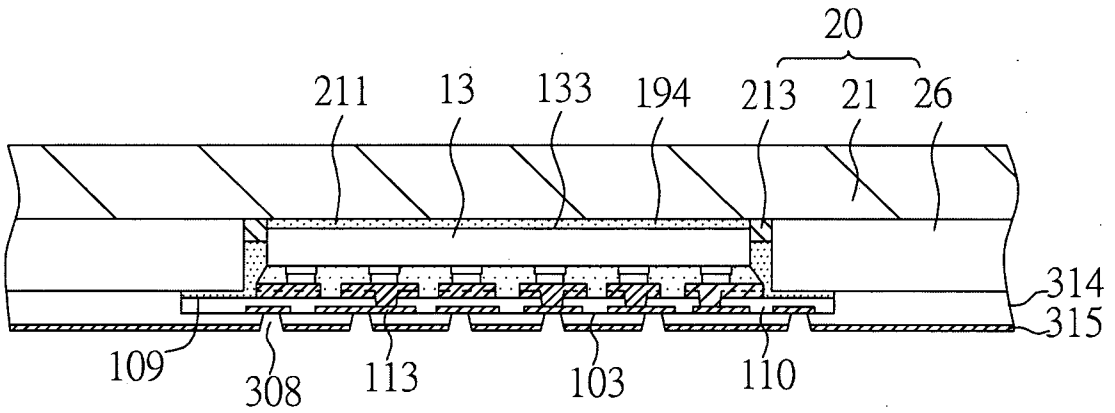


圖52

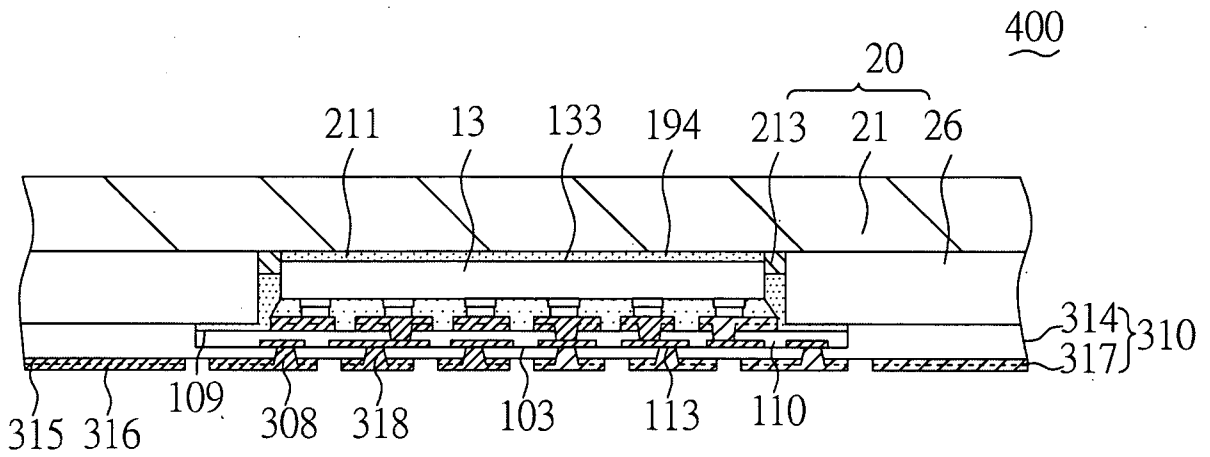


圖53