

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/28

(45) 공고일자 1998년 12월 01일
(11) 등록번호 특0155787
(24) 등록일자 1998년 07월 16일

(21) 출원번호	특1994-035978	(65) 공개번호	특1996-026174
(22) 출원일자	1994년 12월 22일	(43) 공개일자	1996년 07월 22일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 한동화
경기도 용인군 기흥읍 농서리 산24
노준영
경기도 안산시 이동 604번지
박영우
(74) 대리인 경기도 군포시 산본동 수리 한양아파트 818동 1903호
이영필, 윤창일, 노민식

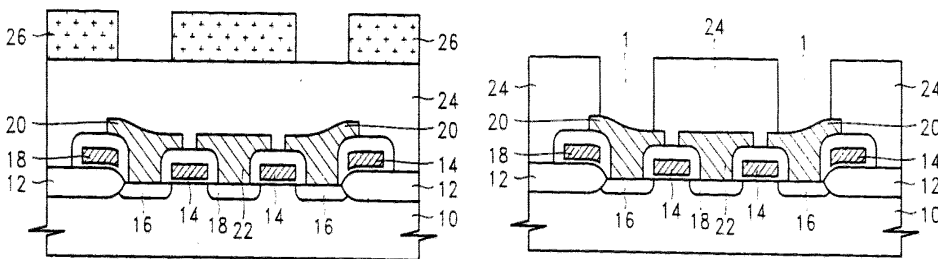
심사관 : 홍성표

(54) 반도체 메모리장치의 매몰접촉창 형성방법

요약

접촉창 형성방법에 대해 기재되어 있다. 이는 반도체기판에 트랜지스터를 형성하는 제1공정, 결과물 전면에 제1절연막을 형성하는 제2공정, 상기 제1절연막 상에 제1감광막을 형성하는 제3공정, 상기 제1감광막 상에 제2절연막을 형성하는 제4공정, 상기 제2절연막 상에 제2감광막을 형성하는 제5공정, 매몰접촉창이 형성될 영역의 상기 제2감광막을 제거하여 제2감광막 패턴을 형성하는 제6공정, 상기 제2감광막 패턴을 식각마스크로 하여 상기 제2절연막을 식각하는 제7공정, 상기 제2감광막 패턴을 제거함과 동시에, 매몰접촉창이 형성될 영역의 상기 제1감광막을 제거하여 제1감광막 패턴을 형성하는 제8공정, 결과물 전면에 제3절연막을 형성하는 제9공정, 및 상기 제3절연막 및 제2절연막을 이용하여 상기 제1절연막에 매몰접촉창을 형성하는 제10공정을 포함하는 것을 특징으로 한다. 최소피처사이즈 보다 더 작은 크기의 접촉창을 형성할 수 있어, 메모리장치의 집적도 향상을 용이하게 한다.

대표도



명세서

[발명의 명칭]

반도체 메모리장치의 매몰접촉창 형성방법

[도면의 간단한 설명]

제1a도 및 제1b도는 종래 방법에 의한 반도체 메모리장치의 매몰접촉창 형성방법을 설명하기 위한 단면도들이다.

제2a도 및 제2g도는 본 발명의 제1실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법을 설명하기 위한 단면도들이다.

제3a도 및 제3b도는 본 발명의 제2실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법을 설명하기 위한 단면도들이다.

제4a도 및 제4b도는 본 발명의 제3실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법을 설명하기

위한 단면도들이다.

제5a도 및 제5d도는 본 발명의 제4실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법을 설명하기 위한 단면도들이다.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치의 제조방법에 관한 것으로, 특히 매몰접촉창의 크기를 한계해상도 이하의 크기로 형성하는 반도체 메모리장치의 매몰접촉창 형성방법에 관한 것이다.

반도체 메모리장치의 집적도가 증가될수록, 상부도전층과 하부도전층을 접속시키기 위한 접촉창의 크기는 더욱 작아지고 있다.

특히, DRAM의 경우, 트랜지스터의 소오스와 접속되는 스토리지전극 및 드레인과 접속되는 비트라인을 형성하기 위해서는, 소오스 및 드레인상에 이를 위한 접촉창을 형성해야 하는데, 집적도의 증가에 의해 이들 접촉창들을 한계해상도 이하의 크기로 형성해야만 하는 문제가 발생한다.

이러한 문제를 해결하기 위해, 현재, 소오스 및 드레인을 노출시키는 접촉창을 자기정합적으로 형성한 후, 스토리지전극 및 비트라인과의 용이한 접속을 위해, 표면으로 노출된 이들 소오스 및 드레인 상에 랜딩 패드를 형성하는 방법이 제안되고 있다.

제1a도 및 제1b도는 종래 방법에 의한 반도체 메모리장치의 매몰접촉창 형성방법을 설명하기 위한 단면도들이다.

반도체기판(10)에 소오스(16), 드레인(18) 및 게이트전극(14)로 구성된 트랜지스터를 형성한 후, 소오스(16) 및 드레인(18)을 표면으로 노출시키는 접촉창을 자기정합적인 방법으로 형성한다. 이어서, 결과물 전면에 다결정실리콘을 증착/패터닝하여 소오스(16)와 접속하는 제1패드(20) 및 드레인(18)과 접속하는 제1패드(22)를 형성한다. 제1절연막(24)은 제1 및 제2패드(20 및 22)를 형성한 후, 그 결과물 전면에, 산화막 또는 BPSG(Boro-phosphorus Silicate Glass)와 같은 절연물질을 도포하여 형성된다. 다음에, 제1절연막(24)상에 포토레지스트를 도포/현상하여 스토리지전극을 소오스(16)에 접속시키기 위한 매몰접촉창 형성을 위한 패턴(26)을 형성한다(제1a도).

패턴(26)을 식각마스크로 하고, 제1절연막(24)을 식각대상물로 한 이방성식각 공정으로, 상기 제1패드(20)상에 적층되어 있는 제1절연막을 부분적으로 제거함으로써 매몰접촉창(1)을 형성한다(제1b도).

소오스와 접속되는 패드를 형성하고, 이 패드 상에 매몰접촉창을 형성함으로써, 이 매몰접촉창을 통해 스토리지전극과 소오스를 용이하게 접속시키는 상술한 방법에 의하면, 매몰접촉창을 패드 상에 형성하므로 매몰접촉창 형성을 위한 공정마아진을 늘릴 수 있다.

즉, 매몰접촉창을 소오스 상에 직접 형성할 경우엔, 매몰접촉창의 측벽을 통해 게이트전극이 표면으로 노출되는 경우가 발생할 수도 있지만(제1b도의 점선 참조), 상술한 방법처럼, 패드층 상에 매몰접촉창을 형성할 경우엔, 게이트전극 사이의 간격보다 더 큰 크기로 형성되는 패드층에 의해 게이트전극의 노출현상은 발생하지 않는다(제1b도 도면부호 1 참조).

그러나, 메모리장치의 집적도가 증가될수록, 3차원적 구조의 배선(집적도가 작을 때는 단일층 배선으로 형성되어도 되던 것이, 집적도가 클 때는 다층 배선으로 형성된다)형성등에 의해, 여러 가지 요소들이 반도체기판 상에 조밀하게 형성된다. 따라서, 접촉창 뿐만아니라 배선등의 다른 요소들도 그 크기를 줄여 공정마아진을 확보하는 것이 중요하다.

본 발명의 목적은 최소피처사이즈 보다 더 작은 크기의 매몰접촉창을 형성하는 반도체 메모리장치의 매몰접촉창 형성방법에 관한 것이다.

상기 목적을 달성하기 위한, 본 발명에 의한 반도체 메모리장치의 매몰접촉창 형성방법은, 반도체기판에 트랜지스터를 형성하는 제1공정; 결과물 전면에 제1절연막을 형성하는 제2공정; 상기 제1절연막 상에 제1감광막을 형성하는 제3공정; 상기 제1감광막 상에 제2절연막을 형성하는 제4공정; 상기 제2절연막 상에 제2감광막을 형성하는 제5공정; 매몰접촉창이 형성될 영역의 상기 제2감광막을 제거하여 제2감광막 패턴을 형성하는 제6공정; 상기 제2감광막 패턴을 식각마스크로 하여 상기 제2절연막을 식각하는 제7공정; 상기 제2감광막 패턴을 제거함과 동시에, 매몰접촉창이 형성될 영역의 상기 제1감광막을 제거하여 제1감광막 패턴을 형성하는 제8공정; 결과물전면에 제3절연막을 형성하는 제9공정; 및 상기 제3절연막 및 제2절연막을 이용하여 상기 제1절연막에 매몰접촉창을 형성하는 제10공정을 포함하는 것을 특징으로 한다.

본 발명에 의한 반도체 메모리장치의 매몰접촉창 형성방법에 있어서, 상기 제1공정 이후에, 트랜지스터의 소오스 및 드레인과 접속하는 패드를 형성하는 공정을 더 포함하는 것이 바람직하다.

본 발명의 일 실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법에 있어서, 상기 제10공정은, 제3절연막을 이방성식각하여 상기 제1감광막 패턴 측벽에 스페이서를 형성하는 공정 및 상기 제2절연막 및 스페이서를 식각함과 동시에 상기 제1절연막을 식각함으로써 매몰접촉창을 형성하는 공정으로 진행되는 것이 바람직하다.

본 발명의 다른 실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법에 있어서, 제2공정 이후에, 상기 제1절연막 상에 제1물질층을 형성하는 공정을 더 포함하는 것이 바람직하다. 이때, 상기 제10공정은, 상기 제3절연막을 식각하여 제1감광막 패턴 측벽에 스페이서를 형성하는 공정, 상기 스페이서 및 제2절연막을 식각마스크로 하여 상기 제1물질층을 식각함으로써 제1물질층 패턴을 형성하는 공정 및 상기 제1물질층 패턴을 식각마스크로 하여 상기 제1절연막을 식각함으로써 매몰접촉창을 형성하는 공정으로 진행되는 것이 바람직하다.

본 발명에 의한 반도체 메모리장치의 매몰접촉창 형성방법에 있어서, 상기 절연막들을 구성하는 물질은, 소정의 식각에 대해 상기 제1물질층을 구성하는 물질과는 다른 식각율을 갖는 물질인 것이 바람직하고, 더욱 바람직하게는, 상기 절연막들을 구성하는 물질로 산화물을 사용하고, 상기 제1물질층을 구성하는 물

질로 다결정실리콘 및 실리콘 나이트라이드 중 어느 하나를 사용한다.

또한, 상기 목적을 달성하기 위한, 본 발명에 의한 반도체 메모리장치의 매몰접촉창 형성방법은, 반도체 기판에 트랜지스터를 형성하는 제1공정; 결과물 전면에 제1절연막을 형성하는 제2공정; 상기 제1절연막 상에 제1물질층을 형성하는 제3공정; 상기 절연막상에 제1감광막을 형성하는 제4공정; 매몰접촉창이 형성될 영역의 상기 제1감광막을 제거하여 제1감광막 패턴을 형성하는 제5공정; 상기 제1감광막 패턴을 통해 표면으로 노출된 상기 제1물질층을 경사식각하는 제6공정; 및 경사식각된 상기 제1물질층을 식각마스크로 하여 상기 제1절연막을 식각함으로써 매몰접촉창을 형성하는 제7공정을 포함하는 것을 특징으로 한다.

본 발명의 일 실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법에 있어서, 상기 제4공정 후에, 결과물 상에 제2절연막을 형성하는 공정, 상기 제2절연막 상에 제2감광막을 형성하는 공정, 매몰접촉창이 형성될 부분의 상기 제2감광막을 제거하여 제2감광막 패턴을 형성하는 공정 및 상기 제2감광막 패턴을 식각마스크로 하여 상기 제2절연막을 식각하는 공정을 더 포함하는 것이 바람직하다.

이때, 상기 제7공정 시, 상기 제1절연막과 함께 상기 제2절연막도 함께 제거되는 것이 바람직하다.

본 발명에 의한 반도체 메모리장치의 매몰접촉창 형성방법에 있어서, 상기 절연막들을 구성하는 물질은, 소정의 식각에 대해 상기 제1물질층을 구성하는 물질과는 다른 식각율을 갖는 물질인 것이 바람직하고, 더욱 바람직하게는, 상기 절연막들을 구성하는 물질로 산화물을 사용하고, 상기 제1물질층을 구성하는 물질로 다결정실리콘 및 실리콘 나이트라이드 중 어느 하나를 사용한다.

따라서, 발명에 의한 반도체 메모리장치의 매몰접촉창 형성방법에 의하면, 접촉창 형성을 위한 최소피처 사이즈의 패턴을 형성하고, 결과물 상에, 소정의 식각에 대해 식각대상물과 비슷한 식각율을 갖는 물질층을 형성한 후, 이방성식각으로 이 물질층과 동시에 식각대상물을 식각함으로써 최소피처사이지보다 더 작은 매몰접촉창을 형성할 수 있다.

이하, 첨부된 도면을 참조하여, 본 발명의 일 실시예들을 더욱 자세하게 설명하고자 한다. 계속해서 소개되는 도면들에 있어서, 상기 제1a도 및 제1b도에서 설명된 도면부호와 동일한 도면부호는 동일부분을 의미한다.

[실시예 1]

제2a도 내지 제2g도는 본 발명의 제1실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법을 설명하기 위한 단면도들이다.

먼저, 2a도는 트랜지스터 및 랜딩 패드(20 및 22)를 형성하는 공정을 도시한 것으로서, 이는 반도체기판(10)을 활성영역 및 비활성영역으로 한정하기 위한 필드산화막(12)을 형성하는 제1공정, 결과물 전면에 게이트산화막, 게이트전극 형성물질 및 산화막을 적층한 후, 패터닝하여 게이트전극(14)을 형성하는 제2공정, 불순물이온을 저농도로 도우프하는 제3공정, 결과물 전면에 산화막을 도포한 후, 이를 이방성식각하여 게이트전극(14)의 측벽에 스페이서를 형성함으로써 트랜지스터의 소오스 및 드레인이 형성될 영역을 표면으로 노출시키는 제4공정, 불순물이온을 고농도로 도우프하여 트랜지스터의 소오스(16) 및 드레인(18)을 형성하는 제5공정, 결과물 전면에, 예컨대 다결정실리콘과 같은 도전물질을 증착한 후, 이를 패터닝하여 상기 소오스(16)와 연결되는 제1랜딩패드(20) 및 상기 드레인(18)과 연결되는 제2랜딩패드(22)를 형성하는 제6공정 및 결과물 전면에, 예컨대 산화막 또는 BPSG등을 도포하여 그 표면이 평탄한 제1절연막(24)을 형성하는 제7공정으로 진행된다.

제2b도는 제1감광막(28), 제2절연막(30) 및 제2감광막패턴(32)을 형성하는 공정을 도시한 것으로서, 이는 상기 제1절연막(24)상에, 예컨대 포토레지스터와 같은 감광물질을 도포하여 제1감광막(28)을 형성하는 제1공정, 상기 제1감광막(28)상에, 예컨대 산화물과 같은 절연물질을 도포하여 제2절연막(30)을 형성하는 제2공정, 상기 제2절연막상에, 예컨대 포토레지스트와 같은 감광물질을 도포하여 제2감광막을 형성하는 제3공정 및 상기 제2감광막을 현상하여 매몰접촉창이 형성될 부분의 상기 제2절연막을 오픈시키는 모양의 제2감광막패턴(32)을 형성하는 제4공정으로 진행된다.

제2c도는 제2절연막패턴(31) 및 제1감광막패턴(29)을 형성하는 공정을 도시한 것으로서, 이는 상기 제2감광막패턴을 식각마스크로 하고, 상기 제2절연막을 식각대상물로 한 이방성식각 공정을 행함으로써 상기 제2절연막패턴(31)을 형성하는 제1공정 및 상기 제2감광막패턴을 제거함과 동시에 표면으로 노출되어 있는 제1감광막을 제거함으로써 매몰접촉창이 형성될 부분의 상기 제1절연막(24)을 표면으로 노출시키는 제1감광막패턴(29)을 형성하는 제2공정으로 진행된다.

제2d도는 제3 절연막(34)을 형성하는 공정을 도시한 것으로서, 이는 제1 감광막패턴(29)이 형성되어 있는 결과물 전면에, 예컨대 산화물과 같은 절연물질을 도포하여 형성된다.

제2e도는 스페이서(34a)를 형성하는 공정을 도시한 것으로서, 이는 상기 제3 절연막을 식각대상물로 한 이방성식각을 결과물 전면에 행하여 형성된다.

제2f도는 매몰접촉창(1)을 형성하는 공정을 도시한 것으로서, 이는 제2 절연막패턴, 스페이서 및 제1 절연막(제2e도의 도면부호 31, 34a 및 24)을 식각대상물로 한 이방성식각을 결과물 전면에 행하여 형성된다.

본 발명의 일 실시예에서는, 제2 절연막패턴, 스페이서 및 제1 절연막을 모두 산화막으로 형성하였기 때문에, 상기 이방성식각에 대해 동시에 식각되므로, 제2 절연막패턴 및 스페이서가 제거됨과 동시에 상기 제1 절연막도 제거된다. 이때, 상기 제1 절연막은 제2 절연막 및 스페이서를 식각마스크로 하여 제거되므로, 매몰접촉창(1)은 제1 감광막패턴(29)의 간격 보다 스페이서 두께의 2배만큼 작은 크기이다.

제2g도는 제1 감광막패턴을 제거한 후의 결과물을 도시한 것이다.

따라서, 본 발명의 제1 실시예에 의하면, 매몰접촉창의 크기를 최소피처사이즈 (통상, 매몰접촉창 형성을 위한 제2 감광막패턴은 최소피처사이즈로 형성된다) 보다 더 작게 형성할 수 있다.

[실시예 2]

제3a도 및 제3b도는 본 발명의 제2 실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법을 설명하기 위한 단면도들이다.

상기 제2a도의 제7 공정까지 행하여 상기 제1 절연막(24)을 형성한 후, 결과물 전면에, 소정의 식각에 대해 상기 제1 절연막을 구성하는 물질과는 다른 식각율을 갖는 물질, 예컨대 다결정실리콘 및 실리콘나이트라이드 중 어느 하나를 도포하여 제1물질층(36)을 형성하는 공정을 더 포함하고, 이 후, 제3절연막(34)을 형성하는 공정까지는 상기 제2d도까지의 공정과 동일하다 (제3a도).

이어서, 상기 제3절연막을 식각대상물로 한 이방성식각을 행하여 제1감광막패턴(29)측벽에 스페이서를 형성하는 제1공정, 제2절연막패턴(31) 및 스페이서를 식각마스크로 하여 상기 제1물질층(36)을 식각하여 제1물질층 패턴(37)을 형성하는 제2공정, 상기 제1물질층 패턴(37)상에 적층되어 있는 물질들을 제거하는 제3공정 및 상기 제1물질층 패턴(37)을 식각마스크로 하고, 상기 제1절연막(24)을 식각대상물로 한 이방성식각을 행하는 제4공정으로 진행함으로써 매몰접촉창(1)을 형성한다 (제3b도).

[실시예 3]

제4a도 및 제4b도는 본 발명의 제3 실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법을 설명하기 위한 단면도들이다.

제4a도는 제1물질층패턴(37a)을 형성하는 공정을 도시한 것으로서, 이는 상기 제2a도의 제7공정까지 행하여 제1절연막(24)까지 형성한 후, 결과물 상에, 소정의 식각에 대해 상기 제1절연막을 구성하는 물질과는 다른 식각을 갖는 물질, 예컨대 다결정실리콘 및 실리콘나이트라이드 중 어느 한 물질을 도포하여 제1물질층을 형성하는 제1공정과 상기 제1물질층 상에, 예컨대 포토레지스트의 같은 감광물질을 도포/현상하여 매몰접촉창이 형성될 부분의 상기 제1물질층을 표면으로 노출시키는 제1감광막패턴(29)을 형성하는 제2공정 및 제1감광막패턴(29)을 통해 표면으로 노출된 상기 제1물질층을 경사식각하여 그 직격이 하부로 내려갈수록 작아지는 창이 형성된 제1물질층 패턴(37a)을 형성하는 제3공정으로 진행된다.

제4b도는 매몰접촉창(1)을 형성하는 공정을 도시한 것으로서, 이는 상기 제1물질층패턴(37a)상에 적층되어 있는 물질들을 제거하는 제1공정 및 상기 제1물질층패턴(37a)을 식각마스크로 하고 상기 제1절연막(24)을 식각대상물로 한 이방성식각을 행하여 진행된다.

본 발명의 제3 실시예에 의하면, 제1물질층을 경사식각하여, 최소직경이 제1감광막패턴의 직경보다 작은 직경의 제1물질층패턴을 형성한 후, 이를 식각마스크로 하여 제1절연막을 식각함으로써, 최소피처사이즈보다 더 작은 매몰접촉창을 형성할 수 있다.

[실시예 4]

제5a도 및 제5d도는 본 발명의 제4 실시예에 의한 반도체 메모리장치의 매몰접촉창 형성방법을 설명하기 위한 단면도들이다.

상기 제4a도의 제1공정까지 행하여 제1감광막(28)까지 형성한 후, 상기 제1감광막(28)상에, 예컨대 산화물과 같은 절연물질을 도포하여 제2절연막(30)을 형성하고, 이 제2절연막 상에, 예컨대 포토레지스트와 같은 감광물질을 도포하여 제2감광막을 형성한 후, 이를 현상하여 매몰접촉창이 형성될 부분의 제2절연막(30)을 표면으로 노출시키는 창이 형성된 제2감광막패턴(32)을 형성한다 (제5a도).

상기 제2감광막패턴(32)을 식각마스크로 하여 상기 제2절연막을 식각함으로써 제2절연막패턴(31)을 형성하고, 상기 제2감광막패턴(32) 및 제1감광막을 식각대상으로 한 식각공정을 행함으로써 매몰접촉창이 형성될 영역의 제1물질층을 표면으로 노출된 창이 형성된 제1감광막패턴(29)을 형성한다. 이어서, 상기 제4a도에서 설명한 방법과 같은 공정으로 상기 제1물질층을 경사식각하여 제1물질층패턴(37a)을 형성한다 (제5b도).

상기 제2절연막패턴 및 제1절연막을 식각대상물로 한 이방성식각을 결과물 전면에 행함으로써 매몰접촉창(1)을 형성하고, 상기 제1절연막(24)상에 적층되어 있는 물질들을 제거한다 (제5c도 및 제5d도)

따라서, 본 발명에 의한 반도체 메모리장치의 매몰접촉창 형성방법에 의하면, 최소피처사이즈보다 더 작은 크기의 접촉창을 형성할 수 있어, 메모리장치의 집적도 향상을 용이하게 한다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

(57) 청구의 범위**청구항 1**

반도체기판에 트랜지스터를 형성하는 제1공정; 결과물 전면에 제1절연막을 형성하는 제2공정; 상기 제1절연막 상에 제1감광막을 형성하는 제3공정; 상기 제1감광막 상에 제2절연막을 형성하는 제4공정; 상기 제2절연막 상에 제2감광막을 형성하는 제5공정; 매몰접촉창이 형성될 영역의 상기 제2감광막을 제거하여 제2감광막 패턴을 형성하는 제6공정; 상기 제2감광막 패턴을 식각마스크로 하여 상기 제2절연막을 식각하는 제7공정; 상기 제2감광막 패턴을 제거함과 동시에, 매몰접촉창이 형성될 영역의 상기 제1감광막을 제거하여 제1감광막 패턴을 형성하는 제8공정; 결과물전면에 제3절연막을 형성하는 제9공정; 및 상기 제3절연막 및 제2절연막을 이용하여 상기 제1절연막에 매몰접촉창을 형성하는 제10공정을 포함하는 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 2

제1항에 있어서, 상기 제1공정 이후에, 트랜지스터의 소오스 및 드레인과 접속하는 패드를 형성하는 공정

을 더 포함하는 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 3

제1항에 있어서, 상기 제10공정은, 제3절연막을 이방성식각하여 상기 제1감광막 패턴 측벽에 스페이서를 형성하는 공정 및 상기 제2절연막 및 스페이서를 식각함과 동시에 상기 제1절연막을 식각함으로써 매몰접촉창을 형성하는 공정으로 진행되는 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 4

제1항에 있어서, 제2공정 이후에, 상기 제1절연막 상에 제1물질층을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 5

제4항에 있어서, 상기 제10공정은, 상기 제3절연막을 식각하여 제1감광막 패턴 측벽에 스페이서를 형성하는 공정, 상기 스페이서 및 제2절연막을 식각마스크로 하여 상기 제1물질층을 식각함으로써 제1물질층 패턴을 형성하는 공정 및 상기 제1물질층 패턴을 식각마스크로 하여 상기 제1절연막을 식각함으로써 매몰접촉창을 형성하는 공정으로 진행되는 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 6

제1항 및 제4항 중 어느 한 항에 있어서, 상기 절연막들을 구성하는 물질은, 소정의 식각에 대해 상기 제1물질층을 구성하는 물질과는 다른 식각율을 갖는 물질인 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 7

제5항에 있어서, 상기 절연막들을 구성하는 물질로 산화물을 사용하고, 상기 제1물질층을 구성하는 물질로 다결정실리콘 및 실리콘 나이트라이드 중 어느 하나를 사용하는 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 8

반도체기판에 트랜지스터를 형성하는 제1공정; 결과물 전면에 제1절연막을 형성하는 제2공정; 상기 제1절연막 상에 제1물질층을 형성하는 제3공정; 상기 절연막 상에 제1감광막을 형성하는 제4공정; 매몰접촉창이 형성될 영역의 상기 제1감광막을 제거하여 제1감광막 패턴을 형성하는 제5공정; 상기 제1감광막 패턴을 통해 표면으로 노출된 상기 제1물질층을 경사식각하는 제6공정; 및 경사식각된 상기 제1물질층을 식각마스크로 하여 상기 제1절연막을 식각함으로써 매몰접촉창을 형성하는 제7공정을 포함하는 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 9

제7항에 있어서, 상기 제4공정 후에, 결과물 상에 제2절연막을 형성하는 공정, 상기 제2절연막 상에 제2감광막을 형성하는 공정, 매몰접촉창이 형성될 부분의 상기 제2감광막을 제거하여 제2감광막 패턴을 형성하는 공정 및 상기 제2감광막 패턴을 식각마스크로 하여 상기 제2절연막을 식각하는 공정을 더 포함하는 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 10

제8항에 있어서, 상기 제7공정 시, 상기 제1절연막과 함께 상기 제2절연막도 함께 제거되는 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 11

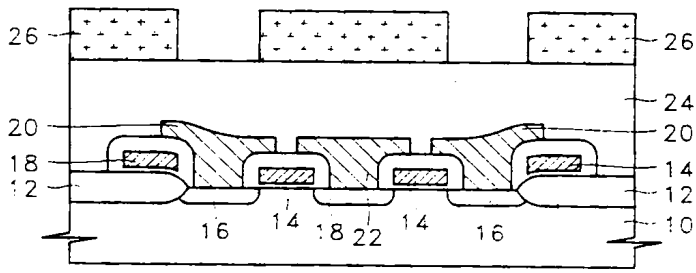
제7항에 있어서, 상기 절연막들을 구성하는 물질은, 소정의 식각에 대해 상기 제1물질층을 구성하는 물질과는 다른 식각율을 갖는 물질인 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

청구항 12

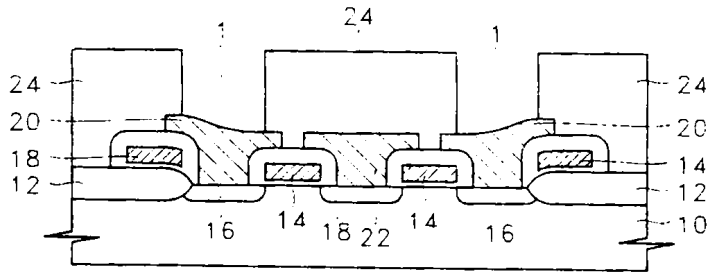
제10항에 있어서, 상기 절연막들을 구성하는 물질로 산화물을 사용하고, 상기 제1물질층을 구성하는 물질로 다결정실리콘 및 실리콘 나이트라이드 중 어느 하나를 사용하는 것을 특징으로 하는 반도체 메모리장치의 매몰접촉창 형성방법.

도면

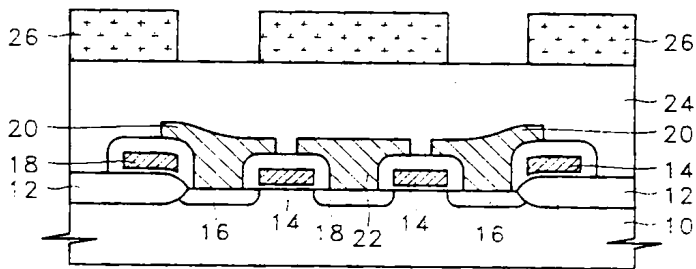
도면 1a



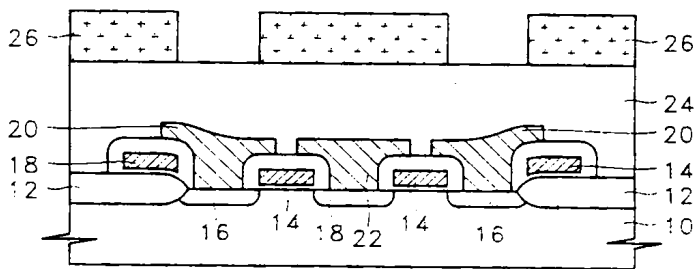
도면 1b



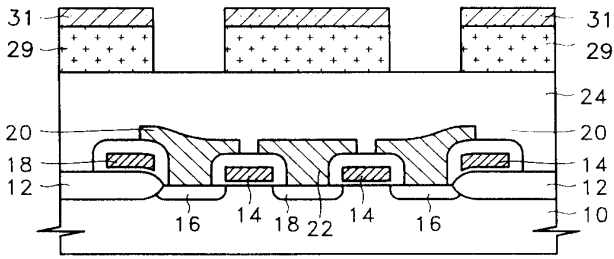
도면 2a



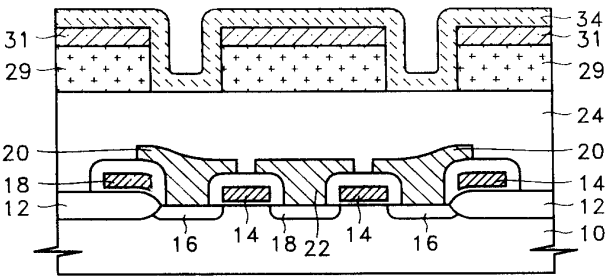
도면 2b



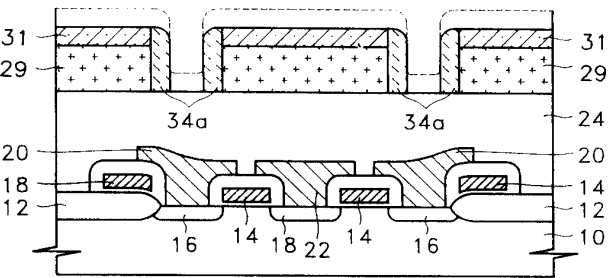
도면2c



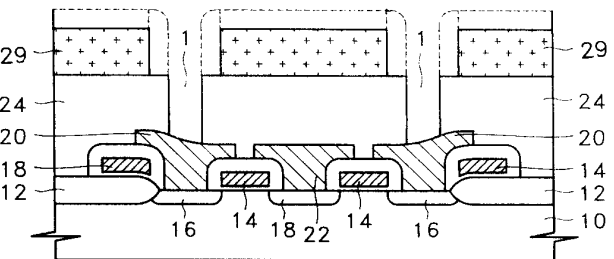
도면2d



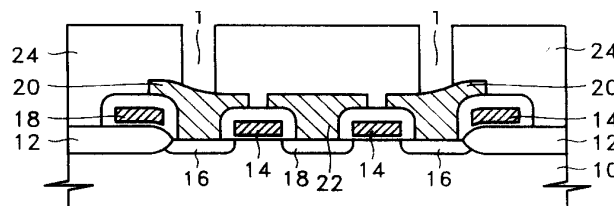
도면2e



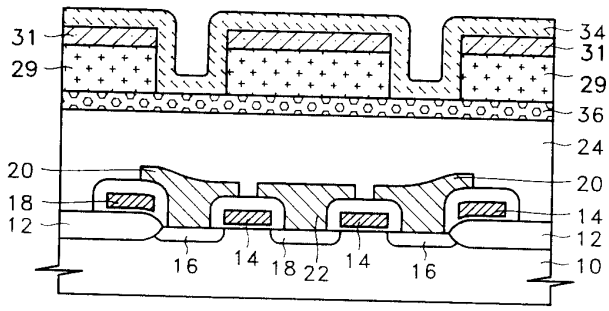
도면2f



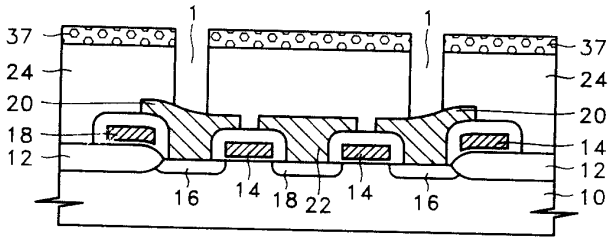
도면2g



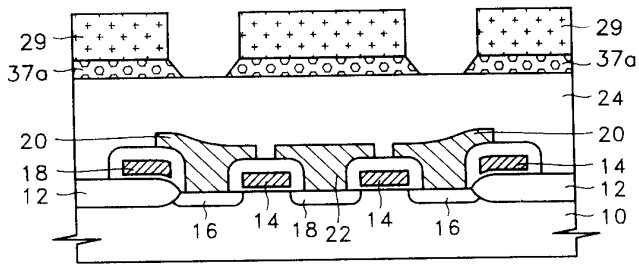
도면3a



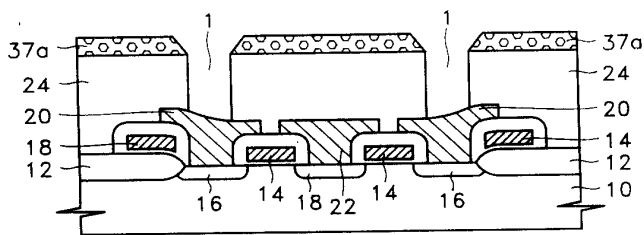
도면3b



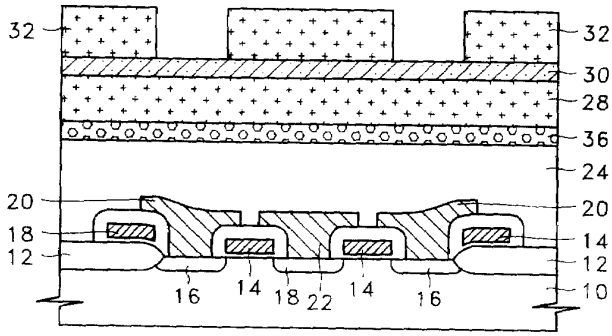
도면4a



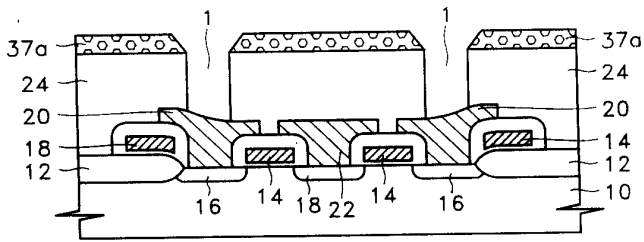
도면4b



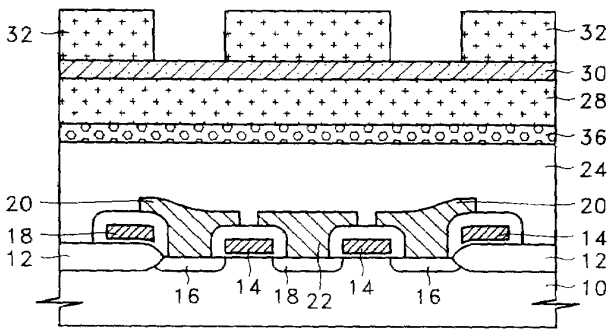
도면5a



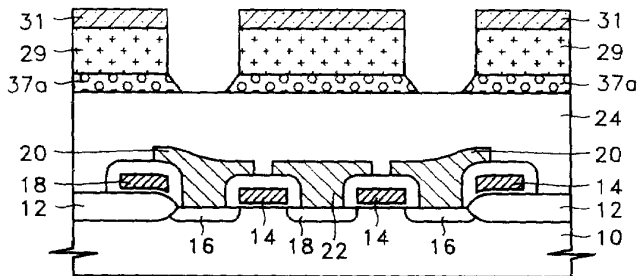
도면5b



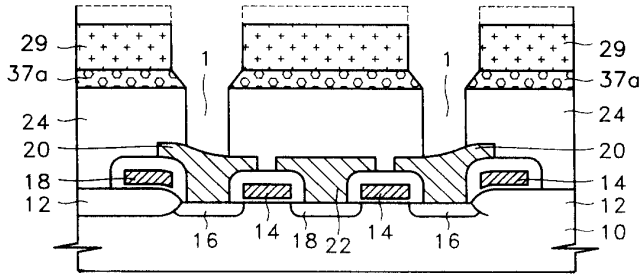
도면6a



도면6b



도면5c



도면5d

