

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2012年6月7日 (07.06.2012)



(10) 国际公布号  
WO 2012/071763 A1

- (51) 国际专利分类号: H01L 21/762 (2006.01) [CN/US]; 美国纽约州波基普西市洛克科罗斯特街 11#, New York 12603 (US)。
- (21) 国际申请号: PCT/CN2011/000309
- (22) 国际申请日: 2011年2月25日 (25.02.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权: 201010574562.9 2010年11月30日 (30.11.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 钟汇才 (ZHONG, Huicai) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 梁擎擎 (LIANG, Qingqing) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科罗斯特街 11#, New York 12603 (US)。 骆志炯 (LUO, Zhijiong)
- (74) 代理人: 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE,

[见续页]

(54) Title: SUBSTRATE FOR INTEGRATED CIRCUIT AND FORMING METHOD THEREOF

(54) 发明名称: 用于集成电路的衬底及其形成方法

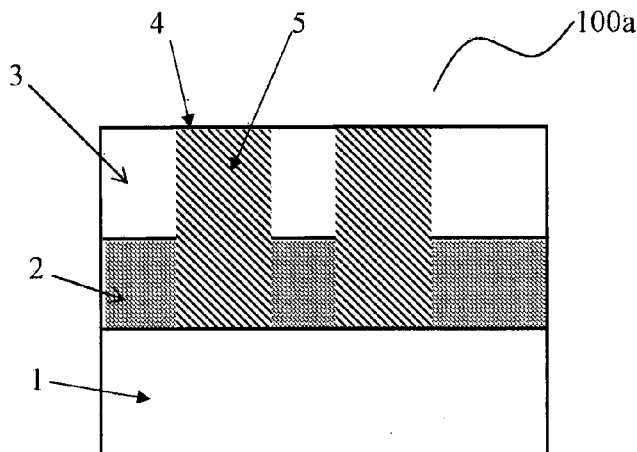


图 1a /Fig.1a

(57) Abstract: A substrate for an integrated circuit and a forming method thereof are provided. The method includes forming a hard mask layer on a bulk silicon material (1); etching the hard mask layer and the bulk silicon material to form first parts of trenches (4); forming a dielectric film on sidewalls of the trenches; etching the bulk silicon material further, so as to deepen the trenches and form second parts of the trenches; completely oxidizing or nitridizing the bulk silicon material parts positioned between the second parts of trenches and between the second parts of the trenches and the exterior of the bulk silicon substrate; filling the first parts and the second parts of the trenches with dielectric materials (5); and removing the hard mask layer, wherein the first parts of the trenches is used for achieving shallow trench isolation.

[见续页]

WO 2012/071763 A1



SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,  
GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

---

**(57) 摘要:**

提供了一种用于集成电路的衬底及其形成方法。该方法包括在体硅材料(1)上形成硬掩膜层;蚀刻该硬掩膜层以及该体硅材料以形成沟槽(4)的第一部分;在沟槽的侧壁上形成电介质膜;进一步蚀刻该体硅材料,使得沟槽加深从而形成沟槽的第二部分;完全氧化或氮化沟槽的第二部分之间以及所述沟槽的第二部分与该体硅材料的外侧之间的该体硅材料的部分;在该沟槽的第一及第二部分中填充介电材料(5);以及除去该硬掩膜层,其中沟槽的第一部分用于实现浅沟槽隔离。

## 用于集成电路的衬底及其形成方法

### 技术领域

- 5 本发明涉及集成电路制造领域，尤其涉及用于集成电路的衬底及其制造方法。

### 背景技术

- 在集成电路制造工艺中，常常使用绝缘体上硅（SOI）衬底结合浅沟槽隔离（STI）来实现器件之间的完全隔离。附图 4a-d 示出了一种现有技术中用于制造 SOI 衬底的方法。该方法使用硅晶片来制造 SOI 衬底，形成每个 SOI 衬底需要两个硅晶片。图 5a-d 示出了另一种制造 SOI 衬底的方法，该方法利用智能切割（Smart Cut）技术提高了硅晶片的利用率。图 6 示出了在 SOI 衬底上形成 STI 以实现器件的完全隔离。
- 15 现有技术中形成 SOI 衬底的方法复杂且由于使用硅晶片数量多而昂贵，这大大限制了 SOI 衬底在集成电路工业中的广泛应用。因此，需要一种技术来代替现有 SOI 衬底制造方法，以简化工艺和降低成本。

### 发明内容

- 20 本发明的目的是提供一种全新的方法来制造用于集成电路的衬底。本发明的方法通过在体材料上引入形成浅沟道隔离（STI）的原始工艺流，实现了与 SOI 衬底相同的器件隔离效果。

- 与现有技术相比，本发明使用廉价的体材料，降低了成本，并且本发明的衬底形成方法基于浅沟槽隔离工艺流，使得实现器件完全隔离所需的工艺流程大大简化。
- 25

- 根据本发明的一种衬底制造方法包括步骤：在体硅材料上形成硬掩膜层；蚀刻该硬掩膜层以及该体硅材料以形成至少一个沟槽的第一部分，该第一部分用于实现浅沟槽隔离；在所述沟槽的侧壁上形成电介质膜；进一步蚀刻所述体硅材料，使得所述沟槽加深从而形成所述沟槽的第二部分；完全氧化或氮化所述沟槽的第二部分之间以及所述沟槽的第二部分与所述体硅材料的外侧之间的所述体硅材料的部分；
- 30 在所述沟槽的第一及第二部分中填充介电材料；以及除去所述硬掩膜

层。

根据本发明的另一种衬底制造方法包括步骤：在形成了氮化镓层或碳化硅层的体硅材料上形成硬掩膜层；蚀刻该硬掩膜层以及该氮化镓层或碳化硅层以形成至少一个沟槽的第一部分，该第一部分贯穿所述氮化镓层或碳化硅层并且用于实现浅沟槽隔离；在所述沟槽的侧壁上形成电介质膜；进一步蚀刻所述体硅材料，使得所述沟槽加深从而形成所述沟槽的第二部分；完全氧化或氮化所述沟槽的第二部分之间以及所述沟槽的第二部分与所述体硅材料的外侧之间的所述体硅材料的部分；在所述沟槽的第一及第二部分中填充介电材料；以及除去所述硬掩膜层。

根据本发明的又一种制造衬底的方法包括步骤：在体半导体材料上形成硬掩膜层；蚀刻该硬掩膜层以及该体半导体材料以形成至少一个沟槽的第一部分，该第一部分用于实现浅沟槽隔离；在所述沟槽的侧壁上形成电介质膜；进一步蚀刻所述体硅材料，使得所述沟槽加深从而形成所述沟槽的第二部分；完全绝缘化所述第二部分之间以及所述第二部分与所述体半导体材料的外侧之间的所述体半导体材料的部分；在所述沟槽的第一及第二部分中填充介电材料；以及除去所述硬掩膜层。

本发明还提供一种用于集成电路的衬底，该衬底包括：体半导体材料衬底；位于该体半导体材料衬底上的电介质层；位于所述电介质层上的半导体层，所述半导体层与所述体半导体材料衬底由相同的材料形成；至少一个沟槽，所述至少一个沟槽中的每一个具有第一部分和第二部分，所述第一部分位于所述半导体层中用于形成浅沟槽隔离，所述第二部分位于所述电介质层中并且贯穿所述电介质层，其中所述电介质层是通过氧化或氮化所述体半导体材料衬底的一部分而形成的；并且所述沟槽的第一部分和第二部分中填充有同样的电介质材料，该电介质材料不同于所述电介质层的电介质材料。

根据本发明的另一种衬底包括：体硅衬底；位于该体硅衬底上的电介质层；位于所述电介质层上的半导体层，该半导体层由碳化硅或氮化镓形成；至少一个沟槽，所述至少一个沟槽中的每一个具有第一部分和第二部分，所述第一部分贯穿所述半导体层用于形成浅沟槽隔离，所述第二部分位于所述电介质层中并且贯穿所述电介质层，其中

所述电介质层是通过氧化或氮化所述体硅衬底的一部分而形成的；并且其中所述沟槽的第一部分和第二部分中填充有同样的电介质，该电介质不同于形成所述电介质层的材料。

## 5 附图说明

图 1a-d 示出了根据本发明不同实施例的衬底的示意图。

图 2a-h 示出了根据本发明的一个实施例制造用于集成电路的衬底的工艺流程的俯视图，图 3a-h 分别示出了沿图 2a-h 中的 AA' 线截取的横截面示意图。

10 图 4a-d 示出了现有技术中形成 SOI 衬底的方法，其中，图 4a 示出了氧化两个硅晶片，图 4b 示出了将氧化后的两个硅晶片键合在一起，图 4c 示出了对上层硅晶片进行研磨，图 4d 示出了经退火和抛光后完成的 SOI 衬底。

图 5a-d 示出了现有技术中另一种形成 SOI 衬底的方法，其中图 5a  
15 示出了氧化两个硅晶片，图 5b 示出了将氧化后的硅晶片键合在一起，图 5c 示出了利用智能切割技术将上层硅晶片的一部分切割以用于制造另一 SOI 衬底，图 5d 示出了经退火和抛光后完成的 SOI 衬底。

图 6 示意性地示出了在 SOI 衬底上形成浅沟槽隔离后的结构。

## 20 具体实施方式

为了使本发明提供的技术方案更加清楚和明白，以下参照附图并结合具体实施例，对本发明进行更详细的描述。附图是示意性的，并不一定按比例绘制，贯穿附图相同的附图标记表示相同的部分。

图 1a 和 b 分别示出了根据本发明实施例的衬底的剖面图。如图 1a  
25 所示，衬底 100a 包括体半导体材料衬底 1，位于该体半导体材料衬底 1 上的电介质层 2，以及位于电介质层 2 上的第一半导体层 3，其中所述电介质层 2 是通过氧化或氮化所述体半导体材料衬底 1 的一部分而形成的。该衬底 100a 还包括沟槽 4，沟槽 4 具有位于所述体半导体衬底 1 内的第一部分以及位于所述电介质层 2 内的第二部分，沟槽 4 之间的第一半导体层 3 的部分是要形成器件的区域。沟槽 4 内填充有电  
30 介质材料 5，该电介质材料 5 不同于所述电介质层 2 的材料。所述第一半导体层 3 与所述体半导体材料衬底 1 由相同的材料形成，例如由 Si

或 GaN 等形成。在使用 Si 材料的情况下，所述电介质层 2 例如是氧化硅或氮化硅，所述电介质材料 5 例如可以由氧化硅、氮化硅、应力氮化硅或其组合形成。沟槽 4 的所述第一部分具有 10nm-1000nm 的深度，沟槽 4 的所述第二部分具有 10nm-100nm 的深度。

5 图 1b 示出了根据本发明另一实施例的衬底 100b，其与上述衬底 100a 的不同之处仅在于沟槽 4 的第二部分的侧壁具有“ $\Sigma$ ”形状。

图 1c 示出了根据本发明又一个实施例的衬底 100c。该衬底与图 1a 所示的衬底的不同之处仅在于在第一半导体层 3 上方具有第二半导体层 3'，该第二半导体层 3' 可以由 SiGe、GaAs、GaAlN、GaN、SiC 或  
10 III-V 族三元混晶半导体（例如， $GaxIn_{1-x}As$ ， $AlxIn_{1-x}Sb$  等）形成，以用于形成基于这些材料的器件。类似地，本发明还提供另一种衬底 100d，如图 1d 中所示，该衬底 100d 与图 1b 所示的衬底的不同之处仅在于在第一半导体层 3 上方具有第二半导体层 3'，该半导体层 3' 可以是 GaN 或 SiC 层。尽管在图 1c 和 1d 中，在第一半导体层 3 上方具有  
15 由例如 GaN 或 SiC 层形成的第二半导体层 3'，但是实际上可以用第二半导体层 3' 代替整个第一半导体层 3。

图 2a-h 示出了根据本发明的一个实施例制造用于集成电路的衬底的工艺流程的俯视图，图 3a-h 分别示出了沿图 2a-h 中的 AA' 线截取的横截面示意图。

20 首先，如图 2a 和 3a 所示，在体硅材料衬底 100 上形成第一硬掩膜层 12 和第二硬掩膜层 13。第一硬掩膜层 12 可以使用  $SiO_2$  形成，第二硬掩膜层 13 可以使用  $Si_3N_4$  形成。硬掩膜层的数量或材料并不限于上面描述的情况，本领域技术人员可以根据需要选择合适的层数及材料。此外，尽管在图 2a 中将体硅材料衬底 100 示为方形，然而，应当理解，  
25 衬底 100 的形状并不限于此，而是可以是任何形状。

接下来，利用光刻以及干法或湿法蚀刻在衬底 100 中形成沟槽 4 的第一部分，该第一部分用于浅沟槽隔离，如图 2b 和 3b 中所示。该第一部分的深度 d1 可以为 10-1000nm。虽然在所示的实施例中，沟槽 4 的侧壁垂直于衬底表面，然而，在其它实施例中沟槽 4 的侧壁可以有  
30 小的倾斜。此外，沟槽 4 的数量并不受限制，可以是任何所需的数量。

随后，如图 2c 和 3c 所示，在沟槽 4 的侧壁、暴露的衬底表面以及第二硬掩膜层 13 上共形地沉积电介质薄膜 15，例如  $SiO_2$  或  $Si_3N_4$ 。通

过选择性干法蚀刻除去沟槽 4 底部以及第二硬掩膜层 13 上的电介质薄膜 15, 使得电介质薄膜 15 仅保留在沟槽 4 的侧壁上 (如图 2d 和 3d 所示)。然而, 本发明不限于此, 事实上只要保留沟槽 4 的侧壁上的电介质薄膜 15 而除去沟槽 4 底部上的电介质薄膜 15 即可。电介质薄膜 15 的厚度可选择为 3-50nm。

接下来, 可以选择使用干法或湿法蚀刻进一步蚀刻体硅材料衬底 100, 使得沟槽 4 加深, 形成沟槽 4 的第二部分, 沟槽 4 的第二部分的深度  $d_2$  为 10nm-1000nm。该第二部分的形状可以是任何所需的形状。例如, 在一个优选实施例中, 使用选择性湿法化学蚀刻, 所形成的第二部分的侧壁的形状是“ $\Sigma$ ”形, 如图 3e 所示, 形成这种“ $\Sigma$ ”形的侧壁的好处是在后续的工艺步骤中更容易将沟槽的第二部分之间以及沟槽的第二部分与体半导体材料的外侧之间的半导体材料氧化或氮化。当然, 该第二部分的侧壁也可以垂直于衬底表面或略微倾斜。取决于该第二部分的形状, 蚀刻可以是各向同性或各向异性的。

“ $\Sigma$ ”形沟槽的形成可以是这样的, 对于晶面取向为 $\langle 100 \rangle$ 衬底, 如果通过 TMAH 或 KOH 等腐蚀液进行腐蚀, 则将得到沿 $\{111\}$ 晶面的腐蚀侧壁, 这样就形成了“ $\Sigma$ ”形沟槽。

接下来, 以“ $\Sigma$ ”形的第二部分为例来描述进一步的工艺步骤。如图 2f 和 3f 所示, 对衬底执行高温或低温氧化, 或者高温或低温氮化过程, 以完全氧化或氮化要形成器件的区域 17 下方的体硅材料衬底 100 的部分 10, 即, 体硅材料衬底的部分 10 形成氧化硅或者氮化硅。该氧化或氮化过程可以使用等离子体或正常的氧化工艺来实现。尽管以氧化或氮化过程作为实例进行说明, 但是本领域技术人员可以根据衬底 100 的材料, 选择任何合适的方法来使得要形成器件的区域 17 下方的衬底材料完全绝缘化。

接下来, 在沟槽 4 的第一部分及第二部分中填充介电材料, 例如氧化硅、氮化硅、应力氮化硅等等或其组合。在填充介电材料之后使用化学机械抛光 (CMP) 方法进行表面平坦化, 得到了如图 3g 所示的结构。作为备选实施例, 可以在填充介电材料之前通过干法或湿法蚀刻除去沟槽 4 的侧壁上的电介质薄膜 15。

最后, 将第一硬掩膜层 12 和第二硬掩膜层 13 剥离, 以得到如图 3h 所示的衬底。之后, 可以按照需要, 在区域 17 中形成所需的器件。

尽管以上结合体硅材料描述了本发明的形成衬底的方法，然而，本发明并仅不限于应用于硅材料，本发明还可以应用于采用其它半导体材料（例如，SiGe、GaAs、GaAlN、GaN、SiC 或诸如  $GaxIn_{1-x}As$  和  $AlxIn_{1-x}Sb$  的 III-V 族三元混晶半导体）的 IC 制造工艺。举例而言，  
5 可以使用 GaN 体材料代替上面所述的硅体材料。或者，例如，在体硅材料衬底 100 上预先形成另一半导体层，该另一半导体层例如由 SiGe、GaAs、GaAlN、GaN、SiC 或 III-V 族三元混晶半导体（例如  $GaxIn_{1-x}As$ 、 $AlxIn_{1-x}Sb$ ）形成，然后执行如图 3a-3h 所示的工艺流程，即，在图 3a 所示的步骤中，在该另一半导体层上方形成硬掩膜层 12、13，在图 3b  
10 所示的步骤中，蚀刻硬掩膜层 12、13，该另一半导体层，和体硅材料衬底，以形成沟槽 4 的第一部分，接下来的工艺步骤与图 3c-3h 相同，在此不再累述。应当注意，在图 3b 所示的步骤中，并不一定要蚀刻体硅材料衬底，即，沟槽 4 的第一部分并不一定要延伸到体硅材料衬底 100 中，而是至少贯穿该另一半导体层即可。

15 此外，本发明意义上的集成电路也包括含有诸如发光二极管的光电子器件的集成光电子电路。

以上通过示例性实施例描述了本发明的晶体管及制造晶体管的方法，然而，这并不意图限制本发明的保护范围。本领域技术人员可以想到的上述实施例的任何修改或变型都落入由所附权利要求限定的本  
20 发明的范围内。



## 权 利 要 求

1. 一种制造衬底的方法，该方法包括如下步骤：  
在体硅材料上形成硬掩膜层；  
5 蚀刻该硬掩膜层以及该体硅材料以形成至少一个沟槽的第一部分，该第一部分用于实现浅沟槽隔离；  
在所述沟槽的侧壁上形成电介质膜；  
进一步蚀刻所述体硅材料，使得所述沟槽加深从而形成所述沟槽的第二部分；  
10 完全氧化或氮化所述沟槽的第二部分之间以及所述沟槽的第二部分与所述体硅材料的外侧之间的所述体硅材料的部分；  
在所述沟槽的第一及第二部分中填充介电材料；以及  
除去所述硬掩膜层。  
2. 根据权利要求1的方法，其中在体硅材料上形成硬掩膜层之前，  
15 在体硅材料上形成另一半导体层，并且蚀刻该硬掩膜层以及该体硅材料以形成至少一个沟槽的第一部分还包括蚀刻所述另一半导体层。  
3. 根据权利要求1的方法，其中所述另一半导体层由SiGe、GaAs、GaAlN、GaN、SiC或III-V族三元混晶半导体形成。  
4. 根据权利要求1或2的方法，其中在所述沟槽的侧壁上形成电介  
20 质膜的步骤包括如下步骤：  
在所述硬掩膜层、所述沟槽的侧壁以及所述沟槽的底部共形地形成电介质膜；以及  
蚀刻所述电介质膜，使得仅在所述沟槽的侧壁上保留所述电介质膜。  
25 5. 根据权利要求1或2的方法，其中在所述沟槽的第一及第二部分中填充介电材料之前选择性地除去在所述沟槽的侧壁上形成的电介质膜。  
6. 根据权利要求1或2的方法，使用选择性湿法化学蚀刻来形成沟槽的所述第二部分，使得该第二部分的侧壁具有 $\Sigma$ 形状。  
30 7. 根据权利要求1或2的方法，其中所述第一部分的深度为10-1000nm，且所述第二部分的深度为10-1000nm。  
8. 一种制造衬底的方法，该方法包括如下步骤：

在形成了半导体层的体硅材料上形成硬掩膜层，该半导体层是SiGe、GaAs、GaAlN、GaN、SiC或III-V族三元混晶半导体层；

蚀刻该硬掩膜层以及该半导体层以形成至少一个沟槽的第一部分，该第一部分贯穿所述半导体层并且用于实现浅沟槽隔离；

5 在所述沟槽的侧壁上形成电介质膜；

进一步蚀刻所述体硅材料，使得所述沟槽加深从而形成所述沟槽的第二部分；

完全氧化或氮化所述沟槽的第二部分之间以及所述沟槽的第二部分与所述体硅材料的外侧之间的所述体硅材料的部分；

10 在所述沟槽的第一及第二部分中填充介电材料；以及  
除去所述硬掩膜层。

9. 一种制造衬底的方法，该方法包括：

在体半导体材料上形成硬掩膜层；

15 蚀刻该硬掩膜层以及该体半导体材料以形成至少一个沟槽的第一部分，该第一部分用于实现浅沟槽隔离；

在所述沟槽的侧壁上形成电介质膜；

进一步蚀刻所述体硅材料，使得所述沟槽加深从而形成所述沟槽的第二部分；

20 完全绝緣化所述第二部分之间以及所述第二部分与所述体半导体材料的外侧之间的所述体半导体材料的部分；

在所述沟槽的第一及第二部分中填充介电材料；以及  
除去所述硬掩膜层。

10. 一种衬底，包括：

体半导体材料衬底；

25 位于该体半导体材料衬底上的电介质层；

位于所述电介质层上的半导体层，所述半导体层与所述体半导体材料衬底由相同的材料形成；

30 至少一个沟槽，所述至少一个沟槽中的每一个具有第一部分和第二部分，所述第一部分位于所述半导体层中用于形成浅沟槽隔离，所述第二部分位于所述电介质层中并且贯穿所述电介质层，

其中所述电介质层是通过氧化或氮化所述体半导体材料衬底的一部分而形成的；并且

所述沟槽的第一部分和第二部分中填充有同样的电介质材料，该电介质材料不同于所述电介质层的电介质材料。

11. 根据权利要求9所述的衬底，其中所述半导体层与所述体半导体材料均由硅形成，所述电介质层由氧化硅或氮化硅形成，且所述电  
5 介质材料是氧化硅、氮化硅、应力氮化硅或其组合。

12. 根据权利要求8或9所述的衬底，其中还包括位于所述半导体层上方的另一半导体层，所述沟槽的第一部分也贯穿该另一半导体层。

13. 根据权利要求12所述的衬底，其中所述另一半导体层由SiGe、GaAs、GaAlN、GaN、SiC或III-V族三元混晶半导体形成。

10 14. 根据权利要求9或10所述的衬底，其中所述第二部分的侧壁具有 $\Sigma$ 形状。

15. 一种衬底，包括：

体硅衬底；

位于该体硅衬底上的电介质层；

15 位于所述电介质层上的半导体层，该半导体层由SiGe、GaAs、GaAlN、GaN、SiC或III-V族三元混晶半导体形成；

至少一个沟槽，所述至少一个沟槽中的每一个具有第一部分和第二部分，所述第一部分贯穿所述半导体层用于形成浅沟槽隔离，所述第二部分位于所述电介质层中并且贯穿所述电介质层，

20 其中所述电介质层是通过氧化或氮化所述体硅衬底的一部分而形成的；并且

其中所述沟槽的第一部分和第二部分中填充有同样的电介质，该电介质不同于形成所述电介质层的材料。

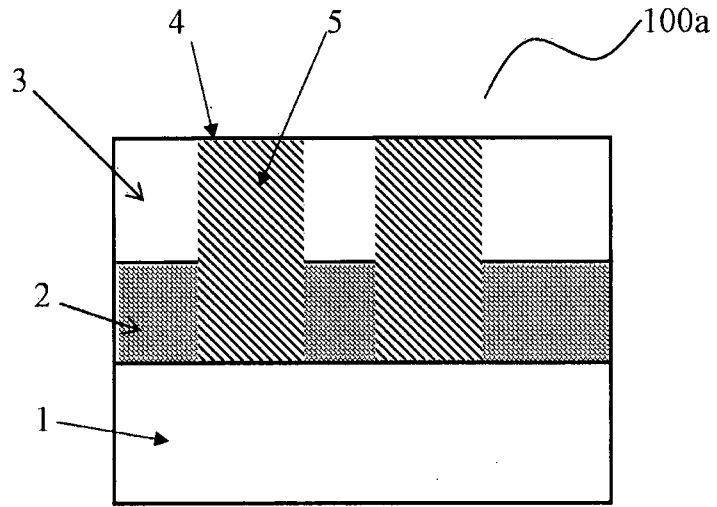


图 1a

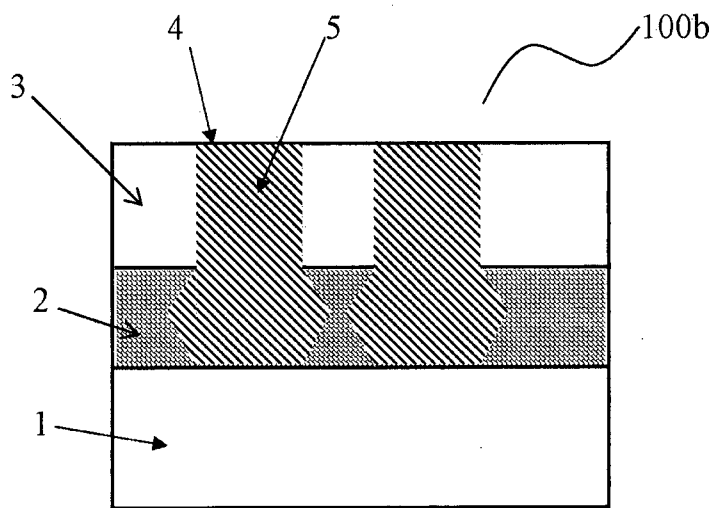


图 1b

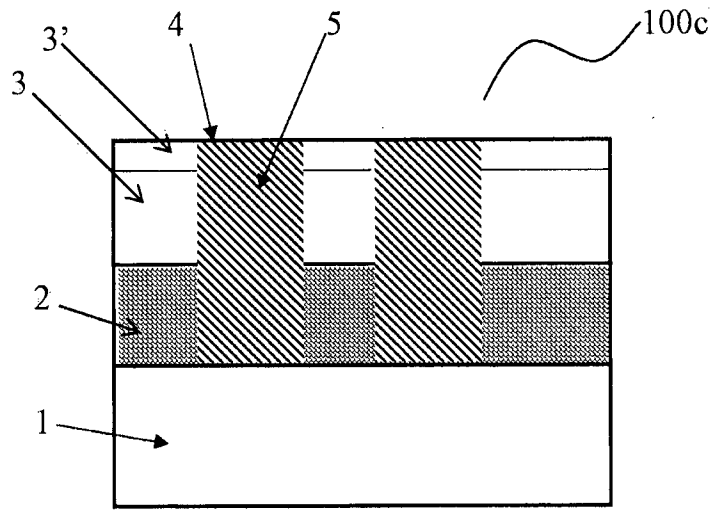


图 1c

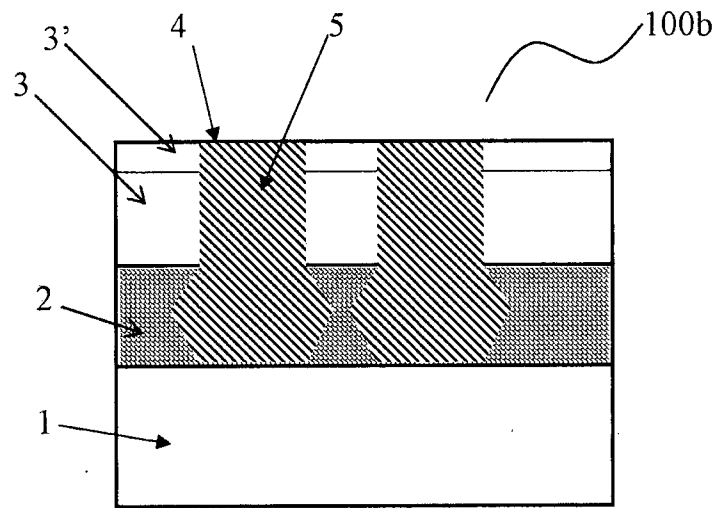


图 1d

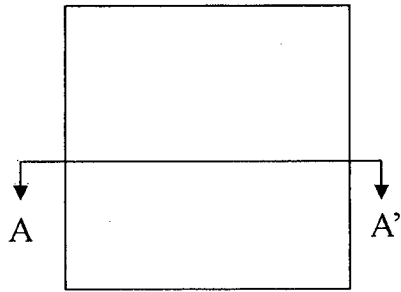


图 2a

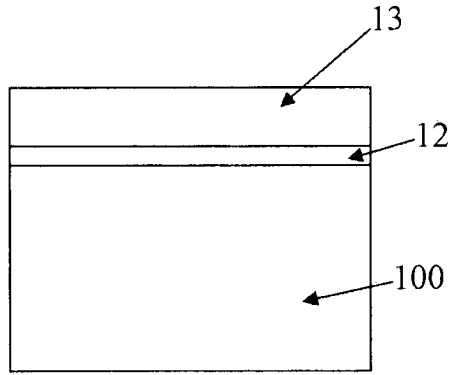


图 3a

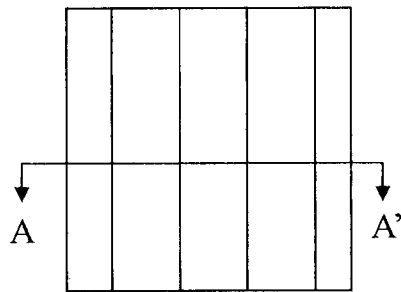


图 2b

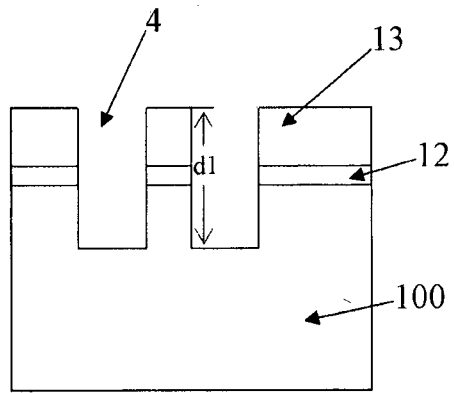


图 3b

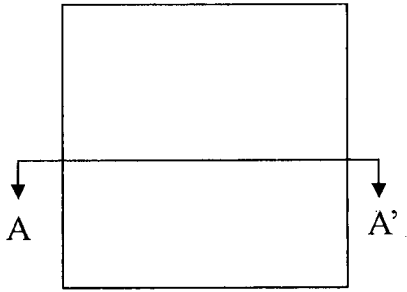


图 2c

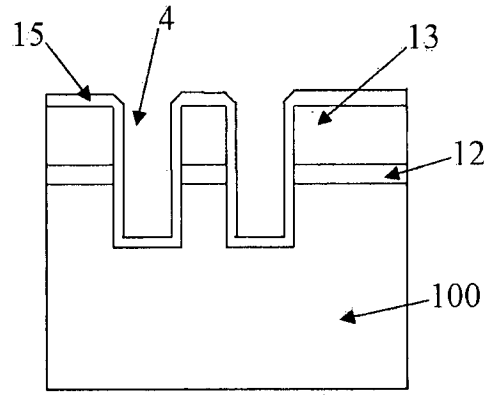


图 3c

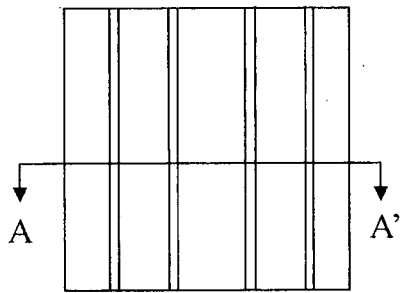


图 2d

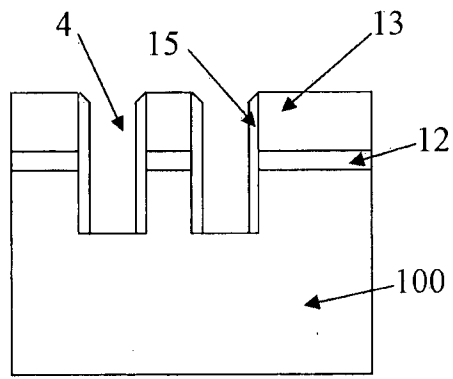


图 3d

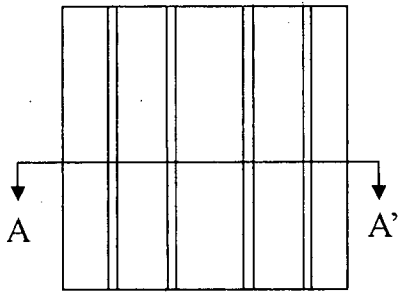


图 2e

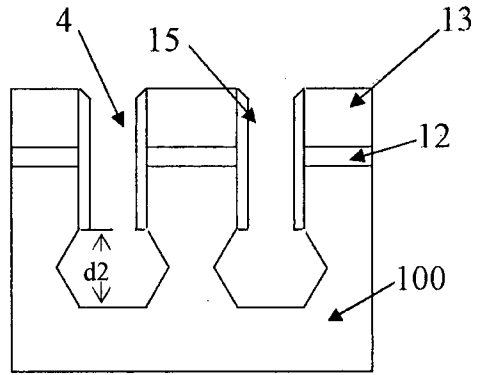


图 3e

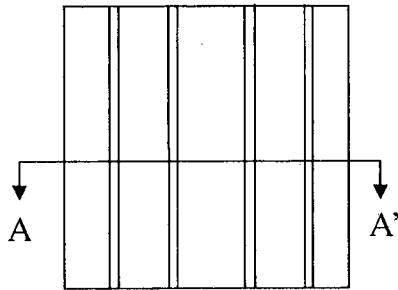


图 2f

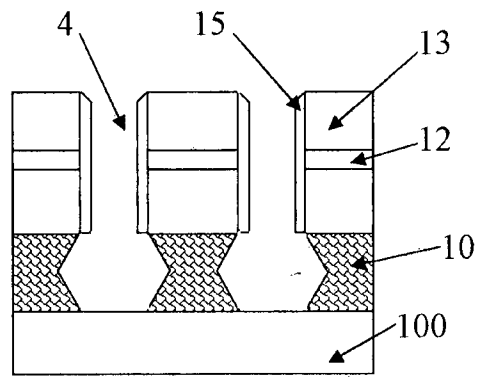


图 3f



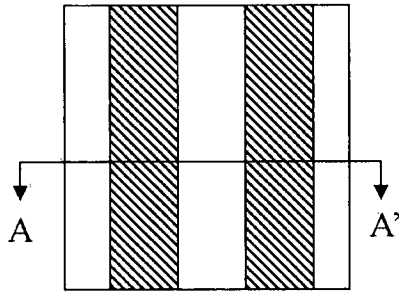


图 2g

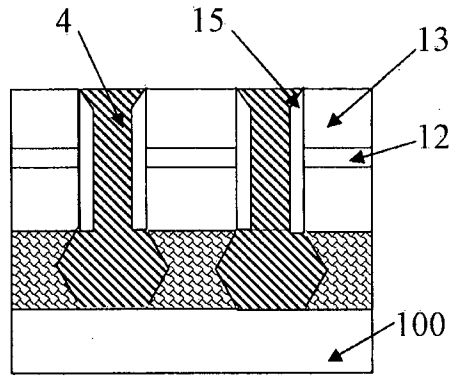


图 3g

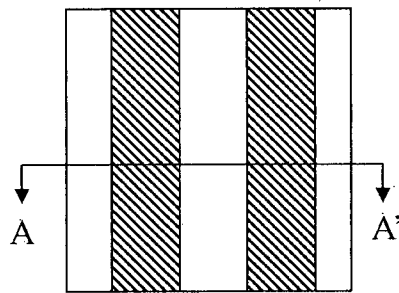


图 2h

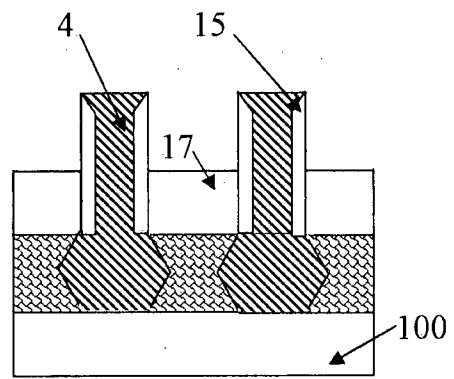


图 3h

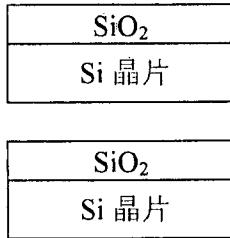


图 4a

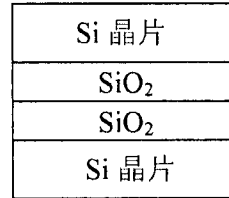


图 4b

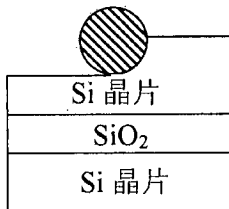


图 4c

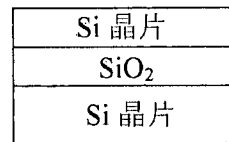


图 4d

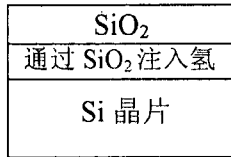
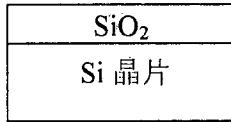


图 5a



图 5b

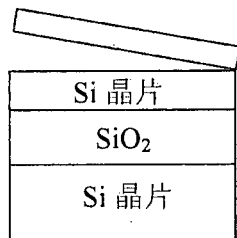


图 5c



图 5d

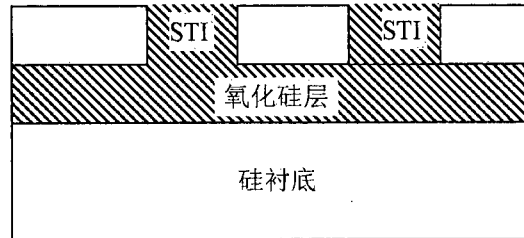


图 6

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2011/000309

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/762 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: substrate SOI silicon-on-insulator semiconductor-on-insulator trench+ isolation STI

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US2005/0253194A1 (Ji-Yi Yang, et al.) 17 Nov. 2005 (17.11.2005) specification: page 2, par. 20 to page 3, par. 31, figures 2A-2G	1, 4 -5, 7, 9
Y		10-11, 15
Y	CN101064319A (IBM CORP.) 31 Oct. 2007 (31.10.2007) specification: page 6, pars. 1-5, figure 1	10-11,15
E	CN101996922A (JIANGSU LEXVU ELECTRONICS CO., LTD.) 30 Mar. 2011 (30.03.2011) specification: page 3, par. 32 to page 5, par.52, figures 7-14	1, 4-5, 7, 9-10

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;”document member of the same patent family</p>
--	--

Date of the actual completion of the international search

21 Jul. 2011 (21.07.2011)

Date of mailing of the international search report

**08 Sep. 2011 (08.09.2011)**

Name and mailing address of the ISA/CN  
The State Intellectual Property Office, the P.R.China  
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China  
100088  
Facsimile No. 86-10-62019451

Authorized officer

**YANG Yong**

Telephone No. (86-10)62411777

**INTERNATIONAL SEARCH REPORT**International application No.  
PCT/CN2011/000309

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101506964A (MICRON TECHNOLOGY INC.) 12 Aug. 2009 (12.08.2009) the whole document	1—15
A	CN101017834A (SHANGHAI INTEGRATED CIRCUIT RES. & DEV. CENTRE) 15 Aug. 2007 (15.08.2007) the whole document	1—15

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2011/000309

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2005/0253194A1	17.11.2005	US7157350B2	02.01.2007
		TW252540B1	01.04.2006
		TW200539353A	01.12.2005
CN101064319A	31.10.2007	US2007252215A1	01.11.2007
		US7385257B2	10.06.2008
		TW200802719A	01.01.2008
		CN100536144C	02.09.2009
CN101996922A	30.03.2011	US2011037142A1	17.02.2011
CN101506964A	12.08.2009	US2008048298A1	28.02.2008
		WO2008027143A2	06.03.2008
		WO2008027143A3	24.04.2008
		TW200818412A	16.04.2008
		US7537994B2	26.05.2009
		KR20090060317A	11.06.2009
		JP2010503200T	28.01.2010
CN101017834A	15.08.2007	NONE	

国际检索报告

国际申请号  
**PCT/CN2011/000309**

<b>A. 主题的分类</b>		
H01L21/762 (2006.01) i		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
<b>B. 检索领域</b>		
检索的最低限度文献(标明分类系统和分类号)		
IPC: H01L21/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNKI: 衬底 基底 SOI 绝缘体上硅 绝缘体上半导体 沟槽 隔离 STI		
WPI, EPODOC: substrate SOI silicon-on-insulator semiconductor-on-insulator trench+ isolation STI		
<b>C. 相关文件</b>		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US2005/0253194A1 (Ji-Yi Yang, et al.) 17.11 月 2005 (17.11.2005) 说明书第 2 页第 20 段至第 3 页第 31 段, 附图 2A-2G	1, 4-5, 7, 9
Y		10-11, 15
Y	CN101064319A (国际商业机器公司) 31.10 月 2007 (31.10.2007) 说明书第 6 页第 1-5 段, 附图 1	10-11,15
E	CN101996922A (江苏丽恒电子有限公司) 30.3 月 2011 (30.03.2011) 说明书第 3 页第 32 段至第 5 页第 52 段, 附图 7-14	1, 4-5, 7, 9-10
A	CN101506964A (美光科技公司) 12.8 月 2009 (12.08.2009) 全文	1-15
A	CN101017834A (上海集成电路研究中心有限公司) 15.8 月 2007 (15.08.2007) 全文	1-15
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型:		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件
“A” 认为不特别相关的表示了现有技术一般状态的文件		“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性
“E” 在国际申请日的当天或之后公布的在先申请或专利		“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)		“&” 同族专利的文件
“O” 涉及口头公开、使用、展览或其他方式公开的文件		
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件		
国际检索实际完成的日期 21.7 月 2011 (21.07.2011)	国际检索报告邮寄日期 <b>08.9 月 2011 (08.09.2011)</b>	
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451	受权官员  <b>杨永</b> 电话号码: (86-10) <b>62411777</b>	



国际检索报告  
关于同族专利的信息

国际申请号  
**PCT/CN2011/000309**

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2005/0253194A1	17.11.2005	US7157350B2	02.01.2007
		TW252540B1	01.04.2006
		TW200539353A	01.12.2005
CN101064319A	31.10.2007	US2007252215A1	01.11.2007
		US7385257B2	10.06.2008
		TW200802719A	01.01.2008
		CN100536144C	02.09.2009
CN101996922A	30.03.2011	US2011037142A1	17.02.2011
CN101506964A	12.08.2009	US2008048298A1	28.02.2008
		WO2008027143A2	06.03.2008
		WO2008027143A3	24.04.2008
		TW200818412A	16.04.2008
		US7537994B2	26.05.2009
		KR20090060317A	11.06.2009
		JP2010503200T	28.01.2010
CN101017834A	15.08.2007	无	