[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)
G09G 5/00 (2006.01)
G09G 5/36 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200810009622.5

[43] 公开日 2008 年 9 月 10 日

[11] 公开号 CN 101261817A

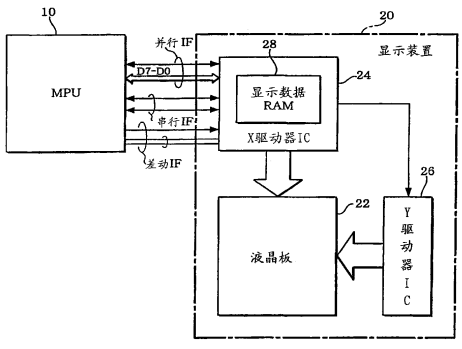
[22] 申请日 2002.5.10
[21] 申请号 200810009622.5
分案原申请号 02119174.3
[30] 优先权
[32] 2001. 5.11 [33] JP [31] 141997/01
[71] 申请人 精工爱普生株式会社
地址 日本东京都
[72] 发明人 小泉德夫
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 刘宗杰
权利要求书 3 页 说明书 25 页 附图 17 页

[54] 发明名称

显示控制器、显示装置及电子设备

[57] 摘要

一种显示控制器、显示装置及电子设备，能以低的耗电量实现可以适应因将来的液晶板画面尺寸的扩大等而引起的显示数据量的增加的传输率。显示装置(20)，包含液晶板(显示部)(22)、具有至少存储 1 帧显示数据的显示数据 RAM(28)并按给定的帧周期对液晶板进行显示驱动的 X 驱动器 IC(显示控制器)(24)、对液晶板(22)进行扫描驱动的 Y 驱动器 IC(26)。X 驱动器 IC(24)，通过差动 IF 从 MPU(10)供给显示数据。MPU(10)，利用伪消隐周期而由差动 IF 以高速传输率供给数据，并在下一个显示数据的传输定时之前停止差动 IF 的动作。



1. 一种显示控制器，根据显示数据对显示部进行显示驱动，该显示控制器的特征在于包含:

存储至少 1 帧显示数据的存储装置;

接收位宽 K（K 为自然数）的显示数据的第 1 显示数据接收装置;

将由第 1 显示数据接收装置接收到的位宽 K 的显示数据变换为位宽 L（L 为大于 K 的自然数）的第 1 位宽变换装置;

通过位宽 N（N 为自然数）的并行总线接收显示数据的第 2 显示数据接收装置;

将由第 2 显示数据接收装置接收到的位宽 N 的显示数据变换为位宽 L（L 为等于或大于 N 的自然数）的第 2 位宽变换装置;

将由上述第 1 或第 2 位宽变换装置变换后的位宽 L 的显示数据写入上述存储装置的显示数据写入装置; 以及

根据从上述存储装置读出的显示数据对显示部进行显示驱动的显示驱动装置。

2. 根据权利要求 1 所述的显示控制器，其特征在于:

上述第 1 显示数据接收装置，从设在显示部的扫描开始之前的伪消隐期间中，接收必须写入上述存储装置的显示数据;

上述显示数据写入装置，将由上述显示数据接收装置接收到的显示数据，从上述伪消隐期间中写入上述存储装置。

3. 根据权利要求 2 所述的显示控制器，其特征在于:

上述显示数据写入装置，在从上述存储装置读出在该帧中与给定的扫描线对应的显示数据之前，将与该扫描线对应的显示数据写入上述存储装置。

4. 根据权利要求 2 或 3 所述的显示控制器，其特征在于:

上述伪消隐期间，设在上述显示部的垂直扫描开始之前，

上述第 1 显示数据接收装置，从上述伪消隐期间中接收该帧的 1 帧显示数据。

5. 根据权利要求 4 所述的显示控制器，其特征在于:

当设 1 帧的显示数据量为 D、由上述第 1 显示数据接收装置接

收的显示数据的数据传输率为 R 时，上述伪消隐期间，至少仅设定为由 D/R 表示的期间。

6. 根据权利要求 2 或 3 所述的显示控制器，其特征在于：

上述伪消隐期间，设在上述显示部的水平扫描开始之前，

上述第 1 显示数据接收装置，从上述伪消隐期间中接收该扫描线的显示数据。

7. 根据权利要求 2 至 6 中的任何一项所述的显示控制器，其特征在于：包含仅在由上述第 1 显示数据接收装置完成显示数据的接收后直到接收下一个显示数据时的给定期间内使上述第 1 显示数据接收装置的动作停止的接收动作停止装置。

8. 根据权利要求 7 所述的显示控制器，其特征在于：

上述第 1 显示数据接收装置，包含对通过差动对信号线接收到的显示数据的差动信号进行放大的差动放大器，

上述接收动作停止装置，在将由上述第 1 显示数据接收装置接收到的显示数据写入上述存储装置后直到接收下一个显示数据的期间，停止上述差动放大器的动作。

9. 根据权利要求 7 或 8 所述的显示控制器，其特征在于：

上述第 1 显示数据接收装置，包含对通过差动对信号线接收到的显示数据的差动信号进行放大的差动放大器，

上述接收动作停止装置，在将由上述第 1 显示数据接收装置接收到的显示数据写入上述存储装置后直到接收下一个显示数据的期间，停止或限制上述差动放大器的电流源的电流。

10. 一种显示装置，其特征在于备有：

具有由多个第 1 电极和多个第 2 电极驱动的电光元件的显示板；

驱动上述多个第 1 电极的权利要求 1 至 9 中的任何一项所述的显示控制器；以及

对上述多个第 2 电极进行扫描驱动的扫描驱动用驱动器。

11. 一种显示装置，其特征在于备有：

具有由多个第 1 电极和多个第 2 电极驱动的电光元件的显示板；

驱动上述多个第 1 电极的权利要求 8 或 9 所述的显示控制器；

对上述多个第 2 电极进行扫描驱动的扫描驱动用驱动器；以及

将上述显示数据供给上述显示控制器的显示数据供给电路。

12. 根据权利要求 11 所述的显示装置，其特征在于：

上述显示数据供给电路，包含电流源、当从上述电流源供给的电流随显示数据而发生变化时将与该变化对应的差动信号供给上述显示控制器的差动驱动器、以及进行上述电流源的动作控制的差动驱动控制装置，

在将显示数据供给上述显示控制器后直到供给下一个显示数据的期间，上述接收动作停止装置，停止或限制上述差动放大器的电流源的电流，上述差动驱动控制装置，停止或限制上述电流源的电流。

13. 一种电子设备，其特征在于：具有权利要求 10 至 12 中的任何一项所述的显示装置。

显示控制器、显示装置及电子设备

本申请是下述申请的分案申请:

申请号: 02119174.3

申请日: 2002 年 5 月 10 日

发明名称: 显示控制器、显示装置及电子设备

技术领域

本发明涉及显示控制器、采用了该显示控制器的显示装置及电子设备。

背景技术

随着近年来的通信技术、安装技术等的发展，在携带式电子设备的显示部上，不仅可以显示数字和字母之类的字符文字，而且可以显示静止图象和动图象等对用户有很高信息价值的各种数据。

对于在这种电子设备上显示的数据，提出了各种各样的数据形式。例如，如举携带式电话机为例，则提出了接收或发送根据 MPEG（Moving Picture Experts Group: 运动图象专家组）标准进行压缩编码后的显示数据的技术。

在这种情况下，作为携带式电话机的显示部，例如备有液晶板。液晶板，由显示控制器根据与动图象或静止图象对应的显示数据进行显示驱动。

但是，为了在液晶板上以无不谐调感的方式显示动图象，必须以高速的传输率向对该液晶板进行显示驱动的显示控制器供给显示数据。

对于这种显示数据的传输，迄今为止，由能以低成本实现的 CMOS（Complimentary Metal Oxide Semiconductor: 互补金属氧化物半导体）电路所构成的接口进行。可是，在这种 CMOS 电路中，消耗电流随频率成比例地增加，所以，当想要实现为以无不谐调感的方式显示动图象所需的传输率时，将使携带式电话机等携带式的电子设备的电池驱动时间缩短。此外，在由 CMOS 电路构成的接口中，很难实现可以适应将来的液晶板画面尺寸的扩大、灰度级位数的增加的

传输率。

发明内容

本发明，是鉴于如上所述的技术课题而开发的，其目的是提供一种能以低的耗电量实现可以适应因将来的液晶板画面尺寸的扩大等而引起的显示数据量的增加的传输率的显示控制器、采用了该显示控制器的显示装置及电子设备。

为解决上述课题，本发明提供一种显示控制器，根据显示数据对显示部进行显示驱动，该显示控制器的特征在于：包含存储至少1帧显示数据的存储装置、从在显示部的扫描开始前设置的伪消隐周期中接收应写入上述存储装置的显示数据的第1显示数据接收装置、从上述伪消隐周期中将由上述第1显示数据接收装置接收到的显示数据写入上述存储装置的显示数据写入装置、根据从上述存储装置读出的显示数据对显示部进行显示驱动的显示驱动装置。

这里，所谓显示数据，是指动图象数据、静止图象数据及这些图象数据的显示控制信号等对显示部进行显示驱动时所需的数据。

在本发明中，在具有存储1帧显示数据的存储装置并根据存储在该存储装置内的显示数据对显示部进行显示驱动的显示控制器内，构成为从在显示部的扫描开始前设置的伪消隐周期中接收应写入存储装置的显示数据并将其依次写入存储装置。按照这种结构，能迅速地接收由各帧显示的图象的显示数据并将其写入存储装置。因此，即使显示数据量随显示部的画面尺寸的扩大或灰度级位数的增加而增大时，也能确保其传输所需的传输时间。

另外，本发明的特征在于：上述显示数据写入装置，在从上述存储装置读出在该帧中与给定的扫描线对应的显示数据之前，将与该扫描线对应的显示数据写入上述存储装置。

按照本发明，当在该帧中以给定的扫描线为单位进行显示驱动时，由于在读出该扫描线之前已将与其对应的该帧中的显示数据写入存储装置，所以能够避免在更新显示数据的帧中显示前一帧的显示数据因而将显示出具有不谐调感的动图象的现象。

另外，本发明的特征在于：上述伪消隐周期，设在上述显示部的垂直扫描开始之前，上述第1显示数据接收装置，从上述伪消隐周期中接收该帧的1帧显示数据。

在本发明中，将伪消隐周期设在显示部的垂直扫描开始之前，并从该伪消隐周期中接收该帧的 1 帧显示数据。因此，在第 1 扫描线的扫描开始时，已将与该扫描线对应的显示数据写入存储装置，因而在该帧中就各扫描线来看，对存储装置的写入和读出不会同时进行，因此可以简化定时的生成。

另外，本发明的特征在于：当设 1 帧的显示数据量为 D、由上述第 1 显示数据接收装置接收的显示数据的数据传输率为 R 时，上述伪消隐周期，至少仅设定为由 D/R 表示的周期。

在本发明中，由于将伪消隐周期仅设定为至少 1 帧的显示数据的传输时间（D/R），所以在第 1 扫描线的扫描开始时已将 1 帧显示数据写入存储装置。因此，当进行第 1 扫描线之后的显示驱动时，对存储装置的写入和读出不会同时进行。按照这种方式，可以减小因同时进行写入和读出而引起的存储装置内的电流变化，其结果是，能提高存储装置的抗噪性。

另外，本发明的特征在于：上述伪消隐周期，设在上述显示部的水平扫描开始之前，上述第 1 显示数据接收装置，从上述伪消隐周期中接收该扫描线的显示数据。

在本发明中，将伪消隐周期设在显示部的各水平扫描线的扫描开始之前，并从各水平扫描开始前的伪消隐周期中接收与该扫描线对应的显示数据。因此，在各扫描线的扫描开始时，已将与该扫描线对应的显示数据写入存储装置，对存储装置的写入和读出不会同时进行，因此可以简化定时的生成。

另外，本发明的特征在于：包含仅在由上述第 1 显示数据接收装置完成显示数据的接收后直到接收下一个显示数据时的给定期间内使上述第 1 显示数据接收装置的动作停止的接收动作停止装置。

这里，所谓从由上述第 1 显示数据接收装置完成显示数据的接收直到接收下一个显示数据的给定期间，取决于显示数据的传输定时。例如，当按每条扫描线接收显示数据时，是指直到接收下一个显示数据的期间，当按每个帧接收显示数据时，是指直到在下一个帧中接收显示数据的期间，当空出给定的帧而接收显示数据时，是指直到在空出给定的帧后的下一个帧中接收显示数据的期间。

在本发明中，如上所述，从伪消隐周期中接收显示数据，并仅

在从完成接收直到进行下一个显示数据的接收时的给定期间内停止接收动作。按照这种方式，由于提前开始接收必要的显示数据并在迅速地完成接收时停止接收动作，所以能够减低耗电量。

另外，本发明的特征在于：上述第 1 显示数据接收装置，包含对通过差动对信号线接收到的显示数据的差动信号进行放大的差动放大器，上述接收动作停止装置，在将由上述第 1 显示数据接收装置接收到的显示数据写入上述存储装置后直到接收下一个显示数据的期间，停止上述差动放大器的动作。

在本发明中，由差动放大器接收通过差动对信号线接收到的显示数据，并在将其写入存储装置后直到接收下一个显示数据的期间，停止差动放大器的动作。按照这种方式，由于在不进行显示数据的接收的期间停止了差动放大器的动作，因而可以削减电流消耗。

另外，本发明的特征在于：上述第 1 显示数据接收装置，包含对通过差动对信号线接收到的显示数据的差动信号进行放大的差动放大器，上述接收动作停止装置，在将由上述第 1 显示数据接收装置接收到的显示数据写入上述存储装置后直到接收下一个显示数据的期间，停止或限制上述差动放大器的电流源的电流。

在本发明中，由差动放大器接收通过差动对信号线接收到的显示数据，并在将其写入存储装置后直到接收下一个显示数据的期间，停止或限制差动放大器的电流源的电流。按照这种方式，由于在不进行显示数据的接收的期间停止了差动放大器的动作，因而可以削减电流消耗。

另外，本发明提供一种显示控制器，根据显示数据对显示部进行显示驱动，该显示控制器的特征在于：包含存储至少 1 帧显示数据的存储装置、接收位宽 K 的显示数据的第 1 显示数据接收装置、将由第 1 显示数据接收装置接收到的位宽 K 的显示数据变换为位宽 L 的第 1 位宽变换装置、通过位宽 N 的并行总线接收显示数据的第 2 显示数据接收装置、将由第 2 显示数据接收装置接收到的位宽 N 的显示数据变换为位宽 L 的第 2 位宽变换装置、将由上述第 1 或第 2 位宽变换装置变换后的位宽 L 的显示数据写入上述存储装置的显示数据写入装置、根据从上述存储装置读出的显示数据对显示部进行显示驱动的显示驱动装置。

在本发明中，构成为对至少通过并行总线接收的显示数据的位宽进行扩展并以该位宽为单位写入存储装置，因此，即使为以无不谐调感的方式显示动图象而必须以高速将显示数据写入存储装置，也能减低写入的频率。当因显示部的画面尺寸的扩大或灰度级位数的增加而使1帧的显示所需的显示数据增多时，本发明更为有效。因此，相应地可以用成本低的工艺制造存储装置，而且还能抑制耗电量的增加。

另外，本发明的显示装置的特征在于：备有具有由多个第1电极和多个第2电极驱动的电光元件的显示板、驱动上述多个第1电极的如上所述的任何一种显示控制器、对上述多个第2电极进行扫描驱动的扫描驱动用驱动器。

按照本发明，可以提供一种即使因显示部的画面尺寸的扩大或灰度级位数的增加而使显示数据量增大也能以无不谐调感的方式显示动图象的显示装置。

另外，本发明的显示装置的特征在于：备有具有由多个第1电极和多个第2电极驱动的电光元件的显示板、驱动上述多个第1电极的如上所述的显示控制器、对上述多个第2电极进行扫描驱动的扫描驱动用驱动器、将上述显示数据供给上述显示控制器的显示数据供给电路。

在本发明中，由于将供给显示数据的显示数据供给电路安装在显示装置内，所以可以使用户省略显示数据供给电路与显示控制器之间的接口设计，因而有助于通过削减工时数及部件数而进行低成本的开发。

另外，本发明的特征在于：上述显示数据供给电路，包含电流源、当从上述电流源供给的电流随显示数据而发生变化时将与该变化对应的差动信号供给上述显示控制器的差动驱动器、进行上述电流源的动作控制的差动驱动控制装置，在将显示数据供给上述显示控制器后直到供给下一个显示数据的期间，上述接收动作停止装置，停止或限制上述差动放大器的电流源的电流，上述差动驱动控制装置，停止或限制上述电流源的电流。

在本发明中，可以通过差动对信号线实现显示数据的高速传输，并可以在不需要传输时削减发送接收侧的电流消耗。因此，可以抑

制消耗电流随着因显示部的画面尺寸的扩大等增多的显示数据的传输而增加，因而可以提供既能实现高速传输率又能降低消耗的显示装置。

另外，本发明的电子设备的特征在于：具有如上所述的任何一种显示装置。

按照本发明，即使因画面尺寸的扩大或灰度级位数的增加而使1帧的显示数据量增大，也可以提供能以低的耗电量进行动图象等多种多样的图象显示的电子设备。

附图说明

图1是表示应用了第1实施形态的显示控制器的电子设备的简略结构的一例的框图。

图2是表示安装了第1实施形态的MPU及显示装置的携带式电话机的结构例的框图。

图3是表示作为第1实施形态的显示控制器的X驱动器IC的主要构成部分的一例的框图。

图4(A)是表示垂直同步信号与水平同步信号的关系的说明图，图4(B)是用于说明伪消隐周期的说明图。

图5是用于说明第1实施形态的伪垂直消隐周期中1帧显示数据的传输控制的说明图。

图6(A)是表示差动IF的第1结构例的结构图，图6(B)是表示第1结构例的动作波形的一例的说明图。

图7是用于说明基于电力控制信号的节能控制的说明图。

图8(A)是表示差动IF的第2结构例的结构图，图8(B)是表示第2结构例的动作波形的一例的说明图。

图9(A)是表示差动IF的第3结构例的结构图，图9(B)是表示第3结构例的动作波形的一例的说明图。

图10是用于说明与差动IF和CMOS接口有关的传输率与消耗电流的关系的说明图。

图11(A)是示出由差动IF发送接收的信号的一例的说明图，图11(B)是示出由差动IF发送接收的信号的另一例的说明图。

图12是表示以60f/s将显示数据传输到第1实施形态的显示控制器时的动作时序的一例的时间图。

图13是表示以30f/s将显示数据传输到第1实施形态的显示控制器时的动作时序的一例的时间图。

图14是表示以15f/s将显示数据传输到第1实施形态的显示控制器时的动作时序的一例的时间图。

图15是用于说明第2实施形态的伪水平消隐周期中以扫描线为单位的显示数据的传输控制的说明图。

图16是表示以60f/s将显示数据传输到第2实施形态的显示控制器时的动作时序的一例的时间图。

图17是表示以15f/s将显示数据传输到第2实施形态的显示控制器时的动作时序的一例的时间图。

具体实施方式

以下，参照附图详细说明本发明的最佳实施形态。

<第1实施形态>

1. 电子设备

图1示出应用了第1实施形态的显示控制器的电子设备的简略结构的一例。

该电子设备，包含MPU（Micro Processor Unit；微处理器单元）（广义地说，为显示数据供给电路）10及显示装置20。MPU10，对显示装置20供给动图象数据及静止图象数据的两种数据或其中任何一种数据。显示装置20，根据从MPU10供给的显示数据对显示部进行显示驱动。这里，所谓显示数据，是指动图象数据、静止图象数据及这些图象数据的显示控制信号等对显示部进行显示驱动时所需的数据。

显示装置20，包括具有电光元件的矩阵显示板例如彩色液晶板（广义地说，为显示部）22、驱动液晶板22的内装RAM的X驱动器IC（广义地说，为显示控制器）24、扫描用的Y驱动器IC26。

矩阵显示板22，可以是采用了光学特性随施加电压而变化的液晶及其他电光元件的任何器件。作为液晶板22，例如由简单的矩阵显示板构成，在这种情况下，在形成有多个分段电极（第1电极）的第1基板和形成有公用电极（第2电极）的第2基板之间封入液晶。液晶板22，也可以是采用了薄膜晶体管（TFT）、薄膜二极管（TFD）等三端子元件、二端子元件的有源矩阵显示板。这类有源矩阵显示

板，也具有由X驱动器IC24驱动的多个信号电极（第1电极）及由Y驱动器IC26驱动的多个扫描电极（第2电极）。

在图1所示的电子设备中，MPU10与显示装置20，至少通过并行接口（Interface；以下，简称为IF）信号线及差动IF信号线连接。除此以外，在图1中，还通过串行IF信号线连接。

并行IF信号线，包含D7～D0的8位数据总线。通过该8位数据总线发送接收显示命令及静止图象数据。在图1中，例如，通过与8位数据总线分开设置的并行IF控制信号线进行命令/数据的识别信号的发送接收，从而可以将通过8位总线D7～D0传输的数据作为显示命令或静止图象数据进行识别。显示命令，例如是液晶板的显示区域设定（静止图象显示区域设定、动图象显示区域设定）等用于进行显示控制的命令，静止图象数据，是用于将静止图象显示在由显示命令设定的显示区域的显示数据。此外，该并行IF控制信号线，还发送接收反相复位信号XRES、反相芯片选择信号XCS、反相读信号XRD及反相写信号XWR等。X驱动器IC24，利用这些控制信号对显示数据RAM28进行静止图象数据的写入。

差动IF信号线，包含差动对信号线，通过该差动对信号线发送接收变换为差动信号后的例如各为6位的R、G、B信号即动图象数据、同步时钟信号等。这时，通过与差动对信号线分开设置的差动IF控制信号线发送接收电力控制信号PS。X驱动器IC24及MPU10，利用该电力控制信号PS进行差动IF的动作控制。此外，X驱动器IC24，以与同步时钟信号同步的方式取入差动信号，并将其写入显示数据RAM28。

串行IF信号线，逐位地传输例如各为6位的R、G、B信号即动图象数据。此外，同样也供给时钟信号CLK、垂直同步信号Vsync、水平同步信号Hsync(或，水平·垂直同步信号的复合信号H·Vsync)等。X驱动器IC24，以与该同步时钟信号CLK及各同步信号同步的方式将动图象数据写入显示数据RAM28。

X驱动器IC24，以给定的帧频率（例如，每秒60帧（frame per second：每秒帧，以下简写为f/s）、30 f/s、15 f/s等）将存储在显示数据RAM28内的显示数据按给定的单位（例如，以1条扫描线为单位、以多条扫描线为单位）读出，并根据该读出的显示数据对

液晶板进行显示驱动。

另外，在图 1 中，MPU10 与显示装置 20 通过各接口连接，但也可以构成为将 MPU10 包含在显示装置 20 内。在这种情况下，MPU10 可以通过上述的 IF 直接与 X 驱动器 IC24 进行显示数据的发送接收。

在图 2 中，示出将图 1 所示的 MPU10 及显示装置 20 安装在携带式电话机 30 内的例。

图 2 中示出的 MPU10，具有管理携带式电话机 30 的控制的中央处理装置（Central Processing Unit：以下，简称为 CPU）12。在该 CPU12 上连接着静止图象用存储器 14、DSP（Digital Signal Processor：数字信号处理器）16。此外，在 DSP16 上连接着动图象处理用存储器 18。进一步，MPU10，还包含实现与图 1 所示的 X 驱动器 IC24 的 IF 功能的串行 IF 电路 40、差动 IF 电路 42、并行 IF 电路 44。

在携带式电话机 30 中，设有对通过天线 32 接收到的信号进行解调或对通过天线 32 发送的信号进行调制的调制解调电路 34。另外，从天线 32 可以发送接收例如按 MPEG（Moving Picture Experts Group；运动图象专家组）的层Ⅳ标准编码后的动图象数据。

对该携带式电话机 30，例如可以设置数字摄像机 36，用于取入动图象数据。携带式电话机 30 上的数据发送接收及由数字摄像机 36 进行的摄像等所需的操作信息，通过操作输入部 38 输入。

CPU12，例如根据动图象信息决定液晶板 22 的显示区域。在所决定的显示区域上显示的动图象数据，例如从天线 32 或数字摄像机 36 供给。从天线 32 输入的信号，通过调制解调电路 34 进行解调后，由 DSP16 进行信号处理。该 DSP16，与动图象处理用存储器 18 连接，对通过天线 32、调制解调电路 34 输入的压缩数据进行解压缩，并对按 MPEG 的层Ⅳ标准编码的数据进行译码。通过调制解调电路 34、天线 32 发送的数据，由 DSP16 进行压缩，并当按 MPEG 的层Ⅳ标准编码发送时进行编码。按这种方式，可以使 DSP16 具有作为 MPEG 的例如层Ⅳ的译码器、编码器的功能。

来自数字摄像机 36 的信号也输入到该 DSP16，从天线 32 或数字摄像机 36 输入的信号，由 DSP16 处理为 RGB 信号后供给显示装置 20。

由 DSP16 生成的动图象数据，通过串行 IF 电路 40 而经由串行 IF 信号线、或者也可以通过差动 IF 电路 42 而经由差动 IF 信号线供给显示装置 20。通过哪一条 IF 信号线发送接收动图象数据，也可以由 CPU12 根据动图象的显示区域的尺寸决定。

另一方面，该 CPU12，根据来自操作输入部 38 的信息等并按需要使用静止图象用存储器 14，将在液晶板 22 上显示的静止图象的显示所需的命令、静止图象数据通过并行 IF 电路 44 而经由并行 IF 信号线输出到显示装置 20。

例如，动图象是经由因特网传送到的电影信息，因而将用于在该剧场订票的信息显示为静止图象，并根据来自操作输入部 38 的信息进行订票。在这种情况下，CPU12，还进行通过调制解调电路 34、天线 32 发送例如预订信息的控制。此外，CPU12，还可以根据需要进行通过调制解调电路 34、天线 32 发送由数字摄像机 36 摄制的动图象信息的控制。

2. X 驱动器 IC（显示控制器）

2.1 结构

在图 3 中，示出作为图 1 所示的第 1 实施形态的显示控制器的 X 驱动器 IC 的主要构成部分的一例。

X 驱动器 IC24，除上述的显示数据 RAM28 外，还包含锁存电路 50、液晶驱动电路 52、LCD 控制器 54。

LCD 控制器（广义地说，为显示数据写入装置）54，管理 X 驱动器 IC24 的总体控制，并进行对显示数据 RAM28 的显示数据写入控制、读出控制、对液晶板的显示驱动控制。

LCD 控制器 54，以一定的帧周期进行按给定的显示单位从显示数据 RAM28 读出显示数据的控制。从显示数据 RAM28 读出的显示数据，以与由 LCD 控制器生成的锁存信号同步的方式锁存在锁存电路 50 内。由锁存电路 50 锁存的数据，根据由 LCD 控制器 54 生成的显示驱动控制信号，按照极性反相周期变换为脉冲宽度与灰度等级值对应的信号，并转换为与 LCD 显示系统的电压对应的电压，然后供给到液晶板 22 的分段电极 SEG1～SEGn。

这种由 LCD 控制器进行显示控制的显示数据及用于控制 LCD 控制器 54 的命令，至少通过并行 IF 及差动 IF 接收。除此之外，在图

3 中，还通过串行 IF 接收。

第 1 实施形态中的 X 驱动器 IC24 的显示数据 RAM28，具有 3 个端口。更具体地说，显示数据 RAM28，具有用于写入通过串行 IF 信号线传输的动图象数据或通过并行 IF 信号线传输的静止图象数据（显示数据）的第 1 端口、用于写入通过差动 IF 信号线传输的动图象数据（显示数据）的第 2 端口、用于读出对显示部进行驱动显示用的显示数据的第 3 端口。

差动 IF 信号线及差动 IF 控制信号线，与差动 IF 电路（第 1 显示数据接收装置）60 连接。差动 IF 电路 60，包含对通过差动对信号线接收到的差动信号即数据信号 D（位宽 K=1）及时钟信号 CLK 进行放大的差动放大器。该差动放大器的结构，由于众所周知所以将其详细说明省略，但可以根据从电流源供给的电流的变化对差动信号进行放大。

另外，差动 IF 电路 60，包含一个用于对通过差动 IF 控制信号线发送接收的电力控制信号 PS 进行缓冲的输入缓冲电路。该输入缓冲电路，由 CMOS 电路构成。

由差动 IF 电路 60 的差动放大器放大后的差动信号即数据信号 D 及时钟信号 CLK，供给到起始帧检测电路 62。

起始帧检测电路 62，监视以与时钟信号 CLK 同步的方式接收到的数据信号 D 的位串，并根据预先设定的位模式判断是否是起始帧。由起始帧检测电路 62 判定为是起始帧的数据信号 D 的位串，供给到串行·并行（Serial-Parallel：以下，简写为 S/P）变换电路（广义地说，为第 1 位宽变换装置）64。

S/P 变换电路 64，将来自起始帧检测电路 62 的 1 位宽度的位串变换为 16 位（位宽 L=16）的并行数据。该并行数据，与由起始帧检测电路 62 检测出的起始帧的检测定时等控制信号一起，供给到 LCD 控制器 54 及显示数据 RAM28。该并行数据，以 16 位（位宽 L=16）为单位通过第 1 端口写入显示数据 RAM28。

另外，由差动 IF 电路 60 的输入缓冲电路缓冲后的电力控制信号 PS，至少供给到差动 IF 电路 60 的差动放大器。除此之外，在图 3 中，电力控制信号 PS，还供给到起始帧检测电路 62、S/P 变换电路 64。

差动 IF 电路 60 的差动放大器，根据从电流源供给的电流的变化对差动信号进行放大，但可以由该电力控制信号 PS 通过停止或限制从该电流源供给的电流而对其进行动作控制。此外，起始帧检测电路 62 及 S/P 变换电路 64，也可以在与差动 IF 电路 60 的差动放大器的动作控制的相同的定时由电力控制信号 PS 将其动作停止。

串行 IF 信号线，与串行 IF 电路 70 连接。串行 IF 电路 70，对以串行方式输入的数据信号 D、时钟信号 CLK 及反相芯片选择信号 XCS 进行缓冲。串行 IF 电路 70，由 CMOS 电路构成。当反相芯片选择信号 XCS 激活时，将以与缓冲后的时钟信号 CLK 同步的方式接收到的串行输入的数据信号 D 供给到 S/P 变换电路 72。

S/P 变换电路 72，将该串行输入的数据信号 D 变换为例如 16 位（位宽 L=16）的并行数据。该并行数据，与时钟信号 CLK 等控制信号一起，供给到 LCD 控制器 54 及显示数据 RAM28。该并行数据，以 16 位（位宽 L=16）为单位通过第 2 端口写入显示数据 RAM28。

并行 IF 信号线及并行 IF 控制信号线，与并行 IF 电路（广义地说，为第 2 显示数据接收装置）80 连接。并行 IF 电路 80，对例如 8 位（位宽 L=8）的并行数据信号 D7～D0、时钟信号 ECLK 及其他控制信号（反相芯片选择信号 XCS 等）进行缓冲。并行 IF 电路 80，由 CMOS 电路构成。当反相芯片选择信号 XCS 激活时，将以与缓冲后的时钟信号 ECLK 同步的方式接收到的并行输入的数据信号 D7～D0，供给到 S/P 变换电路（广义地说，为第 2 位宽变换装置）82。

S/P 变换电路 82，将该并行输入的数据信号 D7～D0 变换为例如 16 位（位宽 L=16）的并行数据。该并行数据，与时钟信号 ECLK 等控制信号一起，供给到 LCD 控制器 54 及显示数据 RAM28。该并行数据，以 16 位(位宽 L=16)为单位通过第 2 端口写入显示数据 RAM28。

另外，X 驱动器 IC24，具有对用于仅使串行 IF 及并行 IF 的任何一方动作的输入切换信号进行缓冲的输入缓冲电路 90。由该输入切换信号对串行 IF 电路 70 及 S/P 变换电路 72、并行 IF 电路 80 及 S/P 变换电路 82 进行控制，使其以排它的方式进行动作。

进一步，X 驱动器 IC24，还具有振荡电路（OSC）94，LCD 控制器 54，根据 OSC94 的振荡输出，输出显示定时 sync（垂直同步信号 Vsync/水平同步信号 Hsync）。

2.2 消隐周期

作为第 1 实施形态的显示控制器的 X 驱动器 IC24，备有显示数据 RAM，并以一定的帧周期从该显示数据 RAM 读出显示数据，从而对显示部进行显示驱动。因此，该帧中的与给定扫描线对应的显示数据的写入，必须在该扫描线的读出之前进行。此外，由于显示数据量随画面尺寸的扩大或灰度级位数的增加而增大，所以在该帧中应尽早地开始显示数据的接收，以确保增多的显示数据的传输时间。

按照这种方式，该帧中的给定扫描线的写入的定时，总是比该读出定时早，这将简化定时的生成。

为此，在第 1 实施形态中，在各扫描开始前设置伪消隐周期，并从该伪消隐周期中进行显示数据的传输。按照这种方式，就不需要考虑上述的写入定时和读出定时了。

在图 4（A）、（B）中，示出用于说明伪消隐周期的说明图。

当对液晶板进行显示驱动时，以与指示 1 帧的扫描开始定时的垂直同步信号 Vsync、指示各帧中的各扫描线的扫描开始定时的水平同步信号 Hsync 同步的方式进行。更具体地说，如图 4（A）所示，以与垂直同步信号 Vsync 的下降边同步的方式，从各帧的第 1 扫描线起依次与水平同步信号 Hsync 同步地进行显示驱动。

因此，如以垂直同步信号 Vsync 为纵轴、以水平同步信号 Hsync 为横轴，则可以在图 4（B）所示的显示区域 180 上显示 1 帧的图象。即，以图 4（B）中示出的 P 为基准，开始显示部的垂直扫描和水平扫描。

这里，如假定垂直同步信号 Vsync 为「H」（「高」）电平的期间为伪垂直消隐周期，则区域 182 为非显示区域。而如假定水平同步信号 Hsync 为「H」电平的期间为伪水平消隐周期，则区域 184 为非显示区域。

因此，通过与垂直同步信号 Vsync 的上升边同步地以高速传输率从伪垂直消隐周期中接收显示数据并将 1 帧的显示数据写入显示数据 RAM 内，当在该帧中就各扫描线来看时，写入总是在读出之前进行，所以无需考虑定时就可以进行 1 帧的显示驱动。

这里，如设 1 帧的显示数据量为 D、传输率为 R，则如图 5 所示的伪垂直消隐周期，至少比由 D/R 表示的周期长，因此，当开始从

显示数据 RAM 的读出定时时，已经可以完成该帧的显示数据的写入。按照这种方式，具有 3 端口的显示数据 RAM 的写入和读出不会同时进行，所以随着读出或写入而在显示数据 RAM 内产生的电流变化将减小，因而能提高抗噪性。

2.3 差动 IF 的高速传输控制

如上所述的作为第 1 实施形态的显示控制器的 X 驱动器 IC24，由采用了运算放大器的差动 IF 进行动图象数据的发送接收。差动 IF，与由 CMOS 电路构成的 IF 不同，通过由差动对构成而对振幅小的信号进行发送接收，可以实现高速的数据传输率。因此，即使在将来的液晶板画面尺寸的扩大等情况下，也能实现为以无不谐调感的方式显示动图象所需的在 CMOPS 电路中不能实现的传输率，并将动图象数据写入显示数据 RAM。

为实现这种差动 IF，需要有驱动差动对信号的差动驱动器及对差动对信号进行放大的差动放大器。在该差动 IF 的差动驱动器及差动放大器中使用的电流源，产生稳定电流而与传输率无关。因此，当传输率低时，由 CMOS 电路构成的 IF，耗电量减小。而当传输率高时，由 CMOS 电路构成的 IF，耗电量增大，因而在稳定电流下电流消耗的差动 IF 的耗电量可以减低。而且，在差动 IF 的情况下，可以实现在 CMOS 电路构成的 IF 中所不能达到的传输率。

因此，在第 1 实施形态中，由差动 IF 进行高速的显示数据传输，另一方面，液晶板的显示驱动必须以与垂直同步信号和水平同步信号同步的方式进行，所以，当传输显示数据时，在以高速的传输率进行后，通过进行传输控制使差动 IF 在下一个传输定时之前停止动作，即可抑制耗电量的增加。

以下，说明这种差动 IF 的结构。

2.3.1 差动 IF 的结构例

（第 1 结构例）

图 6（A）示出差动 IF 的第 1 结构例，图 6（B）示出第 1 结构例的动作波形的一例。

在第 1 结构例中，在发送侧设有差动驱动器 100、在接收侧设有差动接收器 102，并通过差动对信号线 D1、D2 相互连接。差动驱动器 100，在结构上包含图 2 中的 MPU 的差动 IF 电路 42。此外，差

动接收器 102，在结构上包含图 3 中的差动 IF 电路 60。

在发送侧的差动驱动器 100 中，p 型（第 1 导电型）晶体管 104（广义地说，为差动驱动控制装置），其源极端子与电源 VDD（第 1 电源）连接，在栅极端子上供给电力控制信号 PS。p 型晶体管 104 的漏极端子，与电流源 106 的一端连接。

电流源 106 的另一端，与 p 型晶体管 108、110 的源极端子连接。

n 型（第 2 导电型）晶体管 112、114 的漏极端子，与 p 型晶体管 108、110 的漏极端子连接。对 p 型晶体管 108 的栅极端子，供给指示应发送的数据信号 D 的+侧的 D+信号的反相信号（XD+信号）。对 p 型晶体管 110 的栅极端子，供给 D+信号。

使 n 型晶体管 112、114 的源极端子与接地电源 VSS（第 2 电源）连接。对 n 型晶体管 112 的栅极端子，供给指示数据信号 D 的-侧的 D-信号。对 n 型晶体管 114 的栅极端子，供给 D-信号的反相信号（XD-信号）。

在差动驱动器 100 中，p 型晶体管 110 的漏极端子与 n 型晶体管 114 的漏极端子的连接点 ND1、p 型晶体管 108 的漏极端子与 n 型晶体管 112 的漏极端子的连接点 ND2，分别与差动对信号线 D1、D2 连接。

差动接收器 102，具有差动放大器 116。差动放大器 106 的结构，由于众所周知所以将其详细说明省略，但当来自电流源的电流随接收到的差动对信号线的电位的变化而变化时，生成与该变化对应的电压。

该差动放大器 116，通过 p 型晶体管 118（广义地说，为接收动作停止装置）与电源 VDD 连接。对 p 型晶体管 118 的栅极端子，供给电力控制信号 PS。当在电力控制信号 PS 的控制下将 p 型晶体管 118 的漏极电流供给差动放大器 116 时，使差动放大器 116 动作，但当该漏极电流被停止或受到限制时，使其动作停止。

差动对信号线 D1、D2，通过终端电阻 RL 连接，差动接收器 102 的差动放大器 116，对在该终端电阻 RL 的两端产生的电压进行放大。放大后的信号，由缓冲电路 120 进行缓冲后，作为接收信号 S1 供给到后级的电路。

按照这种结构，在差动驱动器 100 中，来自电流源 106 的电流，

由 D+信号及 D-信号控制，从而使流过连接点 ND1、ND2 的电流改变，并通过差动对信号线 D1、D2 而在终端电阻 RL 的两端产生电压。在差动接收器 102 中，由差动放大器 116 将在终端电阻 RL 的两端产生的电压放大。

因此，如图 6（B）所示，可以发送以 Vc（例如，1.2V）为中心的振幅为 Vs（例如 300mV）的差动信号，所以，能进行速度更快的数据传输。在接收侧的差动放大器 116 中，对其进行放大和缓冲并变换为逻辑电平，从而可以在后级的 CMOS 电路中使用。

这时，在图 6（A）所示的差动 IF 中，在仅以高速传输显示所需的显示数据后直到下一个传输定时的期间中，通过由电力控制信号 PS 在发送侧及接收侧进行动作控制，可以减小耗电量。

在图 7 中，示意地示出消耗电流随电力控制信号 PS 的变化。

即，当节能控制信号 PS 的逻辑电平为「L」（「低」）时，发送侧的差动驱动器、接收侧的差动接收器进行动作，并流过电流源供给的稳定电流 I_0。另一方面，当电力控制信号 PS 的逻辑电平为「H」时，发送侧的差动驱动器、接收侧的差动接收器停止动作，并使稳流源的电流消耗变为 0。

因此，在使电力控制信号 PS 的逻辑电平为「L」并以高速进行数据传输后，在时刻 T1 使节能控制信号 PS 的逻辑电平为「H」而使发送侧及接收侧停止动作，可以抑制耗电量的增加。

（第 2 结构例）

图 8（A）示出差动 IF 的第 2 结构例，图 8（B）示出第 2 结构例的动作波形的一例。

在第 2 结构例中，在发送侧设有差动驱动器 130、在接收侧设有差动接收器 132，并通过差动对信号线 D1、D2 相互连接。差动驱动器 130，在结构上包含图 2 中的 MPU 的差动 IF 电路 42。此外，差动接收器 132，在结构上包含图 3 中的差动 IF 电路 60。

在发送侧的差动驱动器 130 中，p 型晶体管 134（广义地说，为差动驱动控制装置），其源极端子与电源 VDD 连接，在栅极端子上供给电力控制信号 PS。p 型晶体管 134 的漏极端子，与电流源 136 的一端连接。

电流源 136 的另一端，与 p 型晶体管 138、140 的源极端子连接。

将差动对信号线 D1、D2 与 p 型晶体管 138、140 的漏极端子连接。对 p 型晶体管 138 的栅极端子，供给应发送的数据信号 D。对 p 型晶体管 140 的栅极端子，供给应发送的数据信号 D 的反相信号。

差动接收器 132，具有差动放大器 142。该差动放大器 142 的结构，由于众所周知所以将其详细说明省略，但当来自电流源的电流随接收到的差动对信号线的电位的变化而变化时，生成与该变化对应的电压。

该差动放大器 142，通过 p 型晶体管 144（广义地说，为接收动作停止装置）与电源 VDD 连接。对 p 型晶体管 144 的栅极端子，供给电力控制信号 PS。当在电力控制信号 PS 的控制下将 p 型晶体管 144 的漏极电流供给差动放大器 142 时，使差动放大器 142 动作，但当该漏极电流被停止或受到限制时，使其动作停止。

差动对信号线 D1、D2，分别通过终端电阻 RL1、RL2 与接地电位 VSS 之间连接，差动接收器 132 的差动放大器 142，对由终端电阻 RL1、RL2 产生的差动对信号线 D1、D2 的电位差进行放大。放大后的信号，由缓冲电路 146 进行缓冲后，作为接收信号 S2 供给到后级的电路。

按照这种结构，在差动驱动器 130 中，来自电流源 136 的电流，由数据信号 D 控制，从而使 p 型晶体管 138、140 的漏极电流改变。按照这种方式，差动对信号线 D1、D2 的电位由终端电阻 RL1、RL2 改变，所以，在差动接收器 132 中，由差动放大器 142 对其电位差进行放大。

因此，如图 8（B）所示，可以发送以 Vc（例如，150mV）为中心的振幅为 Vs（例如 300mV）的差动信号，所以，能进行速度更快的数据传输。在接收侧的差动放大器 142 中，对其进行放大和缓冲并变换为逻辑电平，从而可以在后级的 CMOS 电路中使用。

这时，在图 8（A）所示的差动 IF 中，通过由电力控制信号 PS 在发送侧及接收侧进行动作控制，可以如图 7 所示减小耗电量。

（第 3 结构例）

图 9（A）示出差动 IF 的第 3 结构例，图 9（B）示出第 3 结构例的动作波形的一例。

在第 3 结构例中，在发送侧设有差动驱动器 150、在接收侧设

有差动接收器 152，并通过差动对信号线 D1、D2 相互连接。差动驱动器 150，在结构上包含图 3 中的 MPU 的差动 IF 电路 42。此外，差动接收器 152，在结构上包含图 3 中的差动 IF 电路 60。

在发送侧的差动驱动器 150 中，n 型晶体管 154（广义地说，为差动驱动控制装置），其源极端子与接地电源 VSS 连接，在栅极端子上供给电力控制信号 PS。n 型晶体管 154 的漏极端子，与电流源 156 的一端连接。

电流源 156 的另一端，与 n 型晶体管 158、160 的源极端子连接。

将差动对信号线 D1、D2 与 n 型晶体管 158、160 的漏极端子连接。对 n 型晶体管 158 的栅极端子，供给应发送的数据信号 D。对 n 型晶体管 160 的栅极端子，供给应发送的数据信号 D 的反相信号。

差动接收器 152，具有差动放大器 162。该差动放大器 162 的结构，由于众所周知所以将其详细说明省略，但当来自电流源的电流随接收到的差动对信号线的电位的变化而变化时，生成与该变化对应的电压。

该差动放大器 162，通过 n 型晶体管 166（广义地说，为接收动作停止装置）与接地电源 VSS 连接。对 n 型晶体管 166 的栅极端子，供给电力控制信号 PS。当在电力控制信号 PS 的控制下将 n 型晶体管 166 的漏极电流供给差动放大器 162 时，使差动放大器 162 动作，但当该漏极电流被停止或受到限制时，使其动作停止。

差动对信号线 D1、D2，分别通过终端电阻 RL3、RL4 与电位 VDD 之间连接，差动接收器 152 的差动放大器 162，对由终端电阻 RL3、RL4 产生的电位差进行放大。放大后的信号，由缓冲电路 164 进行缓冲后，作为接收信号 S3 供给到后级的电路。

按照这种结构，在差动驱动器 150 中，由电流源 156 供给的 n 型晶体管 158、160 的漏极电流，随数据信号 D 而变化。按照这种方式，差动对信号线 D1、D2 的电位由终端电阻 RL1、RL2 改变，所以，在差动接收器 152 中，由差动放大器 162 对该电位差进行放大。

因此，如图 9（B）所示，可以发送以 Vc（例如，VDD-150mV）为中心的振幅为 Vs（例如 300mV）的差动信号，所以，能进行速度更快的数据传输。在接收侧的差动放大器 162 中，对其进行放大和缓冲并变换为逻辑电平，从而可以在后级的 CMOS 电路中使用。

这时，在图 9（A）所示的差动 IF 中，通过由电力控制信号 PS 在发送侧及接收侧进行动作控制，可以如图 7 所示减小耗电量。

2.4 与由 CMOS 电路构成的 IF 的比较

对上述的可进行高速传输的差动 IF，在利用伪消隐周期进行传输控制时的耗电量上，与由 CMOS 电路构成的 IF 进行比较说明。

在图 10 中，示出由 CMOS 电路构成的 IF 的传输率与消耗电流的关系。

图中，使横轴为数据传输率[Mbps]（兆比特/秒），使纵轴为消耗电流[mA]（毫安）。

另外，由于 1 帧的显示所需的显示数据的传输量随各种液晶板的画面尺寸及灰度级位数而不同，所以仅就有代表性的画面尺寸及灰度级位数示出。例如，示出以 15f/s 传输 QCIF（Quarter Common Intermediate Format：四分之一公用中间图象格式、176×144）尺寸的 RGB 信号的各 6 位(共计 18 位)的情况、以 30f/s 传输 CIF(352×288）尺寸的 RGB 信号的各 8 位（共计 24 位）的情况、以 30f/s 传输 VGA（Video Graphics Array：视频图形阵列、640×480）尺寸的 RGB 信号的各 8 位（共计 24 位）的情况等，

在由 CMOS 电路构成的 IF 中，由于消耗电流与频率成比例地增加，消耗电流随着传输率的提高而增加（E1）。因此，当以 15f/s 传输按 QCIF 尺寸的 RGB 信号的各 6 位（共计 18 位）的显示数据时，能以足够小的消耗电流完成传输，但当以 30f/s 传输按 CIF 尺寸的 RGB 信号的各 8 位（共计 24 位）的显示数据时，由于所需的传输率提高，所以消耗电流将随之增加。进一步，在 CMOS 电路中，以 R1 指示的区域的传输率，已很难实现，因而很难对按 CIF 尺寸的 RGB 信号的各 8 位（共计 24 位）的显示数据进行 30f/s 的传输。

另一方面，如采用差动 IF，则如 E2 所示可以流过稳定电流而与传输率无关。因此，当以 15f/s 传输按 QCIF 尺寸的 RGB 信号的各 6 位（共计 18 位）的显示数据时，消耗电流比由 CMOS 电路构成的 IF 大。但是，在差动 IF 中，由于消耗恒定的稳定电流而与传输率无关，所以例如当以 30f/s 传输按 CIF 尺寸的 RGB 信号的各 8 位(共计 24 位）的显示数据时，消耗电流反而比由 CMOS 电路构成的 IF 小。进一步，在差动 IF 中，还能以在 CMOS 电路中不能实现的传输率传输

显示数据。

因此，通过以 100 Mbps 或 400 Mbps 这样的在 CMOS 电路中不能实现的高速传输率从如上所述的伪消隐周期中开始显示数据的传输并在传输结束后直到下一个显示数据的传输定时之前使差动 IF 停止动作而减低稳定电流的消耗，可以既能实现高速的传输率又能降低消耗（E3、E4）。

2.5 写入位宽

如上所述的作为第 1 实施形态的显示控制器的 X 驱动器 IC24，当设差动 IF 或串行 IF 的位宽为 K（K 为自然数）、并行 IF 的位宽为 N（N 为大于 K 的自然数）时，能以至少大于 K、N 的位宽 L（L 为自然数）为单位将显示数据写入显示数据 RAM28。

因此，即使为以无不谐调感的方式显示动图象而必须以高速将显示数据写入显示数据 RAM28，也可以减低写入的频率。这也可以适用于因液晶板的画面尺寸的扩大等而使 1 帧的显示所需的显示数据增多的情况。例如，如设以 8 位为单位写入显示数据 RAM28 时的写入频率为 F，则以 16 位为单位写入时的写入频率可以是 F/2。因此，相应地可以用成本低的工艺制造显示数据 RAM28，而且还能抑制耗电量的增加。

2.6 显示控制器的动作时序

以下，具体地说明上述第 1 实施形态的 X 驱动器 IC24 的动作。在下文中，作为差动 IF，例如采用图 6（A）、（B）所示的第 1 结构例进行说明，但对第 2 和第 3 结构例也是一样。

在图 11（A）、（B）中，示出由差动 IF 发送接收的信号的具体例。

在图 11（A）中，从 MPU10 通过差动对信号线向显示控制器 24 供给时钟信号 CLK 及数据信号 D。另外，显示控制器 24，为将在内部生成的显示时序通知 MPU10，通过由 CMOS 电路构成的 IF 发送垂直同步信号 Vsync 及水平同步信号 Hsync。

由于在 MPU10 中识别应由差动对信号线 D 传输的显示数据量，所以在以所通知的垂直同步信号 Vsync 或水平同步信号 Hsync 为基准传输显示数据后生成用于使差动 IF 的动作停止的电力控制信号 PS 并进行 MPU10 的发送侧和显示控制器 24 的接收侧的动作控制。

另外，如图 11（B）所示，将垂直同步信号 Vsync 和水平同步信号 Hsync 作为复合信号从显示控制器 24 通知 MPU10。

在图 12 中，示出以 60f/s 将显示数据通过上述的差动 IF 传输到显示控制器时的动作时序的一例。

这里，假定 1 垂直扫描周期例如由 288 个水平扫描周期及垂直消隐周期 B1、B2 构成。即，假定伪垂直消隐周期是与 2 个水平扫描周期对应的期间。

显示控制器 24，为将在内部生成的显示时序通知作为显示作为数据供给侧的 MPU10，输出垂直同步信号 Vsync 及水平同步信号 Hsync 或垂直·水平同步信号的复合信号。

MPU10，当检测到垂直同步信号 Vsync 的上升边及水平同步信号 Hsync 的上升边或垂直·水平同步信号的复合信号的上升边（时刻 TT1）时，由电力控制信号 PS 使差动 IF 开始动作，所以在时刻 TT1 后仅延迟时间 t1（t1□1H，1H 为 1 水平扫描周期）通知显示控制器 24。在这之后，在电力控制信号 PS 的逻辑电平为「L」的期间，使 MPU10 的差动 IF 电路 24 及显示控制器 24 的差动 IF 电路 60 开始动作，并流过稳定电流。

接着，当从时刻 TT1 起经过了时间 t2((t1□t2□1H)后，从 MPU10 开始由差动 IF 发送数据信号 D 及时钟信号 CLK，例如以 100 Mbps～400 Mbps 这样的高速传输率传输 1 帧的显示数据并一直进行到时刻 TT2。

即，在伪垂直消隐周期中，开始传输 1 帧的显示数据。在 MPU10 中，识别 1 帧显示数据的传输数据量，所以，可以根据与预先设定的传输率的关系得知 1 帧显示数据的传输时间 Tp。因此，在 MPU10 中，至少应在 1 帧显示数据的传输时间 Tp 内使电力控制信号 PS 的逻辑电平为「L」。

其结果是，在结束 1 帧显示数据的传输后，使电力控制信号 PS 在时刻 TT3（TT2□TT3）变为逻辑电平「H」，从而使差动 IF 停止动作。在这之后，在电力控制信号 PS 的逻辑电平为「H」的期间，使 MPU10 的差动 IF 电路 24 及显示控制器 24 的差动 IF 电路 60 停止动作，因而使消耗电流变为 0。

另一方面，显示控制器 24，在垂直扫描周期 1V 中，以与垂直

同步信号 Vsync 的下降边同步的方式在水平扫描周期 1H 后从第 1 扫描线起按顺序从显示数据 RAM 读出从垂直消隐周期中写入的该帧的显示数据，并按如上所述的方式驱动液晶板（显示图象 1）。

在帧周期为 60Hz 的情况下，当在下一个垂直扫描周期 2V 中垂直同步信号 Vsync 上升时，以与垂直扫描周期 1V 同样的方式，进行第 2 帧的显示数据的传输控制，读出从垂直扫描周期 2V 的垂直消隐周期中写入的该帧的显示数据，并按如上所述的方式驱动液晶板（显示图象 2）。

如上所述，差动 IF，在 1 帧显示数据的传输过程中流过稳定的电流，但在完成传输后使差动 IF 的动作停止，因此在各帧显示数据的传输过程中产生的消耗电流，仅仅是时间 t1～TT3 的差动 IF 的稳定电流。因此，如图 10 所示，与 CMOS 电路构成的 IF 相比，可以降低耗电量。如应传输的显示数据量增多，则其效果越显著。

在图 13 中，示出以 30f/s 将显示数据通过上述的差动 IF 传输到显示控制器时的动作时序的一例。

在这种情况下，显示数据的传输控制，也按照与图 12 所示的 60f/s 同样的方式进行。

当对液晶板进行显示驱动的帧周期为 60Hz 时，显示控制器 24，对连续的 2 帧根据相同的显示数据进行显示驱动，所以，当如图 12 所示在第 1 帧中传输显示数据时，可以在空出 1 帧后在第 3 帧中传输下一个显示数据。即，由于使差动 IF 的停止期间延长，所以能够进一步减低耗电量。

在图 14 中，示出以 15f/s 将显示数据通过上述的差动 IF 传输到显示控制器时的动作时序的一例。

在这种情况下，显示数据的传输控制，也按照与图 12 所示的 60f/s 同样的方式进行。

只是，当对液晶板进行显示驱动的帧周期为 60Hz 时，显示控制器 24 对连续的 4 帧根据相同的显示数据进行显示驱动，所以，当如图 12 所示在第 1 帧中传输显示数据时，可以在空出 3 帧后在第 4 帧中传输下一个显示数据。因此，由于使差动 IF 的停止期间延长，所以能够进一步减低耗电量。

实际上，当在液晶板上驱动显示动图象时，凭借着人们的视觉

特性，一直到 15f/s 也能无不谐调感地识别动图象，在这种情况下，可以既能进行适应画面尺寸的扩大的动图象显示又能充分地减低耗电量。

＜第 2 实施形态＞

3. 第 2 实施形态的特征

在第 1 实施形态中，说明了利用伪垂直消隐周期而将 1 帧的显示数据集中从该周期中传输的情况，但并不限定于此。在第 2 实施形态中，利用伪水平消隐周期而将给定扫描线的显示数据从该周期中传输，也可以既能通过高速传输控制而适应液晶板画面尺寸的扩大又能降低耗电量。

关于第 2 实施形态的显示控制器、采用了该显示控制器的显示装置及电子设备的结构，与第 1 实施形态相同，所以将其说明省略。

3.1 伪水平消隐周期

在图 15 中，示出用于说明伪水平消隐周期的图。

在第 2 实施形态中，与水平同步信号 Hsync 的上升边同步地以高速从伪水平消隐周期中传输显示数据，并将与扫描线对应的显示数据写入显示数据 RAM。例如，在第 1 扫描线的扫描周期中，从第 1 扫描线的伪水平消隐周期起进行第 1 扫描线的显示数据的传输。在这种情况下，当在该帧中就各扫描线来看时，写入总是在读出之前进行，所以无需考虑定时就可以进行 1 帧的显示驱动。

3.2 动作时序

在图 16 中，示出以 60f/s 将显示数据通过差动 IF 传输到显示控制器时的动作时序的一例。

这里，假定 1 垂直扫描周期例如由 288 个水平扫描周期及垂直消隐周期 B1、B2 构成。即，假定垂直消隐周期是与 2 个水平扫描周期对应的期间。

另外，作为差动 IF 例如采用图 9(A)、(B)所示的第 3 结构例进行说明，但对第 1 和第 2 结构例也是一样。

显示控制器，为将在内部生成的显示时序通知作为显示数据供给侧的 MPU10，输出垂直同步信号 Vsync 及水平同步信号 Hsync。

MPU，当检测到垂直同步信号 Vsync 的上升边及水平同步信号 Hsync 的上升边（时刻 TT11）并检测到伪水平消隐周期 B2 的水平同

步信号 Hsync 的上升边时，由电力控制信号 PS 开始差动 IF 的动作，所以从时刻 TT11 起仅延迟时间 t11(t11□1H)后通知显示控制器 24。在这之后，在电力控制信号 PS 的逻辑电平为「H」的期间，使 MPU10 的差动 IF 电路 24 及显示控制器 24 的差动 IF 电路 60 开始动作，并流过稳定电流。

接着，当从时刻 TT11 起经过了时间 t21((t11□t21□1H)后，从 MPU 开始由差动 IF 发送数据信号 D 及时钟信号 CLK，例如以 100 Mbps～400 Mbps 这样的高速传输率传输第 1 扫描线的显示数据并一直进行到时刻 TT21。

即，在伪水平消隐周期中，开始传输 1 条扫描线的显示数据。在 MPU10 中，识别 1 条扫描线的显示数据的传输数据量，所以，可以根据与预先设定的传输率的关系得知 1 条扫描线的显示数据的传输时间 TL。因此，在 MPU 中，至少应在 1 条扫描线的显示数据的传输时间 TL 内使电力控制信号 PS 的逻辑电平为「H」。

其结果是，在结束该扫描线的显示数据的传输后，使电力控制信号 PS 在时刻 TT31（TT21□TT31）变为逻辑电平「L」，从而使差动 IF 停止动作。在这之后，在电力控制信号 PS 的逻辑电平为「L」的期间，使 MPU 的差动 IF 电路及显示控制器的差动 IF 电路停止动作，因而使消耗电流变为 0。

另一方面，显示控制器，在垂直扫描周期 1V 中，以与垂直同步信号 Vsync 的下降边同步的方式在水平扫描周期 1H 中从显示数据 RAM 读出从伪水平消隐周期中写入的该帧的显示数据，并按如上所述的方式驱动液晶板。

接着，在水平扫描周期 2H、3H、…中，也按同样方式利用各水平消隐周期并以扫描线为单位进行显示数据的传输控制。按照这种方式，即可在垂直扫描周期 1V 中进行 1 帧的显示（显示图象 1）。

在帧周期为 60Hz 的情况下，当在下一个垂直扫描周期 2V 中垂直同步信号 Vsync 上升时，以与垂直扫描周期 1V 同样的方式，对第 2 帧也以扫描线为单位进行显示数据的传输控制，读出从垂直扫描周期 2V 的各伪水平消隐周期中写入的显示数据，并按如上所述的方式驱动液晶板。在垂直扫描周期 2V 中，进行下 1 帧的显示（显示图象 2）。

如上所述，差动 IF，在各扫描线的显示数据的传输过程中流过稳定的电流，但在完成传输后使差动 IF 的动作停止，因此在各水平扫描周期中进行显示数据的传输所产生的消耗电流，仅仅是时间 t11～TT31 的差动 IF 的稳定电流。因此，如图 10 所示，与 CMOS 电路构成的 IF 相比，可以降低耗电量。如应传输的显示数据量增多，则其效果越显著。

在图 17 中，示出在第 2 实施形态中以 15f/s 将显示数据通过上述的差动 IF 传输到显示控制器时的动作时序的一例。

在这种情况下，显示数据的传输控制，也按照与图 16 所示的 60f/s 同样的方式进行。

只是，当对液晶板进行显示驱动的帧周期为 60Hz 时，显示控制器对连续的 4 帧根据相同的显示数据进行显示驱动，所以，当如图 16 所示在第 1 帧中按每条扫描线传输显示数据时，可以在空出 3 帧后在第 4 帧中传输下一个显示数据。即，由于使差动 IF 的停止期间延长，所以能够进一步减低耗电量。

另外，本发明，并不限定于上述的实施形态，在本发明的主旨范围内可以实施各种各样的变形。

另外，在图 3 中，以差动 IF 的位宽 K 为 1 位进行了说明，但并不限定于此。当差动 IF 的位宽为 2 位以上时，可以进一步缩短动图象显示所需的显示数据的传输时间，所以，可以通过如上所述的传输控制适应画面尺寸的增大，而且能有助于耗电量的降低。

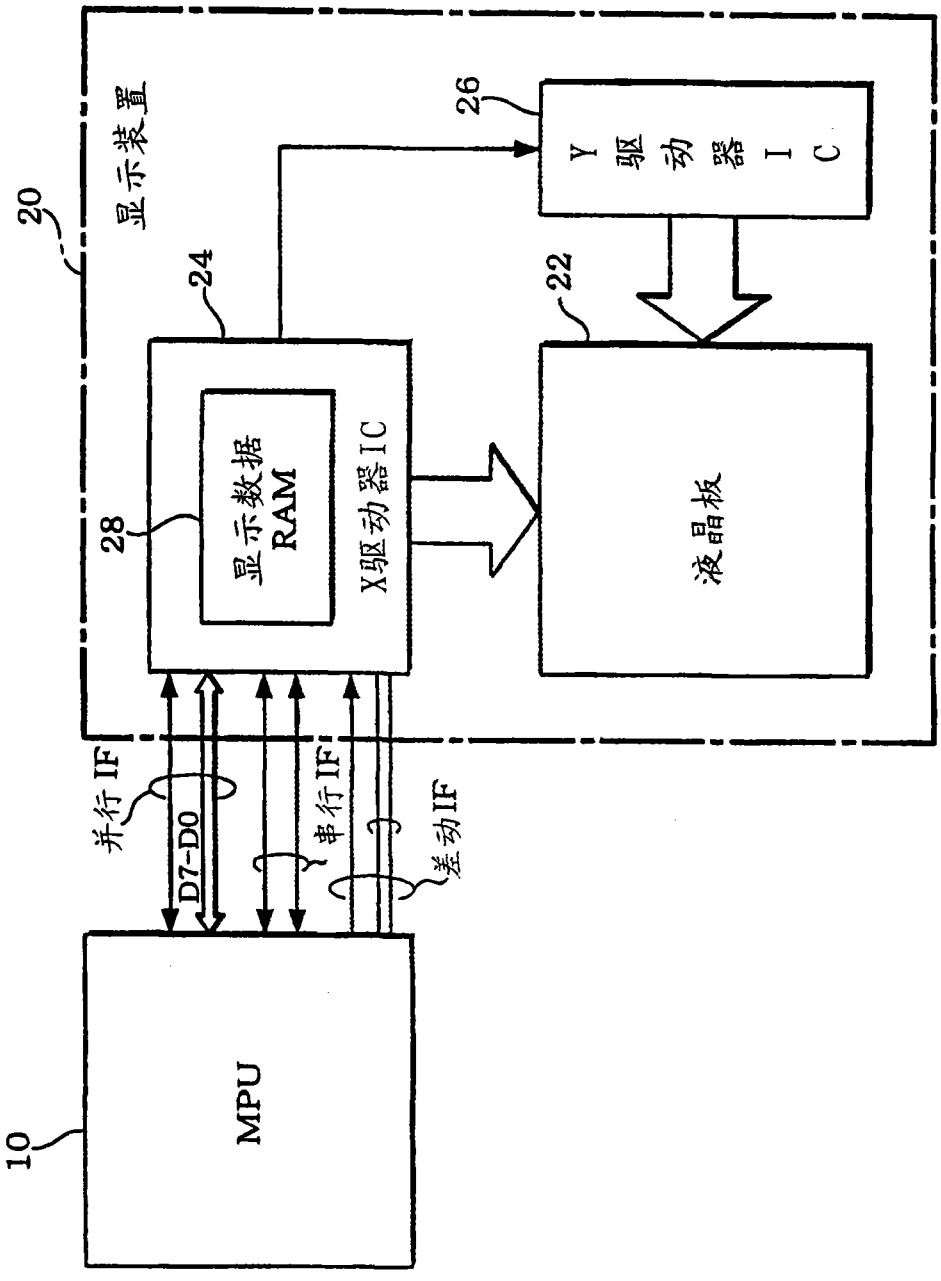

10
MPU
并行 IF
D7-D0
串行 IF
差动IF
20
显示装置
24
28
显示数据 RAM
X驱动器IC
22
液晶板
26
Y 驱 动 器 I C

图 1

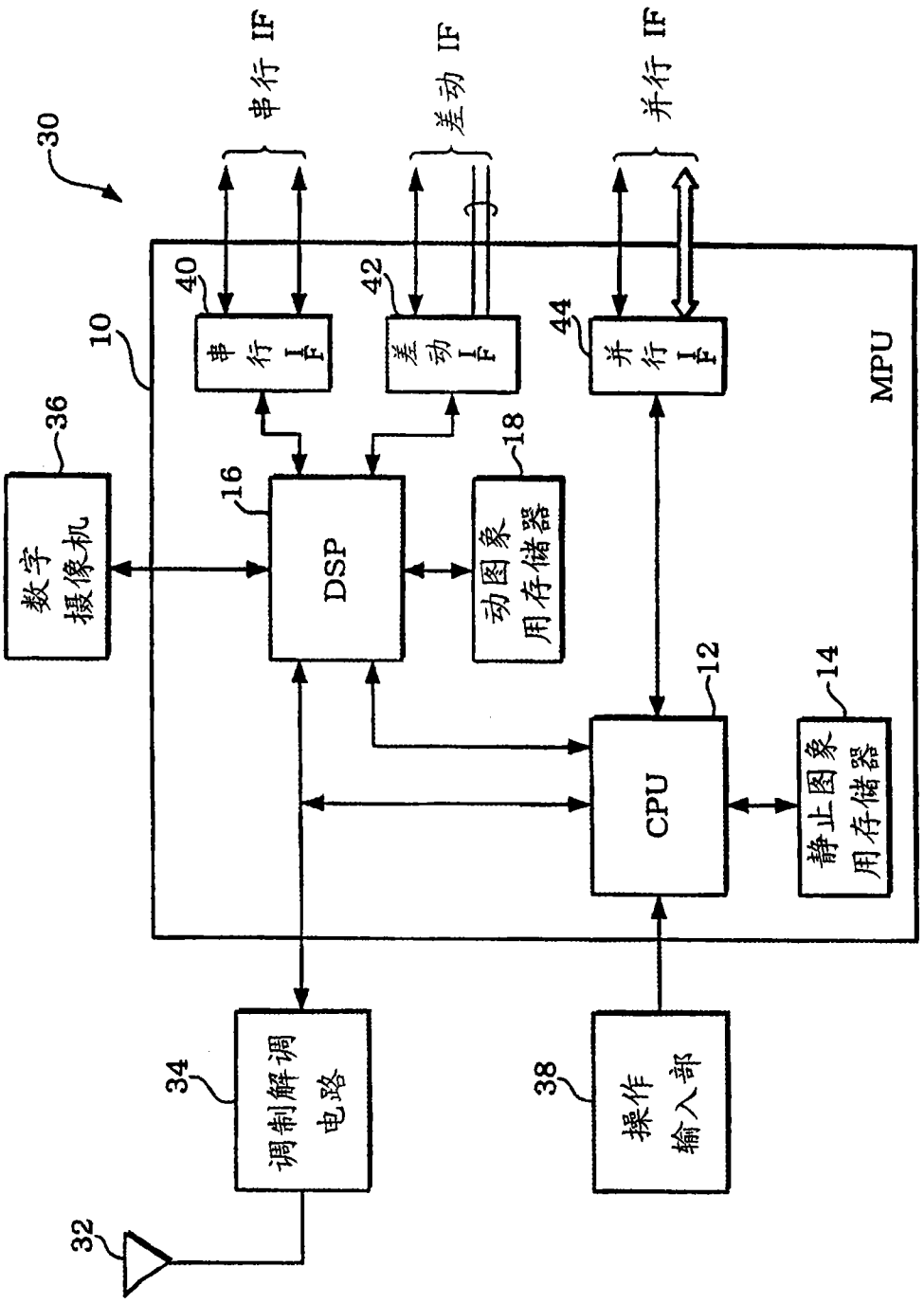

30
串行 IF
差动 IF
并行 IF
40
42
44
10
串行 I F
差动 I F
并行 I F
MPU
36
数字摄像机
16
DSP
18
动图象用存储器
12
CPU
14
静止图象用存储器
34
调制解调电路
38
操作输入部
32

图 2

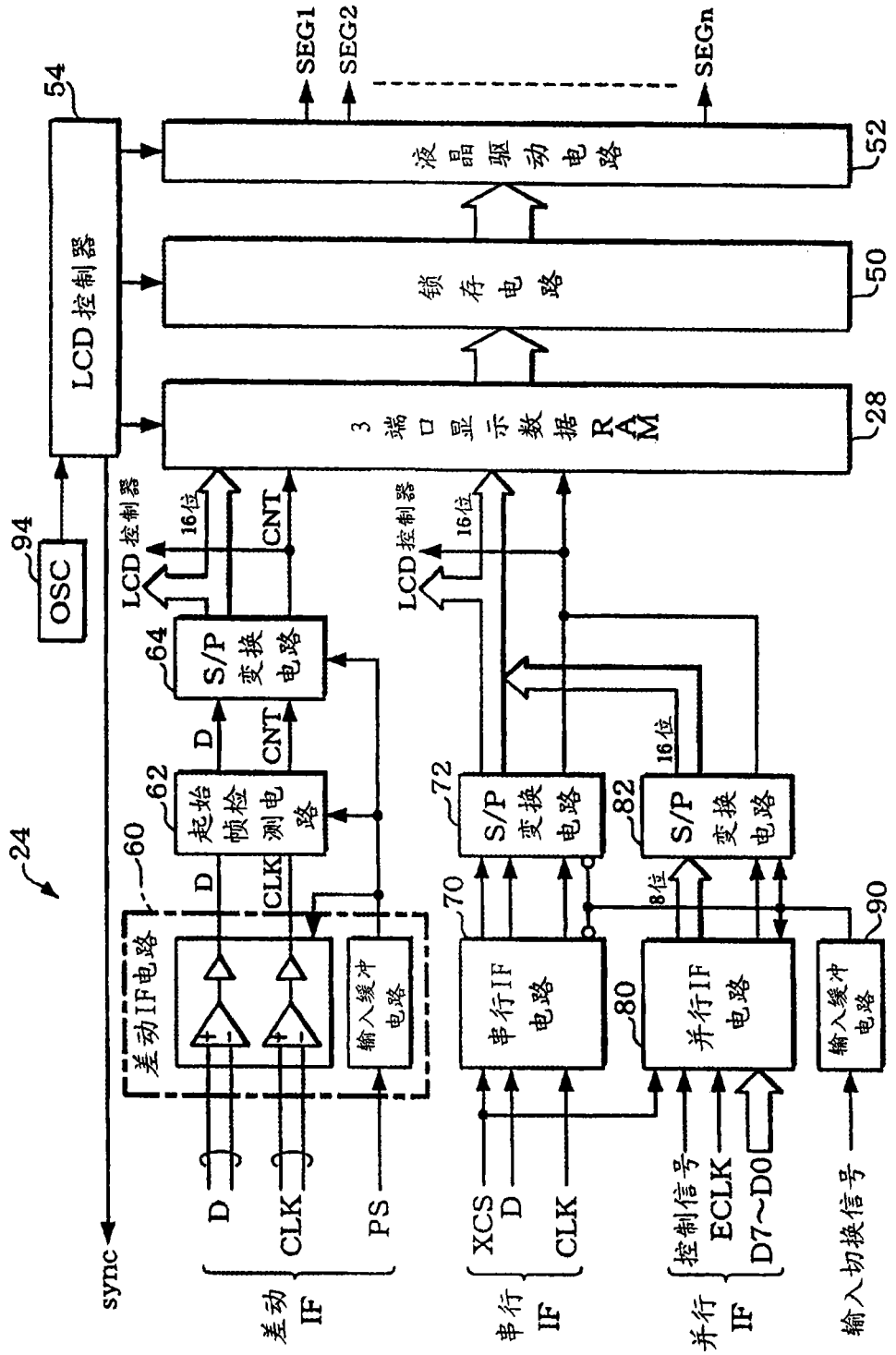

SEG1
SEG2
SEGn
54
LCD 控制器
液晶驱动电路
52
锁存电路
50
3端口显示数据RAM
28
LCD控制器
16位
CNT
94
OSC
64
S/P变换电路
D
CNT
62
起始帧检测电路
D
CLK
60
24
差动IF电路
输入缓冲电路
72
S/P变换电路
82
S/P变换电路
16位
8位
70
串行IF电路
80
并行IF电路
90
输入缓冲电路
sync
D
CLK
PS
差动IF
XCS
D
CLK
串行IF
控制信号
ECLK
D7~D0
并行IF
输入切换信号

图 3

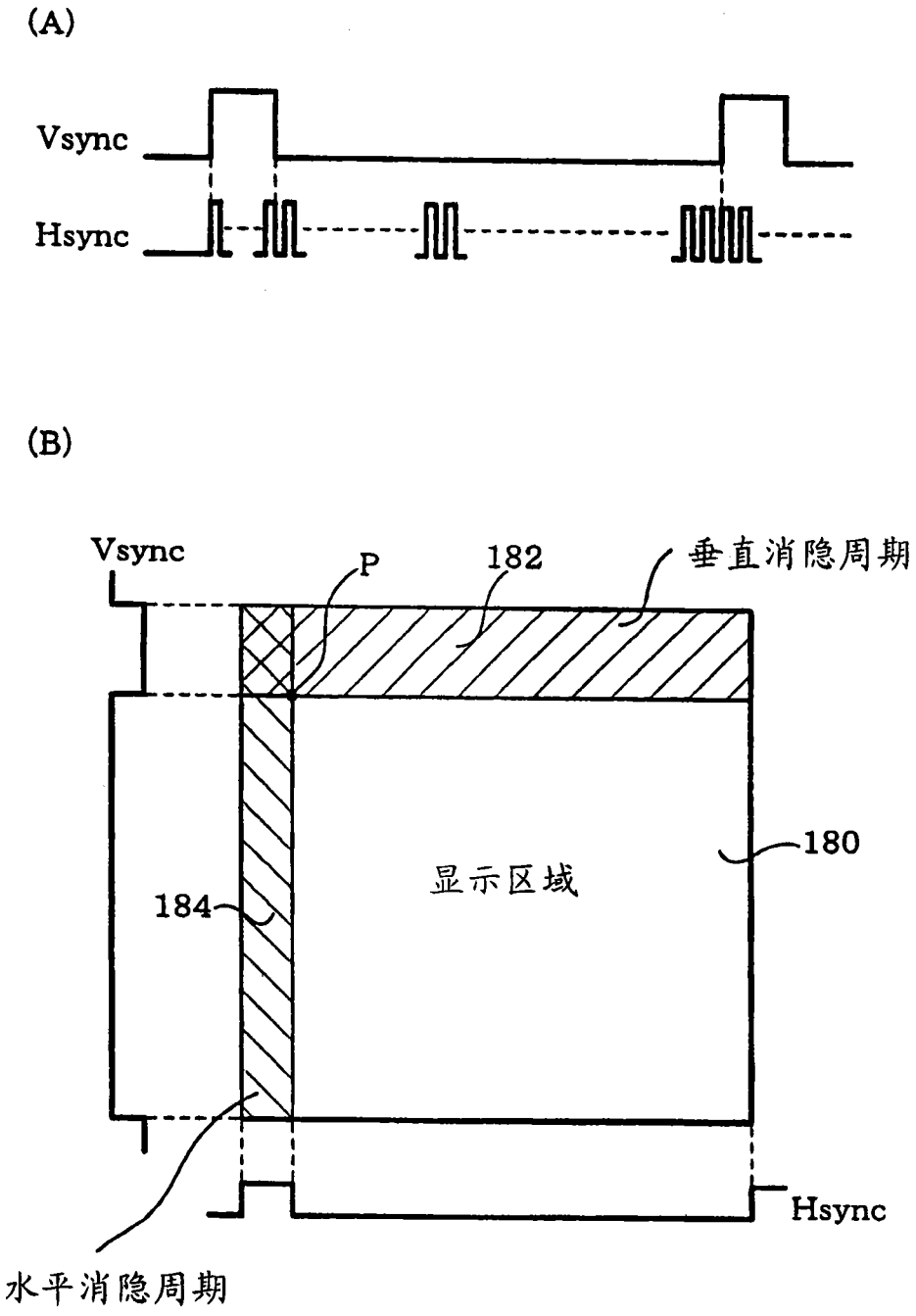


图 4

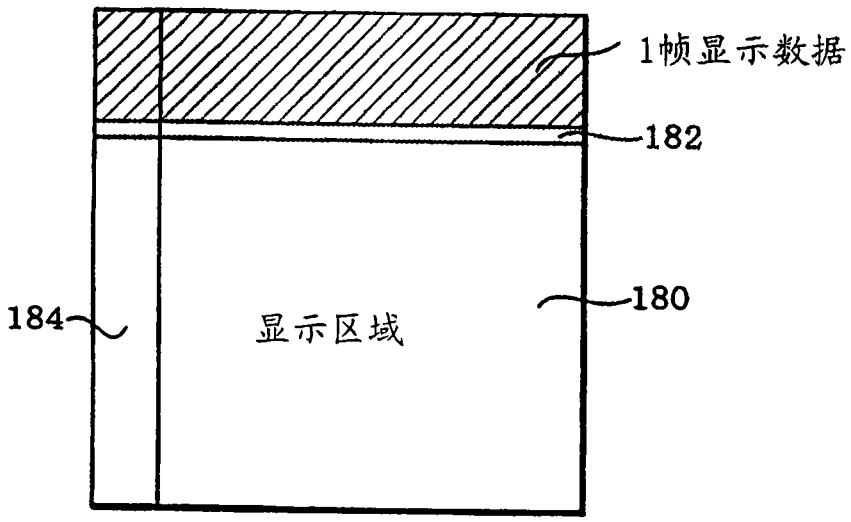


图 5

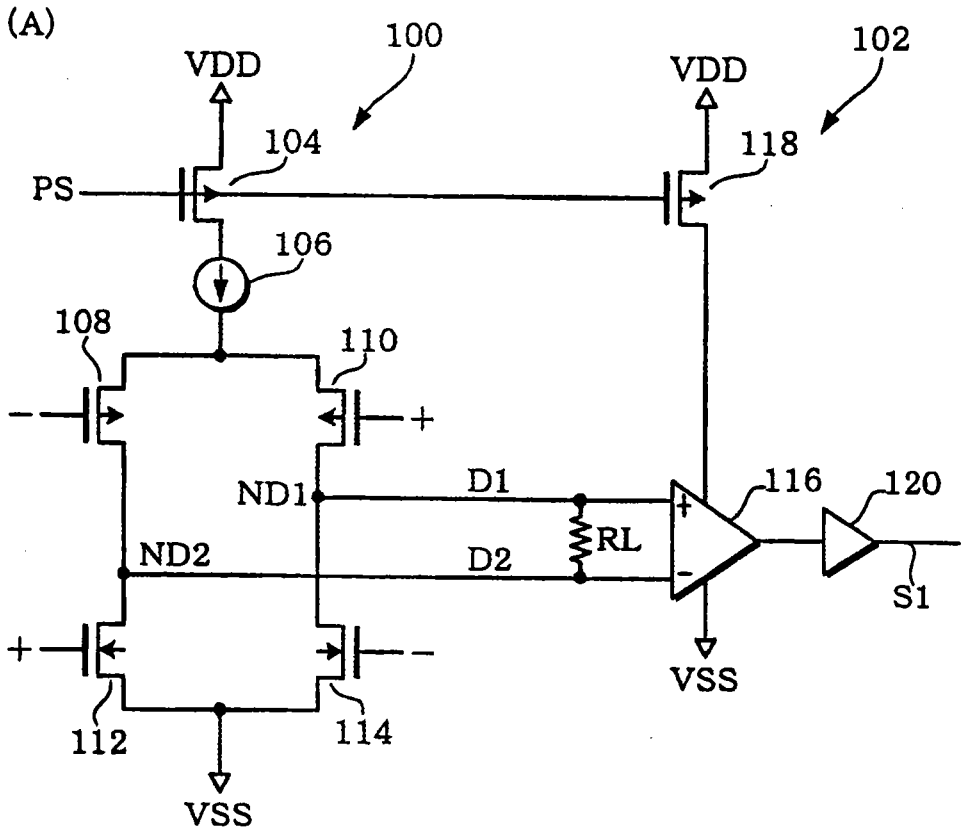

(A)
100
102
VDD
VDD
104
118
PS
106
108
110
ND1
D1
116
120
RL
ND2
D2
S1
VSS
112
114
VSS
(B)
电压
S1
VDD
D1
Vc
Vs
D2
VSS
时间

图 6

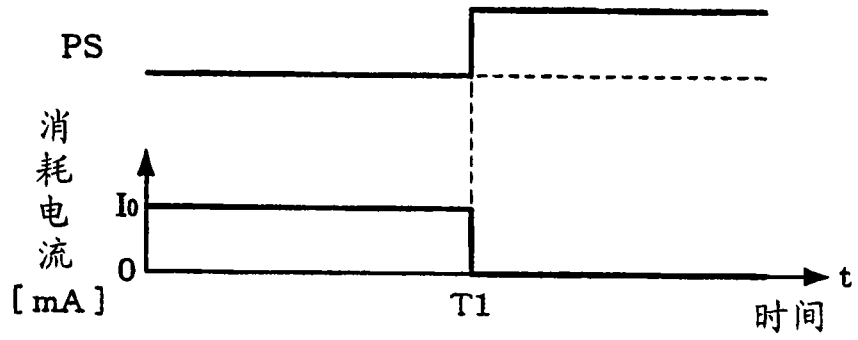


图 7

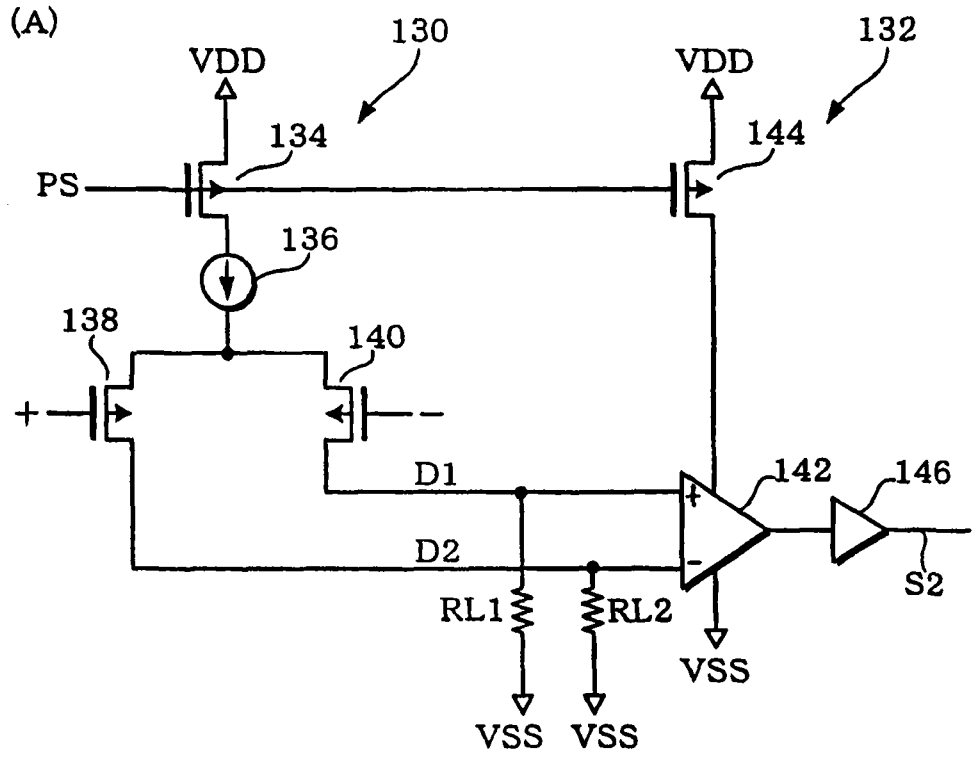

(A)
VDD
130
VDD
132
134
144
PS
136
138
140
+
-
D1
142
146
D2
S2
RL1
RL2
VSS
VSS
VSS
(B)
电压
S2
VDD
D1
D2
Vc
VSS
Vs
时间

图 8

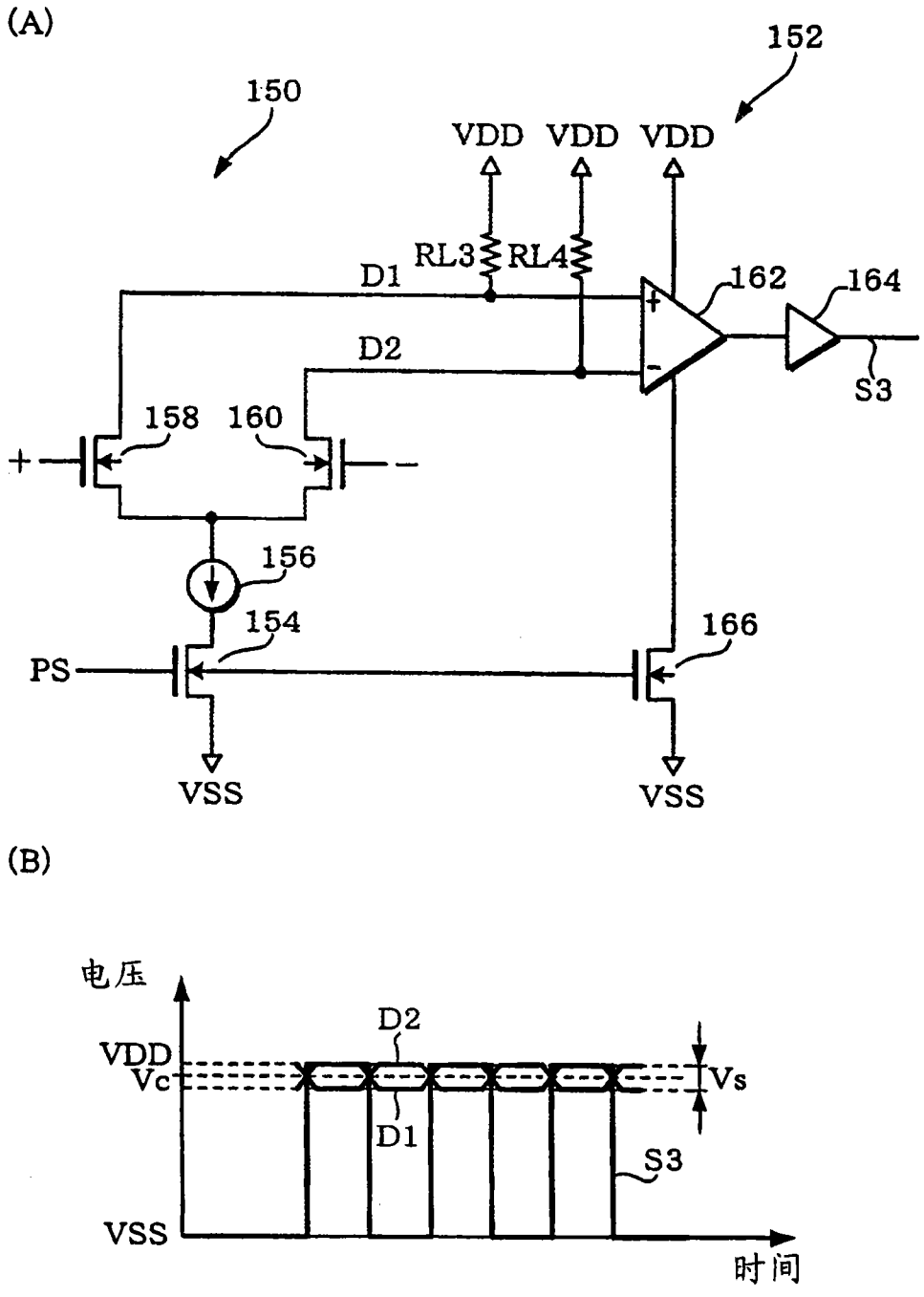

(A)
150
152
VDD VDD VDD
RL3 RL4
D1
D2
162
164
S3
158 160
+
−
156
154
166
PS
VSS
VSS
(B)
电压
D2
VDD
Vc
Vs
D1
S3
VSS
时间

图 9

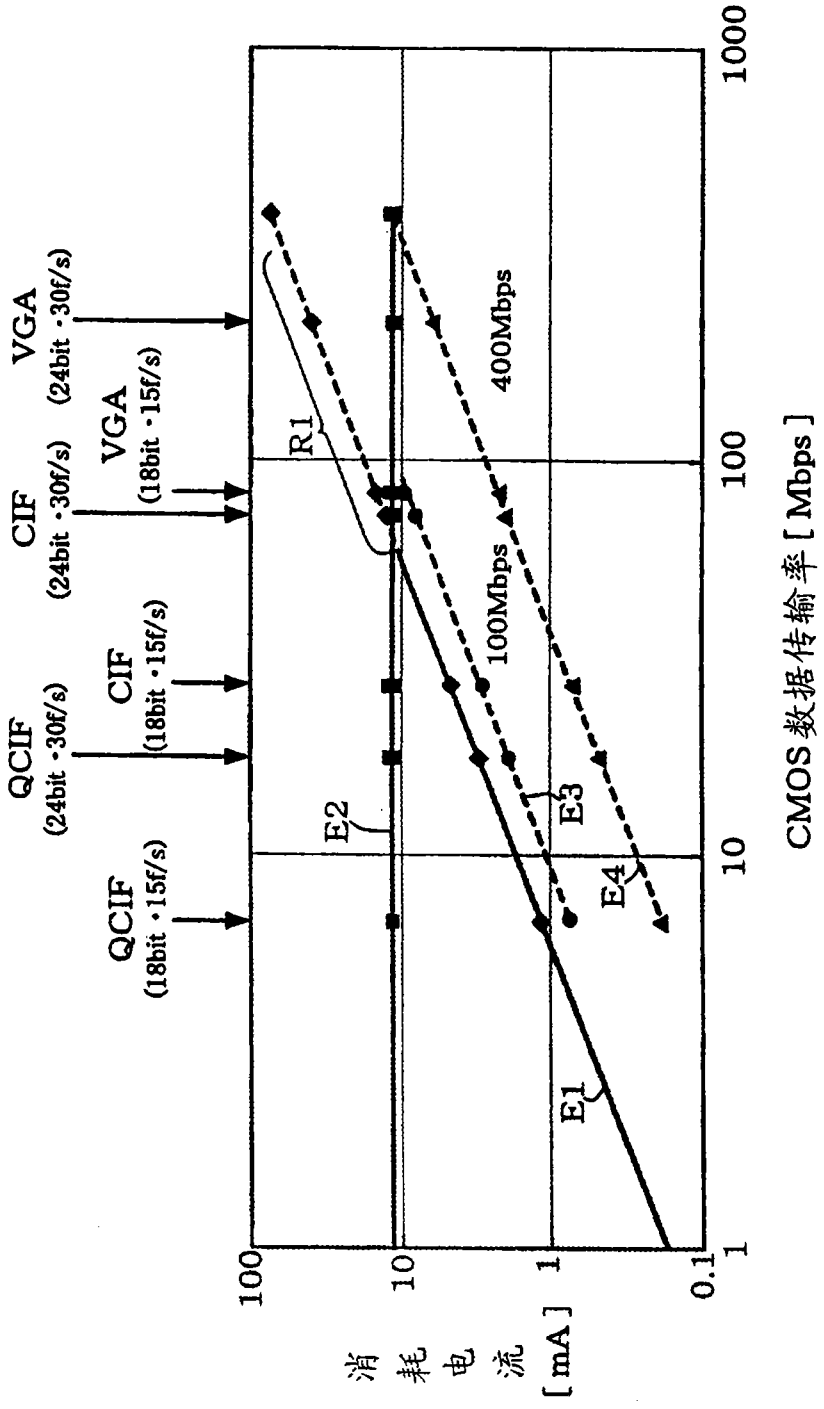
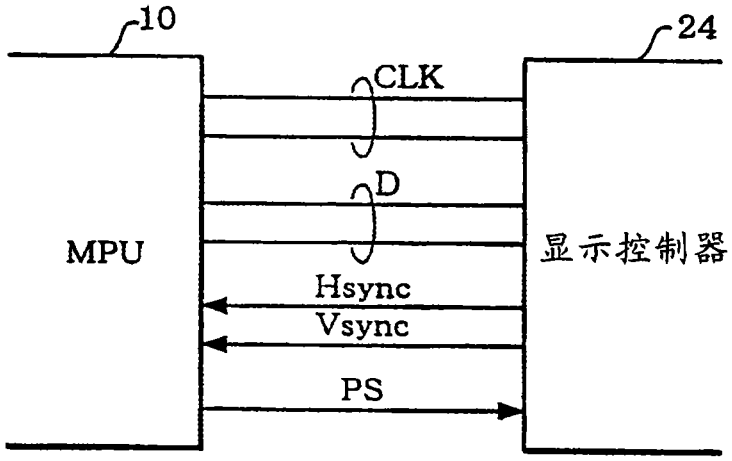

QCIF
(18bit ·15f/s)
QCIF
(24bit ·30f/s)
CIF
(18bit ·15f/s)
CIF
(24bit ·30f/s)
VGA
(18bit ·15f/s)
VGA
(24bit ·30f/s)
R1
E1
E2
E3
E4
100Mbps
400Mbps
100
10
1
0.1
1000
100
10
1
消耗电流[mA]
CMOS数据传输率[Mbps]

图 10

(A)


10
24
CLK
D
MPU
显示控制器
Hsync
Vsync
PS

(B)

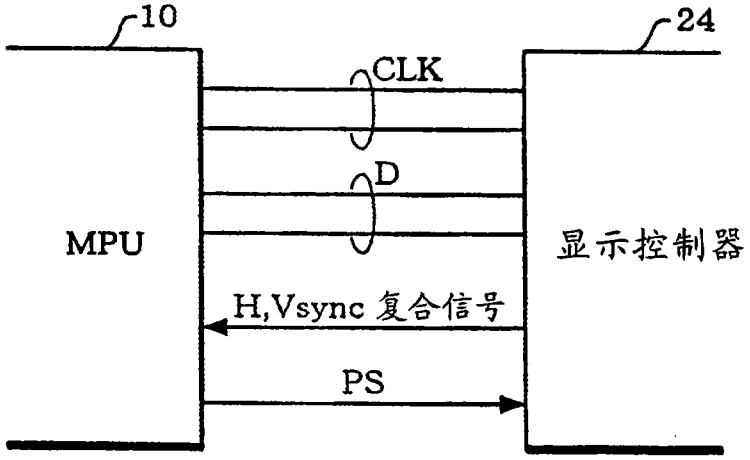

10
24
CLK
D
MPU
显示控制器
H,Vsync 复合信号
PS

图 11

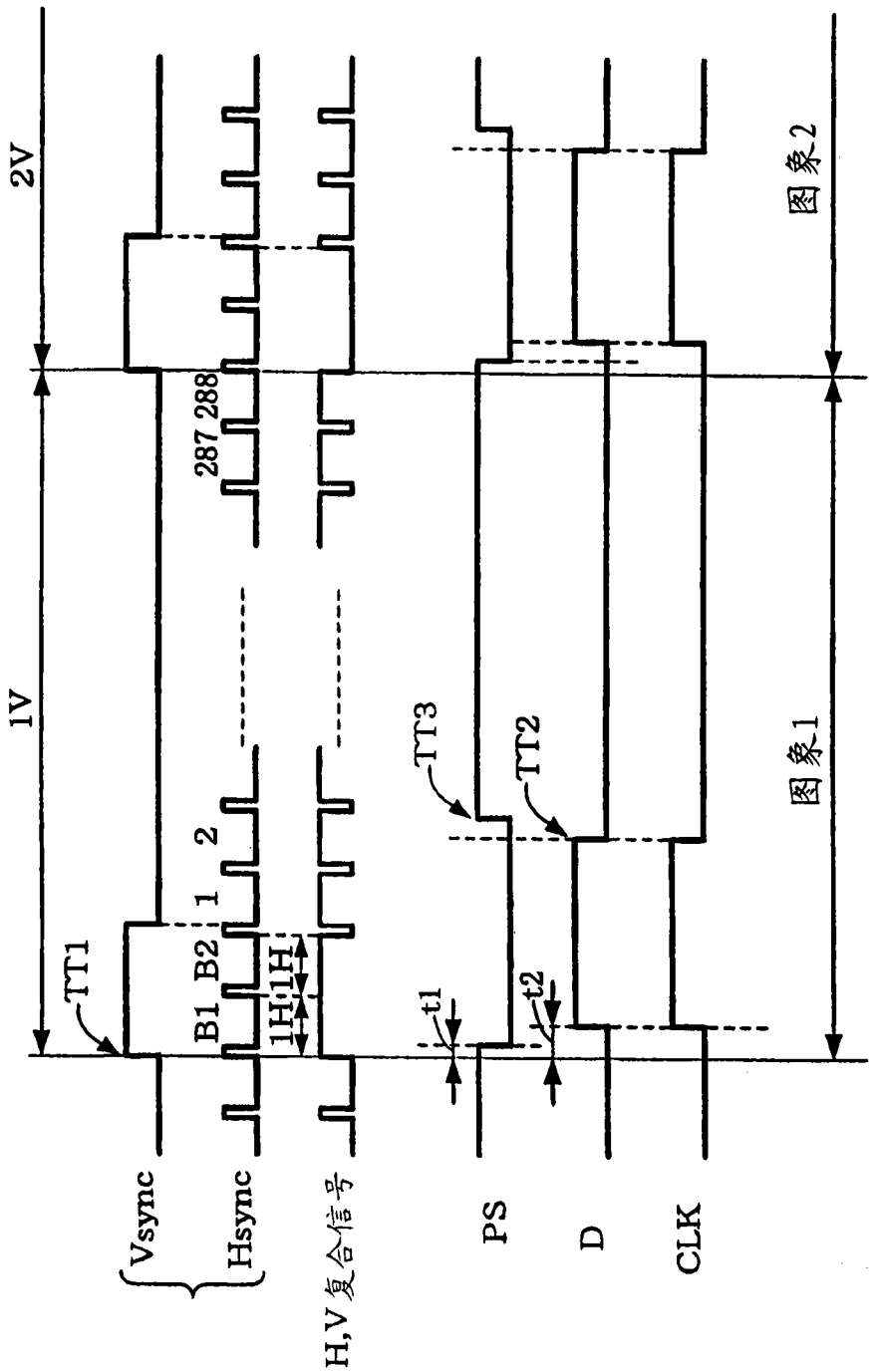

2V
1V
TT1
B1
B2
1
2
287
288
1H
1H
TT3
TT2
t1
t2
图象2
图象1
Vsync
Hsync
H,V复合信号
PS
D
CLK

图 12

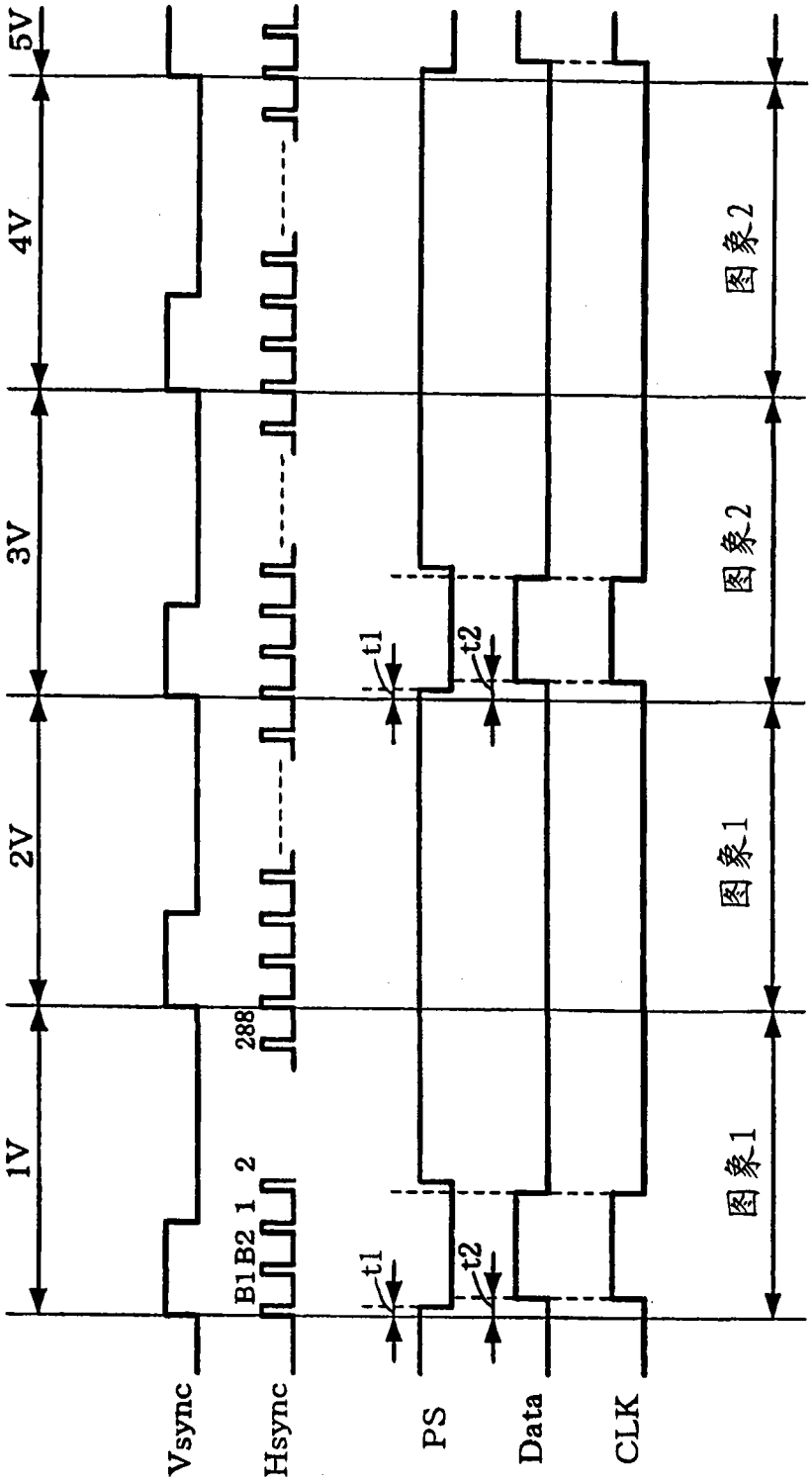

5V
4V
3V
2V
1V
B1B2 1 2
288
t1
t2
图象2
图象2
图象1
图象1
Vsync
Hsync
PS
Data
CLK

图 13

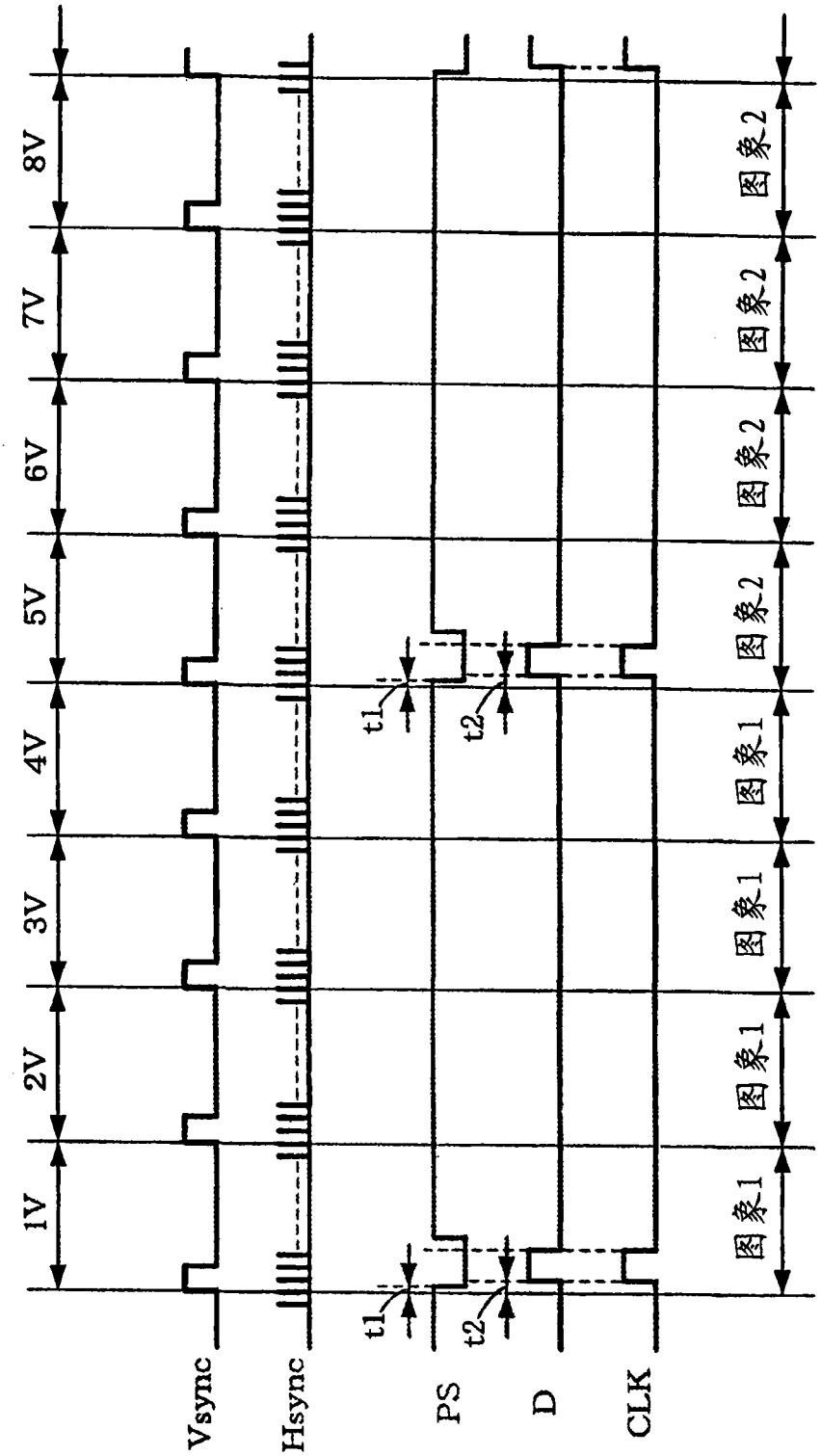

Vsync
Hsync
PS
D
CLK
t1
t2
t1
t2
1V
2V
3V
4V
5V
6V
7V
8V
图象1
图象1
图象1
图象1
图象2
图象2
图象2
图象2

图 14

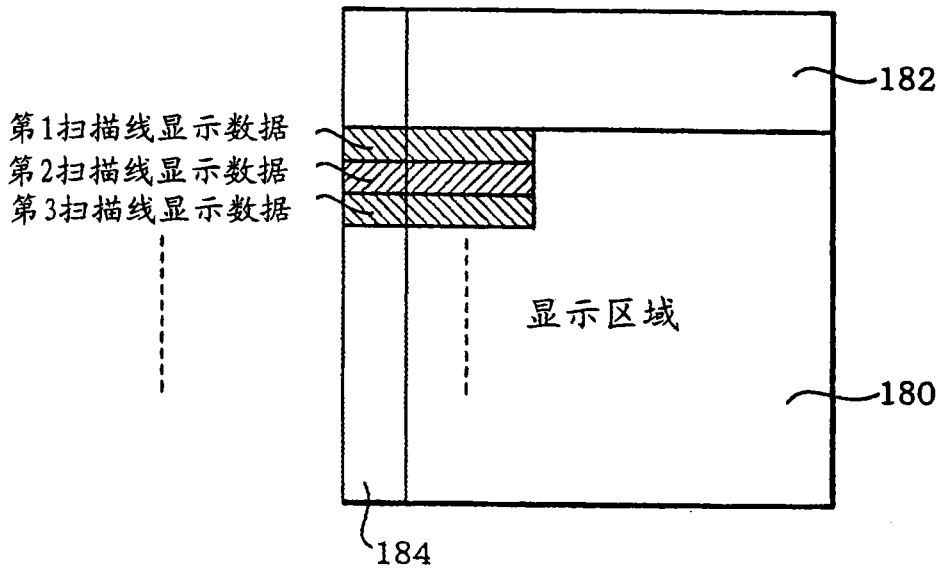


图 15

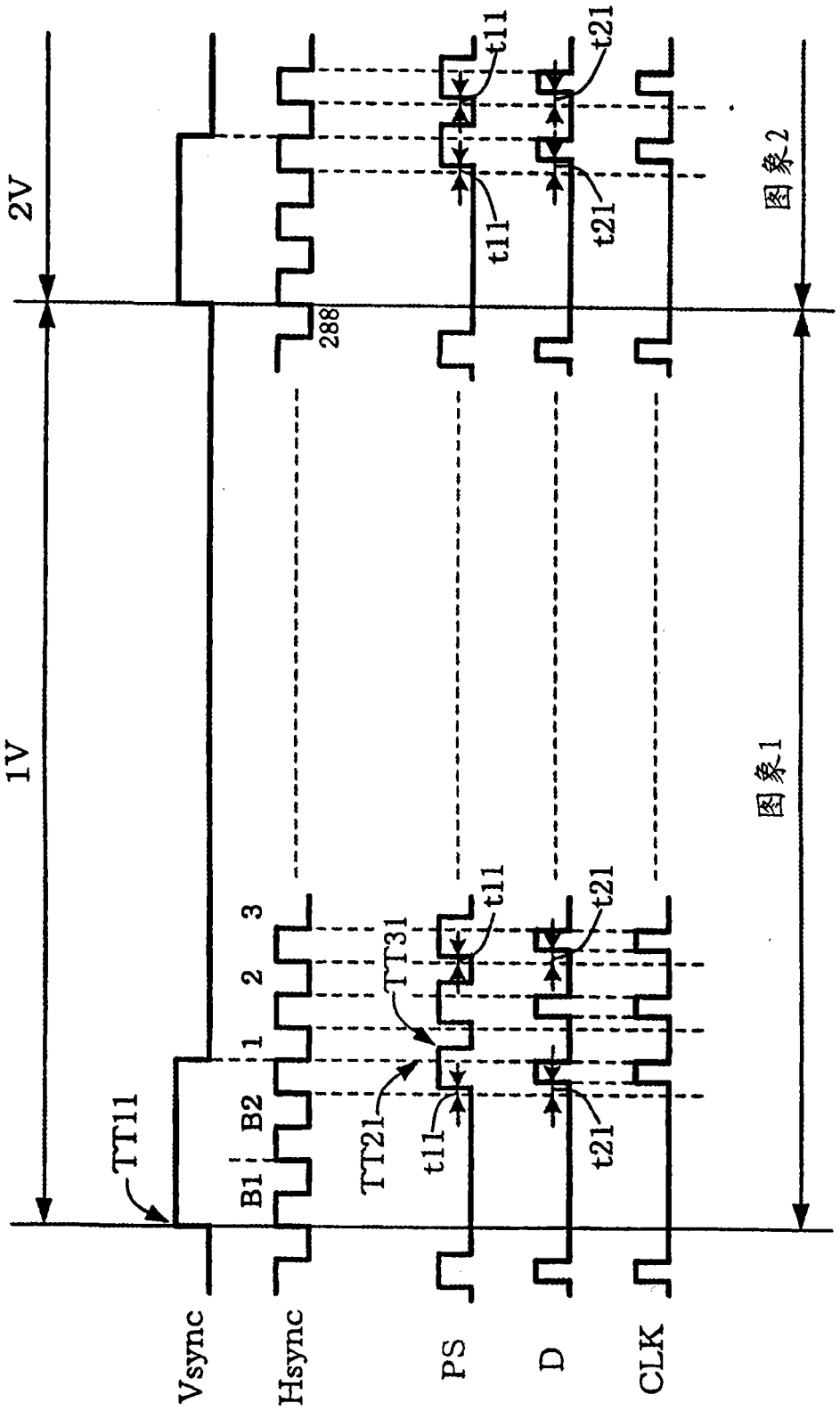

2V
1V
TT11
B1
B2
1
2
3
TT21
TT31
t11
t21
288
图象1
图象2
Vsync
Hsync
PS
D
CLK

图 16

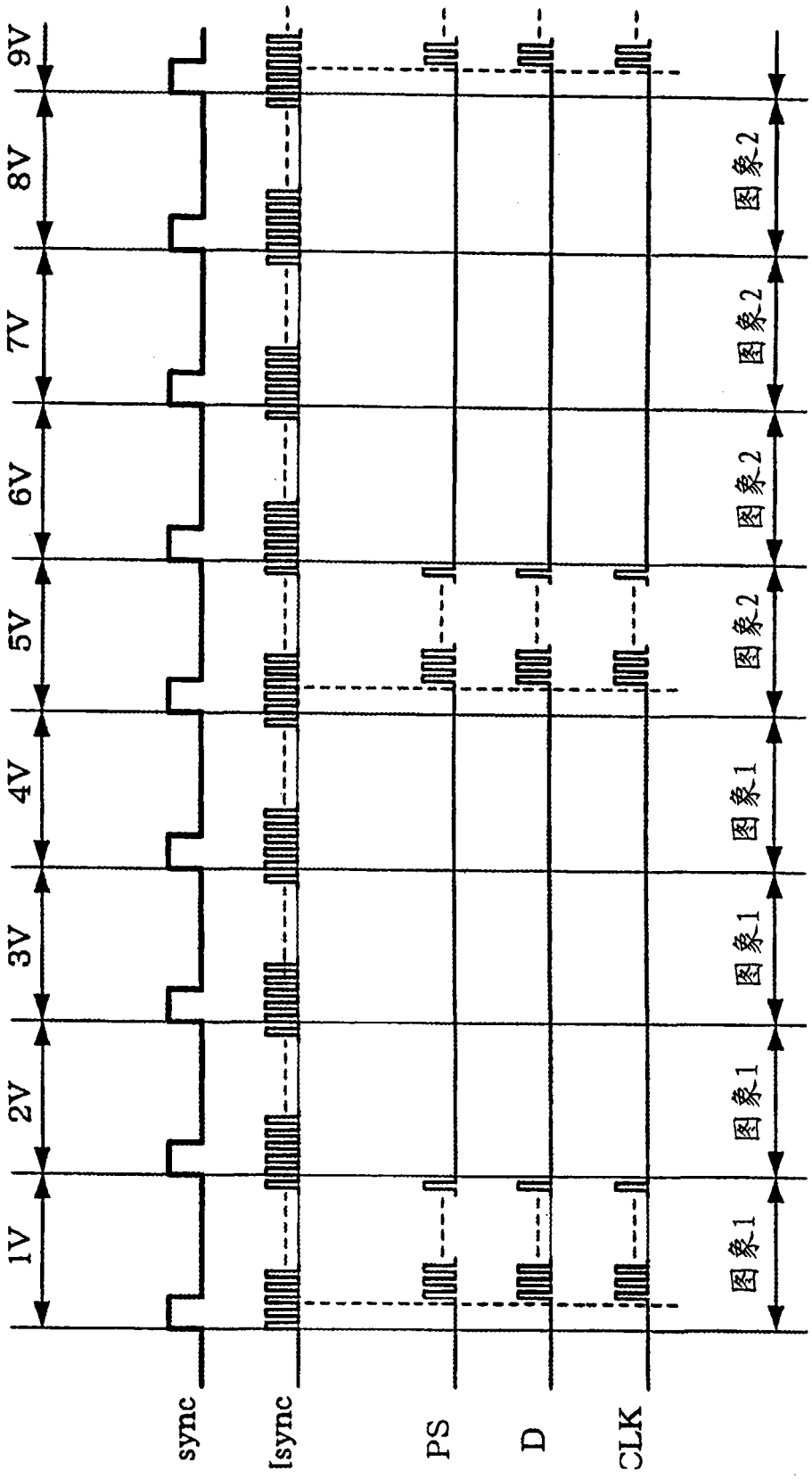

1V
2V
3V
4V
5V
6V
7V
8V
9V
sync
/sync
PS
D
CLK
图象1
图象1
图象1
图象1
图象2
图象2
图象2
图象2

图 17