



(12)发明专利

(10)授权公告号 CN 108062938 B

(45)授权公告日 2020.06.19

(21)申请号 201810012061.8

审查员 张利

(22)申请日 2018.01.05

(65)同一申请的已公布的文献号  
申请公布号 CN 108062938 A

(43)申请公布日 2018.05.22

(73)专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号  
专利权人 合肥京东方光电科技有限公司

(72)发明人 徐飞 吕磊

(74)专利代理机构 北京律智知识产权代理有限公司 11438  
代理人 王辉 阚梓瑄

(51) Int. Cl.  
G09G 3/36(2006.01)  
G11C 19/28(2006.01)

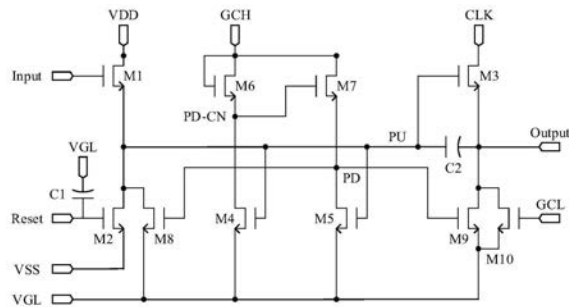
权利要求书2页 说明书8页 附图5页

(54)发明名称

移位寄存器单元及其驱动方法、栅极驱动电路、显示装置

(57)摘要

本公开提供一种移位寄存器单元及其驱动方法、栅极驱动电路、以及显示装置,涉及显示技术领域。该移位寄存器单元包括:输入模块,响应输入信号以将第一电源信号传输至上拉节点;复位模块,响应延迟后的复位信号以将第二电源信号传输至上拉节点;输出模块,响应上拉节点的信号以将时钟信号传输至信号输出端;第一下拉控制模块,响应上拉节点的信号以将第三电源信号传输至下拉节点;第二下拉控制模块,响应第四电源信号以将第四电源信号传输至下拉节点;下拉模块,响应下拉节点的信号以将第三电源信号分别传输至上拉节点和信号输出端;该移位寄存器单元为触控扫描行对应的移位寄存器单元。本公开可解决触控扫描行对应的栅极驱动信号下降缓慢的问题。



1. 一种移位寄存器单元,其特征在于,包括:

输入模块,连接输入信号端、第一电源信号端、以及上拉节点,用于响应输入信号以将第一电源信号传输至所述上拉节点;

复位模块,连接复位信号端、第二电源信号端、第三电源信号端、以及所述上拉节点,所述复位模块包括复位单元和延迟单元,所述延迟单元连接在所述复位信号端与所述第三电源信号端之间以对复位信号进行延迟,所述复位单元用于响应延迟后的复位信号以将第二电源信号传输至所述上拉节点;

输出模块,连接所述上拉节点、时钟信号端、以及信号输出端,用于响应所述上拉节点的电压信号以将时钟信号传输至所述信号输出端;

第一下拉控制模块,连接所述上拉节点、所述第三电源信号端、以及下拉节点,用于响应所述上拉节点的电压信号以将第三电源信号传输至所述下拉节点;

第二下拉控制模块,连接第四电源信号端和所述下拉节点,用于响应第四电源信号以将所述第四电源信号传输至所述下拉节点;

下拉模块,连接所述下拉节点、所述第三电源信号端、所述上拉节点、以及所述信号输出端,用于响应所述下拉节点的电压信号以将所述第三电源信号分别传输至所述上拉节点和所述信号输出端;

其中,所述移位寄存器单元为触控扫描行对应的移位寄存器单元。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述复位单元包括复位开关元件,所述复位开关元件的控制端连接所述复位信号端、第一端连接所述第二电源信号端、第二端连接所述上拉节点;

所述延迟单元包括延迟电容,所述延迟电容连接在所述复位信号端与所述第三电源信号端之间。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输入模块包括输入开关元件,所述输入开关元件的控制端连接所述输入信号端、第一端连接所述第一电源信号端、第二端连接所述上拉节点。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输出模块包括输出开关元件和充电电容;

所述输出开关元件的控制端连接所述上拉节点、第一端连接所述时钟信号端、第二端连接所述信号输出端;

所述充电电容连接在所述上拉节点与所述信号输出端之间。

5. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一下拉控制模块包括第一控制开关元件和第二控制开关元件;

所述第一控制开关元件的控制端连接所述上拉节点、第一端连接所述第三电源信号端、第二端连接下拉控制节点;

所述第二控制开关元件的控制端连接所述上拉节点、第一端连接所述第三电源信号端、第二端连接所述下拉节点。

6. 根据权利要求5所述的移位寄存器单元,其特征在于,所述第二下拉控制模块包括第三控制开关元件和第四控制开关元件;

所述第三控制开关元件的控制端和第一端连接所述第四电源信号端、第二端连接所述

下拉控制节点；

所述第四控制开关元件的控制端连接所述下拉控制节点、第一端连接所述第四电源信号端、第二端连接所述下拉节点。

7. 根据权利要求1所述的移位寄存器单元,其特征在于,所述下拉模块包括第一下拉开关元件和第二下拉开关元件；

所述第一下拉开关元件的控制端连接所述下拉节点、第一端连接所述第三电源信号端、第二端连接所述上拉节点；

所述第二下拉开关元件的控制端连接所述下拉节点、第一端连接所述第三电源信号端、第二端连接所述信号输出端。

8. 根据权利要求1-7任一项所述的移位寄存器单元,其特征在于,所有开关元件均为N型晶体管或者均为P型晶体管。

9. 一种移位寄存器单元的驱动方法,用于驱动权利要求1-8任一项所述的移位寄存器单元;其特征在于,所述驱动方法包括:

通过输入模块响应输入信号以将第一电源信号传输至上拉节点；

通过复位模块中的延迟单元对复位信号进行延迟,并通过所述复位模块中的复位单元响应延迟后的复位信号以将第二电源信号传输至所述上拉节点；

通过输出模块响应所述上拉节点的电压信号以将时钟信号传输至信号输出端；

通过第一下拉控制模块响应所述上拉节点的电压信号以将第三电源信号传输至下拉节点；

通过第二下拉控制模块响应第四电源信号以将所述第四电源信号传输至所述下拉节点；

通过下拉模块响应所述下拉节点的电压信号以将所述第三电源信号分别传输至所述上拉节点和所述信号输出端。

10. 一种栅极驱动电路,其特征在于,包括权利要求1-8任一项所述的移位寄存器单元。

11. 一种显示装置,其特征在于,包括权利要求10所述的栅极驱动电路。

## 移位寄存器单元及其驱动方法、栅极驱动电路、显示装置

### 技术领域

[0001] 本公开涉及显示技术领域,尤其涉及一种移位寄存器单元及其驱动方法、栅极驱动电路、以及显示装置。

### 背景技术

[0002] TFT-LCD(Thin Film Transistor-Liquid Crystal Display,薄膜晶体管-液晶显示器)采用M×N像素矩阵的逐行扫描方式来实现图像的显示。TFT-LCD的显示驱动器主要包括栅极驱动器和数据驱动器,其中栅极驱动器可将时钟信号通过移位寄存器进行转换以施加至液晶显示面板的栅线,从而可向对应的栅线输出栅极驱动信号,以实现其逐行扫描功能。

[0003] 在诸如120Hz的TDDI(Touch and Display Driver Intergation,触控与栅极驱动器集成)产品的应用中,栅极驱动电路的特定行中会增加触控信号线,这就导致在触控阶段会有固定几行的移位寄存器单元需要保持当前状态,直至触控结束方可恢复正常工作。但在此期间,由于保持器件例如移位寄存器单元中的充电电容会产生漏电,使得上拉节点打开不够充分,因此便会导致此行时钟信号对应的栅极驱动信号波形失真;同时,此刻下拉节点还未达到工作电压,即整个移位寄存器单元还无法进行放噪动作,但是输出晶体管已经关断,这样就会造成此刻的信号输出端为浮空状态,从而导致栅极驱动信号的波形更加严重的失真,如体现为下降缓慢。

[0004] 需要说明的是,在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解,因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

### 发明内容

[0005] 本公开的目的在于提供一种移位寄存器单元及其驱动方法、栅极驱动电路、以及显示装置,以用于解决触控扫描行对应的移位寄存器单元的栅极驱动信号下降缓慢的问题。

[0006] 本公开的其他特性和优点将通过下面的详细描述变得显然,或部分地通过本公开的实践而习得。

[0007] 根据本公开的一个方面,提供一种移位寄存器单元,包括:

[0008] 输入模块,连接输入信号端、第一电源信号端、以及上拉节点,用于响应输入信号以将第一电源信号传输至所述上拉节点;

[0009] 复位模块,连接复位信号端、第二电源信号端、第三电源信号端、以及所述上拉节点,所述复位模块包括复位单元和延迟单元,所述延迟单元连接在所述复位信号端与所述第三电源信号端之间以对复位信号进行延迟,所述复位单元用于响应延迟后的复位信号以将第二电源信号传输至所述上拉节点;

[0010] 输出模块,连接所述上拉节点、时钟信号端、以及信号输出端,用于响应所述上拉节点的电压信号以将时钟信号传输至所述信号输出端;

[0011] 第一下拉控制模块,连接所述上拉节点、所述第三电源信号端、以及下拉节点,用于响应所述上拉节点的电压信号以将第三电源信号传输至所述下拉节点;

[0012] 第二下拉控制模块,连接第四电源信号端和所述下拉节点,用于响应第四电源信号以将所述第四电源信号传输至所述下拉节点;

[0013] 下拉模块,连接所述下拉节点、所述第三电源信号端、所述上拉节点、以及所述信号输出端,用于响应所述下拉节点的电压信号以将所述第三电源信号分别传输至所述上拉节点和所述信号输出端;

[0014] 其中,所述移位寄存器单元为触控扫描行对应的移位寄存器单元。

[0015] 本公开的一种示例性实施例中,所述复位单元包括复位开关元件,所述复位开关元件的控制端连接所述复位信号端、第一端连接所述第二电源信号端、第二端连接所述上拉节点;

[0016] 所述延迟单元包括延迟电容,所述延迟电容连接在所述复位信号端与所述第三电源信号端之间。

[0017] 本公开的一种示例性实施例中,所述输入模块包括输入开关元件,所述输入开关元件的控制端连接所述输入信号端、第一端连接所述第一电源信号端、第二端连接所述上拉节点。

[0018] 本公开的一种示例性实施例中,所述输出模块包括输出开关元件和充电电容;

[0019] 所述输出开关元件的控制端连接所述上拉节点、第一端连接所述时钟信号端、第二端连接所述信号输出端;

[0020] 所述充电电容连接在所述上拉节点与所述信号输出端之间。

[0021] 本公开的一种示例性实施例中,所述第一下拉控制模块包括第一控制开关元件和第二控制开关元件;

[0022] 所述第一控制开关元件的控制端连接所述上拉节点、第一端连接所述第三电源信号端、第二端连接下拉控制节点;

[0023] 所述第二控制开关元件的控制端连接所述上拉节点、第一端连接所述第三电源信号端、第二端连接所述下拉节点。

[0024] 本公开的一种示例性实施例中,所述第二下拉控制模块包括第三控制开关元件和第四控制开关元件;

[0025] 所述第三控制开关元件的控制端和第一端连接所述第四电源信号端、第二端连接所述下拉控制节点;

[0026] 所述第四控制开关元件的控制端连接所述下拉控制节点、第一端连接所述第四电源信号端、第二端连接所述下拉节点。

[0027] 本公开的一种示例性实施例中,所述下拉模块包括第一下拉开关元件和第二下拉开关元件;

[0028] 所述第一下拉开关元件的控制端连接所述下拉节点、第一端连接所述第三电源信号端、第二端连接所述上拉节点;

[0029] 所述第二下拉开关元件的控制端连接所述下拉节点、第一端连接所述第三电源信号端、第二端连接所述信号输出端。

[0030] 本公开的一种示例性实施例中,所有开关元件均为N型晶体管或者均为P型晶体

管。

[0031] 根据本公开的一个方面,提供一种移位寄存器单元的驱动方法,用于驱动上述的移位寄存器单元;所述驱动方法包括:

[0032] 通过输入模块响应输入信号以将第一电源信号传输至上拉节点;

[0033] 通过复位模块中的延迟单元对复位信号进行延迟,并通过所述复位模块中的复位单元响应延迟后的复位信号以将第二电源信号传输至所述上拉节点;

[0034] 通过输出模块响应所述上拉节点的电压信号以将时钟信号传输至信号输出端;

[0035] 通过第一下拉控制模块响应所述上拉节点的电压信号以将第三电源信号传输至下拉节点;

[0036] 通过第二下拉控制模块响应第四电源信号以将所述第四电源信号传输至所述下拉节点;

[0037] 通过下拉模块响应所述下拉节点的电压信号以将所述第三电源信号分别传输至所述上拉节点和所述信号输出端。

[0038] 根据本公开的一个方面,提供一种栅极驱动电路,包括上述的移位寄存器单元。

[0039] 根据本公开的一个方面,提供一种显示装置,其特征在于,包括上述的栅极驱动电路。

[0040] 本公开示例性实施方式所提供的移位寄存器单元及其驱动方法、栅极驱动电路、以及显示装置,在复位模块中增加一延迟单元来对复位信号进行延迟,这样即可延后向上拉节点PU和信号输出端Output传输截止信号的时间,从而能够在复位上拉节点PU之前通过时钟信号拉低信号输出端Output的电压,并在关断输出信号的同时使下拉节点快速达到工作电压,以便于通过下拉模块迅速对信号输出端进行降噪。基于此,通过延迟复位信号即可改善触控扫描行对应的移位寄存器单元因上拉节点和下拉节点的波形失真而造成的栅极驱动信号的波形失真例如下降过慢的问题,而且此法对于其余所有行的充电电容的充电时间均无影响,从而能够快速降低栅极驱动信号以获得稳定的输出波形。

[0041] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,并不能限制本公开。

## 附图说明

[0042] 此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本公开的实施例,并与说明书一起用于解释本公开的原理。显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0043] 图1示意性示出传统移位寄存器单元的电路结构图;

[0044] 图2示意性示出传统移位寄存器单元中上拉节点和下拉节点的波形变化示意图;

[0045] 图3示意性示出传统移位寄存器单元中栅极驱动信号的失真波形图;

[0046] 图4示意性示出本公开示例性实施例中移位寄存器单元的电路结构示意图;

[0047] 图5示意性示出本公开示例性实施例中栅极驱动信号的效果改善对比图;

[0048] 图6示意性示出本公开示例性实施例中TDDI产品中移位寄存器单元的分布示意图;

- [0049] 图7示意性示出本公开示例性实施例中移位寄存器单元的驱动方法流程图；
- [0050] 图8示意性示出本公开示例性实施例中移位寄存器单元的驱动信号时序图；
- [0051] 图9示意性示出本公开示例性实施例中栅极驱动电路的级联结构图。

### 具体实施方式

[0052] 现在将参考附图更全面地描述示例实施例。然而，示例实施例能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施例使得本公开将更加全面和完整，并将示例实施例的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施例中。在下面的描述中，提供许多具体细节从而给出对本公开的实施例的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知技术方案以避免使本公开的各方面变得模糊。

[0053] 此外，附图仅为本公开的示意性图解，并非一定是按比例绘制。附图中各层的厚度和形状不反映真实比例，仅是为了便于说明本公开的内容。图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。

[0054] 图1示出了传统移位寄存器单元10的电路结构图。参考图1可知，该移位寄存器单元10主要可以包括：由输入晶体管T1构成的输入模块101，用于响应输入信号Input而对上拉节点PU进行充电；由输出晶体管T2和充电电容C构成的输出模块102，用于响应上拉节点PU的电压信号而将时钟信号CLK通过信号输出端Output输出；由复位晶体管T3构成的复位模块103，用于响应复位信号Reset而向上拉节点PU和信号输出端Output输出截止信号；控制模块104，用于根据上拉节点PU和一电源电压VGH而控制下拉节点PD的电压；下拉模块105，用于响应下拉节点PD的电压信号而对上拉节点PU和信号输出端Output进行放噪。

[0055] 基于此，在诸如120Hz的TDDI (Touch and Display Driver Intergation, 触控与栅极驱动器集成) 产品的应用中，栅极驱动电路的特定行中会增加触控信号线，这就导致在触控阶段会有固定几行的移位寄存器单元需要保持当前状态，直至触控结束方可恢复正常工作。但在此期间，参考图2和图3所示，由于保持器件例如移位寄存器单元10中的充电电容C会产生漏电，使得上拉节点PU打开不够充分，因此便会导致此行时钟信号CLK对应的栅极驱动信号的波形失真；同时，此刻下拉节点PD的电压还未抬升高电平VGH，即整个移位寄存器单元10还无法进行放噪动作，但是输出晶体管T2已经关断，这样就会造成此刻的信号输出端Output为浮空状态，从而导致栅极驱动信号的波形更加严重的失真，如体现在下降缓慢。

[0056] 具体而言，由于在进行触控动作时，触控扫描行所对应的移位寄存器单元10处于停滞状态，此时充电电容C产生漏电使得输出晶体管T2不能充分打开，这就导致输出信号上升缓慢，从而造成对上一级移位寄存器单元10的复位缓慢，因此上一级移位寄存器单元10的放噪机制迟迟不到，最终导致其输出信号迟迟不能关断而出现图3中的栅极驱动信号的波形失真。

[0057] 以上问题的解决方法之一可以是直接减小所有行时钟信号CLK的工作周期例如推迟时钟信号CLK的上升沿时间，以此实现复位时间的延后，并通过时钟信号CLK先把信号输

出端Output的栅极驱动信号拉到低电位。但是此法会减少所有行充电电容C的充电时间,从而导致输出晶体管T2打开的更加缓慢,这对栅极驱动信号的开启会产生一定的负面影响。

[0058] 基于此,本示例实施方式提供了一种移位寄存器单元40,应用于TDDI产品的栅极驱动电路;具体而言,该移位寄存器单元40可以作为TDDI产品的栅极驱动电路中的触控扫描行所对应的移位寄存器单元。

[0059] 如图4所示,所述移位寄存器单元40可以包括:

[0060] 输入模块401,连接输入信号端、第一电源信号端、以及上拉节点PU,用于响应输入信号Input以将第一电源信号VDD传输至上拉节点PU,从而对上拉节点PU进行充电;

[0061] 复位模块402,连接复位信号端、第二电源信号端、第三电源信号端、以及上拉节点PU,该复位模块402可以包括复位单元和延迟单元,其中延迟单元可以连接在复位信号端与第三电源信号端之间以对复位信号Reset进行延迟,复位单元可用于响应延迟后的复位信号Reset以将第二电源信号VSS传输至上拉节点PU,从而对上拉节点PU进行复位,而在复位信号的延迟期间时钟信号CLK为低电平,因此可以直接对信号输出端Output进行复位;

[0062] 输出模块403,连接上拉节点PU、时钟信号端、以及信号输出端Output,用于响应上拉节点PU的电压信号以将时钟信号CLK传输至信号输出端Output,从而输出至对应的栅线以作为栅极驱动信号;

[0063] 第一下拉控制模块404,连接上拉节点PU、第三电源信号端、以及下拉节点PD,用于响应上拉节点PU的电压信号以将第三电源信号VGL传输至下拉节点PD;

[0064] 第二下拉控制模块405,连接第四电源信号端和下拉节点PD,用于响应第四电源信号GCH以将第四电源信号GCH传输至下拉节点PD;

[0065] 下拉模块406,连接下拉节点PD、第三电源信号端、上拉节点PU、以及信号输出端Output,用于响应下拉节点PD的电压信号以将第三电源信号VGL分别传输至上拉节点PU和信号输出端Output。

[0066] 本公开示例性实施方式所提供的移位寄存器单元40,在复位模块402中增加一延迟单元来对复位信号Reset进行延迟,这样即可延后向上拉节点PU和信号输出端Output传输截止信号的时间,从而能够在复位上拉节点PU之前通过时钟信号拉低信号输出端Output的电压,并在关断输出信号的同时使下拉节点PD快速达到工作电压,以便于通过下拉模块406迅速对信号输出端Output进行降噪。基于此,图5为采用本示例实施方式中的移位寄存器单元所得到的栅极驱动信号的波形改善效果图。由此可知,通过延迟复位信号即可改善触控扫描行对应的移位寄存器单元因上拉节点和下拉节点的波形失真而造成的栅极驱动信号的波形失真例如下降过慢的问题,而且此法对于其余所有行的充电电容的充电时间均无影响,从而能够快速降低栅极驱动信号以获得稳定的输出波形。

[0067] 需要强调的是:本示例实施方式所提供的移位寄存器单元40是与触控扫描行对应的移位寄存器单元,如图6所示,在TDDI产品中还存在许多不与触控扫描行对应的普通移位寄存器单元60,而这些普通移位寄存器单元60例如可以采用除去延迟单元的移位寄存器单元。

[0068] 本示例实施方式中,参考图4所示,输入模块401可以包括输入开关元件M1,该输入开关元件M1的控制端连接输入信号端、第一端连接第一电源信号端、第二端连接上拉节点PU,用于响应输入信号Input以将第一电源信号VDD传输至上拉节点PU,从而对上拉节点PU



进行充电。

[0069] 本示例实施方式中,参考图4所示,复位模块402可以包括复位单元和延迟单元;延迟单元可以包括一延迟电容C1,该延迟电容C1可以连接在复位信号端与一低电平信号端例如第三电源信号端之间,用于对复位信号Reset进行延迟;复位单元可以包括复位开关元件M2,该复位开关元件M2的控制端连接复位信号端、第一端连接第二电源信号端、第二端连接上拉节点PU,用于响应延迟后的复位信号Reset以将第二电源信号VSS传输至上拉节点PU,从而对上拉节点PU进行复位,而时钟信号CLK在该复位信号Reset延迟期间为低电平,因此可以直接对信号输出端Output进行复位。

[0070] 本示例实施方式中,参考图4所示,输出模块403可以包括输出开关元件M3和充电电容C2;该输出开关元件M3的控制端连接上拉节点PU、第一端连接时钟信号端、第二端连接信号输出端Output,用于响应上拉节点PU的电压信号以将时钟信号CLK传输至信号输出端Output,从而向对应的栅线输出栅极驱动信号;该充电电容C2设置在上拉节点PU与信号输出端Output之间。

[0071] 本示例实施方式中,参考图4所示,第一下拉控制模块404可以包括第一控制开关元件M4和第二控制开关元件M5;该第一控制开关元件M4的控制端连接上拉节点PU、第一端连接第三电源信号端、第二端连接下拉控制节点PD-CN,用于响应上拉节点PU的电压信号以将第三电源信号VGL传输至下拉控制节点PD-CN;该第二控制开关元件M5的控制端连接上拉节点PU、第一端连接第三电源信号端、第二端连接下拉节点PD,用于响应上拉节点PU的电压信号以将第三电源信号VGL传输至下拉节点PD。

[0072] 本示例实施方式中,参考图4所示,第二下拉控制模块405可以包括第三控制开关元件M6和第四控制开关元件M7;该第三控制开关元件M6的控制端和第一端连接第四电源信号端、第二端连接下拉控制节点PD-CN,用于响应第四电源信号CGH以将第四电源信号CGH传输至下拉控制节点PD-CN;该第四控制开关元件的控制端连接下拉控制节点PD-CN、第一端连接第四电源信号端、第二端连接下拉节点PD,用于响应下拉控制节点PD-CN的电压信号以将第四电源信号CGH传输至下拉节点PD。

[0073] 需要说明的是:第一下拉控制模块404和第二下拉控制模块405都是用来控制下拉节点PD的电压的,本实施例通过设计第三控制开关元件M6和第四控制开关元件M7的比例,即可控制下拉节点PD被拉高时的电压。

[0074] 本示例实施方式中,参考图4所示,下拉模块406可以包括第一下拉开关元件M8和第二下拉开关元件M9;该第一下拉开关元件M8的控制端连接下拉节点PD、第一端连接第三电源信号端、第二端连接上拉节点PU,用于响应下拉节点PD的电压信号以将第三电源信号VGL传输至上拉节点PU,从而对上拉节点PU进行放噪;该第二下拉开关元件M9的控制端连接下拉节点PD、第一端连接第三电源信号端、第二端连接信号输出端Output,用于响应下拉节点PD的电压信号以将第三电源信号VGL传输至信号输出端Output,从而对信号输出端Output进行放噪。

[0075] 本示例实施方式中,参考图4所示,所述移位寄存器单元40还可以包括一总复位开关元件M10,该总复位开关元件M10的控制端连接第五电源信号端、第一端连接第三电源信号端、第二端连接信号输出端Output,用于在一帧图像逐行扫描完成后将第五电源信号GCL至高,以对每个移位寄存器单元(包括触控信号线对应的移位寄存器单元40以及普通移位

寄存器单元60)的信号输出端Output整体进行总复位。

[0076] 基于上述的移位寄存器单元40,所有开关元件可以均采用P型晶体管或者均采用N型晶体管。本实施例采用统一的晶体管类型将有助于简化工艺制程、降低制造成本。

[0077] 本示例实施方式还提供了一种移位寄存器单元的驱动方法,用于驱动上述的移位寄存器单元。如图7所示,所述驱动方法包括:

[0078] S1、通过输入模块401响应输入信号Input以将第一电源信号VDD传输至上拉节点PU;

[0079] S2、通过复位模块402中的延迟单元对复位信号Reset进行延迟,并通过复位模块402中的复位单元响应延迟后的复位信号Reset以将第二电源信号VSS传输至上拉节点PU;

[0080] S3、通过输出模块403响应上拉节点PU的电压信号以将时钟信号CLK传输至信号输出端Output;

[0081] S4、通过第一下拉控制模块404响应上拉节点PU的电压信号以将第三电源信号VGL传输至下拉节点PD;

[0082] S5、通过第二下拉控制模块405响应第四电源信号CGH以将第四电源信号CGH传输至下拉节点PD;

[0083] S6、通过下拉模块406响应下拉节点PD的电压信号以将第三电源信号VGL分别传输至上拉节点PU和信号输出端Output。

[0084] 本公开示例性实施方式所提供的移位寄存器单元40的驱动方法,通过复位模块402中的延迟单元对复位信号Reset进行延迟,这样即可延后向上拉节点PU和信号输出端Output传输截止信号的时间,从而能够在关断输出信号的同时使下拉节点PD快速达到工作电压,以便于通过下拉模块406迅速对信号输出端Output进行降噪。基于此,图5为采用本示例实施方式中的移位寄存器单元所得到的栅极驱动信号的波形改善效果图。由此可知,通过延迟复位信号即可改善触控扫描行对应的移位寄存器单元因上拉节点和下拉节点的波形失真而造成的栅极驱动信号下降过慢的问题,而且此法对于其余所有行的充电电容的充电时间均无影响,从而能够快速降低栅极驱动信号以获得稳定的输出波形。

[0085] 下面以所有开关元件均为N型晶体管为例,结合图8所示的信号时序图对移位寄存器单元40的工作过程进行详细的描述。

[0086] 在第一t1阶段,输入信号Input为高电平,第一电源信号VDD为高电平,时钟信号CLK为低电平,此时输入开关元件M1导通,第一电源信号VDD传输至上拉节点PU并对充电电容C2进行充电,在上拉节点PU的作用下第一控制开关元件M4和第二控制开关元件M5导通,使得下拉节点PD此刻为低电平,则第一下拉开关元件M8和第二下拉开关元件M9关断。

[0087] 在第二t2阶段,输入信号Input为低电平,时钟信号CLK为高电平,此时输入开关元件M1关断,在上拉节点PU的作用下输出开关元件M3导通,且由于电容的自举作用使得上拉节点PU的作用进一步升高,则输出开关元件M3充分导通,时钟信号CLK传输至信号输出端Output以实现栅极驱动信号的输出。此时第一控制开关元件M4和第二控制开关元件M5仍处于导通状态,因此第一下拉开关元件M8和第二下拉开关元件M9仍处于关断状态,从而能够保证信号输出的稳定性。

[0088] 在第三t3阶段,下一级输出信号G(n+1)即复位信号Reset为高电平,由于延迟电容C1的存在使得复位开关元件M2在完全导通之前复位信号Reset会先对延迟电容C1充电,且

在延迟电容C1充满电后才会完全导通复位开关元件M2,以通过第二电源信号VSS向上拉节点PU和信号输出端Output传输截止信号,从而对上拉节点PU和信号输出端Output进行放电。

[0089] 在第四t4阶段,第四电源信号GCH为高电平,由于上一阶段已经对上拉节点PU和信号输出端Output进行了放电,第一控制开关元件M4和第二控制开关元件M5关断,因此不会再对下拉节点PD放电;此时在第四电源信号CGH的作用下使得第三控制开关元件M6和第四控制开关元件M7导通以拉高下拉节点PD的电位,则第一下拉开关元件M8和第二下拉开关元件M9导通以实现对上拉节点PU和信号输出端Output的放噪,使得由时钟信号CLK产生的耦合噪声得以消除,从而实现低电压输出,保证信号输出的稳定性。

[0090] 基于上述过程可知,本示例实施方式通过延迟电容C1对复位信号Reset进行延迟,以此来改善固定触控信号线对应的扫描行因上拉节点PU和下拉节点PD的波形失真而带来的栅极驱动信号下降过慢的问题,而且对于其它所有行充电电容C2的充电时间又无影响,从而可以改善栅极驱动信号关断缓慢的问题。

[0091] 需要说明的是:所述移位寄存器单元的驱动方法的具体细节已经在对应的移位寄存器单元的结构中进行了详细描述了,这里不再赘述。

[0092] 本示例实施方式还提供了一种栅极驱动电路,如图9所示,包括多个级联的上述移位寄存器单元40。

[0093] 其中,每一级移位寄存器单元40的输入信号Input都是上一级移位寄存器单元40的输出信号,每一级移位寄存器单元40的复位信号Reset都是下一级移位寄存器单元40的输出信号。

[0094] 本示例实施方式中,栅极驱动电路可以以COF(Chip on Film,薄膜上芯片)或者COG(Chip on Glass,玻璃上芯片)的封装方式设置在显示面板中,也可以以GOA(Gate on Array,阵列基板行驱动)电路的方式集成在显示面板中。其中,针对于液晶显示面板,以GOA技术形成的栅极驱动电路可以减少工序以提高产能,同时还能降低成本。

[0095] 本示例实施方式还提供了一种显示装置,包括上述的栅极驱动电路.该栅极驱动电路集成了显示驱动功能和触控驱动功能,因此能够有效的降低噪声,从而改善触控显示器件的显示品质。

[0096] 其中,所述显示装置可以包括手机、平板电脑、电视机、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0097] 本领域技术人员在考虑说明书及实践这里公开的发明后,将容易想到本公开的其他实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化,这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的,本公开的真正范围和精神由所附的权利要求指出。

[0098] 应当理解的是,本公开并不局限于上面已经描述并在附图中示出的精确结构,并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限制。

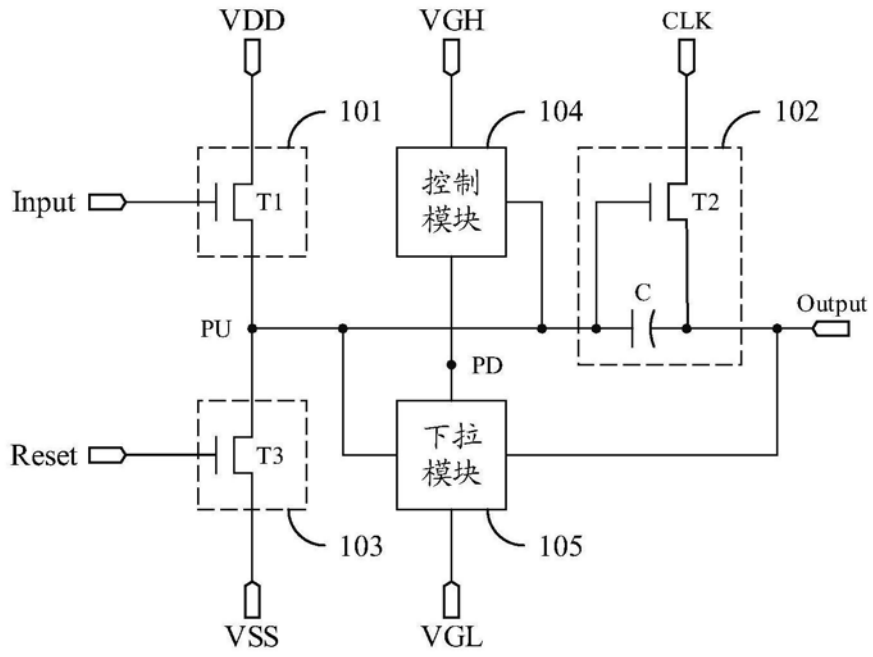


图1

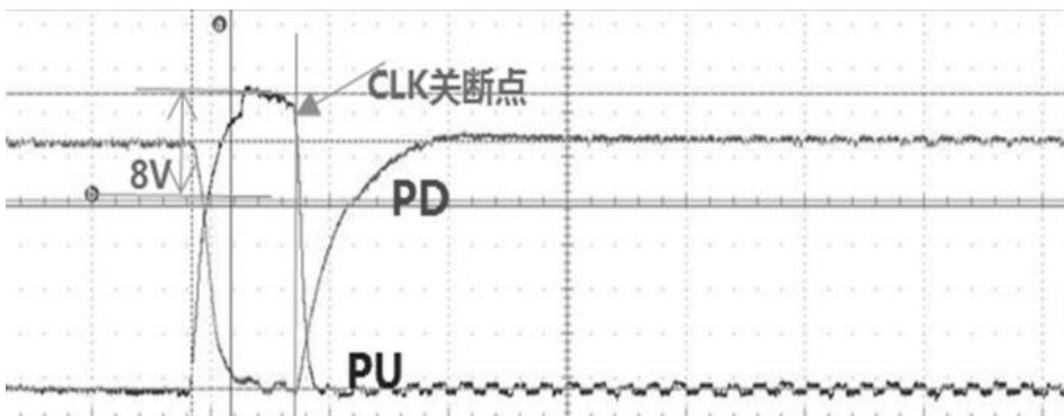


图2

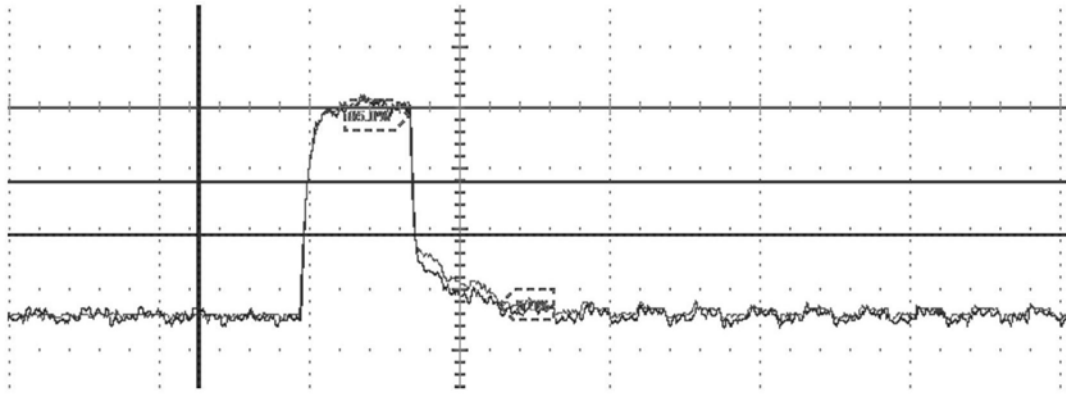


图3

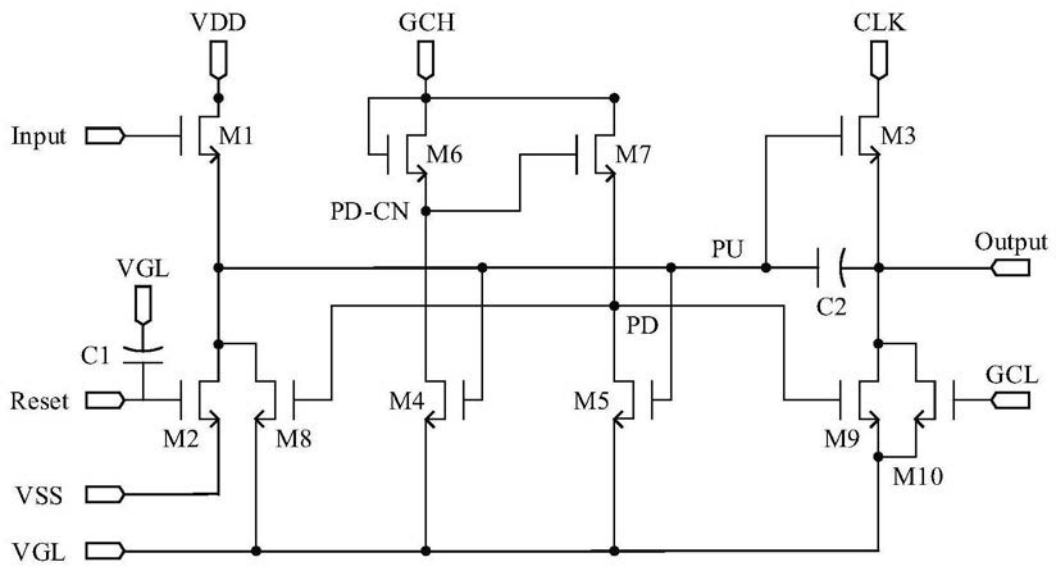


图4

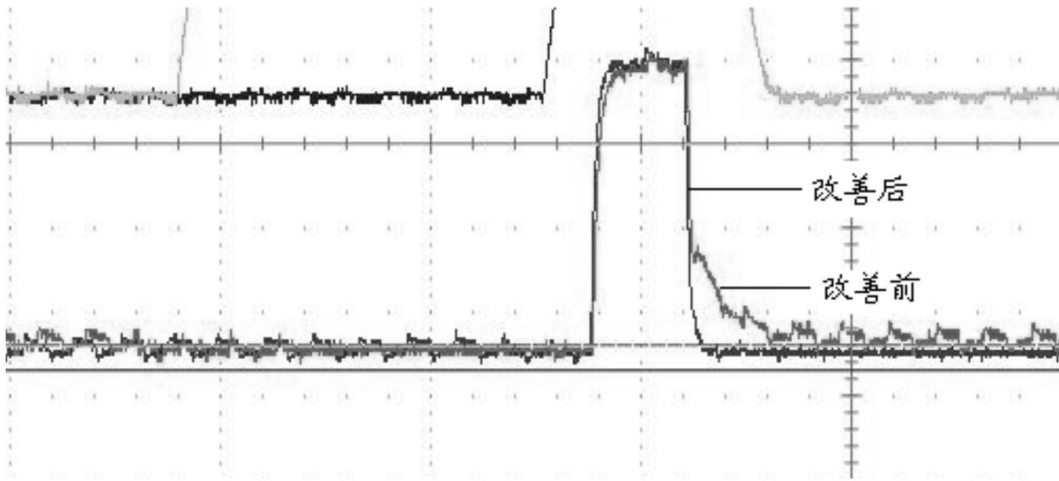


图5

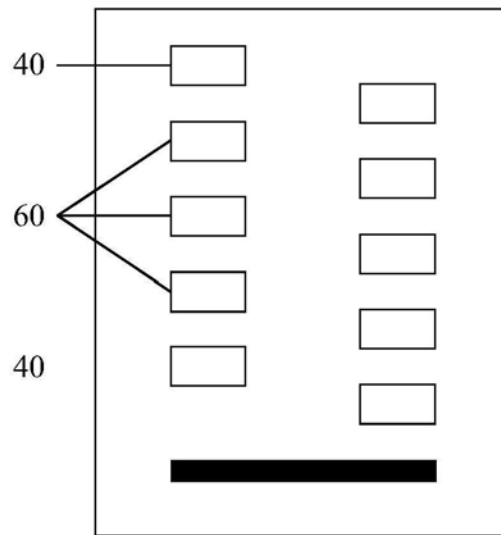


图6

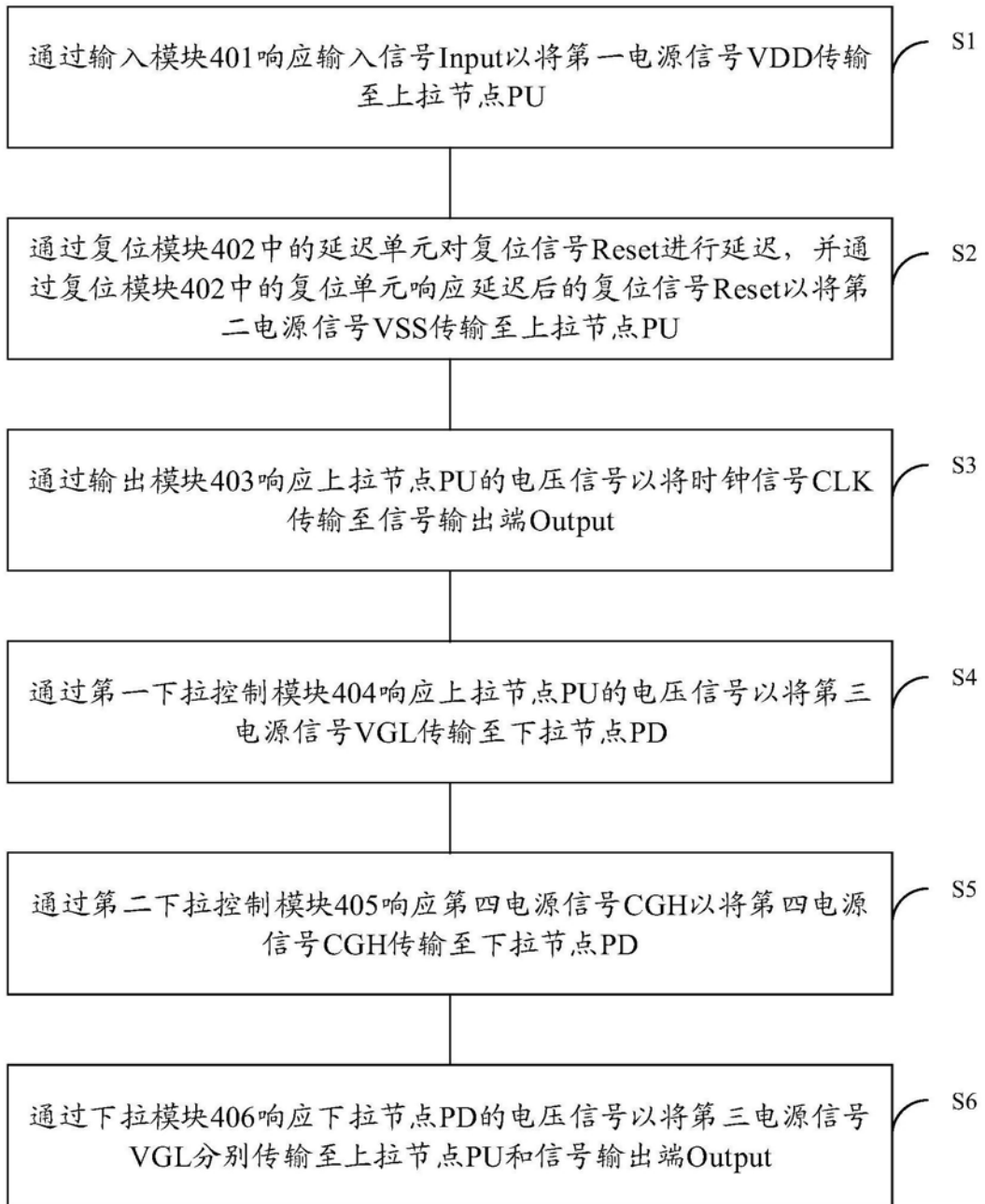


图7

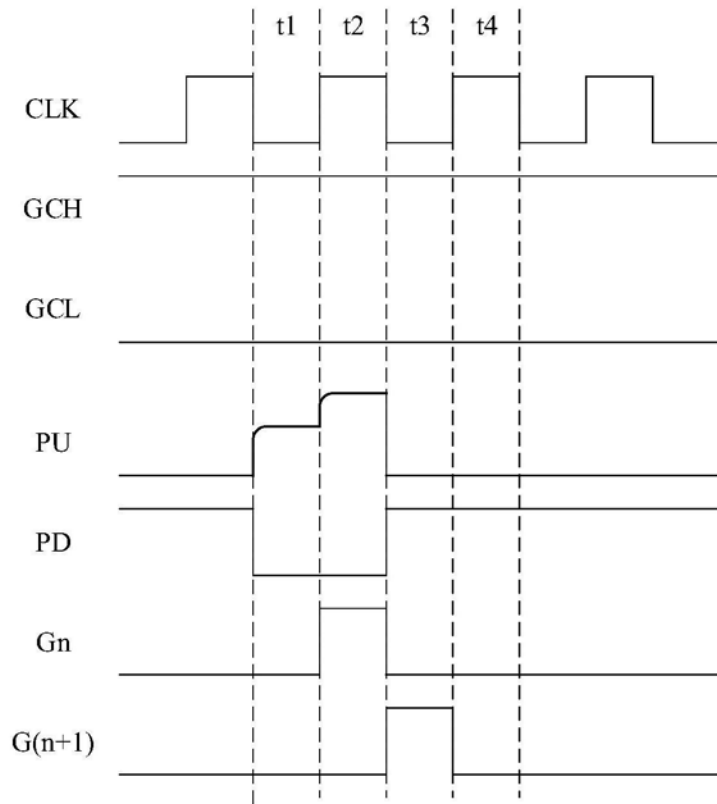


图8

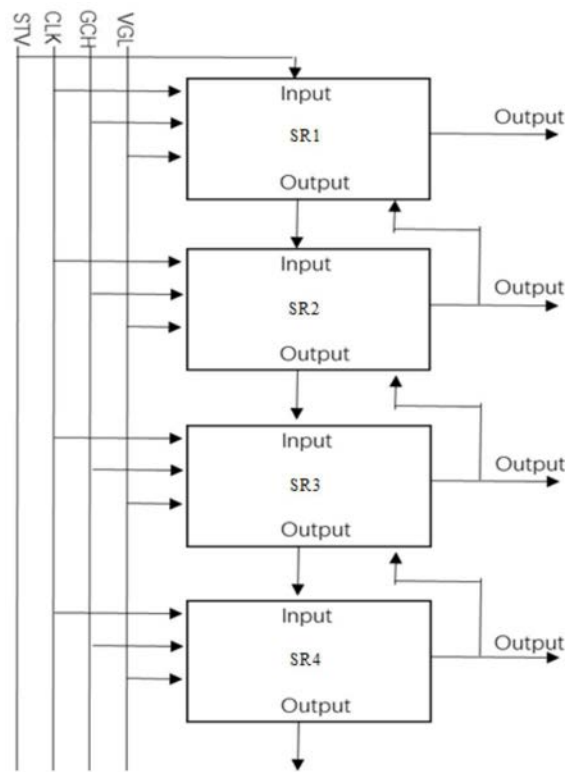


图9