

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G11C 16/08 (2006.01)
G11C 16/06 (2006.01)
G11C 8/08 (2006.01)
G11C 8/10 (2006.01)

(45) 공고일자 2006년11월10일
(11) 등록번호 10-0645046
(24) 등록일자 2006년11월03일

(21) 출원번호 10-2004-0080080
(22) 출원일자 2004년10월07일

(65) 공개번호 10-2006-0031174
(43) 공개일자 2006년04월12일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박진성
경기도 수원시 팔달구 영통동 1052-2 황골쌍용아파트 248동 604호

김명재
경기도 수원시 팔달구 매탄1동 매탄주공5단지 522-1103

이승근
경기도 용인시 수지읍 풍덕천리 신정마을 성지아파트 505동 1204호

(74) 대리인 임창현
권혁수
오세준
송윤호

심사관 : 조명관

(54) 불 휘발성 메모리 장치의 행 디코더 회로

요약

여기에 개시되는 불 휘발성 메모리 장치는 제 1 전압과 제어 노드 사이에 연결되며, 제 2 전압에 의해서 제어되는 제 1 트랜지스터와; 제 1 전압과 제어 노드 사이에 연결되며, 제 3 전압에 의해서 제어되는 제 2 트랜지스터와; 그리고 제어 노드의 전압에 응답하여 워드 라인을 구동하는 워드 라인 드라이버를 포함한다. 제 2 전압은 소거 동작시 접지 전압으로 설정되고 제 3 전압은 소거 동작시 전원 전압으로 설정된다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 불 휘발성 메모리 장치의 행 디코더 회로를 보여주는 회로도;

도 2는 본 발명의 제 1 실시예에 따른 불 휘발성 메모리 장치의 행 디코더 회로를 보여주는 회로도;

도 3은 본 발명의 제 2 실시예에 따른 불 휘발성 메모리 장치의 행 디코더 회로를 보여주는 회로도; 그리고

도 4는 본 발명의 제 3 실시예에 따른 불 휘발성 메모리 장치의 행 디코더 회로를 보여주는 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 불 휘발성 메모리 장치의 행 디코더 회로에 관한 것이다.

잘 알려진 바와 같이, 반도체 메모리 장치에는 행들과 열들의 매트릭스 형태로 배열되는 메모리 셀들이 제공된다. 임의의 메모리 셀들에/로부터 데이터를 기입/독출하기 위해서는 행 및 열들이 선택되어야 한다. 행들을 선택하기 위한 회로 (이하, 행 디코더 회로라 칭함)와 열들을 선택하기 위한 회로가 메모리 장치 내에 구비되어야 한다. 메모리 용량의 증가에 따라 행/열에 연결되는 메모리 셀들의 수가 증가하게 된다. 즉, 행/열의 로딩이 증가하기 때문에, 행/열을 구동하는 데 필요한 시간이 액세스 시간의 증가를 초래하게 된다. 이러한 문제를 해결하고자 다양한 기술들이 제안되어 왔다. 그러한 기술들 중 하나가 계층적인 행/열 구조 (hierarchical row/column structure)이다. 계층적인 워드 라인 구조를 갖는 행 디코더 회로가 대한민국특허공개번호 10-2004-0015901에 게재되어 있고, 이 출원의 레퍼런스로 포함된다.

도 1은 종래 기술에 따른 불 휘발성 메모리 장치의 행 디코더 회로를 보여주는 회로도이다. 도 1에 도시된 행 디코더 회로는 앞서 언급된 문헌에 게재되어 있다. 도 1에 도시된 행 디코더 회로 (10)는 하나의 그로벌 워드 라인 (GWL)에 대응하는 로컬 디코더 회로이다. 나머지 그로벌 워드 라인들에 대응하는 로컬 디코더 회로들 역시 동일하게 구성됨은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 소거 동작시 도 1에 도시된 로컬 디코더 회로 (10)의 동작은 다음과 같다.

소거 동작시 워드 라인들 (WL0-WLi)에는 약 -10V의 소거 전압이 공급되어야 한다. 이를 위해서, 선택 신호들 (SS, GWL)은 로우 레벨로 유지되는 동안, Vpx 전압은 0V로, Vpgate 전압은 -2V로, 그리고 Vex 전압은 -10V로 각각 설정된다. 이러한 바이어스 조건에 따르면, ND1 노드는 PMOS 트랜지스터 (11)를 통해 0V로 설정된다. 이는 워드 라인들 (WL0-WLi)이 NMOS 트랜지스터들 (12_0-12_i)을 통해 각각 Vex 전압으로 설정되게 한다. 즉, 소거 동작시 워드 라인들 (WL0-WLi)은 각각 -10V으로 구동되며, 워드 라인들 (WL0-WLi)에 연결된 메모리 셀들이 이 분야에 잘 알려진 방식에 따라 소거될 것이다.

앞서 설명된 바와 같이, 종래 기술에 따른 로컬 디코더 회로 (10)에는 소거 동작시 -2V의 전압 (Vpgate)이 공급되어야 한다. 이는 -2V의 전압을 생성하는 전용 펌프 뿐만 아니라 그러한 펌프를 제어하기 위한 회로가 불 휘발성 메모리 장치에 요구됨을 의미한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 칩 면적을 줄일 수 있는 불 휘발성 메모리 장치의 행 디코더 회로를 제공하는 것이다.

발명의 구성 및 작용

상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 불 휘발성 메모리 장치의 행 디코더 회로는 제 1 전압과 제어 노드 사이에 연결되며, 제 2 전압에 의해서 제어되는 제 1 트랜지스터와; 상기 제 1 전압과 상기 제어 노드 사이에 연결되

며, 제 3 전압에 의해서 제어되는 제 2 트랜지스터와; 그리고 상기 제어 노드의 전압에 응답하여 워드 라인을 구동하는 워드 라인 드라이버를 포함하며, 상기 제 2 전압은 소거 동작시 접지 전압으로 설정되고 상기 제 3 전압은 상기 소거 동작시 전원 전압으로 설정된다.

이 실시예에 있어서, 상기 소거 동작을 제외한 나머지 동작들에서는 상기 제 3 전압이 상기 접지 전압으로 설정된다.

이 실시예에 있어서, 읽기 및 프로그램 동작시, 선택 신호들에 응답하여 상기 제어 노드를 상기 접지 전압 및 상기 전원 전압 중 어느 하나에 연결하는 스위치를 더 포함한다.

이 실시예에 있어서, 상기 제 1 트랜지스터는 PMOS 트랜지스터이고 상기 제 2 트랜지스터는 NMOS 트랜지스터이다.

이 실시예에 있어서, 상기 제 1 전압은 상기 소거 동작시 접지 전압, 프로그램 동작시 10V, 그리고 읽기 동작시 5V로 각각 설정된다.

이 실시예에 있어서, 상기 제 2 전압은 읽기 동작시 상기 접지 전압으로 그리고 프로그램 동작시 상기 제 1 전압보다 낮은 전압으로 설정된다.

본 발명의 예시적인 실시예들이 참조 도면들에 의거하여 이하 상세히 설명될 것이다.

도 2는 본 발명의 제 1 실시예에 따른 불 휘발성 메모리 장치의 행 디코더 회로를 보여주는 회로도이다.

도 2를 참조하면, 본 발명의 제 1 실시예에 따른 불 휘발성 메모리 장치의 행 디코더 회로 (100)는 PMOS 트랜지스터 (101), NMOS 트랜지스터들 (102, 103, 104), 그리고 복수 개의 워드 라인 드라이버들 (DRV0-DRVi)을 포함한다. PMOS 트랜지스터 (101)는 V_{px} 전압과 제어 노드로서 ND10 노드 사이에 연결되며, V_{pgate} 전압에 의해서 제어된다. NMOS 트랜지스터 (102)는 V_{px} 전압과 ND10 노드 사이에 연결되며, V_{vexen} 전압에 의해서 제어된다. NMOS 트랜지스터들 (103, 104)은 ND10 노드와 접지 전압 사이에 직렬 연결되며, 선택 신호들 (SS, GWL)에 의해서 각각 제어된다. 워드 라인 드라이버 (DRV0)는 PMOS 트랜지스터 (105)와 NMOS 트랜지스터들 (106, 107)을 포함한다. PMOS 트랜지스터 (105)는 선택 신호 (PWLO)와 워드 라인 (WLO) 사이에 연결되고 ND10 노드의 전압에 의해서 제어된다. NMOS 트랜지스터 (106)는 워드 라인 (WLO)과 V_{vex} 전압 사이에 연결되고 ND10 노드의 전압에 의해서 제어된다. NMOS 트랜지스터 (107)는 워드 라인 (WLO)과 V_{vex} 전압 사이에 연결되고 반전된 선택 신호 (nPWLO)에 의해서 제어된다. 나머지 워드 라인 드라이버들 (DRV1-DRVi) 각각의 구성 요소들은 드라이버 (DRV0)와 동일하게 구성되며 동일한 참조 번호들로 표기된다.

이 실시예에 있어서, 도 2에 도시된 MOS 트랜지스터들은 이 분야에 잘 알려진 고전압 트랜지스터로 구성된다. 선택 신호 (GWL)는 그로별 워드 라인들 중 하나를 선택하기 위한 어드레스 정보에 따라 그로별 디코더 회로 (미도시됨)에 의해서 생성된 신호이다. 계층적인 행 구조에 의하면, 도 2에 도시된 바와 같이, 하나의 그로별 워드 라인은 i개의 워드 라인들에 대응한다. 선택 신호 (SS)는 뱅크를 구성하는 섹터들을 선택하기 위한 어드레스 정보에 따라 섹터 선택 회로 (미도시됨)에 의해서 생성된 신호이다. 선택 신호들 (PWLO-PWLi, nPWLO-nPWLi)은 워드 라인들 (WLO-WLi) 중 적어도 하나를 선택하기 위한 어드레스 정보에 따라 섹터 선택 회로에 의해서 생성된 신호들이다.

각 동작 모드에 따른 행 디코더 회로의 바이어스 조건은 다음과 같다.

[표 1]

	소거	프로그램	읽기
V _{px}	0V	10V	5V
V _{pgate}	0V	V _{px} -2V _{th}	0V
V _{vexen}	VCC	0V	0V
V _{vex}	-10V	0V	0V

본 발명의 제 1 실시예에 따른 행 디코더 회로의 동작이 도 2 및 표 1에 의거하여 이하 상세히 설명될 것이다.

소거 동작시, 표 1에 도시된 바와 같이, V_{px} 및 V_{pgate} 전압들은 0V로 설정되고, V_{exen} 전압은 전원 전압 (VCC)으로 설정되며, V_{ex} 전압은 -10V로 설정된다. 이러한 전압 조건에 따르면, 선택 신호들 (SS, GWL)에 관계없이 ND10 노드에는 V_{exen} 전압에 의해서 제어되는 NMOS 트랜지스터 (102)를 통해 V_{px} 전압 즉, 0V의 전압이 인가된다. ND10 노드에 0V의 전압이 인가됨에 따라, 워드 라인 드라이버들 (DRV0-DRVi) 각각의 NMOS 트랜지스터 (106)를 통해 워드 라인에는 V_{ex} 전압 (-10V)이 인가된다. 종래 기술에 따른 행 디코더 회로와 달리, 표 1에 도시된 바와 같이, 소거 동작이 수행되는 동안, PMOS 트랜지스터 (101)의 게이트에는 -2V이 아니라 0V의 V_{pgate} 전압이 인가된다. 이는 소거 동작시 -2V를 생성하기 위한 전용 펌프 및 전용 펌프를 제어하기 위한 회로가 요구되지 않음은 의미한다. 따라서, 단지 하나의 NMOS 트랜지스터 (102)를 추가함으로써 -2V를 생성하기 위한 전용 펌프 및 전용 펌프를 제어하기 위한 회로를 제거하는 것이 가능하며, 그 결과 칩 면적을 줄이는 것이 가능하다.

읽기 및 프로그램 동작시, 선택 신호들 (SS, GWL, PWL0)이 활성화된다고 가정하자. 활성화된 선택 신호들 (SS, GWL)은 전원 전압 (VCC)의 하이 레벨을 갖고, 활성화된 선택 신호 (PWL0)는 V_{px} 전압을 갖는다. 비활성화된 선택 신호들 (PWL1-PWLi)은 접지 전압의 로우 레벨을 갖는다. 이러한 바이어스 조건에 따르면, ND10 노드에는 NMOS 트랜지스터들 (103, 104)을 통해 접지 전압이 인가된다. 워드 라인 드라이버 (DRV0)의 PMOS 트랜지스터 (105)를 통해 워드 라인 (WL0)에는 선택 신호 (PWL0)의 전압 즉, V_{px} 전압 (읽기 동작시 5V 프로그램 동작시 10V)이 인가된다. 이에 반해서, 비선택된 워드 라인들 (WL1-WLi)에는 반전된 선택 신호들 (nPWL1-nPWLi)에 의해서 각각 제어되는 NMOS 트랜지스터들 (107)을 통해 V_{ex} 전압인 접지 전압이 인가된다.

도 3은 본 발명의 제 2 실시예에 따른 불 휘발성 메모리 장치의 행 디코더 회로를 보여주는 회로도이다.

도 3을 참조하면, 본 발명의 제 2 실시예에 따른 불 휘발성 메모리 장치의 행 디코더 회로 (200)는 ND20 노드가 읽기 동작과 프로그램 동작에 따라 독립적으로 제어되도록 구성되어 있다는 점에서 도 2에 도시된 것과 구별될 수 있다. 노어 플래시 메모리 장치와 같은 불 휘발성 메모리 장치는 읽기 동작 동안 쓰기 동작이 수행되는 RWW 동작 모드를 지원한다. RWW 동작 모드는 앞서 언급된 문헌에 상세히 설명되어 있으며, 그것에 대한 설명은 그러므로 생략된다.

본 발명의 제 2 실시예에 따른 불 휘발성 메모리 장치의 행 디코더 회로 (200)는 PMOS 트랜지스터 (201), NMOS 트랜지스터들 (202, 203R, 203W, 204R, 204W), 그리고 복수 개의 워드 라인 드라이버들 (DRV0-DRVi)을 포함한다. PMOS 트랜지스터 (201)는 V_{px} 전압과 ND20 노드 사이에 연결되며, V_{pgate} 전압에 의해서 제어된다. NMOS 트랜지스터 (202)는 V_{px} 전압과 ND20 노드 사이에 연결되며, V_{exen} 전압에 의해서 제어된다. NMOS 트랜지스터들 (203R, 204R)은 ND20 노드와 접지 전압 사이에 직렬 연결되며, 선택 신호들 (SS_R, GWL_R)에 의해서 각각 제어된다. NMOS 트랜지스터들 (203W, 204W)은 ND20 노드와 접지 전압 사이에 직렬 연결되며, 선택 신호들 (SS_W, GWL_W)에 의해서 각각 제어된다. 워드 라인 드라이버 (DRV0)는 PMOS 트랜지스터 (205)와 NMOS 트랜지스터들 (206, 207)을 포함한다. PMOS 트랜지스터 (205)는 선택 신호 (PWL0)와 워드 라인 (WL0) 사이에 연결되고 ND20 노드의 전압에 의해서 제어된다. NMOS 트랜지스터 (206)는 워드 라인 (WL0)과 V_{ex} 전압 사이에 연결되고 ND20 노드의 전압에 의해서 제어된다. NMOS 트랜지스터 (207)는 워드 라인 (WL0)과 V_{ex} 전압 사이에 연결되고 반전된 선택 신호 (nPWL0)에 의해서 제어된다. 나머지 워드 라인 드라이버들 (DRV1-DRVi) 각각의 구성 요소들은 드라이버 (DRV0)와 동일하게 구성되며 동일한 참조 번호들로 표기된다.

각 동작 모드에 따른 입력 전압들 (V_{px} , V_{pgate} , V_{exen} , V_{ex})은 표 1에 도시된 것과 동일하다. 이하, 본 발명의 제 2 실시예에 따른 행 디코더 회로의 동작이 도 3 및 표 1에 의거하여 이하 상세히 설명될 것이다.

소거 동작시, 표 1에 도시된 바와 같이, V_{px} 및 V_{pgate} 전압들은 0V로 설정되고, V_{exen} 전압은 전원 전압 (VCC)으로 설정되며, V_{ex} 전압은 -10V로 설정된다. 이러한 전압 조건에 따르면, 선택 신호들 (SS_R, SS_W, GWL_R, GWL_W)에 관계없이 ND20 노드에는 V_{exen} 전압에 의해서 제어되는 NMOS 트랜지스터 (202)를 통해 V_{px} 전압 즉, 0V의 전압이 인가된다. ND20 노드에 0V의 전압이 인가됨에 따라, 워드 라인 드라이버들 (DRV0-DRVi) 각각의 NMOS 트랜지스터 (206)를 통해 워드 라인에는 V_{ex} 전압 (-10V)이 인가된다. 종래 기술에 따른 행 디코더 회로와 달리, 표 1에 도시된 바와 같이, 소거 동작이 수행되는 동안, PMOS 트랜지스터 (201)의 게이트에는 -2V이 아니라 0V의 V_{pgate} 전압이 인가된다. 이는 소거 동작시 -2V를 생성하기 위한 전용 펌프 및 전용 펌프를 제어하기 위한 회로가 요구되지 않음은 의미한다. 따라서, -2V를 생성하기 위한 전용 펌프 및 전용 펌프를 제어하기 위한 회로를 제거하는 것이 가능하며, 그 결과 칩 면적을 줄이는 것이 가능하다.

읽기 동작시, 선택 신호들 (SS_R, GWL_R, PWL0)이 활성화된다고 가정하자. 활성화된 선택 신호들 (SS_R, GWL_R)은 전원 전압 (VCC)의 하이 레벨을 갖고, 활성화된 선택 신호 (PWL0)는 V_{px} 전압을 갖는다. 비활성화된 선택 신호들

(PWL1-PWLi)은 접지 전압의 로우 레벨을 갖는다. 이러한 바이어스 조건에 따르면, ND20 노드에는 NMOS 트랜지스터들 (203R, 204R)을 통해 접지 전압이 인가된다. 읽기 동작시, NMOS 트랜지스터들 (203W, 204W)은 로우 레벨의 선택 신호들 (SS_W, GWL_W)에 의해서 턴 오프된다. 워드 라인 드라이버 (DRV0)의 PMOS 트랜지스터 (205)를 통해 워드 라인 (WL0)에는 선택 신호 (PWL0)의 전압 즉, V_{px} 전압 (5V)이 인가된다. 이에 반해서, 비선택된 워드 라인들 (WL1-WLi)에는 반전된 선택 신호들 (nPWL1-nPWLi)에 의해서 각각 제어되는 NMOS 트랜지스터들 (207)을 통해 V_{ex} 전압인 접지 전압이 인가된다.

프로그램 동작시, 선택 신호들 (SS_W, GWL_W, PWL0)이 활성화된다고 가정하자. 활성화된 선택 신호들 (SS_W, GWL_W)은 전원 전압 (VCC)의 하이 레벨을 갖고, 활성화된 선택 신호 (PWL0)는 V_{px} 전압을 갖는다. 비활성화된 선택 신호들 (PWL1-PWLi)은 접지 전압의 로우 레벨을 갖는다. 이러한 바이어스 조건에 따르면, ND20 노드에는 NMOS 트랜지스터들 (203W, 204W)을 통해 접지 전압이 인가된다. 프로그램 동작시, NMOS 트랜지스터들 (203R, 204R)은 로우 레벨의 선택 신호들 (SS_R, GWL_R)에 의해서 턴 오프된다. 워드 라인 드라이버 (DRV0)의 PMOS 트랜지스터 (205)를 통해 워드 라인 (WL0)에는 선택 신호 (PWL0)의 전압 즉, V_{px} 전압 (10V)이 인가된다. 이에 반해서, 비선택된 워드 라인들 (WL1-WLi)에는 반전된 선택 신호들 (nPWL1-nPWLi)에 의해서 각각 제어되는 NMOS 트랜지스터들 (207)을 통해 V_{ex} 전압인 접지 전압이 인가된다.

도 4는 본 발명의 제 3 실시예에 따른 불 휘발성 메모리 장치의 행 디코더 회로를 보여주는 회로도이다.

도 4를 참조하면, 본 발명의 제 2 실시예에 따른 불 휘발성 메모리 장치의 행 디코더 회로 (300)는 PMOS 트랜지스터 (301), NMOS 트랜지스터들 (302, 303, 304), 그리고 복수 개의 워드 라인 드라이버들 (DRV0-DRVi)을 포함한다. PMOS 트랜지스터 (301)는 V_{px} 전압과 ND30 노드 사이에 연결되며, V_{pgate} 전압에 의해서 제어된다. NMOS 트랜지스터 (302)는 V_{px} 전압과 ND30 노드 사이에 연결되며, V_{exen} 전압에 의해서 제어된다. NMOS 트랜지스터 (303)은 ND20 노드와 선택 신호 라인 (GWL_R) 사이에 연결되며, 선택 신호 (SS_R)에 의해서 제어된다. NMOS 트랜지스터 (304)은 ND20 노드와 선택 신호 라인 (GWL_W) 사이에 연결되며, 선택 신호 (SS_W)에 의해서 제어된다. 워드 라인 드라이버 (DRV0)는 PMOS 트랜지스터 (305)와 NMOS 트랜지스터들 (306, 307)을 포함한다. PMOS 트랜지스터 (305)는 선택 신호 (PWL0)와 워드 라인 (WL0) 사이에 연결되고 ND30 노드의 전압에 의해서 제어된다. NMOS 트랜지스터 (306)는 워드 라인 (WL0)과 V_{ex} 전압 사이에 연결되고 ND30 노드의 전압에 의해서 제어된다. NMOS 트랜지스터 (307)는 워드 라인 (WL0)과 V_{ex} 전압 사이에 연결되고 반전된 선택 신호 (nPWL0)에 의해서 제어된다. 나머지 워드 라인 드라이버들 (DRV1-DRVi) 각각의 구성 요소들은 드라이버 (DRV0)와 동일하게 구성되며 동일한 참조 번호들로 표기된다.

각 동작 모드에 따른 입력 전압들 (V_{px}, V_{pgate}, V_{exen}, V_{ex})은 표 1에 도시된 것과 동일하다. 이하, 본 발명의 제 3 실시예에 따른 행 디코더 회로의 동작이 도 4 및 표 1에 의거하여 이하 상세히 설명될 것이다.

소거 동작시, 표 1에 도시된 바와 같이, V_{px} 및 V_{pgate} 전압들은 0V로 설정되고, V_{exen} 전압은 전원 전압 (VCC)으로 설정되며, V_{ex} 전압은 -10V로 설정된다. 이러한 전압 조건에 따르면, 선택 신호들 (SS_R, SS_W, GWL_R, GWL_W)에 관계없이 ND30 노드에는 V_{exen} 전압에 의해서 제어되는 NMOS 트랜지스터 (202)를 통해 V_{px} 전압 즉, 0V의 전압이 인가된다. ND30 노드에 0V의 전압이 인가됨에 따라, 워드 라인 드라이버들 (DRV0-DRVi) 각각의 NMOS 트랜지스터 (306)를 통해 워드 라인에는 V_{ex} 전압 (-10V)이 인가된다. 종래 기술에 따른 행 디코더 회로와 달리, 표 1에 도시된 바와 같이, 소거 동작이 수행되는 동안, PMOS 트랜지스터 (301)의 게이트에는 -2V가 아니라 0V의 V_{pgate} 전압이 인가된다. 이는 소거 동작시 -2V를 생성하기 위한 전용 펌프 및 전용 펌프를 제어하기 위한 회로가 요구되지 않음은 의미한다. 따라서, -2V를 생성하기 위한 전용 펌프 및 전용 펌프를 제어하기 위한 회로를 제거하는 것이 가능하며, 그 결과 칩 면적을 줄이는 것이 가능하다.

읽기 동작시, 선택 신호들 (SS_R, GWL_R, PWL0)이 활성화된다고 가정하자. 활성화된 선택 신호들 (SS_R, GWL_R)은 전원 전압 (VCC)의 하이 레벨과 접지 전압의 로우 레벨을 갖고, 활성화된 선택 신호 (PWL0)는 V_{px} 전압을 갖는다. 비활성화된 선택 신호들 (PWL1-PWLi)은 접지 전압의 로우 레벨을 갖는다. 이러한 바이어스 조건에 따르면, ND30 노드는 NMOS 트랜지스터 (303)를 접지 전압을 갖는 선택 신호 라인 (GWL_R)에 연결된다. 읽기 동작시, NMOS 트랜지스터 (304)은 로우 레벨의 선택 신호 (SS_W)에 의해서 턴 오프된다. 워드 라인 드라이버 (DRV0)의 PMOS 트랜지스터 (305)를 통해 워드 라인 (WL0)에는 선택 신호 (PWL0)의 전압 즉, V_{px} 전압 (5V)이 인가된다. 이에 반해서, 비선택된 워드 라인들 (WL1-WLi)에는 반전된 선택 신호들 (nPWL1-nPWLi)에 의해서 각각 제어되는 NMOS 트랜지스터들 (307)을 통해 V_{ex} 전압인 접지 전압이 인가된다.

프로그램 동작시, 선택 신호들 (SS_W, GWL_W, PWL0)이 활성화된다고 가정하자. 활성화된 선택 신호들 (SS_W, GWL_W)은 전원 전압 (VCC)의 하이 레벨 및 접지 전압의 로우 레벨을 갖고, 활성화된 선택 신호 (PWL0)는 V_{px} 전압을 갖는다.

비활성화된 선택 신호들 (PWL1-PWLi)은 접지 전압의 로우 레벨을 갖는다. 이러한 바이어스 조건에 따르면, ND30 노드는 NMOS 트랜지스터 (304)를 통해 접지 전압을 갖는 선택 신호 라인 (GWL_W)에 연결된다. 프로그램 동작시, NMOS 트랜지스터 (303)은 로우 레벨의 선택 신호 (SS_R)에 의해서 턴 오프된다. 워드 라인 드라이버 (DRV0)의 PMOS 트랜지스터 (305)를 통해 워드 라인 (WLO)에는 선택 신호 (PWL0)의 전압 즉, V_{px} 전압 (10V)이 인가된다. 이에 반해서, 비선택된 워드 라인들 (WL1-WLi)에는 반전된 선택 신호들 (nPWL1-nPWLi)에 의해서 각각 제어되는 NMOS 트랜지스터들 (307)을 통해 Vex 전압인 접지 전압이 인가된다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

발명의 효과

상술한 바와 같이, 소거 동작시 사용되는 -2V의 전압을 생성하는 전용 펌프 및 전용 펌프를 제어하기 위한 회로를 제거함으로써 칩 면적을 줄이는 것이 가능하다.

(57) 청구의 범위

청구항 1.

제 1 전압과 제어 노드 사이에 연결되며, 제 2 전압에 의해서 제어되는 PMOS 트랜지스터와;

상기 제 1 전압과 상기 제어 노드 사이에 연결되며, 제 3 전압에 의해서 제어되는 NMOS 트랜지스터와; 그리고

상기 제어 노드의 전압에 응답하여 워드 라인을 워드 라인 전압으로 구동하는 워드 라인 드라이버를 포함하며,

상기 제 2 전압은 소거 동작시 접지 전압으로 설정되고 상기 제 3 전압은 상기 소거 동작시 전원 전압으로 설정되는 불 휘발성 메모리 장치의 행 디코더 회로.

청구항 2.

제 1 항에 있어서,

상기 소거 동작을 제외한 나머지 동작들에서는 상기 제 3 전압이 상기 접지 전압으로 설정되는 불 휘발성 메모리 장치의 행 디코더 회로.

청구항 3.

제 1 항에 있어서,

읽기 및 프로그램 동작시, 선택 신호들에 응답하여 상기 제어 노드를 상기 접지 전압 및 상기 전원 전압 중 어느 하나에 연결하는 스위치를 더 포함하는 불 휘발성 메모리 장치의 행 디코더 회로.

청구항 4.

삭제

청구항 5.

제 1 항에 있어서,

상기 제 1 전압은 상기 소거 동작시 접지 전압, 프로그램 동작시 10V, 그리고 읽기 동작시 5V로 각각 설정되는 불 휘발성 메모리 장치의 행 디코더 회로.

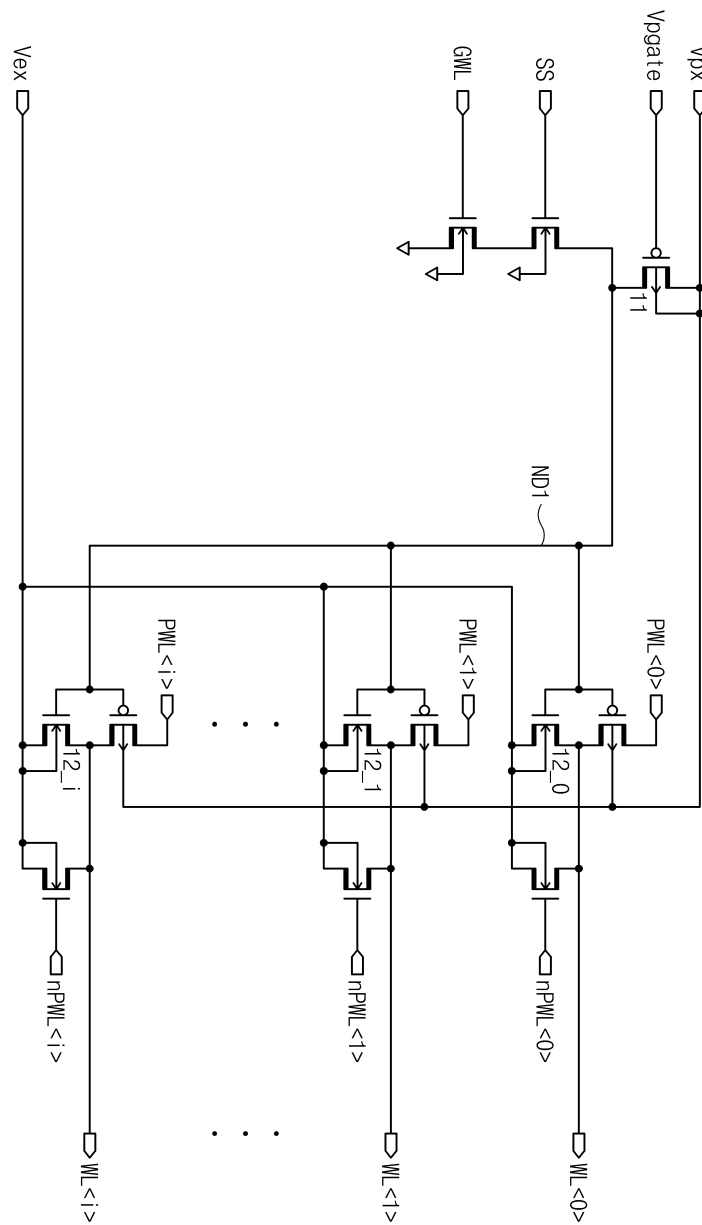
청구항 6.

제 1 항에 있어서,

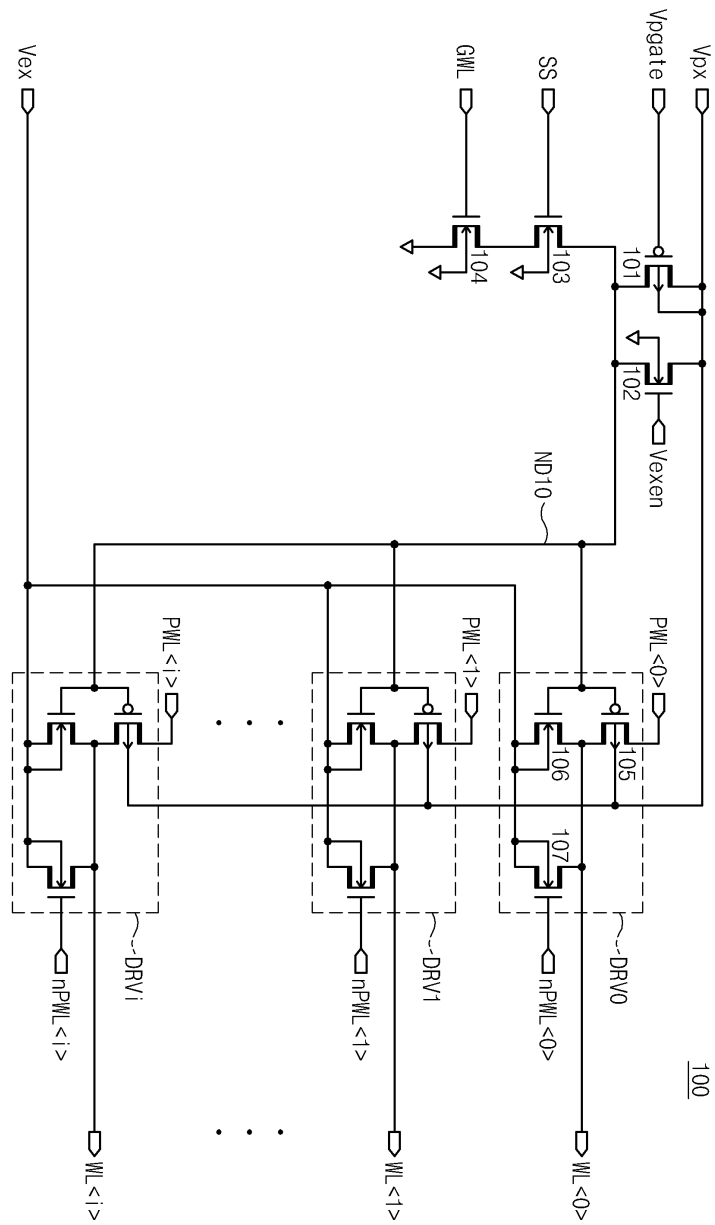
상기 제 2 전압은 읽기 동작시 상기 접지 전압으로 그리고 프로그램 동작시 상기 제 1 전압보다 낮은 전압으로 설정되는 불 휘발성 메모리 장치의 행 디코더 회로.

도면

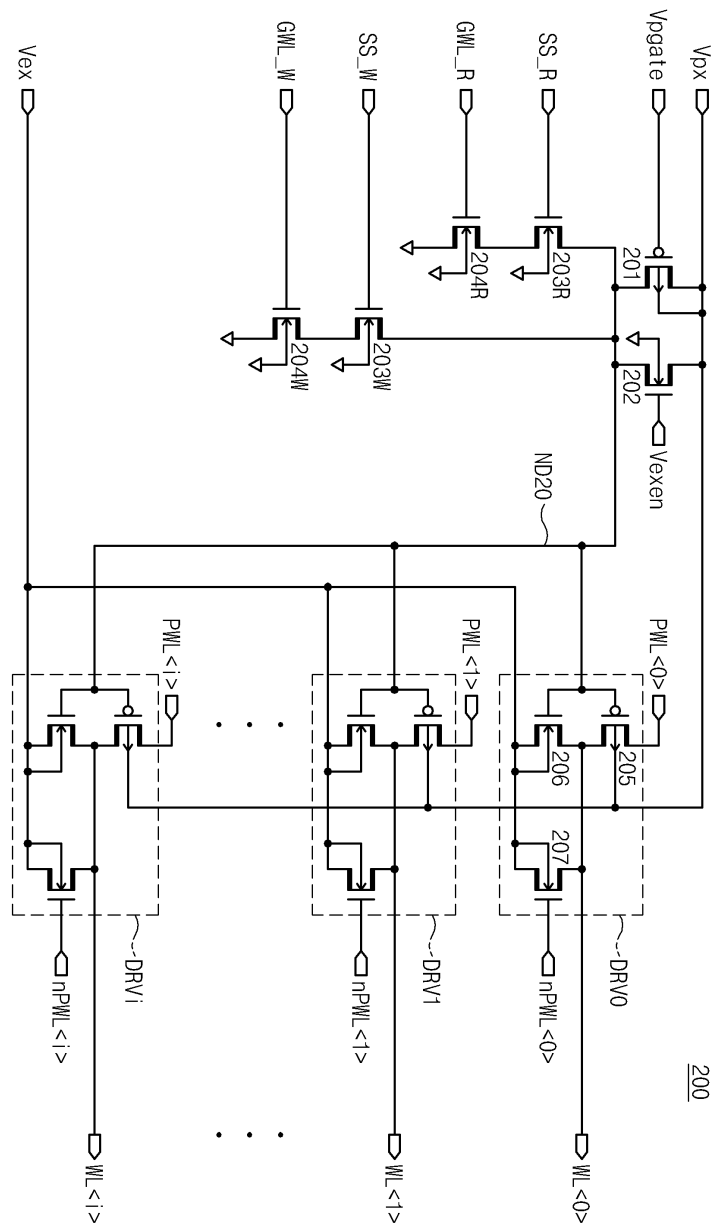
도면1



도면2



도면3



도면4

