



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년12월23일
(11) 등록번호 10-0875294
(24) 등록일자 2008년12월15일

(51) Int. Cl.

G06F 11/22 (2006.01)

(21) 출원번호 10-2007-0026121
(22) 출원일자 2007년03월16일
심사청구일자 2007년03월16일
(65) 공개번호 10-2008-0084413
(43) 공개일자 2008년09월19일
(56) 선행기술조사문헌

Mask Set Errata for MSE908AS60_8H62A,
Motorola, 12/2002.

(뒷면에 계속)

전체 청구항 수 : 총 11 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정진성

충남 천안시 불당동 780 호반리첸시빌 sweet 109
동 1301호

김종국

충남 천안시 불당동 현대아이파크 103동 402호

(74) 대리인

권혁수, 송윤호, 오세준

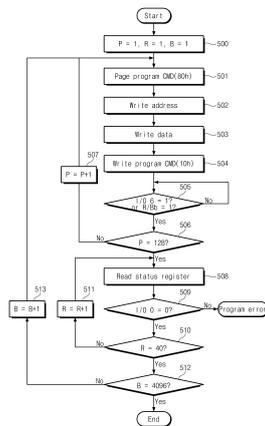
심사관 : 김건수

(54) 프로그래밍시 블럭단위의 상태 레지스터를 확인하는 플래시메모리와 그 방법

(57) 요약

여기에 개시된 플래시 메모리 테스트 방법은 플래시 메모리를 테스트하는 방법에 있어서: (a) 상기 플래시 메모리의 선택된 메모리 블록의 페이지를 프로그램하는 단계와; (b) 상기 프로그램 페이지의 프로그램 결과를 누적하는 단계와; 그리고 (c) 상기 선택된 메모리 블록에 속하는 페이지들이 모두 프로그램될 때까지 상기 (a) 및 (b) 단계들을 반복하는 단계를 포함한다.

대표도 - 도5



(56) 선행기술조사문헌

Atsushi Inoue, et al., "NAND Flash Applications Design Guide", Toshiba America Electronic Components, Inc., Rev. 1.0, April 2003.

US06735116 B2

US20060018158 A1

Using Xilinx CPLDs to Interface to a NAND Flash Memory Device, XILINX, Sept. 30, 2002.

특허청구의 범위

청구항 1

플래시 메모리를 테스트하는 방법에 있어서:

- (a) 상기 플래시 메모리의 선택된 메모리 블록의 페이지를 프로그램하는 단계와;
- (b) 상기 프로그램 페이지의 프로그램 결과를 누적하는 단계와; 그리고
- (c) 상기 선택된 메모리 블록에 속하는 페이지들이 모두 프로그램될 때까지 상기 (a) 및 (b) 단계들을 반복하는 단계를 포함하는 방법.

청구항 2

제 1 항에 있어서,

- (d) 상기 선택된 메모리 블록에 속하는 페이지들이 모두 프로그램될 때 상기 프로그램 결과를 독출하는 단계를 더 포함하는 방법.

청구항 3

제 2 항에 있어서,

상기 플래시 메모리의 모든 메모리 블록들이 프로그램될 때까지 상기 (a)-(d)단계들을 반복하는 단계를 더 포함하는 방법.

청구항 4

제 1 항에 있어서,

상기 플래시 메모리는 낸드 플래시 메모리, 노어 플래시 메모리, 상변환 메모리, 그리고 강유전체 메모리 중 어느 하나를 포함하는 방법.

청구항 5

플래시 메모리를 테스트하는 방법에 있어서:

- (a) 상기 플래시 메모리의 선택된 메모리 블록에 속하는 페이지들이 순차적으로 프로그램되는 순차 페이지 프로그램 동작을 수행하는 단계와;

상기 순차 페이지 프로그램 동작은 프로그램 구간과 프로그램 검증 구간으로 구성되며, 상기 프로그램 검증 구간 동안 대응하는 페이지의 프로그램 결과가 레지스터에 누적되며;

- (b) 상기 순차 페이지 프로그램 동작이 종료된 후 레지스터에 저장된 상기 순차 페이지 프로그램 동작의 프로그램 결과를 독출하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 6

제 5 항에 있어서,

- (c) 상기 플래시 메모리의 모든 메모리 블록들이 프로그램될 때까지 상기 (a) 및 (b) 단계들을 반복하는 단계를 더 포함하는 방법.

청구항 7

제 6 항에 있어서,

상기 플래시 메모리는 낸드 플래시 메모리, 노어 플래시 메모리, 상변환 메모리, 그리고 강유전체 메모리 중 어느 하나를 포함하는 방법.

청구항 8

각각이 복수의 페이지들로 구성된 메모리 블록들을 포함하는 플래시 메모리에 있어서:

선택된 페이지가 프로그램되는 프로그램 동작 동안 프로그램 검증 결과를 저장하는 상태 레지스터와; 그리고

상기 플래시 메모리의 선택된 메모리 블록에 속하는 페이지들이 순차적으로 프로그램되는 순차 페이지 프로그램 동작 동안 상기 선택된 메모리 블록의 페이지들 각각에 대한 프로그램 결과를 누적하는 상태 레지스터 축적부를 포함하며,

상기 순차 페이지 프로그램 동작은 프로그램 구간과 프로그램 검증 구간으로 구성되며, 상기 프로그램 검증 구간 동안 대응하는 페이지의 프로그램 결과가 상기 상태 레지스터 축적부에 누적되는 것을 특징으로 하는 플래시 메모리.

청구항 9

상기 제 8 항에 있어서,

상기 플래시 메모리의 기입동작과 독출동작을 제어하는 기입독출 회로; 그리고

상기 플래시 메모리의 독출동작의 결과를 출력하는 제어회로를 더 포함하는 것을 특징으로 하는 플래시 메모리.

청구항 10

플래시 메모리와; 그리고

상기 플래시 메모리를 테스트하는 테스터를 포함하며,

상기 플래시 메모리는 청구항 8에 기재된 플래시 메모리로 구성되는 테스트 시스템.

청구항 11

제 10 항에 있어서,

상기 테스터는 상기 플래시 메모리의 선택된 메모리 블록의 페이지들이 모두 프로그램된 후 상태 읽기 명령을 상기 플래시 메모리로 출력하는 테스트 시스템.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 낸드 플래시 메모리에 관한 것으로, 좀 더 구체적으로는 낸드 플래시 메모리의 테스트 방법에 관한 것이다.
- <14> 일반적으로 플래시 메모리는 일종의 비휘발성 기억 장치로서, 전기적인 처리에 의해 플래시 셀에 저장된 기억 내용을 소거할 수 있도록 한다. 이러한 특성을 갖는 플래시 메모리는 흔히 휴대형 컴퓨터의 하드디스크 대용 또는 보충용으로 사용되어 쓰기와 지우기 동작을 반복할 수 있다.
- <15> 도 1는 일반적인 낸드 플래시 메모리의 페이지 프로그램을 도시한 순서도이고, 도 2는 도 1에 도시된 낸드 플래시 메모리의 페이지 프로그램의 타이밍을 도시한다.
- <16> 도 1과 도 2를 참조하면, 낸드 플래시 메모리의 페이지 프로그램을 준비하기 위한 명령어(80h)를 I/O x 핀을 통하여 입력한다.(단계 101) 낸드 플래시 메모리에 I/O x 핀을 통하여 어드레스(Address)를 입력한다.(단계 102) 낸드 플래시 메모리에 I/O x 핀을 통하여 데이터(Data)를 입력한다.(단계 103) 낸드 플래시 메모리의 페이지 프로그램을 진행하기 위한 명령어(10h)를 I/O x 핀을 통하여 입력한다.(단계 104) 낸드 플래시 메모리는 페이지 프로그램 시간(tPROG)동안 페이지 프로그램을 진행한다.
- <17> 낸드 플래시 메모리의 페이지 프로그램을 검증하기 위하여 상태 레지스터의 값을 독출한다.(단계 105) 즉, 낸드 플래시 메모리의 페이지 프로그램을 검증하기 위한 명령어(70h)를 I/O x 핀을 통하여 입력한다.

- <18> 낸드 플래시 메모리는 표 1에 도시된 바와 같이 I/O 6 핀이 "1"이거나 R/Bb 핀이 "1"인가를 판단한다. 만약 낸드 플래시 메모리의 I/O 6 핀이 "1"이거나 R/Bb 핀이 "1"인 경우 단계 107을 수행하고, 그렇지 않은 경우 단계 106을 수행한다. (단계 106) 즉, 낸드 플래시 메모리의 I/O 6 핀이 "0" 및 R/Bb 핀이 "0"가 될 때까지 단계 106을 유지한다.
- <19> 낸드 플래시 메모리는 표 1에 도시된 바와 같이 I/O 0 핀이 "0"인가를 판단한다. 만약 낸드 플래시 메모리의 I/O 0 핀이 "0"인 경우 낸드 플래시 메모리의 페이지 프로그램이 정상적으로 실행된 것임을 확인한다. 그렇지 않은 경우 낸드 플래시 메모리의 페이지 프로그램은 에러가 발생한 것임을 확인한다. (단계 107)
- <20> 표 1은 낸드 플래시 메모리의 독출된 상태 레지스터를 정의한다.

표 1

<21>

I/O No.	Page Program	Block Erase	Read	Definition
I/O 0	Pass/Fail	Pass/Fail	Not use	Pass:"0" Fail:"1"
I/O 1	Not use	Not use	Not use	Don't-cared
I/O 2	Not use	Not use	Not use	Don't-cared
I/O 3	Not use	Not use	Not use	Don't-cared
I/O 4	Not use	Not use	Not use	Don't-cared
I/O 5	Not use	Not use	Not use	Don't-cared
I/O 6	Ready/Busy	Ready/Busy	Ready/Busy	Ready:"0" Busy:"1"
I/O 7	Write Protect	Write Protect	Write Protect	Protected:"0" Not Protected:"1"

- <22> MBT(Monitoring Burn-in Test)란 고온 상태에서 DUT(Device Under Test)의 정상동작 유무를 테스트(Test)하는 장치이고, BIB(Burn-In Board)는 복수의 DUT들을 고온 상태에서 테스트를 수행하기 위하여 MBT에 장착되는 보드이다. 본 발명의 DUT는 낸드 플래시 메모리이다.
- <23> 도 3은 일반적인 MBT(Monitoring Burn-in Test)내의 BIB(Burn-In Board)를 도시한 블럭도이다. 도 3을 참조하면, 제1 BIB(BIB1)은 320개의 낸드 플래시 메모리가 장착되고, 한 MBT에는 48개의 BIB(BIB1-BIB48)가 장착된다.
- <24> 제1 BIB(BIB1)내에 장착된 모든 낸드 플래시 메모리는 동시에 기입동작을 수행하고, 독출동작은 스캔단위로 진행된다. 즉, 제1 스캔(scan1)내의 8개의 낸드 플래시 메모리의 독출동작이 완료되면, 제2 스캔(scan2)내의 8개의 낸드 플래시 메모리의 독출동작을 진행한다.
- <25> MBT는 일반적인 테스트장비에 비하여 많은 낸드 플래시 메모리를 테스트할 수 있기 때문에, MBT는 번인 테스트(Burn-In) 뿐만 아니라, 일반적인 테스트를 수행한다.
- <26> 도 4a는 일반적인 낸드 플래시 메모리의 프로그램을 도시한 순서도이다. 단계 401로부터 단계 407은 도 1에 도시된 낸드 플래시 메모리의 페이지 프로그램 동작과 동일하다. 따라서, 중복되는 설명은 생략한다.
- <27> 도 3과 도 4a에 따르면, 낸드 플래시 메모리의 블럭과 페이지를 초기화하고, BIB의 스캔을 초기화한다. (단계 400) 즉, 낸드 플래시 메모리의 제1 블럭, 제1 페이지와 제1 BIB(BIB1)의 제1 스캔(scan1)을 선택한다.
- <28> 단계 401부터 단계 404까지는 제1 스캔 내지 제40 스캔(scan1-scan40)내 320개의 낸드 플래시 메모리의 기입동작을 진행한다.(단계 401-단계 404) 제1 스캔내의 8개의 낸드 플래시 메모리의 제1 페이지 프로그램이 정상적으로 수행되었는지를 판단하기 위하여 상태 레지스터를 독출한다. (단계 405) 낸드 플래시 메모리의 I/O 6 핀이 "0" 및 R/Bb 핀이 "0"가 될 때까지 단계 406을 유지한다. (단계 406)
- <29> 낸드 플래시 메모리는 I/O 0 핀이 "0"인가를 판단한다. 만약 낸드 플래시 메모리의 I/O 0 핀이 "0"인 경우 낸드 플래시 메모리의 페이지 프로그램이 정상적으로 실행된 것임을 확인한다. 그렇지 않은 경우 낸드 플래시 메모리의 페이지 프로그램은 에러가 발생한 것임을 확인한다. (단계 407) 즉, 제1 스캔내의 8개의 낸드 플래시 메모리의 제1 페이지 프로그램이 정상적으로 수행되었는지를 확인한다.
- <30> 단계 407에서 독출된 상태 레지스터에서 에러가 발생하지 않은 경우 제2 스캔(scan2)의 상태 레지스터를 독출한다. (단계 408-단계 409) 단계 408에서 낸드 플래시 메모리의 제1 페이지가 제40 스캔(scan40)까지 완료된 경우

낸드 플래시 메모리의 제2 페이지 프로그램을 실행한다. (단계 409-단계410) 단계 409에서 낸드 플래시 메모리의 제128 페이지가 제40 스캔(scan40)까지 완료된 경우 낸드 플래시 메모리의 제2 블록의 제1 페이지 프로그램을 실행한다. (단계 411-단계412)

<31> 낸드 플래시 메모리는 도 4b에 도시된 바와 같이 하나의 페이지의 프로그램을 수행할 때마다 상태 레지스터를 독출한다. 만약 양산과정에서도 낸드 플래시 메모리가 하나의 페이지 프로그램을 수행할 때마다 상태 레지스터를 독출한다면, 낸드 플래시 메모리의 테스트 타임(Test Time)이 길어지게 되는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

<32> 따라서, 본 발명의 목적은 낸드 플래시 메모리의 테스트 타임을 단축하는 데 있다.

발명의 구성 및 작용

<33> 상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면 플래시 메모리 테스트 방법은 플래시 메모리를 테스트하는 방법에 있어서: (a) 상기 플래시 메모리의 선택된 메모리 블록의 페이지를 프로그램하는 단계와; (b) 상기 프로그램 페이지의 프로그램 결과를 누적하는 단계와; 그리고 (c) 상기 선택된 메모리 블록에 속하는 페이지들이 모두 프로그램될 때까지 상기 (a) 및 (b) 단계들을 반복하는 단계를 포함한다.

<34> (실시예)

<35> 본 발명의 신규한 플래시 메모리 테스트 방법은 플래시 메모리를 테스트하는 방법에 있어서: (a) 상기 플래시 메모리의 선택된 메모리 블록의 페이지를 프로그램하는 단계와; (b) 상기 프로그램 페이지의 프로그램 결과를 누적하는 단계와; 그리고 (c) 상기 선택된 메모리 블록에 속하는 페이지들이 모두 프로그램될 때까지 상기 (a) 및 (b) 단계들을 반복하는 단계를 포함한다.

<36> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 본 발명의 실시예를 첨부된 도면을 참조하여 설명한다.

<37> 도 5는 본 발명의 실시예에 따른 낸드 플래시 메모리의 프로그램을 도시한 순서도이다.

<38> 도 3과 도 5에 따르면, 낸드 플래시 메모리의 블록과 페이지를 초기화하고, BIB의 스캔을 초기화한다. (단계 500) 즉, 낸드 플래시 메모리의 제1 블록, 제1 페이지와 제1 BIB(BIB1)의 제1 스캔(scan1)을 선택한다. 단계 501부터 단계 504까지는 제1 스캔 내지 제40 스캔(scan1-scan40)내 320개의 낸드 플래시 메모리의 기입동작을 진행한다.(단계 501-단계 504) 이상의 동작(단계 500-단계 504)는 도 4a에 도시된 낸드 플래시 메모리의 페이지 프로그램 동작과 동일하다.

<39> 계속해서 도 3과 도 5에 따르면, 낸드 플래시 메모리의 I/O 6 핀이 "0" 및 R/Bb 핀이 "0"가 될 때까지 단계 505을 유지한다. (단계 505) 단계 505에서 낸드 플래시 메모리의 제1 페이지가 제40 스캔(scan40)까지 완료된 경우 낸드 플래시 메모리의 제2 페이지 프로그램을 실행한다. (단계 506-단계 507) 제1 스캔내의 8개의 낸드 플래시 메모리의 제1 페이지 프로그램이 정상적으로 수행되었는지를 판단하기 위하여 상태 레지스터를 독출한다. (단계 508) 낸드 플래시 메모리는 I/O 0 핀이 "0"인가를 판단한다. 만약 낸드 플래시 메모리의 I/O 0 핀이 "0"인 경우 낸드 플래시 메모리의 페이지 프로그램이 정상적으로 실행된 것임을 확인한다. 그렇지 않은 경우 낸드 플래시 메모리의 페이지 프로그램은 에러가 발생한 것임을 확인한다. (단계 509) 즉, 제1 스캔내의 8개의 낸드 플래시 메모리의 제1 페이지 프로그램이 정상적으로 수행되었는지를 확인한다. 단계 509에서 독출된 상태 레지스터에서 에러가 발생하지 않은 경우 제2 스캔(scan2)의 상태 레지스터를 독출한다. (단계 510-단계 511) 단계 510에서 낸드 플래시 메모리의 제128 페이지가 제40 스캔(scan40)까지 완료된 경우 낸드 플래시 메모리의 제2 블록의 제1 페이지 프로그램을 실행한다. (단계 512-단계 513)

<40> 종래의 낸드 플래시 메모리의 테스트 방법은 페이지단위의 테스트를 수행한 후 상태 레지스터를 독출하는 데 반하여, 본 발명에 따른 낸드 플래시 메모리의 테스트 방법은 블록단위의 테스트를 수행한 후 상태 레지스터를 독출한다.

<41> 따라서, 본 발명에 따른 낸드 플래시 메모리의 테스트 방법은 종래의 낸드 플래시 메모리의 테스트 방법에 비하여 테스트 타임을 감축하는 효과가 있다.

표 2

<42>	8G MLC 낸드 플래시 메모리	상태 레지스터 독출 회수
	종래 방법	128page * 40scan * 4098Block
	본 발명에 따른 방법	40scan * 4098Block
		20,981,760
		163,840

<43> 상태 레지스터의 독출 시간을 20 μ s로 가정하면, 종래 방법에 따라 상태 레지스터를 독출하는 시간은 약 419.6초가 소요되고, 본 발명에 따른 방법에 따라 상태 레지스터를 독출하는 시간은 약 3.3초가 소요된다.

<44> 20,981,760 * 20 μ s = 419,638,200 μ s, 163,920 * 20 μ s = 3,278,400 μ s

<45> 즉, 표 2에 따르면, 본원발명은 종래기술에 비하여 상태 레지스터를 독출하는 테스트 시간을 128배 감축하는 효과가 있다.

<46> 실제적으로, 8G 낸드 플래시 메모리(MLC)의 테스트 시간을 예로 든다면, 종래의 방법에 따른 테스트 시간은 6961(초)이고, 본 발명에 따른 테스트 시간은 880(초)이다.

<47> 도 6은 본 발명의 또 다른 실시예에 따른 낸드 플래시 메모리를 도시한 블록도이다.

<48> 도 6에 따르면, 낸드 플래시 메모리(600)는 메모리 셀 어레이(610), 페이지 버퍼(Page Buffer ; 620), 패스/페일 점검 회로(Pass/Fail Check ; 630), 행 선택 회로(Row Selector ; 640), 제어 회로(Control Logic ; 650), 상태 레지스터 축적회로(Status Register Accumulator ; 660), 및 상태 레지스터(Status Register ; 670)을 포함한다.

<49> 낸드 플래시 메모리(600)는 메모리 셀 어레이(610)를 포함하며, 메모리 셀 어레이(610)은 적어도 하나 또는 그보다 많은 메모리 블록들로 구성된다. 도 6에 예시된 각 메모리 블록(Block1-Block4096)은 4096개의 블록으로 구성된다.

<50> 행 선택 회로(640)와 페이지 버퍼 회로(620)는 플래시 메모리의 기입동작과 독출동작을 제어하는 기입독출 회로를 구성한다. 행 선택 회로(640)는 메모리 셀 어레이(610)의 워드 라인들 중 하나를 선택한다. 프로그램 동작시, 행 선택 회로(640)는 선택된 워드 라인으로 프로그램 전압을 그리고 비선택된 워드 라인들로 패스 전압을 공급한다. 페이지 버퍼 회로(620)는 프로그램 동작시, 열 선택 회로(640)를 통해 특정 전압(예를 들면, 전원 전압 또는 접지 전압)으로 설정한다. 페이지 버퍼 회로(620)는, 독출 동작/독출 검증 동작시 선택된 워드 라인의 메모리 셀들에 저장된 데이터를 감지한다. 읽기 동작시, 페이지 버퍼 회로(620)에 의해서 감지된 데이터는 열 선택 회로를 통해 외부로 출력된다. 읽기 검증 동작시, 페이지 버퍼 회로(620)에 의하여 감지된 데이터는 패스/페일 점검 회로(630)로 전달된다. 패스/페일 점검 회로(630)는 열 선택 회로를 통해 전달된 데이터 값들이 패스 데이터(Pass Data) 값인 지의 여부를 판별한다.

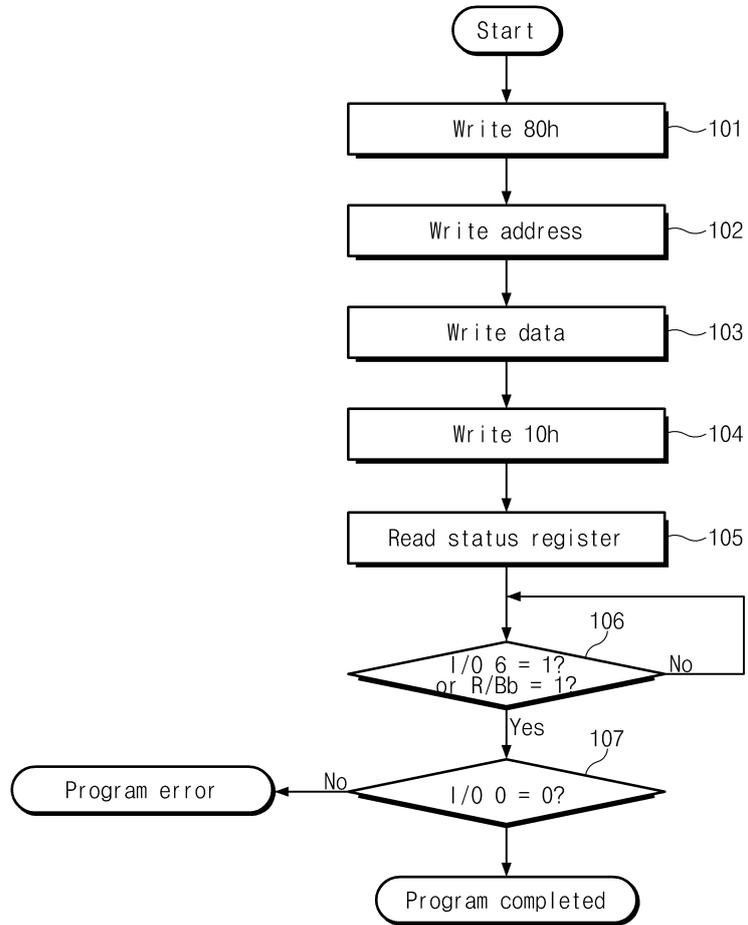
<51> 제어 로직(650)과 패스/페일 점검 회로(630)는 플래시 메모리의 독출동작의 결과를 출력하는 제어 회로를 구성한다. 제어 로직(650)은 낸드 플래시 메모리(600)의 전반적인 동작을 제어하도록 구성된다. 상태 레지스터 축적 회로(660)는 패스/페일 점검 회로(630)로부터 입력된 패스/페일의 정보를 제어 회로(650)으로 전송받아 저장한다. 즉, 패스인 경우는 계속 패스인 상태를 저장하고, 페일이 입력되는 경우 페일의 상태를 저장한다. 만약 페일의 상태를 저장하고 있는 동안, 패스가 입력된 경우라도 계속해서 페일의 상태를 저장한다. 상태 레지스터(670)는 상태 레지스터 축적회로(660)로부터 저장된 상태 레지스터의 데이터를 I/O 0 핀을 통하여 출력한다. 상태 레지스터 축적회로(660)와 상태 레지스터(670)의 상세한 동작에 관해서는 도 7에서 설명한다.

<52> 도 7는 도 6에 도시된 낸드 플래시 메모리의 테스트 방법을 도시한 순서도이다. 도 7은 낸드 플래시 메모리(600)내의 한 블록에 대한 테스트 방법에 대하여 예시된다.

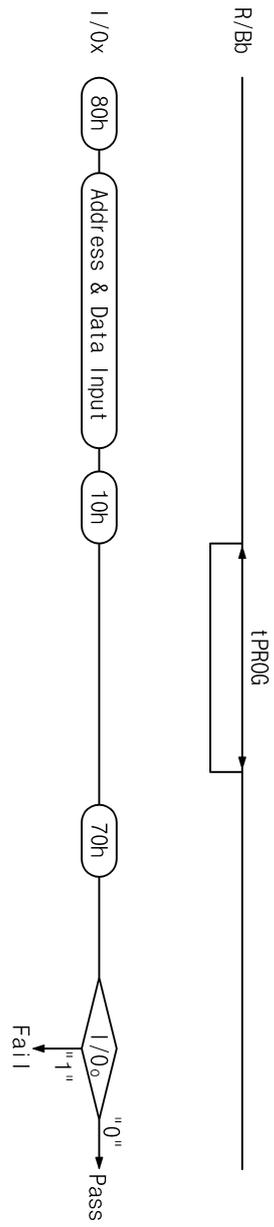
<53> 도 6과 도 7을 참조하면, 낸드 플래시 메모리(600)는 제1 블록(Block1)내 제1 페이지에 대하여 프로그램을 수행한다. 또한, 낸드 플래시 메모리(600)는 제1 블록(Block1)내 제2 페이지 내지 제128 페이지에 대하여 프로그램을 수행한다. (단계 701) 제1 페이지 프로그램 동작이 완료되면, 패스/페일 점검 회로(630)은 패스/페일 신호(Pass/Fail)를 제어 회로(650)에 전달한다. 또한, 제2 페이지 내지 제128 페이지 프로그램 동작이 완료되면, 패스/페일 점검 회로(630)은 패스/페일 신호(Pass/Fail)를 제어 회로(650)에 전달한다. (단계 702) 상태 레지스터 축적회로(660)는 제어 회로(650)으로부터 패스/페일 신호(Pass/Fail)를 전달받아 저장한다. (단계 703) 예를 들면, 패스인 경우는 계속 패스인 상태를 저장하고, 페일이 입력되는 경우 페일의 상태를 저장한다. 만약 페일의

도면

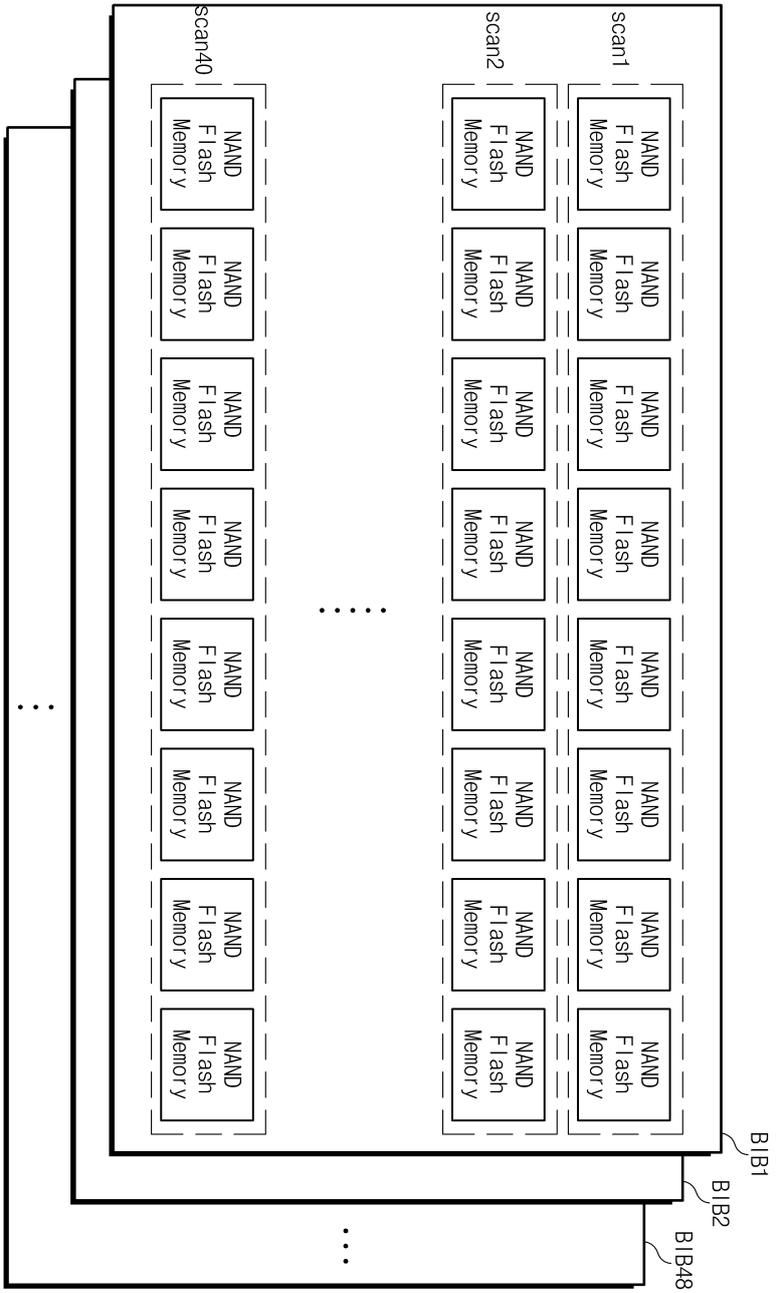
도면1



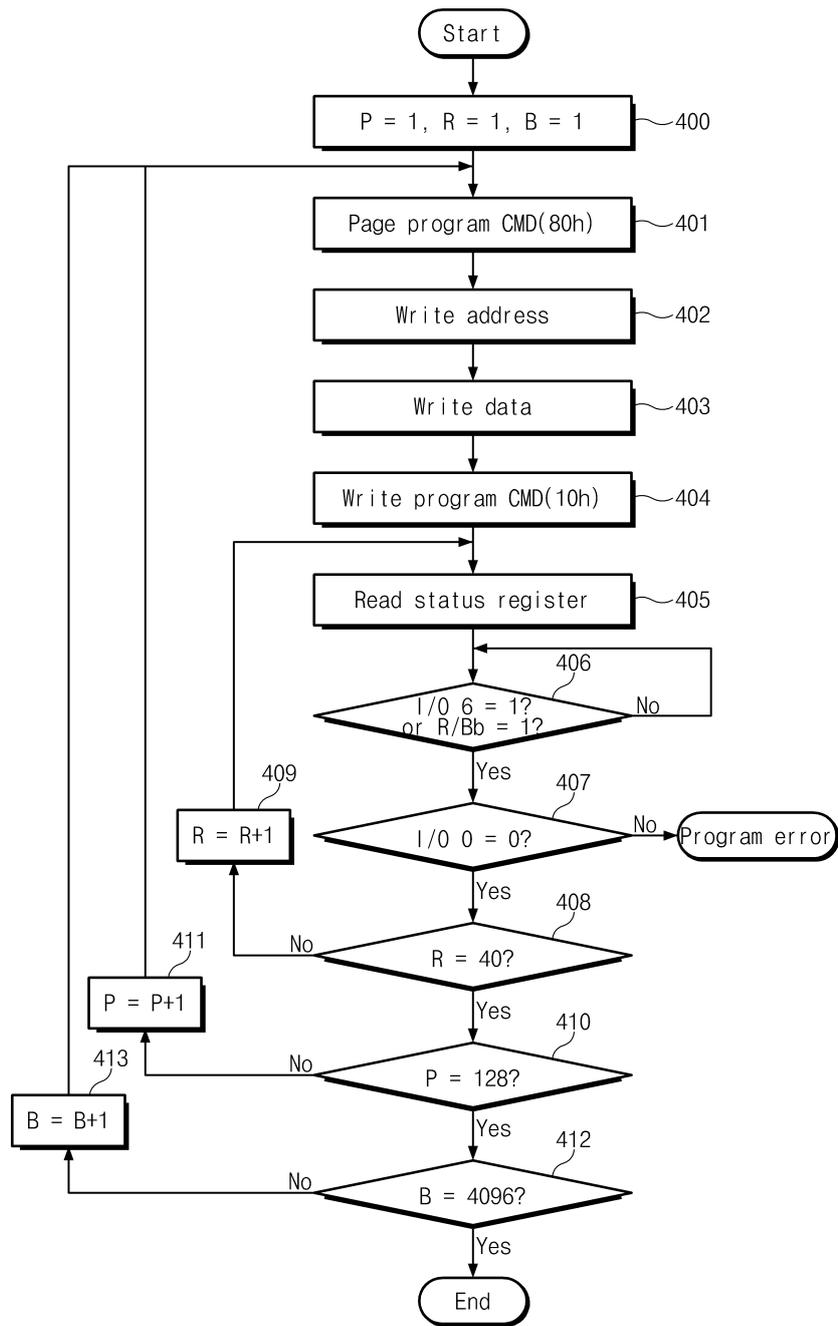
도면2



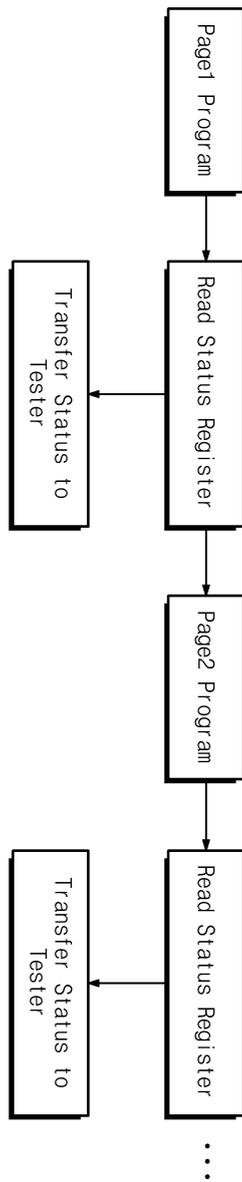
도면3



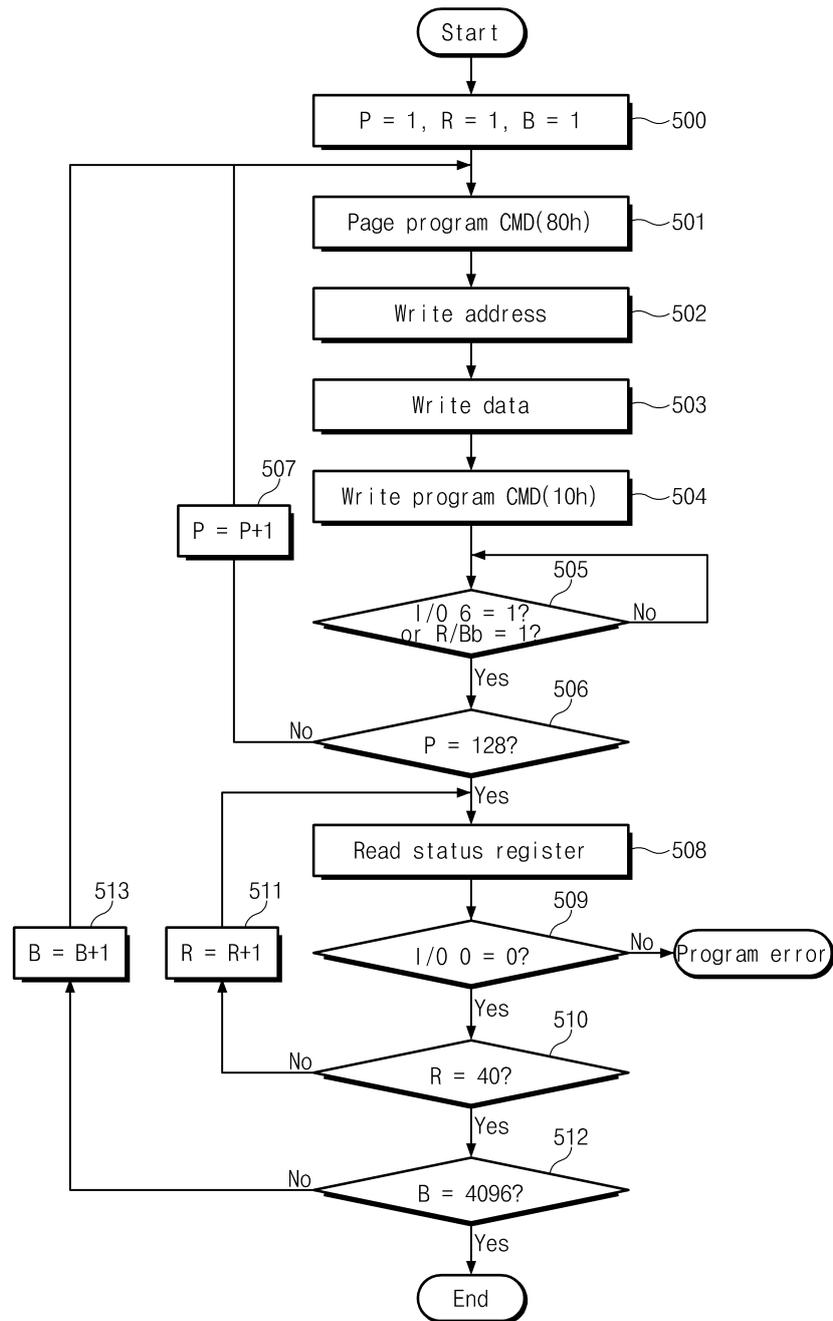
도면4a



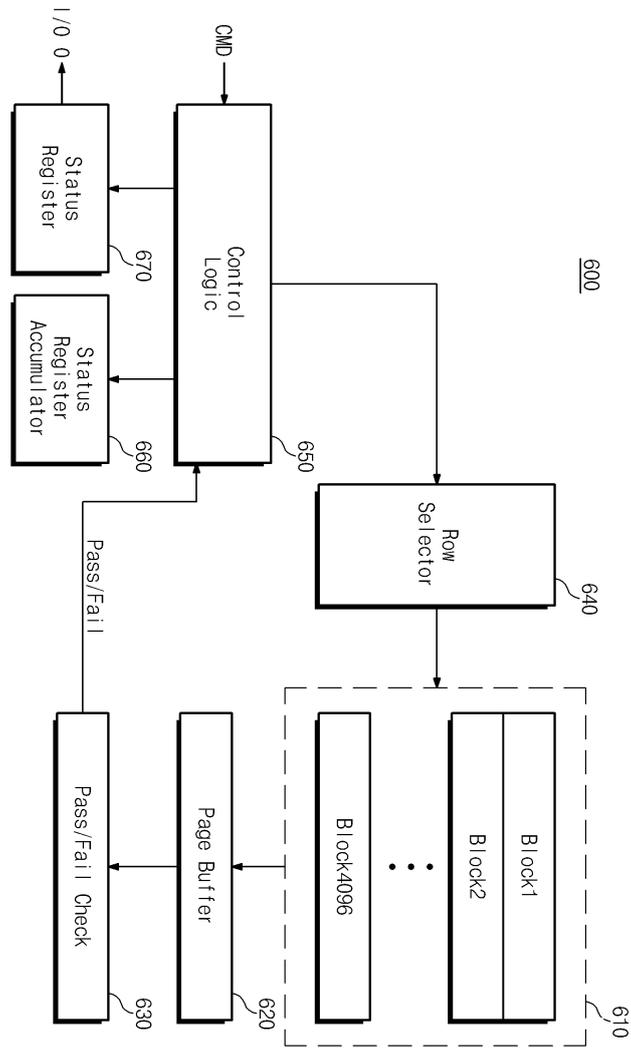
도면4b



도면5



도면6



도면7

