

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7487213号
(P7487213)

(45)発行日 令和6年5月20日(2024.5.20)

(24)登録日 令和6年5月10日(2024.5.10)

(51)国際特許分類

F I

H 1 0 B	99/00	(2023.01)	H 1 0 B	99/00	4 9 5
G 1 1 C	5/04	(2006.01)	G 1 1 C	5/04	2 2 0
H 1 0 B	10/00	(2023.01)	H 1 0 B	10/00	
H 1 0 B	12/00	(2023.01)	H 1 0 B	12/00	6 2 1 Z
			H 1 0 B	12/00	6 7 1 Z

請求項の数 19 (全39頁)

(21)出願番号 特願2021-545730(P2021-545730)
 (86)(22)出願日 令和1年9月11日(2019.9.11)
 (65)公表番号 特表2022-528592(P2022-528592 A)
 (43)公表日 令和4年6月15日(2022.6.15)
 (86)国際出願番号 PCT/CN2019/105290
 (87)国際公開番号 WO2020/211271
 (87)国際公開日 令和2年10月22日(2020.10.22)
 審査請求日 令和3年9月16日(2021.9.16)
 審判番号 不服2023-13691(P2023-13691/J 1)
 審判請求日 令和5年8月14日(2023.8.14)
 (31)優先権主張番号 PCT/CN2019/082607
 (32)優先日 平成31年4月15日(2019.4.15)
 (33)優先権主張国・地域又は機関

最終頁に続く

(73)特許権者 519237948
 長江存儲科技有限責任公司
 Yangtze Memory Technologies Co., Ltd.
 中華人民共和国湖北省武漢市東湖新技術
 開発区未来三路88号
 No. 88 Weilai 3rd Road, East Lake High-tech
 Development Zone, Wuhan, Hubei, China
 (74)代理人 100109210
 弁理士 新居 広守
 (72)発明者 リウ・ジュン
 中華人民共和国、フベイ 430074

最終頁に続く

(54)【発明の名称】 プロセッサおよびダイナミック・ランダムアクセス・メモリを有する接合半導体デバイス
 およびそれを形成する方法

(57)【特許請求の範囲】

【請求項1】

半導体デバイスであって、
 トランジスタを含むプロセッサと、スタティック・ランダムアクセス・メモリ(SRAM)セルのアレイと、複数の第1の接合接点を含む第1の接合層とを有する第1の半導体構造と、

ダイナミック・ランダムアクセス・メモリ(DRAM)セルのアレイと、複数の第2の接合接点を含む第2の接合層とを有する第2の半導体構造と、

前記第1の接合層と前記第2の接合層との間の接合界面であって、前記第1の接合接点が前記接合界面で前記第2の接合接点と接触している接合界面と、を備え、

前記第1の半導体構造及び前記第2の半導体構造の少なくとも一方は、さらに、前記DRAMセルのアレイの周辺回路であって、前記プロセッサに含まれるトランジスタとは異なるトランジスタを含む周辺回路を含む、

半導体デバイス。

【請求項2】

前記第1の半導体構造は、
 基板と、

前記基板上の前記プロセッサと、

前記基板上かつ前記プロセッサの外側の前記SRAMセルのアレイと、

前記プロセッサおよび前記SRAMセルのアレイの上方の前記第1の接合層と、を有す

10

20

る、

請求項 1 に記載の半導体デバイス。

【請求項 3】

前記第 2 の半導体構造は、

前記第 1 の接合層の上方の前記第 2 の接合層と、

前記第 2 の接合層の上方の前記 D R A Mセルのアレイと、

前記 D R A Mセルのアレイの上方にあり、前記 D R A Mセルのアレイと接触している半導体層と、を有する、

請求項 2 に記載の半導体デバイス。

【請求項 4】

前記半導体層の上方にパッドアウト相互接続層をさらに備える、

請求項 3 に記載の半導体デバイス。

【請求項 5】

前記第 2 の半導体構造は、

基板と、

前記基板上の前記 D R A Mセルのアレイと、

前記 D R A Mセルのアレイの上方の前記第 2 の接合層と、を有する、

請求項 1 に記載の半導体デバイス。

【請求項 6】

前記第 1 の半導体構造は、

前記第 2 の接合層の上方の前記第 1 の接合層と、

前記第 1 の接合層の上方の前記プロセッサと、

前記第 1 の接合層の上方かつ前記プロセッサの外側にある前記 S R A Mセルのアレイと、

前記プロセッサおよび前記 S R A Mセルのアレイの上方にあり、前記プロセッサおよび前記 S R A Mセルのアレイと接触する半導体層と、を有する、

請求項 5 に記載の半導体デバイス。

【請求項 7】

前記半導体層の上方にパッドアウト相互接続層をさらに備える、

請求項 6 に記載の半導体デバイス。

【請求項 8】

前記第 1 の半導体構造は、垂直方向における前記第 1 の接合層と前記プロセッサとの間に第 1 の相互接続層を有し、

前記第 2 の半導体構造は、垂直方向における前記第 2 の接合層と前記 D R A Mセルのアレイとの間に第 2 の相互接続層を有し、

前記プロセッサおよび前記 S R A Mセルのアレイは、前記第 1 および第 2 の相互接続層ならびに前記第 1 および第 2 の接合接点を介して前記 D R A Mセルのアレイに電氣的に接続される、

請求項 1 に記載の半導体デバイス。

【請求項 9】

前記 S R A Mセルのアレイは、前記第 1 の半導体構造内の複数の別個の領域に分散される、

請求項 1 に記載の半導体デバイス。

【請求項 10】

半導体デバイスを形成するための方法であって、

第 1 のウェハ上に複数の第 1 の半導体構造を形成することであって、前記第 1 の半導体構造の少なくとも 1 つは、トランジスタを含むプロセッサと、スタティック・ランダムアクセス・メモリ (S R A M) セルのアレイと、複数の第 1 の接合接点を含む第 1 の接合層とを有する、複数の第 1 の半導体構造を形成することと、

第 2 のウェハ上に複数の第 2 の半導体構造を形成することであって、前記第 2 の半導体構造の少なくとも 1 つは、ダイナミック・ランダムアクセス・メモリ (D R A M) セルの

10

20

30

40

50

アレイと、複数の第 2 の接合接点を含む第 2 の接合層とを有する、複数の第 2 の半導体構造を形成することと、

前記第 1 の半導体構造の前記少なくとも 1 つが前記第 2 の半導体構造の前記少なくとも 1 つに接合されるように、face-to-face 方式で前記第 1 のウェハと前記第 2 のウェハとを接合することであって、前記第 1 の半導体構造の前記第 1 の接合接点の前記第 2 の半導体構造の前記第 2 の接合接点に接合界面で接触するように、前記第 1 のウェハと前記第 2 のウェハとを接合することと、

複数のダイに前記接合された第 1 および第 2 のウェハをダイシングすることであって、前記ダイの少なくとも 1 つが、前記接合された第 1 および第 2 の半導体構造を含むように、前記接合された第 1 および第 2 のウェハをダイシングすることと、を含み、

10

前記第 1 の半導体構造及び前記第 2 の半導体構造の少なくとも一方は、さらに、前記 D R A M セルのアレイの周辺回路であって、前記プロセッサに含まれるトランジスタとは異なるトランジスタを含む周辺回路を含む、

方法。

【請求項 1 1】

前記複数の第 1 の半導体構造を形成することは、

前記プロセッサおよび前記 S R A M セルのアレイを前記第 1 のウェハ上に形成することと、

前記プロセッサおよび前記 S R A M セルのアレイの上方に第 1 の相互接続層を形成することと、

20

前記第 1 の相互接続層の上方に前記第 1 の接合層を形成することと、を含む、
請求項 1 0 に記載の方法。

【請求項 1 2】

前記複数の第 2 の半導体構造を形成することは、

前記第 2 のウェハ上に前記 D R A M セルのアレイを形成することと、

前記 D R A M セルのアレイの上方に第 2 の相互接続層を形成することと、

前記第 2 の相互接続層の上方に前記第 2 の接合層を形成することと、を含む、

請求項 1 0 に記載の方法。

【請求項 1 3】

前記第 1 のウェハと前記第 2 のウェハとを接合することの後に、前記第 2 の半導体構造は、前記第 1 の半導体構造の上方にあり、

30

前記方法は、前記第 1 のウェハと前記第 2 のウェハとを接合することの後、かつ、前記接合された第 1 および第 2 のウェハをダイシングすることの前に、

半導体層を形成するために前記第 2 のウェハを薄くすることと、

前記半導体層の上方にパッドアウト相互接続層を形成することと、をさらに含む、

請求項 1 0 に記載の方法。

【請求項 1 4】

前記第 1 のウェハと前記第 2 のウェハとを接合することの後に、前記第 1 の半導体構造は、前記第 2 の半導体構造の上方にあり、

前記方法は、前記接合することの後に、前記第 1 のウェハと前記第 2 のウェハとを接合することの後、かつ、前記接合された第 1 および第 2 のウェハをダイシングすることの前に、

40

半導体層を形成するために前記第 1 のウェハを薄くすることと、

前記半導体層の上方にパッドアウト相互接続層を形成することと、をさらに含む、

請求項 1 0 に記載の方法。

【請求項 1 5】

半導体デバイスを形成するための方法であって、

第 1 のウェハ上に複数の第 1 の半導体構造を形成することであって、前記第 1 の半導体構造の少なくとも 1 つは、トランジスタを含むプロセッサと、スタティック・ランダムアクセス・メモリ (S R A M) セルのアレイと、複数の第 1 の接合接点を含む第 1 の接合層

50

とを有する、複数の第 1 の半導体構造を形成することと、

複数の第 1 のダイに前記第 1 のウェハをダイシングすることであって、前記第 1 のダイの少なくとも 1 つが前記第 1 の半導体構造の前記少なくとも 1 つを含むように、前記第 1 のウェハをダイシングすることと、

第 2 のウェハ上に複数の第 2 の半導体構造を形成することであって、前記第 2 の半導体構造の少なくとも 1 つは、ダイナミック・ランダムアクセス・メモリ (D R A M) セルのアレイと、複数の第 2 の接合接点を含む第 2 の接合層とを有する、複数の第 2 の半導体構造を形成することと、

複数の第 2 のダイに前記第 2 のウェハをダイシングすることであって、前記第 2 のダイの少なくとも 1 つが前記第 2 の半導体構造の前記少なくとも 1 つを含むように、前記第 2 のウェハをダイシングすることと、

10

前記第 1 の半導体構造が前記第 2 の半導体構造に接合されるように、face-to-face 方式で前記第 1 のダイと前記第 2 のダイとを接合することであって、前記第 1 の半導体構造の前記第 1 の接合接点と前記第 2 の半導体構造の前記第 2 の接合接点とに接合界面で接触するように、前記第 1 のダイと前記第 2 のダイとを接合することと、を含む、

前記第 1 の半導体構造及び前記第 2 の半導体構造の少なくとも一方は、さらに、前記 D R A M セルのアレイの周辺回路であって、前記プロセッサに含まれるトランジスタとは異なるトランジスタを含む周辺回路を含む、

方法。

【請求項 1 6】

20

前記複数の第 1 の半導体構造を形成することは、

前記第 1 のウェハ上に前記プロセッサおよび前記 S R A M セルのアレイを形成することと、

前記プロセッサおよび前記 S R A M セルのアレイの上方に第 1 の相互接続層を形成することと、

前記第 1 の相互接続層の上方に前記第 1 の接合層を形成することと、を含む、
請求項 1 5 に記載の方法。

【請求項 1 7】

前記複数の第 2 の半導体構造を形成することは、

前記第 2 のウェハ上に前記 D R A M セルのアレイを形成することと、

30

前記 D R A M セルのアレイの上方に第 2 の相互接続層を形成することと、

前記第 2 の相互接続層の上方に前記第 2 の接合層を形成することと、を含む、
請求項 1 5 に記載の方法。

【請求項 1 8】

前記第 1 のダイと前記第 2 のダイとを接合することの後に、前記第 2 の半導体構造は、前記第 1 の半導体構造の上方にあり、

前記方法は、

前記第 1 のダイと前記第 2 のダイとを接合することの後に、半導体層を形成するために前記第 2 のウェハを薄くすることと、

前記半導体層の上方にパッドアウト相互接続層を形成することと、をさらに含む、
請求項 1 5 に記載の方法。

40

【請求項 1 9】

前記第 1 のダイと前記第 2 のダイとを接合することの後に、前記第 1 の半導体構造は、前記第 2 の半導体構造の上方にあり、

前記方法は、

前記第 1 のダイと前記第 2 のダイとを接合することの後に、半導体層を形成するために前記第 1 のウェハを薄くすることと、

前記半導体層の上方にパッドアウト相互接続層を形成することと、をさらに含む、
請求項 1 5 に記載の方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

[関連出願の相互参照]

本願は、2019年4月15日に出願された「INTEGRATION OF THREE-DIMENSIONAL NAND MEMORY DEVICES WITH MULTIPLE FUNCTIONAL CHIPS」と題する国際出願第PCT/CN2019/082607号に対する優先権の利益を主張するものであり、その全体は参照により本明細書に組み込まれる。

【背景技術】

【0002】

本開示の実施形態は、半導体デバイスおよびその製造方法に関する。

【0003】

現代のモバイルデバイス（例えば、スマートフォン、タブレットなど）では、アプリケーションプロセッサ、ダイナミック・ランダムアクセス・メモリ（DRAM）、フラッシュメモリ、Bluetooth、Wi-Fi、全地球測位システム（GPS）、周波数変調（FM）無線機、ディスプレイなどのための様々なコントローラ、およびベースバンドプロセッサなどの様々な機能を有効にするために、複数の複雑なシステムオンチップ（SOC）が使用され、これらは個別のチップとして形成される。例えば、アプリケーションプロセッサは、典型的には、中央処理装置（CPU）、グラフィック処理装置（GPU）、オンチップメモリ、加速機能ハードウェア、および他のアナログ構成要素を含み、サイズが大きい。

【発明の概要】

【0004】

半導体デバイスおよびその製造方法の実施形態が本明細書に開示される。

【0005】

一例では、半導体デバイスは、プロセッサと、スタティック・ランダムアクセス・メモリ（SRAM）セルのアレイと、複数の第1の接合接点を含む第1の接合層とを含む第1の半導体構造を含む。半導体デバイスはまた、DRAMセルのアレイを含む第2の半導体構造と、複数の第2の接合接点を含む第2の接合層とを含む。半導体デバイスは、第1の接合層と第2の接合層との接合界面をさらに含む。第1の接合接点は、接合界面において第2の接合接点と接触している。

【0006】

別の例では、半導体デバイスを形成するための方法が開示される。第1のウェハには、複数の第1の半導体構造が形成されている。第1の半導体構造の少なくとも1つは、プロセッサと、SRAMセルのアレイと、複数の第1の接合接点を含む第1の接合層とを含む。複数の第2の半導体構造が第2のウェハ上に形成される。第2の半導体構造の少なくとも1つは、DRAMセルのアレイと、複数の第2の接合接点を含む第2の接合層とを含む。第1の半導体構造のうちの少なくとも1つが第2の半導体構造のうちの少なくとも1つに接合されるように、第1のウェハおよび第2のウェハがface-to-face方式で接合される。第1の半導体構造の第1の接合接点は、接合界面において第2の半導体構造の第2の接合接点と接触している。接合された第1のウェハと第2のウェハは、複数のダイにダイシングされる。ダイのうちの少なくとも1つは、接合された第1の半導体構造と第2の半導体構造を含む。

【0007】

さらに別の例では、半導体デバイスを形成するための方法が開示される。第1のウェハには、複数の第1の半導体構造が形成されている。第1の半導体構造の少なくとも1つは、プロセッサと、SRAMセルのアレイと、複数の第1の接合接点を含む第1の接合層とを含む。第1のウェハは、第1のダイのうちの少なくとも1つが第1の半導体構造のうちの少なくとも1つを含むように、複数の第1のダイにダイシングされる。複数の第2の半導体構造が第2のウェハ上に形成される。第2の半導体構造の少なくとも1つは、DRA

10

20

30

40

50

Mセルのアレイと、複数の第2の接合接点を含む第2の接合層とを含む。第2のウェハは、第2のダイのうちの少なくとも1つが第2の半導体構造のうちの少なくとも1つを含むように、複数の第2のダイにダイシングされる。第1のダイおよび第2のダイは、第1の半導体構造が第2の半導体構造に接合されるように、face-to-face方式で接合される。第1の半導体構造の第1の接合接点は、接合界面において第2の半導体構造の第2の接合接点と接触している。

【図面の簡単な説明】

【0008】

本明細書に組み込まれ、本明細書の一部を形成する添付の図面は、本開示の実施形態を示し、説明と共に、本開示の原理を説明し、当業者が本開示を作成および使用することを可能にするのにさらに役立つ。

10

【図1A】いくつかの実施形態による、例示的な半導体デバイスの断面の概略図を示す。

【図1B】いくつかの実施形態による、別の例示的な半導体デバイスの断面の概略図を示す。

【図2A】いくつかの実施形態による、プロセッサおよびSRAMを有する例示的な半導体構造の概略的な平面図を示す。

【図2B】いくつかの実施形態による、DRAMおよび周辺回路を有する例示的な半導体構造の概略的な平面図を示す。

【図3A】いくつかの実施形態による、プロセッサ、SRAM、および周辺回路を有する例示的な半導体構造の概略的な平面図を示す。

20

【図3B】いくつかの実施形態による、DRAMを有する例示的な半導体構造の概略的な平面図を示す。

【図4A】いくつかの実施形態による、例示的な半導体デバイスの断面を示す。

【図4B】いくつかの実施形態による、別の例示的な半導体デバイスの断面を示す。

【図5A】いくつかの実施形態による、さらに別の例示的な半導体デバイスの断面を示す。

【図5B】いくつかの実施形態による、さらに別の例示的な半導体デバイスの断面図を示す。

【図6A】いくつかの実施形態による、プロセッサ、SRAM、および周辺回路を有する例示的な半導体構造を形成するための製造プロセスを示す。

【図6B】いくつかの実施形態による、プロセッサ、SRAM、および周辺回路を有する例示的な半導体構造を形成するための製造プロセスを示す。

30

【図7A】いくつかの実施形態による、DRAM、および周辺回路を有する例示的な半導体構造を形成するための製造プロセスを示す。

【図7B】いくつかの実施形態による、DRAM、および周辺回路を有する例示的な半導体構造を形成するための製造プロセスを示す。

【図7C】いくつかの実施形態による、DRAM、および周辺回路を有する例示的な半導体構造を形成するための製造プロセスを示す。

【図8A】いくつかの実施形態による、例示的な半導体デバイスを形成するための製造プロセスを示す。

【図8B】いくつかの実施形態による、例示的な半導体デバイスを形成するための製造プロセスを示す。

40

【図9A】いくつかの実施形態による、例示的な半導体構造を接合およびダイシングするための製造プロセスを示す。

【図9B】いくつかの実施形態による、例示的な半導体構造を接合およびダイシングするための製造プロセスを示す。

【図9C】いくつかの実施形態による、例示的な半導体構造を接合およびダイシングするための製造プロセスを示す。

【図10A】いくつかの実施形態による、例示的な半導体構造をダイシングおよび接合するための製造プロセスを示す。

【図10B】いくつかの実施形態による、例示的な半導体構造をダイシングおよび接合す

50

るための製造プロセスを示す。

【図10C】いくつかの実施形態による、例示的な半導体構造をダイシングおよび接合するための製造プロセスを示す。

【図11】いくつかの実施形態による、半導体デバイスを形成するための例示的な方法のフローチャートである。

【図12】いくつかの実施形態による、半導体デバイスを形成するための別の例示的な方法のフローチャートである。

【0009】

本開示の実施形態について、図面を参照しながら説明する。

【発明を実施するための形態】

【0010】

特定の構成および配置について説明するが、これは例示のみを目的として行われることを理解されたい。当業者は、本開示の精神および範囲から逸脱することなく、他の構成および配置を使用できることを認識する。本開示が様々な他の用途にも使用できることは、当業者にとって明白である。

【0011】

本明細書における「一実施形態 (one embodiment)」、「実施形態 (an embodiment)」、「例示的な実施形態 (an example embodiment)」、「いくつかの実施形態 (some embodiments)」などの言及は、記載された実施形態が特定の特徴、構造、または特性を含み得るが、すべての実施形態が必ずしも特定の特徴、構造、または特性を含むとは限らない旨を示すことに留意されたい。さらに、そのような語句は、必ずしも同じ実施形態を指すとは限らない。さらに、特定の特徴、構造、または特性が実施形態に関連して記載されている場合、明示的に記載されているか否かにかかわらず、他の実施形態に関連させてそのような特徴、構造、または特性を実現させることは、当業者の認識の範囲内である。

【0012】

一般に、用語は、文脈での使用から少なくとも部分的に理解され得る。例えば、本明細書で使用される「1つまたは複数」という用語は、文脈に少なくとも部分的に依拠して、任意の特徴、構造、または特性を単数の意味で説明するために使用されることがあり、または特徴、構造、または特性の組み合わせを複数の意味で説明するために使用されることがある。同様に、「a」、「an」、または「the」などの用語は、文脈に少なくとも部分的に依拠して、単数形の用法を伝えるか、または複数形の用法を伝えると理解されてもよい。さらに、「に基づく」という用語は、必ずしも排他的な要因のセットを伝えることを意図しているのではないと理解でき、むしろ同様に、文脈に少なくとも部分的に依拠して、必ずしも明示的に説明されていない追加の要因の存在を可能にし得る。

【0013】

本開示における「上に (on)」、「上方に (above)」、および「上方に (over)」の意味は、「上に (on)」が何かの「直接上に」を意味するだけでなく、間に中間的な特徴部または層を備える何かの「上に (on)」という意味も含み、「上方に (above)」または「上方に (over)」は何かの「上方に (above)」または「上方に (over)」という意味を意味するだけでなく、間に中間的な特徴部または層を備える（すなわち、何かの上に直接）のではない何かの「上方に (above)」または「上方に (over)」であるという意味も含むことができるように、最も広く解釈されるべきであることは容易に理解されるべきである。

【0014】

さらに、「真下 (beneath)」、「下方 (below)」、「下方 (lower)」、「上方 (above)」、「上方 (upper)」などの空間的に相対的な用語は、本明細書では、図に示すように、1つの要素または特徴と別の要素または特徴との関係を説明するための説明を容易にするために使用され得る。空間的に相対的な用語は、図に示す向きに加えて、使用中または動作中のデバイスの異なる向きを包含することを意図し

10

20

30

40

50

ている。装置は、他の方向に向けられてもよく（90度または他の向きに回転されてもよく）、本明細書で使用される空間的に相対的な記述子は、それに応じて同様に解釈されてもよい。

【0015】

本明細書で使用される場合、「基板」という用語は、後続の材料層がその上に追加される材料を指す。基板自体をパターンニングすることができる。基板の上に加えられる材料は、パターンニングされてもよく、またはパターンニングされないままであってもよい。さらに、基板は、シリコン、ゲルマニウム、ヒ化ガリウム、リン化インジウムなどの広範囲の半導体材料を含むことができる。あるいは、基板は、ガラス、プラスチック、またはサファイアウェハなどの非導電性材料から作製することができる。

10

【0016】

本明細書で使用される場合、「層」という用語は、厚さを有する領域を含む材料部分を指す。層は、下にあるもしくは上にある構造の全体にわたって延在することができ、または下にあるもしくは上にある構造の範囲よりも小さい範囲を有することができる。さらに、層は、連続的な構造の厚さよりも薄い厚さを有する均一または不均一な連続的な構造の領域であり得る。例えば、層は、連続的な構造の上面と底面との間にある任意の対の水平面の間、または上面と底面に、位置することができる。層は、水平方向、垂直方向、および/またはテーパ面に沿って延びることができる。基板は、層とすることができ、その中に1つまたは複数の層を含むことができ、および/またはその上、その上方、および/またはその下方に1つまたは複数の層を有することができる。層は複数の層を含むことができる。例えば、相互接続層は、1つまたは複数の導体および接触層（相互接続線および/またはビア接点）が形成される）ならびに1つまたは複数の誘電体層を含むことができる。

20

【0017】

本明細書で使用される場合、「約」という用語は、対象の半導体デバイスに関連する特定の技術ノードに基づいて異なり得る所与の量の値を示す。特定の技術ノードに基づいて、「約」という用語は、例えば、値の10~30%（例えば、値の±10%、±20%、または±30%）の範囲内で変化する所与の量の値を示すことができる。

【0018】

本明細書で使用される場合、「ウェハ」は、半導体デバイスをその中および/または上に構築するための半導体材料のピースであり、ダイに分離される前に様々な製造プロセスを受けることができる。

30

【0019】

最新のプロセッサ（「マイクロプロセッサ」としても知られる）が開発されてより世代が進むにつれて、キャッシュサイズは、プロセッサ性能向上のためにますます重要な役割を果たすようになってきている。場合によっては、キャッシュはマイクロプロセッサのチップ内のチップ・リアル・エステートの半分またはそれ以上さえをも占有した。また、キャッシュからプロセッサ・コア・ロジックへの抵抗容量（RC）の遅延が顕著になり、性能が低下する可能性がある。さらに、プロセッサを外部メインメモリに電氣的に接続するために、バス・インターフェース・ユニットが必要である。しかし、バス・インターフェース・ユニット自体は、追加のチップエリアを占有し、メインメモリへのその電氣的接続は、金属ルーティングのための追加の領域を必要とし、追加のRC遅延を導入する。

40

【0020】

本開示による様々な実施形態は、より良好なキャッシュの性能（より高い効率でのより高速なデータ転送）、より広いデータ帯域幅、より少ないバス・インターフェース・ユニット、およびより高速なメモリアンターフェース速度を達成するために、接合チップ上に集積されたプロセッサコア、キャッシュ、およびメインメモリを有する半導体デバイスを提供する。本明細書で開示される半導体デバイスは、プロセッサコアおよびSRAM（例えば、キャッシュとして）を有する第1の半導体構造と、周辺に分布した長距離の金属ルーティングの代わりに、または従来のスルー・シリコン・ビア（TSV）の代わりに、多数の短距離の垂直の金属相互接続を有する第1の半導体構造に接合されたDRAM（例え

50

ば、メインメモリとして)を有する第2の半導体構造とを含むことができる。いくつかの実施形態では、キャッシュモジュールをより小さいキャッシュ領域に分割し、接合接点設計に従ってランダムに分散させることができる。

【0021】

結果として、プロセッサウェハおよびDRAMウェハの製造プロセスからの相互作用の影響が少ないこと、ならびに既知の良好なハイブリッド接合歩留まりのために、より高い歩留まりでより短い製造サイクル時間を達成することができる。ミリメートルまたはセンチメートルレベルからマイクロメートルレベルなど、プロセッサとDRAMとの間のより短い接続距離は、より速いデータ転送速度でプロセッサの性能を改善し、より広い帯域幅でプロセッサ・コア・ロジックの効率を改善し、システムの速度を改善することができる。

10

【0022】

図1Aは、いくつかの実施形態による、例示的な半導体デバイス100の断面の概略図を示す。半導体デバイス100は、接合チップの例を表しているものである。半導体デバイス100の構成要素(例えば、プロセッサ/SRAMおよびDRAM)は、異なる基板上に別々に形成され、次いで接合されて接合チップを形成することができる。半導体デバイス100は、プロセッサおよびSRAMセルのアレイを含む第1の半導体構造102を含むことができる。いくつかの実施形態では、第1の半導体構造102内のプロセッサおよびSRAMセルアレイは、相補型金属酸化膜半導体(CMOS)技術を使用する。プロセッサおよびSRAMセルアレイの両方は、高速を達成するために高度な論理プロセス(例えば、90nm、65nm、45nm、32nm、28nm、20nm、16nm、14nm、10nm、7nm、5nm、3nmなどの技術ノード)で実装することができる。

20

【0023】

プロセッサは、限定はしないが、CPU、GPU、デジタル信号プロセッサ(DSP)、テンソル処理ユニット(TPU)、視覚処理ユニット(VPU)、ニューラル処理ユニット(NPU)、相乗処理ユニット(SPU)、物理処理ユニット(PPU)、および画像信号プロセッサ(ISP)を含む専用プロセッサを含むことができる。プロセッサはまた、アプリケーションプロセッサ、ベースバンドプロセッサなどの複数の専用プロセッサを組み合わせるSoCを含むことができる。半導体デバイス100がモバイルデバイス(例えば、スマートフォン、タブレット、眼鏡、腕時計、仮想現実/拡張現実ヘッドセット、ラップトップコンピュータなど)で使用されるいくつかの実施形態では、アプリケーションプロセッサは、オペレーティングシステム環境で動作するアプリケーションを処理し、ベースバンドプロセッサは、第二世代(2G)、第三世代(3G)、第四世代(4G)、第五世代(5G)、第六世代(6G)セルラー通信などのセルラー通信を処理する。

30

【0024】

プロセッサに加えて他の処理ユニット(「論理回路」としても知られる)、例えば、第2の半導体構造104のDRAMの1つ以上のコントローラおよび/または周辺回路の全体もしくは一部も、第1の半導体構造102に形成され得る。コントローラは、組み込みシステムにおける特定の動作を処理することができる。半導体デバイス100がモバイルデバイスで使用されるいくつかの実施形態では、各コントローラは、例えば、セルラー通信(例えば、Bluetooth通信、Wi-Fi通信、FMラジオなど)、電力管理、ディスプレイ駆動、測位およびナビゲーション、タッチスクリーン、カメラ以外の通信など、モバイルデバイスの特定の動作を処理することができる。したがって、半導体デバイス100の第1の半導体構造102は、いくつか例を挙げると、Bluetoothコントローラ、Wi-Fiコントローラ、FMラジオコントローラ、電力コントローラ、ディスプレイコントローラ、GPSコントローラ、タッチ・スクリーン・コントローラ、カメラコントローラをさらに含むことができ、それらの各々は、モバイルデバイス内の対応する構成要素の動作を制御するように構成される。

40

【0025】

いくつかの実施形態では、半導体デバイス100の第1の半導体構造102は、第2の半導体構造104のDRAMの周辺回路の全体または一部をさらに含む。周辺回路(制御

50

および感知回路としても知られる)は、DRAMの動作を容易にするために使用される任意の適切なデジタル、アナログ、および/または混合信号回路を含むことができる。例えば、周辺回路は、入力/出力バッファ、デコーダ(例えば、行デコーダおよび列デコーダ)、センス増幅器、または回路の任意の能動もしくは受動構成要素(例えば、トランジスタ、ダイオード、抵抗器、またはキャパシタ)のうちの1つまたは複数を含むことができる。

【0026】

SRAMは、論理回路(例えば、プロセッサおよび周辺回路)の同じ基板上に統合され、より広いバスおよびより高い動作速度を可能にし、これは「オンダイSRAM」としても知られている。SRAMのメモリコントローラは、周辺回路の一部として組み込むことができる。いくつかの実施形態では、各SRAMセルは、データのビットを正または負の電荷として記憶するための複数のトランジスタと、それへのアクセスを制御する1つまたは複数のトランジスタとを含む。一例では、各SRAMセルは、6つのトランジスタ(例えば、金属酸化物半導体電界効果トランジスタ(MOSFET))、例えば、データのビットを記憶するための4つのトランジスタと、データへのアクセスを制御するための2つのトランジスタとを有する。SRAMセルは、論理回路(例えば、プロセッサおよび周辺回路)によって占有されていないエリア内に位置することができ、したがって、余分な空間を形成する必要がない。オンダイSRAMは、1つもしくは複数のキャッシュ(例えば、命令キャッシュまたはデータキャッシュ)および/またはデータバッファとして使用される半導体デバイス100の高速の動作を有効にすることができる。

【0027】

半導体デバイス100はまた、DRAMセルのアレイを含む第2の半導体構造104を含むことができる。すなわち、第2の半導体構造104は、DRAMメモリデバイスとすることができる。DRAMは、メモリセルの定期的なリフレッシュを必要とする。DRAMをリフレッシュするためのメモリコントローラは、上述したコントローラおよび周辺回路の他の例として組み込むことができる。いくつかの実施形態では、各DRAMセルは、データのビットを正または負の電荷として記憶するためのキャパシタと、それへのアクセスを制御する1つまたは複数のトランジスタとを含む。一例では、各DRAMセルは1トランジスタ1キャパシタ(1T1C)セルである。

【0028】

図1Aに示すように、半導体デバイス100は、第1の半導体構造102と第2の半導体構造104との間に垂直に接合界面106をさらに含む。以下で詳細に説明するように、第1の半導体構造102と第2の半導体構造104は、第1の半導体構造102と第2の半導体構造104の一方を製造するサーマルバジェットが第1の半導体構造102と第2の半導体構造104の他方を製造するプロセスを限定しないように、別々に(いくつかの実施形態では並列に)製造することができる。さらに、接合界面106を介した、多数の相互接続(例えば、接合接点)が形成されて、プリント回路基板(PCB)などの回路基板上の長距離(例えば、ミリメートルまたはセンチメートルレベル)であるチップツーチップ・データ・バスとは対照的な、第1の半導体構造102と第2の半導体構造104との間の直接的な短距離(例えば、ミクロンレベル)である電気接続を成し、それにより、チップインターフェースの遅延を排除し、消費電力を低減した高速I/Oスループットを達成することができる。第2の半導体構造104内のDRAMと第1の半導体構造102内のプロセッサとの間、ならびに第2の半導体構造104内のDRAMと第1の半導体構造102内のSRAMとの間のデータ転送は、接合界面106を介する相互接続(例えば、接合接点)を介して実行され得る。第1の半導体構造102と第2の半導体構造104を垂直に集積化することで、チップサイズを小さくすることができ、メモリセル密度を高くすることができる。さらに、「統合された」チップとして、複数の個別のチップ(例えば、様々なプロセッサ、コントローラ、およびメモリ)を単一の接合チップ(例えば、半導体デバイス100)に統合することにより、より速いシステム速度およびより小さいPCBのサイズも達成することができる。

10

20

30

40

50

【 0 0 2 9 】

積層された第1の半導体構造102と第2の半導体構造104の相対的な位置は限定されないことが理解される。図1Bは、いくつかの実施形態による、別の例示的な半導体デバイス101の断面の概略図を示す。DRAMセルのアレイを含む第2の半導体構造104がプロセッサおよびSRAMセルのアレイを含む第1の半導体構造102の上方にある図1Aの半導体デバイス100とは異なり、図1Bの半導体デバイス101では、プロセッサおよびSRAMセルのアレイを含む第1の半導体構造102は、DRAMセルのアレイを含む第2の半導体構造104の上方にある。それにもかかわらず、いくつかの実施形態によれば、接合界面106は、半導体デバイス101内の第1の半導体構造102と第2の半導体構造104との間に垂直に形成され、第1の半導体構造102および第2の半導体構造104は、接合（例えば、ハイブリッド接合）によって垂直に接合される。第2の半導体構造104内のDRAMと第1の半導体構造102内のプロセッサとの間のデータ転送、ならびに第2の半導体構造104内のDRAMと第1の半導体構造102内のSRAMとの間のデータ転送は、接合界面106を介する相互接続（例えば、接合接点）を介して実行され得る。

10

【 0 0 3 0 】

図2Aは、いくつかの実施形態による、プロセッサおよびSRAMを有する例示的な半導体構造200の概略的な平面図を示す。半導体構造200は、第1の半導体構造102の一例であってもよい。半導体構造200は、SRAM204と同じ基板上にプロセッサ202を含むことができ、SRAM204と同じ論理プロセスを使用して製造することができる。プロセッサ202は、いくつか例を挙げると、CPU、GPU、DSP、アプリケーションプロセッサ、ベースバンドプロセッサのうちの1つまたは複数を含むことができる。SRAM204は、プロセッサ202の外部に配置することができる。例えば、図2AはSRAM204の例示的なレイアウトを示し、SRAMセルのアレイがプロセッサ202の外部にある半導体構造200内の複数の別個の領域に分散されている。すなわち、SRAM204によって形成されたキャッシュモジュールは、より小さなキャッシュ領域に分割され、半導体構造200内のプロセッサ202の外部に分散することができる。一例では、キャッシュ領域の分散は、接合接点の設計、例えば接合接点なしでエリアを占有することに基づき得る。別の例では、キャッシュ領域の分布はランダムであってもよい。これにより、追加のチップエリアを占有することなく、より多くの内部キャッシュ（例えば、オンダイSRAMを使用する）をプロセッサ202の周囲に配置することができる。

20

30

【 0 0 3 1 】

図2Bは、いくつかの実施形態による、DRAMおよび周辺回路を有する例示的な半導体構造201の概略的な平面図を示す。半導体構造201は、第2の半導体構造104の一例であってもよい。半導体構造201は、DRAM206の周辺回路と同じ基板上にDRAM206を含むことができる。半導体構造201は、例えば、行デコーダ208、列デコーダ210、および任意の他の適切なデバイスを含む、DRAM206を制御および感知するためのすべての周辺回路を含むことができる。図2Bは、周辺回路（例えば、行デコーダ208、列デコーダ210）およびDRAM206の例示的なレイアウトを示し、周辺回路（例えば、行デコーダ208、列デコーダ210）およびDRAM206は、同じ平面上の異なる領域に形成される。例えば、DRAM206の外部に周辺回路（例えば、行デコーダ208、列デコーダ210）が形成されていてもよい。

40

【 0 0 3 2 】

半導体構造200および201のレイアウトは、図2Aおよび図2Bの例示的なレイアウトに限定されないことが理解される。いくつかの実施形態では、DRAM206の周辺回路の一部（例えば、行デコーダ208、列デコーダ210、および任意の他の適切なデバイスのうちの1つまたは複数）は、プロセッサ202およびSRAM204を有する半導体構造200内であってもよい。すなわち、いくつかの他の実施形態によれば、DRAM206の周辺回路は、半導体構造200および201の両方に分散されてもよい。いくつかの実施形態では、周辺回路（例えば、行デコーダ208、列デコーダ210）および

50

DRAM 206 (例えば、DRAMセルのレイ)の少なくともいくつかは、互いに積層される、すなわち異なる平面で積層される。例えば、周辺回路の上下にDRAM 206 (例えば、DRAMセルのレイ)を形成し、チップサイズをより小さくしてもよい。同様に、いくつかの実施形態では、SRAM 204の少なくとも一部(例えば、SRAMセルのレイ)およびプロセッサ202は、互いに積み重ねられる、すなわち異なる平面に積み重ねられる。例えば、SRAM 204 (例えば、SRAMセルのレイ)は、チップサイズをさらに縮小するためにプロセッサ202の上方または下方に形成されてもよい。

【0033】

図3Aは、いくつかの実施形態による、プロセッサ、SRAM、および周辺回路を有する例示的な半導体構造300の概略的な平面図を示す。半導体構造300は、第1の半導体構造102の一例であってもよい。半導体構造300は、SRAM 204および周辺回路(例えば、行デコーダ208、列デコーダ210)と同じ基板上にプロセッサ202を含むことができ、SRAM 204および周辺回路と同じ論理プロセスを使用して製造される。プロセッサ202は、いくつか例を挙げると、CPU、GPU、DSP、アプリケーションプロセッサ、ベースバンドプロセッサのうちの1つまたは複数を含むことができる。SRAM 204および周辺回路(例えば、行デコーダ208、列デコーダ210)の両方をプロセッサ202の外部に配置することができる。例えば、図3AはSRAM 204の例示的なレイアウトを示し、SRAMセルのレイがプロセッサ202の外部にある半導体構造300内の複数の別個の領域に分散されている。半導体構造300は、例えば、行デコーダ208、列デコーダ210、および任意の他の適切なデバイスを含む、DRAM 206を制御および感知するためのすべての周辺回路を含むことができる。図3Aは、周辺回路(例えば、行デコーダ208、列デコーダ210)およびSRAM 204がプロセッサ202の外側の同じ平面上の異なる領域に形成される周辺回路(例えば、行デコーダ208、列デコーダ210)の例示的なレイアウトを示す。いくつかの実施形態では、周辺回路(例えば、行デコーダ208、列デコーダ210)、SRAM 204 (例えば、SRAMセルのレイ)、およびプロセッサ202の少なくともいくつかは、互いに積み重ねられる、すなわち異なる平面に積み重ねられることが理解される。例えば、SRAM 204 (例えば、SRAMセルのレイ)を周辺回路の上下に形成し、チップサイズをより小さくしてもよい。

【0034】

図3Bは、いくつかの実施形態による、DRAMを有する例示的な半導体構造301の概略的な平面図を示す。半導体構造301は、第2の半導体構造104の一例であってもよい。すべての周辺回路(例えば、行デコーダ208、列デコーダ210)を半導体構造301から(例えば、半導体構造300に)遠ざけることによって、半導体構造301内のDRAM 206のサイズ(例えば、DRAMセルの数)を大きくすることができる。

【0035】

図4Aは、いくつかの実施形態による、例示的な半導体デバイス400の断面を示す。図1Aに関して上述した半導体デバイス100の一例として、半導体デバイス400は、第1の半導体構造402と、第1の半導体構造402の上に積層された第2の半導体構造404とを含む接合チップである。いくつかの実施形態によれば、第1の半導体構造402と第2の半導体構造404は、間の接合界面406で接合される。図4Aに示すように、第1の半導体構造402は、シリコン(例えば、単結晶シリコン、c-Si)、シリコンゲルマニウム(SiGe)、ヒ化ガリウム(GaAs)、ゲルマニウム(Ge)、シリコン・オン・インシュレータ(SOI)、または任意の他の適切な材料を含むことができる基板408を含むことができる。

【0036】

半導体デバイス400の第1の半導体構造402は、基板408の上方にデバイス層410を含むことができる。半導体デバイス400内の構成要素の空間的關係をさらに示すために、図4Aではx軸およびy軸が追加されていることに留意されたい。基板408は、x方向(横方向または幅の方向)に横方向に延びる2つの横方向面(例えば、上面および

10

20

30

40

50

び底面)を有する。本明細書で使用される場合、1つの構成要素(例えば、層またはデバイス)が半導体デバイス(例えば、半導体デバイス400)の別の構成要素(例えば、層またはデバイス)の「上」、「上方」、または「下方」であるかどうかは、基板がy方向において半導体デバイスの最も低い平面に位置するとき、y方向(垂直方向または厚さの方向)において半導体デバイスの基板(例えば、基板408)に対して判定される。空間的な関係を説明するため同一概念が本開示全体にわたって適用される。

【0037】

いくつかの実施形態では、デバイス層410は、基板408上のプロセッサ412と、基板408上およびプロセッサ412の外側のSRAMセルのアレイ414とを含む。いくつかの実施形態では、デバイス層410は、基板408上およびプロセッサ412の外側に周辺回路416をさらに含む。例えば、周辺回路416は、以下で詳細に説明するように、半導体デバイス400のDRAMを制御および感知するための周辺回路の一部または全部であってもよい。いくつかの実施形態では、プロセッサ412は、詳細に上述したように、任意の適切な専用プロセッサおよび/またはSoCを形成する複数のトランジスタ418を含む。いくつかの実施形態では、トランジスタ418はまた、例えば、半導体デバイス400のキャッシュおよび/またはデータバッファとして使用されるSRAMセルのアレイ414を形成する。例えば、SRAMセルのアレイ414は、プロセッサ412の内部命令キャッシュおよび/またはデータキャッシュとして機能することができる。SRAMセルのアレイ414は、第1の半導体構造402内の複数の別個の領域に分散することができる。いくつかの実施形態では、トランジスタ418は、周辺回路416、すなわち、入力/出力バッファ、デコーダ(例えば、行デコーダおよび列デコーダ)、およびセンス増幅器を含むがこれらに限定されない、DRAMの動作を容易にするために使用される任意の適切なデジタル、アナログ、ならびに/または混合信号制御および感知回路をさらに形成する。

【0038】

トランジスタ418は、基板408「上」に形成することができ、トランジスタ418の全体または一部は、基板408内に(例えば、基板408の上面の下方)および/または基板408上に直接形成される。分離領域(例えば、シャロー・トレンチ・アイソレーション(STI))およびドープ領域(例えば、トランジスタ418のソース領域およびドレイン領域)も基板408内に形成することができる。いくつかの実施形態によれば、トランジスタ418は、高度な論理プロセス(例えば、90nm、65nm、45nm、32nm、28nm、20nm、16nm、14nm、10nm、7nm、5nm、3nmなどの技術ノード)で高速である。

【0039】

いくつかの実施形態では、半導体デバイス400の第1の半導体構造402は、プロセッサ412およびSRAMセルのアレイ414(および存在する場合は周辺回路416)との間で電気信号を転送するために、デバイス層410の上方に相互接続層420をさらに含む。相互接続層420は、横方向相互接続線および垂直相互接続アクセス(ビア)接点を含む複数の相互接続(本明細書では「接点」とも呼ばれる)を含むことができる。本明細書で使用される場合、「相互接続」という用語は、ミドルエンドオブライン(MEOL)の相互接続およびバックエンドオブライン(BEOL)の相互接続などの任意の適切なタイプの相互接続を広く含むことができる。相互接続層420は、相互接続線およびビア接点が形成され得る1つまたは複数の層間誘電体(ILD)層(「金属間誘電体(IMD)層」としても知られる)をさらに含むことができる。すなわち、相互接続層420は、複数のILD層内に相互接続線およびビア接点を含むことができる。相互接続層420内の相互接続線およびビア接点は、タングステン(W)、コバルト(Co)、銅(Cu)、アルミニウム(Al)、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料を含むことができる。相互接続層420内のILD層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低誘電率(low-k)誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。いく

10

20

30

40

50

つかの実施形態では、デバイス層 410 内のデバイスは、相互接続層 420 内の相互接続を介して互いに電氣的に接続される。例えば、SRAMセルのアレイ 414 は、相互接続層 420 を介してプロセッサ 412 に電氣的に接続されてもよい。

【0040】

図 4A に示すように、半導体デバイス 400 の第 1 の半導体構造 402 は、接合界面 406 において、かつ相互接続層 420 およびデバイス層 410 (プロセッサ 412 および SRAMセルのアレイ 414 を含む) の上方に接合層 422 をさらに含むことができる。接合層 422 は、複数の接合接点 424 と、接合接点 424 を電氣的に絶縁する誘電体とを含むことができる。接合接点 424 は、W、Co、Cu、Al、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料を含むことができる。接合層 422 の残りのエリアは、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、低 k 誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体で形成することができる。接合接点 424 および接合層 422 内の周囲の誘電体は、ハイブリッド接合に使用することができる。

10

【0041】

同様に、図 4A に示すように、半導体デバイス 400 の第 2 の半導体構造 404 はまた、接合界面 406 および第 1 の半導体構造 402 の接合層 422 の上方に、接合層 426 を含むことができる。接合層 426 は、複数の接合接点 428 と、接合接点 428 を電氣的に絶縁する誘電体とを含むことができる。接合接点 428 は、W、Co、Cu、Al、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料を含むことができる。接合層 426 の残りのエリアは、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、低 k 誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体で形成することができる。接合接点 428 および接合層 426 内の周囲の誘電体は、ハイブリッド接合に使用することができる。いくつかの実施形態によれば、接合接点 428 は、接合界面 406 で接合接点 424 と接触している。

20

【0042】

上述したように、第 2 の半導体構造 404 は、接合界面 406 において第 1 の半導体構造 402 の上部に対面させて接合することができる。いくつかの実施形態では、接合界面 406 は、直接接合技術 (例えば、はんだまたは接着剤などの中間層を使用せずに表面間の接合を形成する) であり、金属 - 金属接合および誘電体 - 誘電体接合を同時に得ることができるハイブリッド接合 (「金属 / 誘電体ハイブリッド接合」としても知られる) の結果として、接合層 422 と 426 との間に配置される。いくつかの実施形態では、接合界面 406 は、接合層 422 および 426 が出会い接合される場所である。実際には、接合界面 406 は、第 1 の半導体構造 402 の接合層 422 の上面および第 2 の半導体構造 404 の接合層 426 の底面を含む特定の厚さを有する層とすることができる。

30

【0043】

いくつかの実施形態では、半導体デバイス 400 の第 2 の半導体構造 404 は、電気信号を転送するために接合層 426 の上方に相互接続層 430 をさらに含む。相互接続層 430 は、MEOL 相互接続および BEOL 相互接続などの複数の相互接続を含むことができる。いくつかの実施形態では、相互接続層 430 内の相互接続はまた、ビット線接点およびワード線接点などのローカルな相互接続を含む。相互接続層 430 は、相互接続ラインおよびビア接点 が形成され得る 1 つまたは複数の ILD 層をさらに含むことができる。相互接続層 430 内の相互接続線およびビア接点は、W、Co、Cu、Al、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料を含むことができる。相互接続層 430 内の ILD 層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低 k 誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。

40

【0044】

半導体デバイス 400 の第 2 の半導体構造 404 は、相互接続層 430 および接合層 426 の上方にデバイス層 432 をさらに含むことができる。いくつかの実施形態では、デ

50

デバイス層 432 は、相互接続層 430 および接合層 426 の上方に DRAMセルのアレイ 450 を含む。いくつかの実施形態では、各 DRAMセル 450 は、DRAM 選択トランジスタ 436 およびキャパシタ 438 を含む。DRAMセル 450 は、1つのトランジスタおよび1つのキャパシタからなる 1T1Cセルとすることができる。DRAMセル 450 は、2T1Cセル、3T1Cセルなどの任意の適切な構成であってもよいことが理解される。いくつかの実施形態では、DRAM 選択トランジスタ 436 は、半導体層 434 「上」に形成され、DRAM 選択トランジスタ 436 の全体または一部は、半導体層 434 内に（例えば、半導体層 434 の上面の下方）および/または半導体層 434 上に直接形成される。分離領域（例えば、STI）およびドープ領域（例えば、DRAM 選択トランジスタ 436 のソース領域およびドレイン領域）も半導体層 434 内に形成することができる。いくつかの実施形態では、キャパシタ 438 は DRAM 選択トランジスタ 436 の下方に配置される。いくつかの実施形態によれば、各キャパシタ 438 は、その一方がそれぞれの DRAM 選択トランジスタ 436 の一方のノードに電氣的に接続されている2つの電極を含む。いくつかの実施形態によれば、各 DRAM 選択トランジスタ 436 の別のノードは、DRAM のビット線 440 に電氣的に接続される。各キャパシタ 438 の別の電極は、共通プレート 442、例えば共通グランドに電氣的に接続することができる。DRAMセル 450 の構造および構成は、図 4A の例に限定されず、任意の適切な構造および構成を含み得ることが理解される。例えば、キャパシタ 438 は、プレーナキャパシタ、スタックキャパシタ、マルチフィンキャパシタ、シリンダキャパシタ、トレンチキャパシタ、または基板キャパシタであってもよい。

10

20

【0045】

いくつかの実施形態では、第2の半導体構造 404 は、デバイス層 432 の上方に配置された半導体層 434 をさらに含む。半導体層 434 は、DRAMセルのアレイ 450 の上方で、それと接触することができる。半導体層 434 は、DRAM 選択トランジスタ 436 がその上に形成される薄くされた基板とすることができる。いくつかの実施形態では、半導体層 434 は単結晶シリコンを含む。いくつかの実施形態では、半導体層 434 は、ポリシリコン、アモルファスシリコン、SiGe、GaAs、Ge、または任意の他の適切な材料を含むことができる。半導体層 434 はまた、分離領域およびドープ領域を（例えば、DRAM 選択トランジスタ 436 のソースおよびドレインとして）含むことができる。

30

【0046】

図 4A に示すように、半導体デバイス 400 の第2の半導体構造 404 は、半導体層 434 の上方にパッドアウト相互接続層 444 をさらに含むことができる。パッドアウト相互接続層 444 は、1つまたは複数のILD層に相互接続、例えばコンタクトパッド 446 を含むことができる。パッドアウト相互接続層 444 および相互接続層 430 は、半導体層 434 の両側に形成することができる。いくつかの実施形態では、パッドアウト相互接続層 444 内の相互接続は、例えばパッドアウト目的のために、半導体デバイス 400 と外部回路との間で電気信号を転送することができる。

【0047】

いくつかの実施形態では、第2の半導体構造 404 は、パッドアウト相互接続層 444 と相互接続層 430 および 420 とを電氣的に接続するために、半導体層 434 を貫通して延在する1つまたは複数の接点 448 をさらに含む。結果として、プロセッサ 412 および SRAMセルのアレイ 414（およびもしあれば周辺回路 416）は、相互接続層 430 および 420 ならびに接合接点 428 および 424 を介して DRAMセルのアレイ 450 に電氣的に接続することができる。さらに、プロセッサ 412、SRAMセルのアレイ 414、および DRAMセルのアレイ 450 は、接点 448 およびパッドアウト相互接続層 444 を介して外部回路に電氣的に接続することができる。

40

【0048】

図 4B は、いくつかの実施形態による、別の例示的な半導体デバイス 401 の断面図を示す。図 1B に関して上述した半導体デバイス 101 の一例として、半導体デバイス 40

50

1は、第2の半導体構造403と、第2の半導体構造403の上方に積層された第1の半導体構造405とを含む接合チップである。図4Aで上述した半導体デバイス400と同様に、半導体デバイス401は、プロセッサおよびSRAMを含む第1の半導体構造405とDRAMを含む第2の半導体構造403とが別々に形成され、接合界面407でface-to-face方式で接合される接合チップの例を表す。プロセッサおよびSRAMを含む第1の半導体構造402が、DRAMを含む第2の半導体構造404の下にある、図4Aで上述した半導体デバイス400とは異なり、図4Bの半導体デバイス401は、DRAMを含む第2の半導体構造403の上方に配置された、プロセッサ及びSRAMを含む第1の半導体構造405を含む。半導体デバイス400および401の両方における同様の構造（例えば、材料、製造プロセス、機能など）の詳細は、以下で繰り返され得

10

【0049】

半導体デバイス401の第2の半導体構造403は、基板409と、基板409の上方のデバイス層411とを含むことができる。デバイス層411は、基板409上にDRAMセルのレイ449を含むことができる。いくつかの実施形態では、各DRAMセル449は、DRAM選択トランジスタ413およびキャパシタ415を含む。DRAMセル449は、1つのトランジスタおよび1つのキャパシタからなる1T1Cセルとすることができる。DRAMセル449は、2T1Cセル、3T1Cセルなどの任意の適切な構成であってもよいことが理解される。いくつかの実施形態では、DRAM選択トランジスタ413は基板409「上」に形成され、DRAM選択トランジスタ413の全体または一部は、基板409内および/または基板409上に直接形成される。いくつかの実施形態では、キャパシタ415は、DRAM選択トランジスタ413の上方に配置される。いくつかの実施形態によれば、各キャパシタ415は、その一方がそれぞれのDRAM選択トランジスタ413の一方のノードに電気的に接続されている2つの電極を含む。いくつかの実施形態によれば、各DRAM選択トランジスタ413の別のノードは、DRAMのビット線417に電気的に接続される。各キャパシタ415の別の電極は、共通プレート419、例えば共通グランドに電気的に接続することができる。DRAMセル449の構造および構成は、図4Bの例に限定されず、任意の適切な構造および構成を含み得ることが理解される。

20

【0050】

いくつかの実施形態では、半導体デバイス401の第2の半導体構造403はまた、DRAMセルのレイ449との間で電気信号を転送するために、デバイス層411の上方に相互接続層421を含む。相互接続層421は、相互接続線およびビア接点を含む複数の相互接続を含むことができる。いくつかの実施形態では、相互接続層421内の相互接続はまた、ビット線接点およびワード線接点などのローカルな相互接続を含む。いくつかの実施形態では、半導体デバイス401の第2の半導体構造403は、接合界面407、ならびに相互接続層421およびデバイス層411の上方に、接合層423をさらに含む。接合層423は、複数の接合接点425と、接合接点425を取り囲み、電気的に絶縁する誘電体とを含むことができる。

30

【0051】

図4Bに示すように、半導体デバイス401の第1の半導体構造405は、接合界面407に、また接合層423の上方に、別の接合層451を含む。接合層451は、複数の接合接点427と、接合接点427を取り囲み、電気的に絶縁する誘電体とを含むことができる。いくつかの実施形態によれば、接合接点427は、接合界面407で接合接点425と接触している。いくつかの実施形態では、半導体デバイス401の第1の半導体構造405は、電気信号を転送するために接合層451の上方に相互接続層429をも含む。相互接続層429は、相互接続線およびビア接点を含む複数の相互接続を含むことができる。

40

【0052】

半導体デバイス401の第1の半導体構造405は、相互接続層429および接合層4

50

51の上方にデバイス層431をさらに含むことができる。いくつかの実施形態では、デバイス層431は、相互接続層429および接合層451の上方のプロセッサ435と、相互接続層429および接合層451の上方で、プロセッサ435の外側のSRAMセルのアレイ437とを含む。いくつかの実施形態では、デバイス層431は、相互接続層429および接合層451の上方で、プロセッサ435の外側に周辺回路439をさらに含む。例えば、周辺回路439は、DRAMセルのアレイ449を制御および感知するための周辺回路の一部または全体であってもよい。いくつかの実施形態では、デバイス層431内のデバイスは、相互接続層429内の相互接続を介して互いに電氣的に接続される。例えば、SRAMセルのアレイ437は、相互接続層429を介してプロセッサ435に電氣的に接続されてもよい。

10

【0053】

いくつかの実施形態では、プロセッサ435は、任意の適切な専用プロセッサおよび/またはSoCを形成する複数のトランジスタ441を含む。トランジスタ441は、半導体層433の「上に」形成することができ、トランジスタ441の全体または一部は、半導体層433内におよび/または半導体層433上に直接形成される。分離領域（例えば、STI）およびドープ領域（例えば、トランジスタ441のソース領域およびドレイン領域）も半導体層433内に形成することができる。トランジスタ441は、SRAMセルのアレイ437（および、もしあれば周辺回路439）を形成することができる。いくつかの実施形態によれば、トランジスタ441は、高度な論理プロセス（例えば、90nm、65nm、45nm、32nm、28nm、20nm、16nm、14nm、10nm、7nm、5nm、3nmなどの技術ノード）で高速である。

20

【0054】

いくつかの実施形態では、第1の半導体構造405は、デバイス層431の上方に配置された半導体層433をさらに含む。半導体層433は、プロセッサ435およびSRAMセルのアレイ437の上方でそれと接触することができる。半導体層433は、トランジスタ441がその上に形成される薄くされた基板とすることができる。いくつかの実施形態では、半導体層433は単結晶シリコンを含む。いくつかの実施形態では、半導体層433は、ポリシリコン、アモルファスシリコン、SiGe、GaAs、Ge、または任意の他の適切な材料を含むことができる。半導体層433はまた、分離領域およびドープ領域を含むことができる。

30

【0055】

図4Bに示すように、半導体デバイス401の第1の半導体構造405は、半導体層433の上方にパッドアウト相互接続層443をさらに含むことができる。パッドアウト相互接続層443は、1つまたは複数のILD層に相互接続、例えばコンタクトパッド445を含むことができる。いくつかの実施形態では、パッドアウト相互接続層443内の相互接続は、例えばパッドアウト目的のために、半導体デバイス401と外部回路との間で電気信号を転送することができる。いくつかの実施形態では、第1の半導体構造405は、パッドアウト相互接続層443と相互接続層429および421とを電氣的に接続するために半導体層433を貫通して延在する1つまたは複数の接点447をさらに含む。結果として、プロセッサ435およびSRAMセルのアレイ437（およびもしあれば周辺回路439）はまた、相互接続層429および421、ならびに接合接点427および425を介してDRAMセルのアレイ449に電氣的に接続することができる。さらに、プロセッサ435、SRAMセルのアレイ437、およびDRAMセルのアレイ449は、接点447およびパッドアウト相互接続層443を介して外部回路に電氣的に接続することができる。

40

【0056】

図5Aは、いくつかの実施形態による、さらに別の例示的な半導体デバイス500の断面図を示す。図4Aで上述した半導体デバイス400と同様に、半導体デバイス500は、プロセッサ512およびSRAMセルのアレイ514を有する第1の半導体構造502と、第1の半導体構造502の上方にDRAMセルのアレイ536を有する第2の半導体

50

構造 5 0 4 とを含む接合チップの例を表している。周辺回路 4 1 6 が第 1 の半導体構造 4 0 2 内にあるが第 2 の半導体構造 4 0 4 内にはない、図 4 A で上述した半導体デバイス 4 0 0 とは異なり、周辺回路 5 3 8 は、D R A M セルのアレイ 5 3 6 が形成される第 2 の半導体構造 5 0 4 内に形成される。図 4 A で上述した半導体デバイス 4 0 0 と同様に、半導体デバイス 5 0 0 の第 1 の半導体構造 5 0 2 および第 2 の半導体構造 5 0 4 は、図 5 A に示すように、接合界面 5 0 6 で f a c e - t o - f a c e 方式で接合される。半導体デバイス 4 0 0 および 5 0 0 の両方における同様の構造（例えば、材料、製造プロセス、機能など）の詳細は、以下では繰り返され得ないことが理解される。

【 0 0 5 7 】

半導体デバイス 5 0 0 の第 1 の半導体構造 5 0 2 は、基板 5 0 8 の上方にデバイス層 5 1 0 を含むことができる。いくつかの実施形態では、デバイス層 5 1 0 は、基板 5 0 8 上のプロセッサ 5 1 2 と、基板 5 0 8 上およびプロセッサ 5 1 2 の外側の S R A M セルのアレイ 5 1 4 とを含む。いくつかの実施形態では、プロセッサ 5 1 2 は、詳細に上述したように、任意の適切な専用プロセッサおよび / または S o C を形成する複数のトランジスタ 5 1 8 を含む。いくつかの実施形態では、トランジスタ 5 1 8 はまた、例えば、半導体デバイス 5 0 0 のキャッシュおよび / またはデータバッファとして使用される S R A M セルのアレイ 5 1 4 を形成する。

【 0 0 5 8 】

いくつかの実施形態では、半導体デバイス 5 0 0 の第 1 の半導体構造 5 0 2 はまた、プロセッサ 5 1 2 と S R A M セルのアレイ 5 1 4 との間で電気信号を転送するために、デバイス層 5 1 0 の上方に相互接続層 5 2 0 を含む。相互接続層 5 2 0 は、相互接続線およびビア接点を含む複数の相互接続を含むことができる。いくつかの実施形態では、半導体デバイス 5 0 0 の第 1 の半導体構造 5 0 2 は、接合界面 5 0 6 において、かつ相互接続層 5 2 0 およびデバイス層 5 1 0（プロセッサ 5 1 2 および S R A M セルのアレイ 5 1 4 を含む）の上方に接合層 5 2 2 をさらに含む。接合層 5 2 2 は、複数の接合接点 5 2 4 と、接合接点 5 2 4 を取り囲み、電氣的に絶縁する誘電体とを含むことができる。

【 0 0 5 9 】

同様に、図 5 A に示すように、半導体デバイス 5 0 0 の第 2 の半導体構造 5 0 4 はまた、接合界面 5 0 6 および第 1 の半導体構造 5 0 2 の接合層 5 2 2 の上方に、接合層 5 2 6 を含むことができる。接合層 5 2 6 は、複数の接合接点 5 2 8 と、接合接点 5 2 8 を電氣的に絶縁する誘電体とを含むことができる。いくつかの実施形態によれば、接合接点 5 2 8 は、接合界面 5 0 6 で接合接点 5 2 4 と接触している。いくつかの実施形態では、半導体デバイス 5 0 0 の第 2 の半導体構造 5 0 4 は、電気信号を転送するために接合層 5 2 6 の上方に相互接続層 5 3 0 をも含む。相互接続層 5 3 0 は、相互接続線およびビア接点を含む複数の相互接続を含むことができる。

【 0 0 6 0 】

半導体デバイス 5 0 0 の第 2 の半導体構造 5 0 4 は、相互接続層 5 3 0 および接合層 5 2 6 の上方にデバイス層 5 3 2 をさらに含むことができる。いくつかの実施形態では、デバイス層 5 3 2 は、相互接続層 5 3 0 および接合層 5 2 6 の上方に D R A M セルのアレイ 5 3 6 を含む。いくつかの実施形態では、各 D R A M セル 5 3 6 は、D R A M 選択トランジスタ 5 4 0 およびキャパシタ 5 4 2 を含む。D R A M セル 5 3 6 は、1 つのトランジスタおよび 1 つのキャパシタからなる 1 T 1 C セルとすることができる。D R A M セル 5 3 6 は、2 T 1 C セル、3 T 1 C セルなどの任意の適切な構成であってもよいことが理解される。いくつかの実施形態では、D R A M 選択トランジスタ 5 4 0 は、半導体層 5 3 4 「上」に形成され、D R A M 選択トランジスタ 5 4 0 の全体または一部は、半導体層 5 3 4 内に（例えば、半導体層 5 3 4 の上面の下方）および / または半導体層 5 3 4 上に直接形成される。分離領域（例えば、S T I）およびドープ領域（例えば、D R A M 選択トランジスタ 5 4 0 のソース領域およびドレイン領域）も半導体層 5 3 4 内に形成することができる。いくつかの実施形態では、キャパシタ 5 4 2 は D R A M 選択トランジスタ 5 4 0 の下方に配置される。いくつかの実施形態によれば、各キャパシタ 5 4 2 は、その一方がそ

10

20

30

40

50

それぞれのDRAM選択トランジスタ540の一方のノードに電氣的に接続されている2つの電極を含む。いくつかの実施形態によれば、各DRAM選択トランジスタ540の別のノードは、DRAMのビット線544に電氣的に接続される。各キャパシタ542の別の電極は、共通プレート546、例えば共通グランドに電氣的に接続することができる。DRAMセル536の構造および構成は、図5Aの例に限定されず、任意の適切な構造および構成を含み得ることが理解される。

【0061】

いくつかの実施形態では、デバイス層532は、相互接続層530および接合層526の上方で、DRAMセルのアレイ536の外側にある周辺回路538をさらに含む。例えば、周辺回路538は、DRAMセルのアレイ536を制御および感知するための周辺回路の一部または全体であってもよい。いくつかの実施形態では、周辺回路538は、入力/出力バッファ、デコーダ(例えば、行デコーダおよび列デコーダ)、およびセンス増幅器を含むがこれらに限定されないDRAMセルのアレイ536の動作を容易にするために使用される、任意の適切なデジタル、アナログ、ならびに/または混合信号制御および感知回路を形成する、複数のトランジスタ548を含む。周辺回路538およびDRAMセルのアレイ536は、相互接続層530の相互接続を介して電氣的に接続することができる。

10

【0062】

いくつかの実施形態では、第2の半導体構造504は、デバイス層532の上方に配置された半導体層534をさらに含む。半導体層534は、DRAMセルのアレイ536の上方で、それと接触することができる。半導体層534は、トランジスタ548およびDRAM選択トランジスタ540がその上に形成される薄くされた基板とすることができる。いくつかの実施形態では、半導体層534は単結晶シリコンを含む。いくつかの実施形態では、半導体層534は、ポリシリコン、アモルファスシリコン、SiGe、GaAs、Ge、または任意の他の適切な材料を含むことができる。半導体層534はまた、分離領域およびドープ領域を含むことができる。

20

【0063】

図5Aに示すように、半導体デバイス500の第2の半導体構造504は、半導体層534の上にパッドアウト相互接続層550をさらに含むことができる。パッドアウト相互接続層550は、1つまたは複数のILD層に相互接続、例えばコンタクトパッド552を含む。いくつかの実施形態では、パッドアウト相互接続層550内の相互接続は、例えばパッドアウト目的のために、半導体デバイス500と外部回路との間で電気信号を転送することができる。いくつかの実施形態では、第2の半導体構造504は、パッドアウト相互接続層550と相互接続層530および520とを電氣的に接続するために半導体層534を貫通して延在する1つまたは複数の接点554をさらに含む。結果として、プロセッサ512およびSRAMセルのアレイ514は、相互接続層530および520ならびに接合接点528および524を介してDRAMセルのアレイ536に電氣的に接続することができる。さらに、プロセッサ512、SRAMセルのアレイ514、およびDRAMセルのアレイ536は、接点554およびパッドアウト相互接続層550を介して外部回路に電氣的に接続することができる。

30

40

【0064】

図5Bは、いくつかの実施形態による、さらに別の例示的な半導体デバイス501の断面図を示す。図1Bに関して上述した半導体デバイス101の一例として、半導体デバイス501は、第2の半導体構造503と、第2の半導体構造503の上に積層された第1の半導体構造505とを含む接合チップである。図5Aで上述した半導体デバイス500と同様に、半導体デバイス501は、プロセッサおよびSRAMを含む第1の半導体構造505と、周辺回路およびDRAMを含む第2の半導体構造503とが別々に形成され、接合界面507でface-to-face方式で接合される接合チップの例を表す。プロセッサおよびSRAMを含む第1の半導体構造502が、周辺回路およびDRAMを含む第2の半導体構造504の下にある、図5Aで上述した半導体デバイス500とは異なる

50

り、図5Bの半導体デバイス501は、周辺回路およびDRAMを含む第2の半導体構造503の上方に配置された、プロセッサ及びSRAMを含む第1の半導体構造505を含む。半導体デバイス500および501の両方における同様の構造（例えば、材料、製造プロセス、機能など）の詳細は、以下では繰り返され得ないことが理解される。

【0065】

半導体デバイス501の第2の半導体構造503は、基板509と、基板509の上方のデバイス層511とを含むことができる。デバイス層511は、基板509上にDRAMセルのレイ513を含むことができる。いくつかの実施形態では、各DRAMセル513は、DRAM選択トランジスタ517およびキャパシタ519を含む。DRAMセル513は、1つのトランジスタおよび1つのキャパシタからなる1T1Cセルとすることができる。DRAMセル513は、2T1Cセル、3T1Cセルなどの任意の適切な構成であってもよいことが理解される。いくつかの実施形態では、DRAM選択トランジスタ517は基板509「上」に形成され、DRAM選択トランジスタ517の全体または一部は基板509内および/または基板509上に直接形成される。いくつかの実施形態では、キャパシタ519は、DRAM選択トランジスタ517の上方に配置される。いくつかの実施形態によれば、各キャパシタ519は、その一方がそれぞれのDRAM選択トランジスタ517の一方のノードに電気的に接続されている2つの電極を含む。いくつかの実施形態によれば、各DRAM選択トランジスタ517の別のノードは、DRAMのビット線521に電気的に接続される。各キャパシタ519の別の電極は、共通プレート523、例えば共通グランドに電気的に接続することができる。DRAMセル513の構造および構成は、図5Bの例に限定されず、任意の適切な構造および構成を含み得ることが理解される。

10

20

【0066】

いくつかの実施形態では、デバイス層511は、基板509上およびDRAMセルのレイ513の外側に周辺回路515をさらに含む。例えば、周辺回路515は、DRAMセルのレイ513を制御および感知するための周辺回路の一部または全体であってもよい。いくつかの実施形態では、周辺回路515は、入力/出力バッファ、デコーダ（例えば、行デコーダおよび列デコーダ）、およびセンス増幅器を含むがこれらに限定されないDRAMセルのレイ513の動作を容易にするために使用される、任意の適切なデジタル、アナログ、ならびに/または混合信号制御および感知回路を形成する、複数のトランジスタ525を含む。

30

【0067】

いくつかの実施形態では、半導体デバイス501の第2の半導体構造503はまた、DRAMセルのレイ513との間で電気信号を転送するために、デバイス層511の上方に相互接続層527を含む。相互接続層527は、相互接続線およびビア接点を含む複数の相互接続を含むことができる。いくつかの実施形態では、相互接続層527内の相互接続はまた、ビット線接点およびワード線接点などのローカルな相互接続を含む。周辺回路515およびDRAMセルのレイ513は、相互接続層527の相互接続を介して電気的に接続することができる。いくつかの実施形態では、半導体デバイス501の第2の半導体構造503は、接合界面507、ならびに相互接続層527およびデバイス層511の上方に、接合層529をさらに含む。接合層529は、複数の接合接点531と、接合接点531を取り囲み、電気的に絶縁する誘電体とを含むことができる。

40

【0068】

図5Bに示すように、半導体デバイス501の第1の半導体構造505は、接合界面507に、また接合層529の上方に、別の接合層533を含む。接合層533は、複数の接合接点535と、接合接点535を取り囲み、電気的に絶縁する誘電体とを含むことができる。いくつかの実施形態によれば、接合接点535は、接合界面507で接合接点531と接触している。いくつかの実施形態では、半導体デバイス501の第1の半導体構造505は、電気信号を転送するために接合層533の上方に相互接続層537をも含む。相互接続層537は、相互接続線およびビア接点を含む複数の相互接続を含むことがで

50

きる。

【 0 0 6 9 】

半導体デバイス 5 0 1 の第 1 の半導体構造 5 0 5 は、相互接続層 5 3 7 および接合層 5 3 3 の上方にデバイス層 5 3 9 をさらに含むことができる。いくつかの実施形態では、デバイス層 5 3 9 は、相互接続層 5 3 7 および接合層 5 3 3 の上方のプロセッサ 5 4 3 と、相互接続層 5 3 7 および接合層 5 3 3 の上方かつプロセッサ 5 4 3 の外側の S R A M セルのアレイ 5 4 5 とを含む。いくつかの実施形態では、デバイス層 5 3 9 内のデバイスは、相互接続層 5 3 7 内の相互接続を介して互いに電氣的に接続される。例えば、S R A M セルのアレイ 5 4 5 は、相互接続層 5 3 7 を介してプロセッサ 5 4 3 に電氣的に接続されてもよい。

10

【 0 0 7 0 】

いくつかの実施形態では、プロセッサ 5 4 3 は、任意の適切な専用プロセッサおよび / または S o C を形成する複数のトランジスタ 5 4 7 を含む。トランジスタ 5 4 7 は、半導体層 5 4 1 の「上に」形成することができ、トランジスタ 5 4 7 の全体または一部は、半導体層 5 4 1 内におよび / または半導体層 5 4 1 上に直接形成される。分離領域 (例えば、S T I) およびドープ領域 (例えば、トランジスタ 5 4 7 のソース領域およびドレイン領域) も半導体層 5 4 1 内に形成することができる。トランジスタ 5 4 7 はまた、S R A M セルのアレイ 5 4 5 を形成することができる。いくつかの実施形態によれば、トランジスタ 5 4 7 は、高度な論理プロセス (例えば、9 0 n m、6 5 n m、4 5 n m、3 2 n m、2 8 n m、2 0 n m、1 6 n m、1 4 n m、1 0 n m、7 n m、5 n m、3 n m などの技術ノード) で高速である。

20

【 0 0 7 1 】

いくつかの実施形態では、第 1 の半導体構造 5 0 5 は、デバイス層 5 3 9 の上方に配置された半導体層 5 4 1 をさらに含む。半導体層 5 4 1 は、プロセッサ 5 4 3 および S R A M セルのアレイ 5 4 5 の上方でそれと接触することができる。半導体層 5 4 1 は、トランジスタ 5 4 7 がその上に形成される薄くされた基板とすることができる。いくつかの実施形態では、半導体層 5 4 1 は単結晶シリコンを含む。いくつかの実施形態では、半導体層 5 4 1 は、ポリシリコン、アモルファスシリコン、S i G e、G a A s、G e、または任意の他の適切な材料を含むことができる。半導体層 5 4 1 はまた、分離領域およびドープ領域を含むことができる。

30

【 0 0 7 2 】

図 5 B に示すように、半導体デバイス 5 0 1 の第 1 の半導体構造 5 0 5 は、半導体層 5 4 1 の上方にパッドアウト相互接続層 5 4 9 をさらに含むことができる。パッドアウト相互接続層 5 4 9 は、1 つまたは複数の I L D 層に相互接続、例えばコンタクトパッド 5 5 1 を含むことができる。いくつかの実施形態では、パッドアウト相互接続層 5 4 9 内の相互接続は、例えばパッドアウト目的のために、半導体デバイス 5 0 1 と外部回路との間で電気信号を転送することができる。いくつかの実施形態では、第 1 の半導体構造 5 0 5 は、パッドアウト相互接続層 5 4 9 と相互接続層 5 3 7 および 5 2 7 とを電氣的に接続するために半導体層 5 4 1 を貫通して延在する 1 つまたは複数の接点 5 5 3 をさらに含む。結果として、プロセッサ 5 4 3 および S R A M セルのアレイ 5 4 5 は、相互接続層 5 3 7 および 5 2 7 ならびに接合接点 5 3 5 および 5 3 1 を介して D R A M セルのアレイ 5 1 3 に電氣的に接続することができる。さらに、プロセッサ 5 4 3、S R A M セルのアレイ 5 4 5、および D R A M セルのアレイ 5 1 3 は、接点 5 5 3 およびパッドアウト相互接続層 5 4 9 を介して外部回路に電氣的に接続することができる。

40

【 0 0 7 3 】

図 6 A および図 6 B は、いくつかの実施形態による、プロセッサ、S R A M、および周辺回路を有する例示的な半導体構造を形成するための製造プロセスを示す。図 7 A ~ 図 7 C は、いくつかの実施形態による、D R A M、および周辺回路を有する例示的な半導体構造を形成するための製造プロセスを示す。図 8 A および図 8 B は、いくつかの実施形態による、例示的な半導体デバイスを形成するための製造プロセスを示す。図 9 A ~ 図 9 C は

50

、いくつかの実施形態による、例示的な半導体構造を接合およびダイシングするための製造プロセスを示す。図10A~図10Cは、いくつかの実施形態による、例示的な半導体構造をダイシングおよび接合するための製造プロセスを示す。図11は、いくつかの実施形態による、半導体デバイスを形成するための例示的な方法1100のフローチャートである。図12は、いくつかの実施形態による、半導体デバイスを形成するための別の例示的な方法1200のフローチャートである。図6A、図6B、図7A~図7C、図8A、図8B、図9A~図9C、図10A~図10C、図11、および図12に示す半導体デバイスの例は、それぞれ図4A、図4B、図5A、および図5Bに示す半導体デバイス400、401、500、501を含む。図6A、図6B、図7A~図7C、図8A、図8B、図9A~図9C、図10A~図10C、図11、および図12を一緒に説明する。方法1100および1200に示される動作は網羅的なものではないこと、および図示された動作のいずれかの前、後、または間に、他の動作も実行できることが理解される。さらに、動作のいくつかは、同時に、または図11および図12に示す順序とは異なる順序で実行されてもよい。

10

【0074】

図6Aおよび図6Bに示すように、プロセッサと、SRAMセルのアレイと、周辺回路と、複数の第1の接合接点を含む第1の接合層とを含む第1の半導体構造が形成される。図7A~図7Cに示すように、DRAMセルのアレイ、周辺回路、および複数の第2の接合接点を含む第2の接合層を含む第2の半導体構造が形成される。図8Aおよび図8Bに示すように、第1の半導体構造および第2の半導体構造は、第1の接合接点が接合界面で第2の接合接点と接触するように、face-to-face方式で接合される。

20

【0075】

図11を参照すると、方法1100は動作1102で開始し、それにおいては複数の第1の半導体構造が第1のウェハ上に形成される。第1の半導体構造の少なくとも1つは、プロセッサと、SRAMセルのアレイと、複数の第1の接合接点を含む第1の接合層とを含む。第1のウェハはシリコンウェハとすることができる。いくつかの実施形態では、複数の第1の半導体構造を形成するために、プロセッサおよびSRAMセルのアレイが第1のウェハ上に形成される。いくつかの実施形態では、プロセッサおよびSRAMセルのアレイを形成するために、複数のトランジスタが第1のウェハ上に形成される。いくつかの実施形態では、複数の第1の半導体構造を形成するために、DRAMセルのアレイの周辺回路も第1のウェハ上に形成される。

30

【0076】

図9Aに示すように、複数の第1の半導体構造906が第1のウェハ902上に形成される。第1のウェハ902は、スクライプラインによって分離された複数のショットを含むことができる。いくつかの実施形態によれば、第1のウェハ902の各ショットは、1つ以上の第1の半導体構造906を含む。図6Aおよび図6Bは、第1の半導体構造906の形成の一例を示す。

【0077】

図6Aに示すように、複数のトランジスタ604がシリコン基板602（第1のウェハ902の一部として、例えばシリコンウェハ）上に形成される。トランジスタ604は、フォトリソグラフィ、乾式/湿式エッチング、薄膜堆積、熱成長、注入、化学機械研磨（CMP）、および任意の他の適切なプロセスを含むがこれらに限定されない複数のプロセスによって形成することができる。いくつかの実施形態では、ドープ領域は、例えばトランジスタ604のソース領域および/またはドレイン領域として機能するイオン注入および/または熱拡散によってシリコン基板602内に形成される。いくつかの実施形態では、分離領域（例えば、STI）もまた、乾式/湿式エッチングおよび薄膜堆積によってシリコン基板602内に形成される。トランジスタ604は、シリコン基板602上にデバイス層606を形成することができる。いくつかの実施形態では、デバイス層606は、プロセッサ608、SRAMセルのアレイ610、および周辺回路612を含む。

40

【0078】

50

方法 1100 は、図 11 に示すように、動作 1104 に進み、これにおいて、第 1 の相互接続層が、プロセッサおよび S R A M セルのアレイの上方に形成される。第 1 の相互接続層は、1 つまたは複数の I L D 層において、第 1 の複数の相互接続を含むことができる。図 6 B に示すように、相互接続層 614 は、プロセッサ 608 および S R A M セルのアレイ 610 を含むデバイス層 606 の上方に形成することができる。相互接続層 614 は、デバイス層 606 との電気的接続を行うために、複数の I L D 層内に M E O L および / または B E O L の相互接続を含むことができる。いくつかの実施形態では、相互接続層 614 は、複数のプロセスで形成された複数の I L D 層および相互接続をその中に含む。例えば、相互接続層 614 内の相互接続は、化学蒸着 (C V D)、物理蒸着 (P V D)、原子層堆積 (A L D)、電気めっき、無電解めっき、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つまたは複数の薄膜堆積プロセスによって堆積された導電性材料を含むことができる。相互接続を形成するための製造プロセスはまた、フォトリソグラフィ、C M P、乾式 / 湿式エッチング、または任意の他の適切なプロセスを含むことができる。I L D 層は、C V D、P V D、A L D、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つまたは複数の薄膜堆積プロセスによって堆積された誘電体材料を含むことができる。図 6 B に示す I L D 層および相互接続は、集合的に相互接続層 614 と呼ぶことができる。

【 0079 】

方法 1100 は、図 11 に示すように、動作 1106 に進み、これにおいて、第 1 の相互接続層の上方に第 1 の接合層が形成される。第 1 の接合層は、複数の第 1 の接合点を含むことができる。図 6 B に示すように、接合層 616 が相互接続層 614 の上方に形成される。接合層 616 は、誘電体によって囲まれた複数の接合点 618 を含むことができる。いくつかの実施形態では、C V D、P V D、A L D、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つまたは複数の薄膜堆積プロセスによって、相互接続層 614 の上面に、誘電体層が堆積される。次に、パターンニング工程を使用して誘電体層を貫通する接点ホールを最初にパターンニングすること (例えば、誘電体層内の誘電体材料のフォトリソグラフィおよび乾式 / 湿式エッチング) によって、接合点 618 を、誘電体層を貫通し、相互接続層 614 内の相互接続に接触させて、形成することができる。接点ホールには、導体 (例えば、銅) を充填することができる。いくつかの実施形態では、接点ホールを充填することは、導体を堆積する前にバリア層、接着層、および / またはシード層を堆積することを含む。

【 0080 】

方法 1100 は、図 11 に示すように、動作 1108 に進み、これにおいて、複数の第 2 の半導体構造が第 2 のウェハ上に形成される。第 2 の半導体構造の少なくとも 1 つは、D R A M セルのアレイと、複数の第 2 の接合点を含む第 2 の接合層とを含む。第 2 のウェハはシリコンウェハとすることができる。いくつかの実施形態では、複数の第 2 の半導体構造を形成するために、D R A M セルのアレイが第 2 のウェハ上に形成される。いくつかの実施形態では、D R A M セルのアレイを形成するために、複数のトランジスタが第 2 のウェハ上に形成され、複数のキャパシタがトランジスタの少なくともいくつかの上方に接触して形成される。いくつかの実施形態では、複数の第 2 の半導体構造を形成するために、D R A M セルのアレイの周辺回路も第 2 のウェハ上に形成される。

【 0081 】

図 9 A に示すように、複数の第 2 の半導体構造 908 が第 2 のウェハ 904 上に形成される。第 2 のウェハ 904 は、スクライプラインによって分離された複数のショットを含むことができる。いくつかの実施形態によれば、第 2 のウェハ 904 の各ショットは、1 つ以上の第 2 の半導体構造 908 を含む。図 7 A ~ 図 7 C は、第 2 の半導体構造 908 の形成の一例を示す。

【 0082 】

図 7 A に示すように、複数のトランジスタ 704 がシリコン基板 702 (第 2 のウェハ 904 の一部として、例えばシリコンウェハ) 上に形成される。トランジスタ 704 は、

10

20

30

40

50

フォトリソグラフィ、乾式/湿式エッチング、薄膜堆積、熱成長、注入、CMP、および任意の他の適切なプロセスを含むがこれらに限定されない複数のプロセスによって形成することができる。いくつかの実施形態では、ドープ領域は、例えばトランジスタ704のソース領域および/またはドレイン領域として機能するイオン注入および/または熱拡散によってシリコン基板702内に形成される。いくつかの実施形態では、分離領域（例えば、STI）もまた、乾式/湿式エッチングおよび薄膜堆積によってシリコン基板702内に形成される。

【0083】

図7Bに示すように、複数のキャパシタ706がトランジスタ704の少なくともいくつか、すなわちDRAM選択トランジスタの上方に、それに接触して形成される。各キャパシタ706は、例えば、キャパシタ706の一方の電極をそれぞれのDRAM選択トランジスタの一方のノードに電気的に接続することによって、1T1Cメモセルを形成するためにそれぞれのDRAM選択トランジスタと位置合わせされるようにフォトリソグラフィによってパターンニングすることができる。いくつかの実施形態では、DRAM選択トランジスタおよびキャパシタ706を電気的に接続するために、ビット線707および共通プレート709も形成される。キャパシタ706は、フォトリソグラフィ、乾式/湿式エッチング、薄膜堆積、熱成長、注入、CMP、および任意の他の適切なプロセスを含むがこれらに限定されない複数のプロセスによって形成することができる。これにより、DRAMセルのアレイ710（DRAM選択トランジスタおよびキャパシタ706をそれぞれ有する）と、周辺回路711（DRAM選択トランジスタ以外のトランジスタ704を有する）とを含むデバイス層708が、形成される。

【0084】

方法1100は、図11に示すように、動作1110に進み、これにおいて、第2の相互接続層がDRAMセルのアレイの上方に形成される。第2の相互接続層は、1つまたは複数のILD層において、第2の複数の相互接続を含むことができる。図7Cに示すように、相互接続層714は、DRAMセルのアレイ710の上方に形成することができる。相互接続層714は、DRAMセルのアレイ710（および存在する場合は周辺回路711）との電気的接続を行うために、複数のILD層内にMEOLおよび/またはBEOLの相互接続を含むことができる。いくつかの実施形態では、相互接続層714は、複数のプロセスで形成された複数のILD層および相互接続をその中に含む。例えば、相互接続層714内の相互接続は、CVD、PVD、ALD、電気めっき、無電解めっき、またはそれらの任意の組み合わせを含むがこれらに限定されない1つまたは複数の薄膜堆積プロセスによって堆積された導電性材料を含むことができる。相互接続を形成するための製造プロセスはまた、フォトリソグラフィ、CMP、乾式/湿式エッチング、または任意の他の適切なプロセスを含むことができる。ILD層は、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むがこれらに限定されない1つまたは複数の薄膜堆積プロセスによって堆積された誘電体材料を含むことができる。図7Cに示すILD層および相互接続は、集合的に相互接続層714と呼ぶことができる。

【0085】

方法1100は、図11に示すように、動作1112に進み、これにおいて、第2の接合層が第2の相互接続層の上に形成される。第2の接合層は、複数の第2の接合点を含むことができる。図7Cに示すように、接合層716が相互接続層714の上方に形成される。接合層716は、誘電体によって囲まれた複数の接合点718を含むことができる。いくつかの実施形態では、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むがこれらに限定されない1つまたは複数の薄膜堆積プロセスによって、相互接続層714の上面に、誘電体層が堆積される。次に、パターンニング工程を使用して誘電体層を貫通する接点ホールを最初にパターンニングすること（例えば、誘電体層内の誘電体材料のフォトリソグラフィおよび乾式/湿式エッチング）によって、接合点718を、誘電体層を貫通し、相互接続層714内の相互接続に接触させて、形成することができる。接点ホールには、導体（例えば、銅）を充填することができる。いくつかの実施形態では、

10

20

30

40

50

接点ホールを充填することは、導体を堆積する前に接着（接着）層、バリア層、および／またはシード層を堆積することを含む。

【 0 0 8 6 】

方法 1 1 0 0 は、図 1 1 に示すように、動作 1 1 1 4 に進み、これにおいて、第 1 の半導体構造のうちの少なくとも 1 つが第 2 の半導体構造のうちの少なくとも 1 つに接合されるように、第 1 のウェハおよび第 2 のウェハが *face-to-face* 方式で接合される。第 1 の半導体構造の第 1 の接合接点は、接合界面において第 2 の半導体構造の第 2 の接合接点と接触している。接合はハイブリッド接合とすることができる。いくつかの実施形態では、第 2 の半導体構造は、接合後に第 1 の半導体構造の上方にある。いくつかの実施形態では、第 1 の半導体構造は、接合後に第 2 の半導体構造の上方にある。

10

【 0 0 8 7 】

図 9 B に示すように、第 1 のウェハ 9 0 2 および第 2 のウェハ 9 0 4 は、第 1 の半導体構造 9 0 6 の少なくとも一つが接合界面 9 0 9 で第 2 の半導体構造 9 0 8 の少なくとも一つに接合されるように、*face-to-face* 方式で接合される。図 9 B に示すように、第 1 のウェハ 9 0 2 は接合後に第 2 のウェハ 9 0 4 の上方にあるが、いくつかの実施形態では、第 2 のウェハ 9 0 4 は接合後に第 1 のウェハ 9 0 2 の上方にあってもよいことが理解される。図 8 A は、接合された第 1 の半導体構造 9 0 6 および第 2 の半導体構造 9 0 8 の形成の一例を示す。

【 0 0 8 8 】

図 8 A に示すように、シリコン基板 7 0 2 およびその上に形成された構成要素（例えば、DRAMセルのレイ 7 1 0 を含むデバイス層 7 1 2）は、上下逆さまに反転される。下向きの接合層 7 1 6 は、上向きの接合層 6 1 6 と接合され、すなわち *face-to-face* 方式で接合され、それによって（図 8 B に示すように）接合界面 8 0 2 を形成する。いくつかの実施形態では、処理プロセス、例えばプラズマ処理、湿式処理、および／または熱処理が、接合前に接合面に適用される。図 8 A には示されていないが、シリコン基板 6 0 2 およびその上に形成された構成要素（例えば、プロセッサ 6 0 8、SRAMセルのレイ 6 1 0、および周辺回路 6 1 2 を含むデバイス層 6 0 6）は、上下を反転させることができ、下向きの接合層 6 1 6 は、上向きの接合層 7 1 6 と接合され、すなわち *face-to-face* 方式で接合され、それによって接合界面 8 0 2 を形成することができる。接合後、接合層 7 1 6 内の接合接点 7 1 8 および接合層 6 1 6 内の接合接点 6 1 8 は、デバイス層 7 1 2（例えば、その中のDRAMセルのレイ 7 1 0）がデバイス層 6 0 6（例えば、その中のプロセッサ 6 0 8、SRAMセルのレイ 6 1 0、および周辺回路 6 1 2）に電気的に接続され得るように、整列され、互いに接触する。接合チップでは、デバイス層 6 0 6（例えば、その中のプロセッサ 6 0 8、SRAMセルのレイ 6 1 0、および周辺回路 6 1 2）は、デバイス層 7 1 2（例えば、その中のDRAMセルのレイ 7 1 0）の上方または下方のいずれかであってもよいことが理解される。それにもかかわらず、図 8 B に示すように、接合後にデバイス層 6 0 6（例えば、その中のプロセッサ 6 0 8、SRAMセルのレイ 6 1 0、および周辺回路 6 1 2）とデバイス層 7 1 2（例えば、その中のDRAMセルのレイ 7 1 0）との間に接合界面 8 0 2 を形成することができる。図 8 A のデバイス層 7 1 2 は（図 7 C に示すように）周辺回路 7 1 1 を含まないが、いくつかの実施形態では、周辺回路 7 1 1 は、接合チップ内のデバイス層 7 1 2 の一部として含まれてもよいことが理解される。図 8 A のデバイス層 6 0 6 は周辺回路 6 1 2 を含むが、いくつかの実施形態では、周辺回路 6 1 2 は、接合チップ内のデバイス層 6 0 6 の一部として含まれなくてもよいことがさらに理解される。

20

30

40

【 0 0 8 9 】

方法 1 1 0 0 は、図 1 1 に示すように、動作 1 1 1 6 に進み、これにおいて、第 1 のウェハまたは第 2 のウェハが薄くされて半導体層が形成される。いくつかの実施形態では、接合後の第 2 の半導体構造の第 2 のウェハの上方にある第 1 の半導体構造の第 1 のウェハは、半導体層を形成するために薄くされる。いくつかの実施形態では、接合後の第 1 の半導体構造の第 1 のウェハの上方にある第 2 の半導体構造の第 2 のウェハは、半導体層を形

50

成するために薄くされる。

【0090】

図8Bに示すように、接合チップ上部の基板(例えば、図8Aに示すシリコン基板702)は薄くされ、その結果、薄くされた上部基板は、半導体層804、例えば単結晶シリコン層として、機能することができる。薄くされた基板の厚さは、約200nm~約5μm、例えば200nm~5μm、または約150nm~約50μm、例えば150nm~50μmであり得る。シリコン基板702は、ウェハ研削、乾式エッチング、湿式エッチング、CMP、任意の他の適切なプロセス、またはそれらの任意の組み合わせを含むがこれらに限定されないプロセスによって、薄くすることができる。シリコン基板602が接合チップの上部の基板である場合、シリコン基板602を薄くすることによって別の半導体層を形成することができることが理解される。

10

【0091】

方法1100は、図11に示すように、動作1118に進み、これにおいて、パッドアウト相互接続層が半導体層の上方に形成される。図8Bに示すように、半導体層804(薄くされた上部基板)の上方にパッドアウト相互接続層806が形成される。パッドアウト相互接続層806は、1つまたは複数のILD層に形成されたパッド接点808などの相互接続を含むことができる。パッド接点808は、W、Co、Cu、Al、ドーブされたシリコン、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料を含むことができる。ILD層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低k誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。いくつかの実施形態では、接合および薄化の後、例えば乾式/湿式エッチングとそれに続く導電性材料の堆積によって、半導体層804を通過して垂直に延びる接点810が形成される。接点810は、パッドアウト相互接続層806内の相互接続と接触することができる。

20

【0092】

方法1100は、図11に示すように、動作1120に進み、これにおいて、接合された第1および第2のウェハがダイシングされて、複数のダイになる。ダイのうちの少なくとも1つは、接合された第1の半導体構造と第2の半導体構造を含む。図9Cに示すように、(図9Bに示すように)接合された第1のウェハ902と第2のウェハ904は、複数のダイ912にダイシングされる。ダイ912の少なくとも一つは、接合された第1の半導体構造906および第2の半導体構造908を含む。いくつかの実施形態では、接合された第1のウェハ902と第2のウェハ904の各ショットは、ウェハ・レーザ・ダイシングおよび/または機械的ダイシング技術を使用してスクライプラインに沿って、接合された第1のウェハ902と第2のウェハ904から切断され、それによってそれぞれのダイ912になる。ダイ912は、接合された第1の半導体構造906および第2の半導体構造908、例えば、図8Bに示すような接合構造を含むことができる。

30

【0093】

図9A~図9Cおよび図11に関して上述したようなダイシング前のウェハレベル接合に基づくパッケージング方式の代わりに、図10A~図10Cおよび図12は、いくつかの実施形態による、ダイシング後のダイレベル接合に基づく別のパッケージング方式を示す。図12の方法1200の動作1102、1104、および1106は、図11の方法1100に関して上述されているので、繰り返しはしない。図10Aに示すように、複数の第1の半導体構造1006が第1のウェハ1002上に形成される。第1のウェハ1002は、スクライプラインによって分離された複数のショットを含むことができる。いくつかの実施形態によれば、第1のウェハ1002の各ショットは、1つ以上の第1の半導体構造1006を含む。図6Aおよび図6Bは、第1の半導体構造1006の形成の一例を示す。

40

【0094】

方法1200は、図12に示すように、動作1202に進み、これにおいて、第1のダイのうちの少なくとも1つが第1の半導体構造のうちの少なくとも1つを含むように、第

50

1のウェハが複数の第1のダイにダイシングされる。図10Bに示すように、(図10Aに示すような)第1のウェハ1002は、少なくとも1つのダイ1010が第1の半導体構造1006を含むように、複数のダイ1010にダイシングされる。いくつかの実施形態では、第1のウェハ1002の各ショットは、ウェハ・レーザ・ダイシングおよび/または機械的ダイシング技術を使用してスクライプラインに沿って第1のウェハ1002から切断され、それによってそれぞれのダイ1010になる。ダイ1010は、第1の半導体構造1006、例えば、図6Bに示すような構造を含むことができる。

【0095】

図12の方法1200の動作1108、1110、および1112は、図11の方法1100に関して上述されているので、繰り返しはしない。図10Aに示すように、複数の第2の半導体構造1008が第2のウェハ1004上に形成される。第2のウェハ1004は、スクライプラインによって分離された複数のショットを含むことができる。いくつかの実施形態によれば、第2のウェハ1004の各ショットは、1つ以上の第2の半導体構造1008を含む。図7A~図7Cは、第2の半導体構造1008の形成の一例を示す。

10

【0096】

方法1200は、図12に示すように、動作1204に進み、これにおいて、第2のダイのうちの少なくとも1つが第2の半導体構造のうちの少なくとも1つを含むように、第2のウェハが複数の第2のダイにダイシングされる。図10Bに示すように、(図10Aに示すような)第2のウェハ1004は、少なくとも1つのダイ1012が第2の半導体構造1008を含むように、複数のダイ1012にダイシングされる。いくつかの実施形態では、第2のウェハ1004の各ショットは、ウェハ・レーザ・ダイシングおよび/または機械的ダイシング技術を使用してスクライプラインに沿って第2のウェハ1004から切断され、それによってそれぞれのダイ1012になる。ダイ1012は、第2の半導体構造1008、例えば、図7Cに示すような構造を含むことができる。

20

【0097】

方法1200は、図12に示すように、動作1206に進み、これにおいて、第1の半導体構造が第2の半導体構造に接合されるように、第1のダイおよび第2のダイがface-to-face方式で接合される。第1の半導体構造の第1の接合接点は、接合界面において第2の半導体構造の第2の接合接点と接触している。図10Cに示すように、第1の半導体構造1006を含むダイ1010、および第2の半導体構造1008を含むダイ1012は、第1の半導体構造1006が接合界面1014で第2の半導体構造1008に接合されるように、face-to-face方式で接合される。図10Cに示すように、第1の半導体構造1006は接合後に第2の半導体構造1008の上方にあるが、いくつかの実施形態では、第2の半導体構造1008は接合後に第1の半導体構造1006の上方にあってもよいことが理解される。図8Aは、接合された第1の半導体構造1006および第2の半導体構造1008の形成の一例を示す。

30

【0098】

方法1200は、図12に示すように、動作1208に進み、これにおいて、第1のウェハまたは第2のウェハが薄くされて半導体層が形成される。いくつかの実施形態では、接合後の第2の半導体構造の第2のウェハの上方にある第1の半導体構造の第1のウェハは、半導体層を形成するために薄くされる。いくつかの実施形態では、接合後の第1の半導体構造の第1のウェハの上方にある第2の半導体構造の第2のウェハは、半導体層を形成するために薄くされる。

40

【0099】

図8Bに示すように、接合チップ上部の基板(例えば、図8Aに示すシリコン基板702)は薄くされ、その結果、薄くされた上部基板は、半導体層804、例えば単結晶シリコン層として、機能することができる。薄くされた基板の厚さは、約200nm~約5μm、例えば200nm~5μm、または約150nm~約50μm、例えば150nm~50μmであり得る。シリコン基板702は、ウェハ研削、乾式エッチング、湿式エッチング、CMP、任意の他の適切なプロセス、またはそれらの任意の組み合わせを含むがこ

50

れらに限定されないプロセスによって、薄くすることができる。シリコン基板 602 が接合チップの上部の基板である場合、シリコン基板 602 を薄くすることによって別の半導体層を形成することができることが理解される。

【0100】

方法 1200 は、図 12 に示すように、動作 1210 に進み、これにおいて、パッドアウト相互接続層が半導体層の上方に形成される。図 8B に示すように、半導体層 804 (薄くされた上部基板) の上方にパッドアウト相互接続層 806 が形成される。パッドアウト相互接続層 806 は、1 つまたは複数の ILD 層に形成されたパッド接点 808 などの相互接続を含むことができる。パッド接点 808 は、W、Co、Cu、Al、ドーパされたシリコン、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料を含むことができる。ILD 層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低 k 誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。いくつかの実施形態では、接合および薄化の後、例えば乾式/湿式エッチングとそれに続く導電性材料の堆積によって、半導体層 804 を通って垂直に延びる接点 810 が形成される。接点 810 は、パッドアウト相互接続層 806 内の相互接続と接触することができる。

10

【0101】

本開示の一態様によれば、半導体デバイスは、プロセッサと、SRAMセルのアレイと、複数の第 1 の接合接点を含む第 1 の接合層とを含む第 1 の半導体構造を含む。半導体デバイスはまた、DRAMセルのアレイを含む第 2 の半導体構造と、複数の第 2 の接合接点を含む第 2 の接合層とを含む。半導体デバイスは、第 1 の接合層と第 2 の接合層との接合界面をさらに含む。第 1 の接合接点は、接合界面において第 2 の接合接点と接触している。

20

【0102】

いくつかの実施形態では、第 1 の半導体構造は、基板と、基板上的プロセッサと、基板およびプロセッサの外側の SRAMセルのアレイと、プロセッサおよび SRAMセルのアレイの上方の第 1 の接合層とを含む。

【0103】

いくつかの実施形態では、第 2 の半導体構造は、第 1 の接合層の上方の第 2 の接合層と、第 2 の接合層の上方の DRAMセルのアレイと、DRAMセルのアレイの上方にあり、DRAMセルのアレイと接触している半導体層とを含む。

30

【0104】

いくつかの実施形態では、半導体デバイスは、半導体層の上方にパッドアウト相互接続層をさらに含む。いくつかの実施形態では、半導体層は単結晶シリコンを含む。

【0105】

いくつかの実施形態では、第 2 の半導体構造は、基板と、基板上的 DRAMセルのアレイと、DRAMセルのアレイの上方の第 2 の接合層とを含む。

【0106】

いくつかの実施形態では、第 1 の半導体構造は、第 2 の接合層の上方の第 1 の接合層と、第 1 の接合層の上方のプロセッサと、第 1 の接合層の上方かつ 1 つまたは複数のプロセッサの外側にある SRAMセルのアレイと、プロセッサおよび SRAMセルのアレイの上方にあり、プロセッサおよび SRAMセルのアレイと接触する半導体層とを含む。

40

【0107】

いくつかの実施形態では、半導体デバイスは、半導体層の上方にパッドアウト相互接続層をさらに含む。いくつかの実施形態では、半導体層は単結晶シリコンを含む。

【0108】

いくつかの実施形態では、第 1 の半導体構造は、DRAMセルのアレイの周辺回路をさらに含む。いくつかの実施形態では、第 2 の半導体構造は、DRAMセルのアレイの周辺回路をさらに含む。

【0109】

いくつかの実施形態では、第 1 の半導体構造は、第 1 の接合層とプロセッサとの間に垂

50

直に第 1 の相互接続層を含み、第 2 の半導体構造は、第 2 の接合層と D R A Mセルのアレイとの間に垂直に第 2 の相互接続層を含む。

【 0 1 1 0 】

いくつかの実施形態では、プロセッサは、第 1 および第 2 の相互接続層ならびに第 1 および第 2 の接合接点を介して、D R A Mセルのアレイに電氣的に接続されている。

【 0 1 1 1 】

いくつかの実施形態では、S R A Mセルのアレイは、第 1 および第 2 の相互接続層ならびに第 1 および第 2 の接合接点を介して、D R A Mセルのアレイに電氣的に接続されている。

【 0 1 1 2 】

いくつかの実施形態では、S R A Mセルのアレイは、第 1 の半導体構造内の複数の別個の領域に分散される。

【 0 1 1 3 】

いくつかの実施形態では、各 D R A Mセルはトランジスタおよびキャパシタを含む。

【 0 1 1 4 】

本開示の別の態様によれば、半導体デバイスを形成するための方法が開示される。第 1 のウェハには、複数の第 1 の半導体構造が形成されている。第 1 の半導体構造の少なくとも 1 つは、プロセッサと、S R A Mセルのアレイと、複数の第 1 の接合接点を含む第 1 の接合層とを含む。複数の第 2 の半導体構造が第 2 のウェハ上に形成される。第 2 の半導体構造の少なくとも 1 つは、D R A Mセルのアレイと、複数の第 2 の接合接点を含む第 2 の接合層とを含む。第 1 の半導体構造のうちの少なくとも 1 つが第 2 の半導体構造のうちの少なくとも 1 つに接合されるように、第 1 のウェハおよび第 2 のウェハが f a c e - t o - f a c e 方式で接合される。第 1 の半導体構造の第 1 の接合接点は、接合界面において第 2 の半導体構造の第 2 の接合接点と接触している。接合された第 1 のウェハと第 2 のウェハは、複数のダイにダイシングされる。ダイのうちの少なくとも 1 つは、接合された第 1 の半導体構造と第 2 の半導体構造を含む。

【 0 1 1 5 】

いくつかの実施形態では、複数の第 1 の半導体構造を形成するために、プロセッサおよび S R A Mセルのアレイが第 1 のウェハ上に形成され、第 1 の相互接続層がプロセッサおよび S R A Mセルのアレイの上方に形成され、第 1 の接合層が第 1 の相互接続層の上方に形成される。いくつかの実施形態では、プロセッサおよび S R A Mセルのアレイを形成するために、複数のトランジスタが第 1 のウェハ上に形成される。

【 0 1 1 6 】

いくつかの実施形態では、複数の第 1 の半導体構造を形成するために、D R A Mセルのアレイの周辺回路が第 1 のウェハ上に形成される。

【 0 1 1 7 】

いくつかの実施形態では、複数の第 2 の半導体構造を形成するために、D R A Mセルのアレイが第 2 のウェハ上に形成され、第 2 の相互接続層が D R A Mセルのアレイの上方に形成され、第 2 の接合層が第 2 の相互接続層の上方に形成される。

【 0 1 1 8 】

いくつかの実施形態では、D R A Mセルのアレイを形成するために、複数のトランジスタが第 2 のウェハ上に形成され、複数のキャパシタがトランジスタの少なくともいくつかの上方に接触して形成される。

【 0 1 1 9 】

いくつかの実施形態では、複数の第 2 の半導体構造を形成するために、D R A Mセルのアレイの周辺回路が第 2 のウェハ上に形成される。

【 0 1 2 0 】

いくつかの実施形態では、第 2 の半導体構造は、接合後に第 1 の半導体構造の上方にある。いくつかの実施形態では、接合後、ダイシングの前に、第 2 のウェハが薄くされて半導体層が形成され、パッドアウト相互接続層が半導体層の上方に形成される。

10

20

30

40

50

【 0 1 2 1 】

いくつかの実施形態では、第 1 の半導体構造は、接合後に第 2 の半導体構造の上方にある。いくつかの実施形態では、接合後、ダイシングの前に、第 1 のウェハが薄くされて半導体層が形成され、パッドアウト相互接続層が半導体層の上方に形成される。

【 0 1 2 2 】

いくつかの実施形態では、接合はハイブリッド接合を含む。

【 0 1 2 3 】

本開示のさらに別の態様によれば、半導体デバイスを形成するための方法が開示される。第 1 のウェハには、複数の第 1 の半導体構造が形成されている。第 1 の半導体構造の少なくとも 1 つは、プロセッサと、SRAMセルのアレイと、複数の第 1 の接合接点を含む第 1 の接合層とを含む。第 1 のウェハは、第 1 のダイのうちの少なくとも 1 つが第 1 の半導体構造のうちの少なくとも 1 つを含むように、複数の第 1 のダイにダイシングされる。複数の第 2 の半導体構造が第 2 のウェハ上に形成される。第 2 の半導体構造の少なくとも 1 つは、DRAMセルのアレイと、複数の第 2 の接合接点を含む第 2 の接合層とを含む。第 2 のウェハは、第 2 のダイのうちの少なくとも 1 つが第 2 の半導体構造のうちの少なくとも 1 つを含むように、複数の第 2 のダイにダイシングされる。第 1 のダイおよび第 2 のダイは、第 1 の半導体構造が第 2 の半導体構造に接合されるように、face-to-face 方式で接合される。第 1 の半導体構造の第 1 の接合接点は、接合界面において第 2 の半導体構造の第 2 の接合接点と接触している。

【 0 1 2 4 】

いくつかの実施形態では、複数の第 1 の半導体構造を形成するために、プロセッサおよびSRAMセルのアレイが第 1 のウェハ上に形成され、第 1 の相互接続層がプロセッサおよびSRAMセルのアレイの上方に形成され、第 1 の接合層が第 1 の相互接続層の上方に形成される。いくつかの実施形態では、プロセッサおよびSRAMセルのアレイを形成するために、複数のトランジスタが第 1 のウェハ上に形成される。

【 0 1 2 5 】

いくつかの実施形態では、複数の第 1 の半導体構造を形成するために、DRAMセルのアレイの周辺回路が第 1 のウェハ上に形成される。

【 0 1 2 6 】

いくつかの実施形態では、複数の第 2 の半導体構造を形成するために、DRAMセルのアレイが第 2 のウェハ上に形成され、第 2 の相互接続層がDRAMセルのアレイの上方に形成され、第 2 の接合層が第 2 の相互接続層の上方に形成される。

【 0 1 2 7 】

いくつかの実施形態では、DRAMセルのアレイを形成するために、複数のトランジスタが第 2 のウェハ上に形成され、複数のキャパシタがトランジスタの少なくともいくつかの上方に接触して形成される。

【 0 1 2 8 】

いくつかの実施形態では、複数の第 2 の半導体構造を形成するために、DRAMセルのアレイの周辺回路が第 2 のウェハ上に形成される。

【 0 1 2 9 】

いくつかの実施形態では、第 2 の半導体構造は、接合後に第 1 の半導体構造の上方にある。いくつかの実施形態では、第 2 のウェハは、接合後に半導体層を形成するために薄くされ、パッドアウト相互接続層が半導体層の上方に形成される。

【 0 1 3 0 】

いくつかの実施形態では、第 1 の半導体構造は、接合後に第 2 の半導体構造の上方にある。いくつかの実施形態では、第 1 のウェハは、接合後に半導体層を形成するために薄くされ、パッドアウト相互接続層が半導体層の上方に形成される。

【 0 1 3 1 】

いくつかの実施形態では、接合はハイブリッド接合を含む。

【 0 1 3 2 】

10

20

30

40

50

特定の実施形態の前述の説明は、本開示の一般的な性質をかなり明らかにするので、他者は、当業者の技術の範囲内の知識を適用することによって、本開示の全般的な概念から逸脱することなく、過度の実験を行うことなく、そのような特定の実施形態を様々な用途に容易に修正および/または適合させることができる。したがって、そのような適合および修正は、本明細書に提示された教示およびガイダンスに基づいて、開示された実施形態の均等物の意味および範囲内にあることが意図されている。本明細書の表現または用語は、本明細書の用語または表現が教示およびガイダンスに照らして当業者によって解釈されるように、限定ではなく説明を目的とするものであることを理解されたい。

【 0 1 3 3 】

本開示の実施形態は、指定された機能およびその関係の実装を示す機能的構成要素を用いて上述されてきた。これらの機能的構成要素の境界は、説明の便宜上、本明細書で任意に定義されている。指定された機能およびそれらの関係が適切に実行される限り、代替の境界を定めることができる。

10

【 0 1 3 4 】

発明の概要および要約のセクションは、発明者によって企図される、本開示の1つまたは複数でありすべてであることはない例示的な実施形態を記載することができ、したがって、本開示および添付の特許請求の範囲を決して限定することを意図するものではない。

【 0 1 3 5 】

本開示の幅および範囲は、上述の例示的な実施形態のいずれによっても限定されるべきではなく、以下の特許請求の範囲およびそれらの均等物に従ってのみ定められるべきである。

20

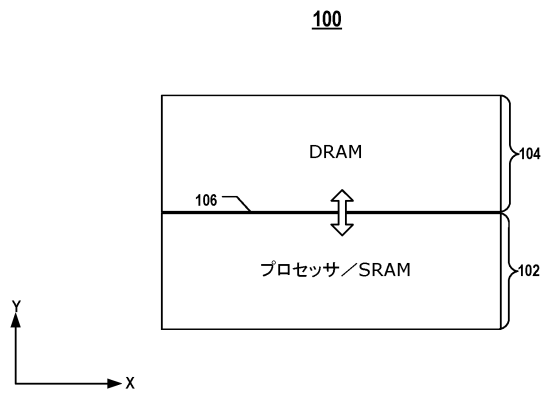
30

40

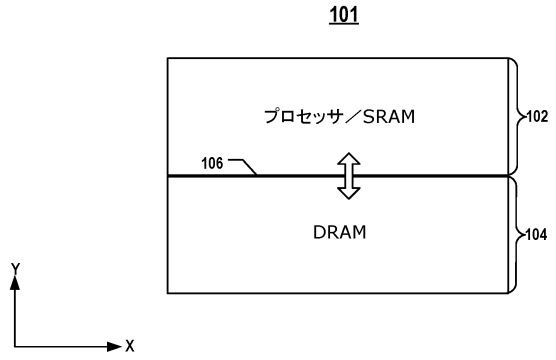
50

【図面】

【図 1 A】

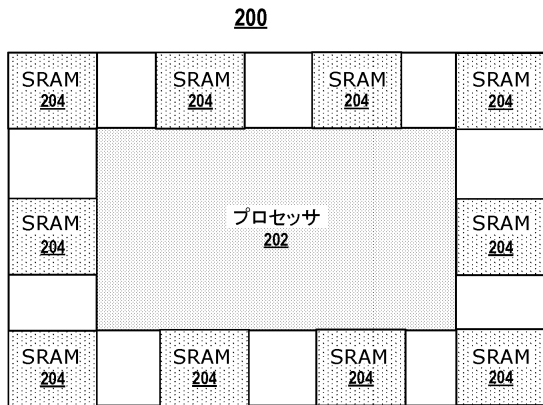


【図 1 B】

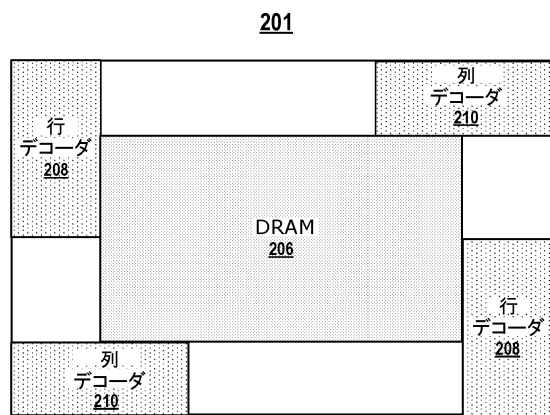


10

【図 2 A】



【図 2 B】



20

30

40

50

【 5 A 】

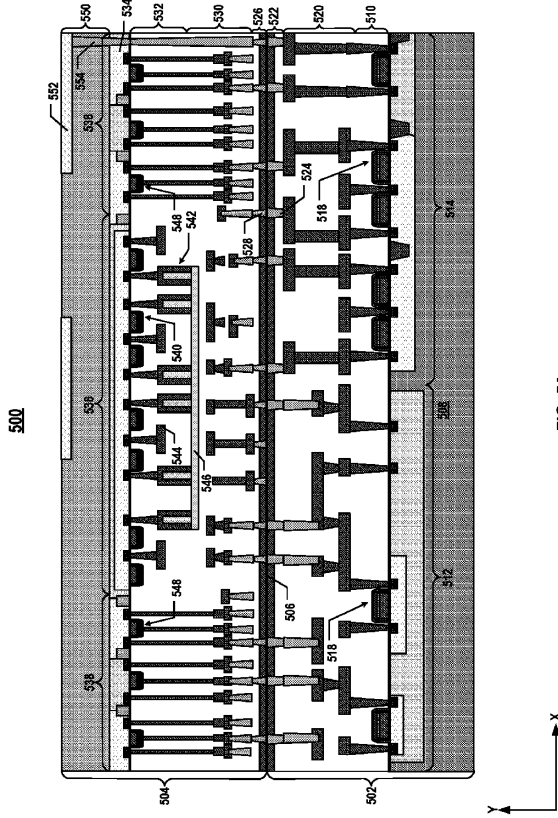


FIG. 5A

【 5 B 】

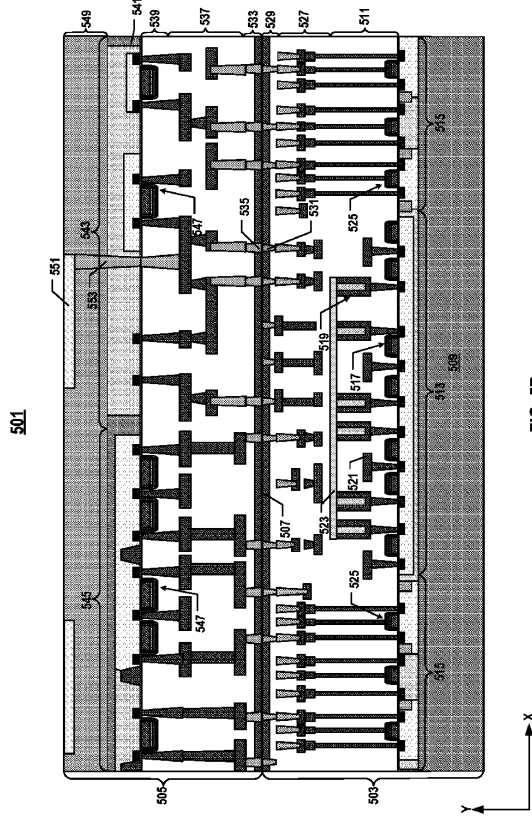


FIG. 5B

【 6 A 】

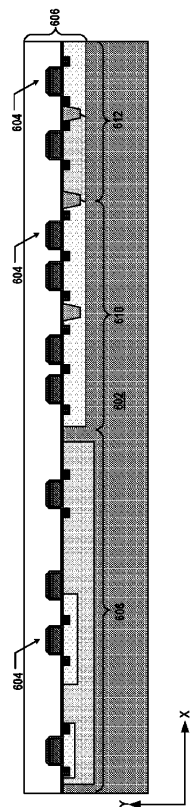


FIG. 6A

【 6 B 】

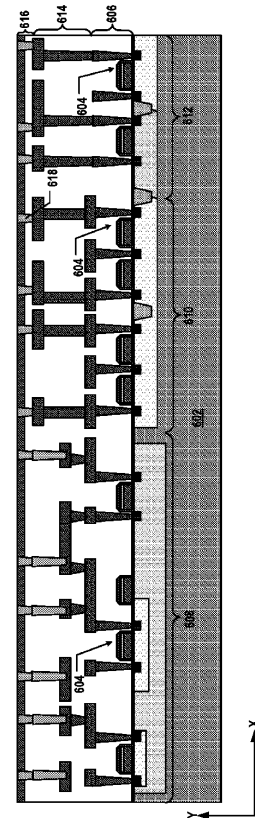


FIG. 6B

10

20

30

40

50

【 7 A 】

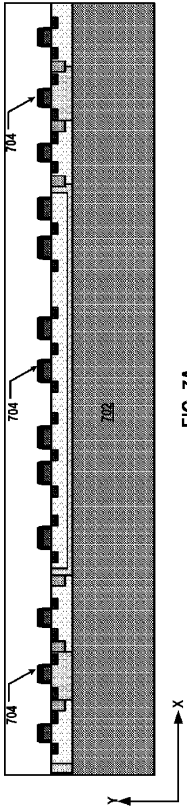


FIG. 7A

【 7 B 】

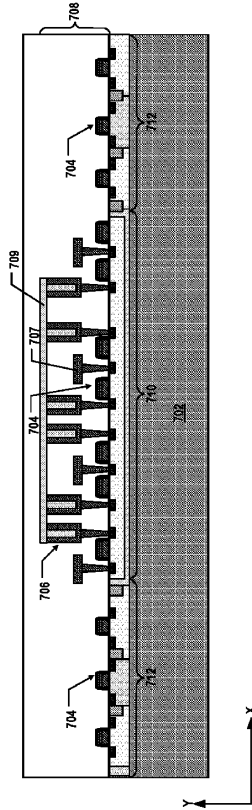


FIG. 7B

【 7 C 】

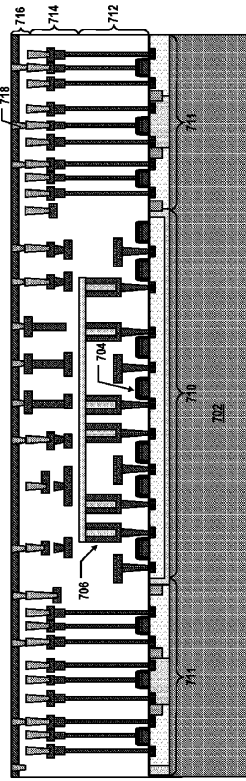


FIG. 7C

【 8 A 】

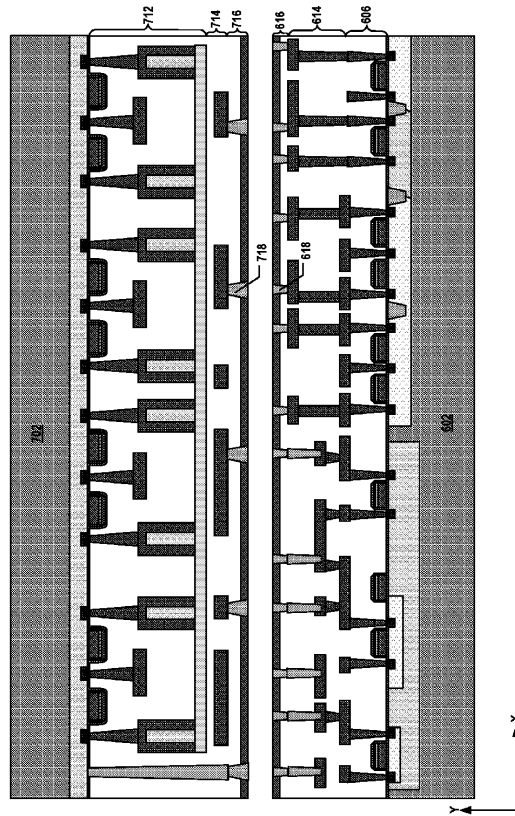


FIG. 8A

10

20

30

40

50

【 8 B 】

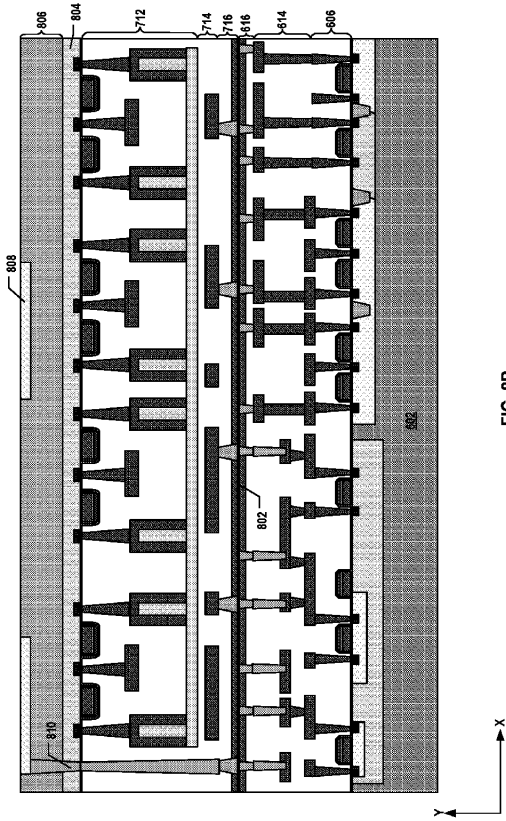


FIG. 8B

【 9 A 】

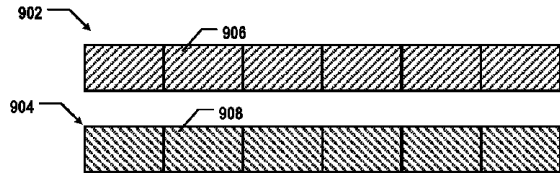


FIG. 9A

10

20

【 9 B 】

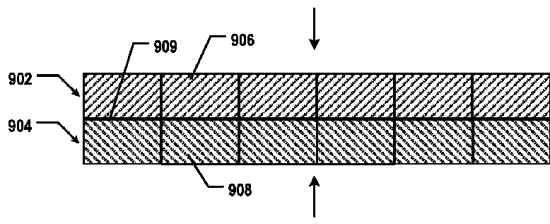


FIG. 9B

【 9 C 】

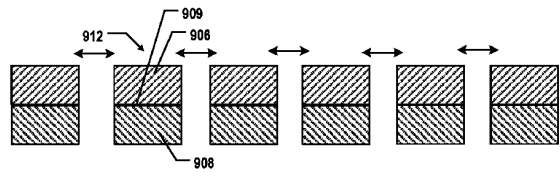


FIG. 9C

30

40

50

【図10A】

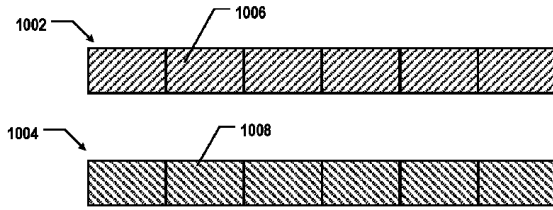


FIG. 10A

【図10B】

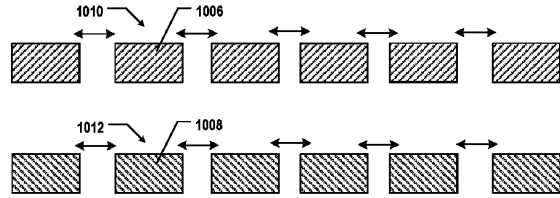


FIG. 10B

【図10C】

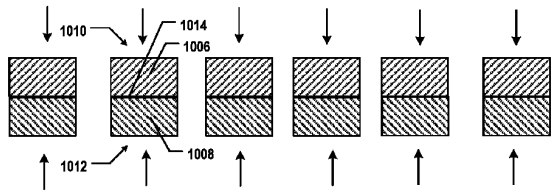
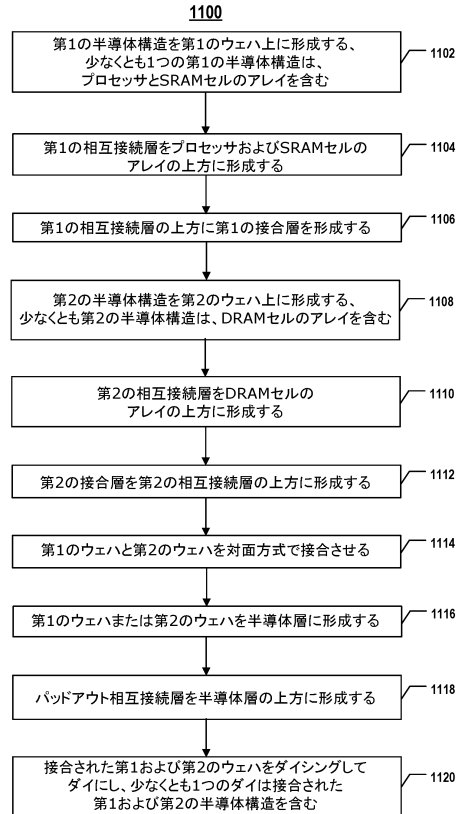


FIG. 10C

【図11】



10

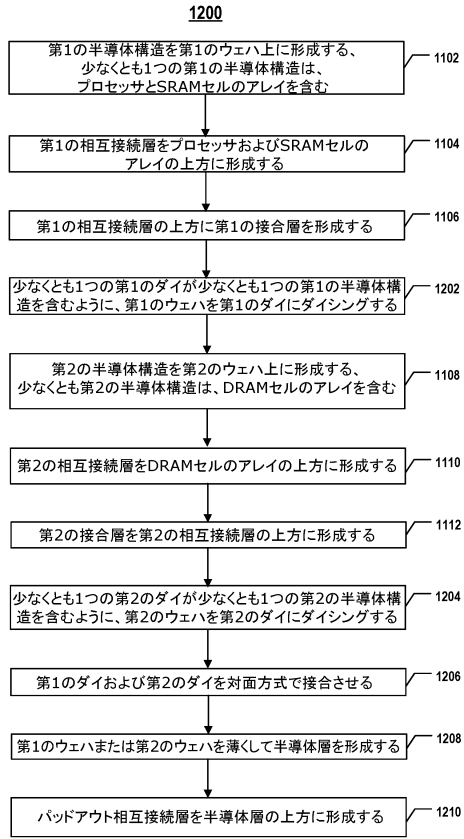
20

30

40

50

【 図 1 2 】



10

20

30

40

50

フロントページの続き

中国(CN)
、ウーハン、イースト レイク デベロップメント ゾーン、グアンドン サイエンス アンド テク
ノロジー インダストリアル パーク、ファグアン ロード、ナンバー 18、ルーム 7018
(72)発明者 チェン・ウェイファ
中華人民共和国、フベイ 430074、ウーハン、イースト レイク デベロップメント ゾーン
、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグアン ロード
、ナンバー 18、ルーム 7018

合議体

審判長 河本 充雄

審判官 市川 武宜

審判官 棚田 一也

(56)参考文献 特開2015-119038(JP,A)
中国特許出願公開第109411473(CN,A)
国際公開第2016/157412(WO,A1)
中国特許出願公開第107658315(CN,A)
特開2008-270354(JP,A)
米国特許出願公開第2007/0145367(US,A1)

(58)調査した分野 (Int.Cl., DB名)

H10B 10/00

H10B 12/00

H10B 99/00

G11C 5/04