

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年5月31日 (31.05.2001)

PCT

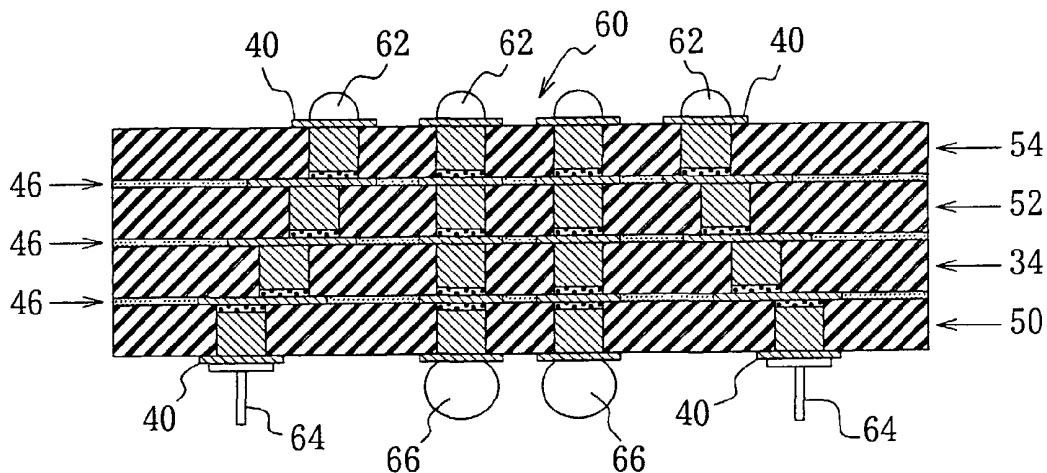
(10) 国際公開番号
WO 01/39267 A1

- | | | | |
|-----------------|-----------------------------|---|--|
| (51) 国際特許分類: | H01L 23/12 | (71) 出願人 (米国を除く全ての指定国について): | イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒503-0917 岐阜県大垣市神田町2丁目1番地 Gifu (JP). |
| (21) 国際出願番号: | PCT/JP00/08291 | (72) 発明者; および | |
| (22) 国際出願日: | 2000年11月24日 (24.11.2000) | (75) 発明者/出願人 (米国についてのみ): | 浅井元雄 (ASAI, Motoo) [JP/JP]. 荻谷 隆 (KARIYA, Takashi) [JP/JP]; 〒501-0601 岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社内 Gifu (JP). |
| (25) 国際出願の言語: | 日本語 | (74) 代理人: 小川順三, 外(OGAWA, Junzo et al.); | 〒104-0061 東京都中央区銀座2丁目8番9号 木挽館銀座ビル Tokyo (JP). |
| (26) 国際公開の言語: | 日本語 | (81) 指定国 (国内): | CN, KR, US. |
| (30) 優先権データ: | | (84) 指定国 (広域): | ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR). |
| 特願平 11/335534 | 1999年11月26日 (26.11.1999) JP | 添付公開書類: | — 国際調査報告書 |
| 特願平 2000-245648 | 2000年8月14日 (14.08.2000) JP | | |
| 特願平 2000-245649 | 2000年8月14日 (14.08.2000) JP | | |
| 特願平 2000-245650 | 2000年8月14日 (14.08.2000) JP | | |
| 特願平 2000-245656 | 2000年8月14日 (14.08.2000) JP | | |

[続葉有]

(54) Title: MULTILAYER CIRCUIT BOARD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 多層回路基板および半導体装置



(57) Abstract: A multilayer circuit board comprises a plurality of unit boards of insulating hard material united with adhesive layers by hot pressing, each including conductor circuits on one or both sides and via holes filled with conductor reaching the conductor circuits. One of the outermost unit boards has conductive bumps on the via holes in the surface, while the other has conductive pins or balls on the via holes in the surface. The multilayer circuit board may serve as a package substrate on which electronic parts such as an LSI chip are mounted to form a semiconductor device. The multilayer circuit board may also serve as a core substrate, on one or both sides of which a buildup wiring layer is formed, and one of the outermost conductor circuits of the buildup wiring layer is provided with solder bumps while the other is provided with conductive pins or balls. This results in a multilayer circuit board suited to high-density wiring and mounting.

[続葉有]



WO 01/39267 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に導電性物質が充填されてなるビアホールを有する回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることにより形成される多層回路基板である。積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、そのビアホールの直上に位置して導電性バンプが形成され、最も外側に位置する他方の回路基板の表面には、そのビアホールの直上に位置して導電性のピンまたはボールが配設されてなる。このような多層回路基板をパッケージ基板とし、その上にLSIチップ等の電子部品を搭載して半導体装置を構成する。また、このような多層回路基板をコア基板として、その両面または片面にビルドアップ配線層を形成し、ビルドアップ配線層の最も外側の導体回路の表面には、半田バンプを設け、またビルドアップ配線層の他方を構成する最も外側の導体層の表面には、導電性ピンまたはボールを配設して、高密度配線および電子部品の高密度実装に有利な多層回路基板を提供する。

明 細 書

多層回路基板および半導体装置

技術分野

本発明は、超高密度配線に有利な多層回路基板や、その多層回路基板上にさらにビルドアップ配線層を形成した多層プリント配線板およびそれらに搭載される半導体部品を含んだ半導体装置に係り、特に、充填ビアホールを有する片面回路基板の複数枚を、あるいは両面回路基板をコアとしてその両面に片面回路基板をそれぞれ積層し、その積層された回路基板同士を接着剤を介して一括加熱プレスすることにより形成される多層回路基板や、その多層回路基板の少なくとも片面にビルドアップ配線層を形成した多層プリント配線板およびそれらを用いた半導体装置を提案する。

背景技術

近年、ICチップを実装するパッケージ基板は、電子工業の進歩に伴う電子機器の小型化あるいは高速化に対応し、ファインパターンによる高密度化および信頼性の高いものが求められている。

このようなパッケージ基板として、1997年、1月号の「表面実装技術」には、多層コア基板の両面にビルドアップ多層配線層が形成されたものが開示されている。

ところが、上掲の従来技術に係るパッケージ基板では、多層コア基板内の導体層とビルドアップ配線層との接続は、多層コア基板の表面にスルーホールから配線した内層パッドを設け、この内層パッドにビアホールを接続させて行っていた。このため、スルーホールのランド形状がダルマ形状あるいは鉄アレイ形状となり、その内層パッドの領域がスルーホールの配置密度の向上を阻害し、スルーホールの形成数には一定の限界があった。それ故に、配線の高密度化を図るためにコア基板を多層化すると、外層のビルドアップ配線層は、多層コア基板内の導体層と十分な電氣的接続を確保することができないという問題があった。

なお、このような問題点については、本発明らは先に、特願平第10-15346号（特開平第11-214846号）としてその改善方法を提案した。

このような改善提案による多層プリント配線板は、内層に導体層を有する多層コア

5 基板上に、層間樹脂絶縁層と導体層とが交互に積層されて各導体層間がビアホールにて接続されたビルドアップ配線層が形成されてなる多層プリント配線板において、多層コア基板には、スルーホールが形成され、そのスルーホールには充填材が充填されるとともに該充填材のスルーホールからの露出面を覆って導体層が形成され、その導体層にはビアホールが接続された構成であり、それによってスルーホールの配置密度が向上し、高密度化したスルーホールを介して多層化したコア基板内の導体回路との接続が確保できるようになっている。

10 しかしながら、かかる構成の多層プリント配線板におけるスルーホールは、多層化されたコア基板にドリル等で貫通孔を明け、その貫通孔の壁面および基板表面に無電解めっきを施して形成されるため、その開口性や経済性を考慮すると、形成され得るスルーホール開口径の下限は300 μm 程度であり、現在の電子産業界の要請を満足するような超高密度配線を実現するためには、50～250 μm 程度のより小さな開口径と、より狭いスルーホールランドピッチを得るための技術開発が望まれている。

15 そこで、本発明者らは、硬質材料からなるコア材の片面または両面に導体回路を有し、その片面からコア材を貫通して導体回路に達する充填ビアホールを形成してなる回路基板の複数枚を互いに積層し、接着剤を介して一括して加熱プレスすることにより多層コア基板を形成すれば、多層コア基板にスルーホールを設けることなく、多層コア基板内の導体回路同士、および多層コア基板内の導体回路と多層コア基板上に形成したビルドアップ配線層との電気的接続が、多層コア基板に形成した充填ビアホールと、その直上に形成したビルドアップ配線層内のビアホールとを介して十分に確保できることを知見した。

20 また、このような多層回路基板の最も外側の表面には、LSIチップ等のさまざまな電子部品が搭載されるが、その電子部品を搭載する方法としては、最も外側の表面に形成された導体回路上の所定位置に、電子部品の端子部を挿入するための部品穴や、その部品穴を囲んだ個所に部品穴の径よりもやや大きな径を持つ接続用のランドを形成させておき、ここに電子部品のリード群が半田付けにより接続されるピン実装方式や、導体回路上の所定位置に形成させたランド上にクリーム半田を予め塗布しておき、

電子部品の端子部がクリーム半田に接触するように載置した後、半田が溶融する温度範囲内に保たれた雰囲気内でリフローさせることにより、電子部品が接続される表面実装方式などが挙げられる。

しかしながら、上記のような方法では、導体回路上に適度な大きさの径を有するランドを設けることが不可欠である。しかるに、近年の電子機器の小型化、高機能化の要請に伴って、電子部品の搭載数が多くなると、ランドの総面積は無視できない程大きくなり、高密度化の阻害要因となっていた。

また、電子部品を接続するための半田付け作業の際には、不必要な箇所へ半田が流れ、短絡、断線等が起こるのを防止するためのソルダーレジストを、あらかじめ塗布しておくことも不可欠である。このため、ソルダーレジスト印刷の際の位置ずれ誤差を考慮して、配線間に余裕を見て設計する必要がある、このことも高密度化の阻害要因となっていた。

発明の開示

本発明は、従来技術が抱える上述した課題を解決するために開発されたものであり、その目的とするところは、高密度配線化および高密度実装化の可能な多層回路基板や多層プリント配線板およびそれらを用いた半導体装置を提案することにある。

発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、

(1) 本発明の多層回路基板は、絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して導体回路に達する開口に導電性物質が充填されてなるビアホールを有する回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることにより形成された多層回路基板において、

上記積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、上記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性バンプが形成され、また最も外側に位置する他方の回路基板の表面には、上記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性のピンまたはボールが配設されていることを特徴とする。

(2) また、本発明の多層回路基板は、絶縁性硬質基材の片面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に導電性物質が充填されてなるビアホールを有する片面回路基板の複数枚と、絶縁性硬質基材の片面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口を有する片面回路基板とが接着剤層を介してそれぞれ積層され、一括して加熱プレスされることにより形成された多層回路基板において、

前記積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、上記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性バンプが形成され、最も外側に位置する他方の回路基板の開口内には、その回路基板の導体回路に電氣的に接続される導電性のピンまたはボールが配設されていることを特徴とする。

上記(1)に記載の多層回路基板において、前記複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、その導体回路を覆ってソルダーレジスト層が設けられ、そのソルダーレジスト層に形成した開口から露出する導体層／ビアホールに接続するような導電性バンプがビアホール直上に形成され、また最も外側に位置する他方の回路基板の表面にも、その導体回路を覆ってソルダーレジスト層が設けられ、そのソルダーレジスト層に形成した開口から露出する導体層／ビアホールに接続するような導電性ピンまたはボールがビアホール直上に配設されていることが望ましい。

上記(1)または(2)に記載の多層回路基板において、各回路基板に形成される隣接するビアホール間の距離は、前記一方の回路基板から他方の回路基板に向かうにつれて大きくなるように形成されることが望ましい。

(3) 本発明の半導体装置は、上記(1)または(2)に記載の多層回路基板と、その多層回路基板の最も外側の一方の回路基板に形成された導電性バンプに電氣的に接続された電子部品とを含んでなることを特徴とする。

上記(3)に記載の半導体装置においては、電子部品を搭載する回路基板の周縁部にはスティフナが配置されるとともに、その回路基板に対向する最も外側の回路基板

に形成されたビアホールのうち、電子部品搭載位置に対向する位置にあるビアホールに対してチップコンデンサーが電氣的に接続されることが望ましい。

(4) また、本発明の半導体装置は、絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に電解めっきが充填されてなるビアホールを有し、そのビアホール位置に対応して、そのビアホールに電氣的に接続される突起状導体とを有してなる回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることにより形成された多層回路基板と、その多層回路基板の最も外側に位置する回路基板に電氣的に接続されたLSIチップ等の電子部品とを含んでなる半導体装置において、

10 前記最も外側に位置する一方の回路基板の表面には、前記ビアホールの直上に位置してそのビアホールに電氣的に接続する導電性バンプが形成されるとともに、その導電性バンプに対して前記電子部品が電氣的に接続され、

前記電子部品が搭載された回路基板と反対側にある最も外側に位置する回路基板の表面には、前記電子部品直下にあるビアホールに対してチップコンデンサーが電氣的に接続されていることを特徴とする。

上記(4)に記載の半導体装置において、電子部品が搭載された回路基板の周縁部には、基板の反り防止のためのスティフナが接着・固定されていることが望ましい。

(5) 本発明の多層回路基板は、

内層に導体回路を有する多層コア基板の片面または両面に、層間樹脂絶縁層と導体層とが交互に積層され、各導体層間がビアホールにて接続されたビルドアップ配線層が形成されてなる多層回路基板において、

上記多層コア基板は、絶縁性硬質基材の両面または片面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する孔に、導電性物質が充填されてなるビアホールを有する回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることで形成されていることを特徴とする。

上記(5)に記載の多層回路基板において、多層コア基板の両面にビルドアップ配線層を形成し、ビルドアップ配線層の一方を構成する最も外側の導体層の表面には、

半田バンプが設けられるとともに、上記ビルドアップ配線層の他方を構成する最も外側の導体層の表面には、導電性ピンまたはボールが配設されていることが望ましい。

また、ビルドアップ配線層を構成する最も外側の導体層を、ソルダーレジスト層で覆って、そのソルダーレジスト層に設けた開口から露出する最も外側の導体層を導体
5 パッド（あるいは接続用端子の形態）に形成することによって、マザーボードとして好適な多層プリント配線板が提供される。

さらに、上記（５）に記載の多層回路基板において、多層コア基板の片面にビルドアップ配線層を形成し、ビルドアップ配線層の最も外側の導体層表面には、ビアホール直上に位置して、LSI等の半導体チップを含む電子部品に接続される半田バンプ
10 が配設され、また多層化コア基板の他方の表面に露出する導体回路上には、前記充填ビアホールの直上に位置して、マザーボードに接続される導電性ピンまたはボールが配設されていることが望ましい。また、ビルドアップ配線層を構成する最も外側の導体層および多層コア基板の他面をソルダーレジスト層で覆って、そのソルダーレジスト層に設けた開口から露出する最も外側の導体層の一方に導体パッドを形成し、多層
15 コア基板の他方の表面に露出する導体回路上には、前記充填ビアホールの直上に位置して、マザーボードに接続される導電性ピンまたはボールを形成することが望ましい。

上記（１）～（５）に記載の多層回路基板において、導電性物質は、電解めっき処理によって形成された金属めっき、あるいは、金属粒子と、熱硬化性樹脂または熱可塑性樹脂とからなる導電性ペーストであることが望ましい。

上記（１）～（５）に記載の多層回路基板において、多層コア基板を構成する各回路基板は、そのビアホール位置に対応して、そのビアホールに電氣的接続された突起状導体が形成されていることが望ましく、またその突起状導体は、導電性ペーストから形成されることが望ましい。

さらに、上記（１）～（５）に記載の多層回路基板において、ビルドアップ配線層
25 のビアホールの一部は、多層コア基板に形成されたビアホールの直上に位置して、そのビアホールに直接接続されていることが望ましい。

また、上記（１）～（５）に記載の多層回路基板において、多層化されたコア基板

を構成する基本単位としての片面/両面回路基板は、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布-エポキシ樹脂基材、アラミド不織布-ポリイミド樹脂基材、から選ばれるいずれかの硬質基材から形成されることが望ましく、厚さが20~100

5 μm のガラス布エポキシ樹脂基材から形成され、充填ビアホール径が50~250 μm であることが望ましい。

さらに、各回路基板のビアホールは、パルスエネルギーが0.5~100mJ、パルス幅が1~100 μs 、パルス間隔が0.5ms以上、ショット数が1~50の条件のもとで、ガラス布エポキシ樹脂基材の表面に照射される炭酸ガスレーザーによって

10 形成された開口に対して形成されることが好ましい。

図面の簡単な説明

図1は、本発明を構成する片面回路基板の一積層状態を示す図、図2は、本発明を構成する片面回路基板の他の積層状態を示す図、図3は、本発明を構成する片面回路基板の更に他の積層状態を示す図、図4は、本発明を構成する片面回路基板の更に他の積層状態を示す図、図5(a)~(g)は、本発明を構成する両面回路基板の製造工程の一部を示す図、図6(a)~(f)は、本発明を構成する片面回路基板の製造工程の一部を示す図、図7は、本発明にかかる多層回路基板の一実施形態(片面回路基板と両面回路基板から構成する)を示す図、図8は、本発明にかかる多層回路基板の他の実施形態(片面回路基板だけから構成される)を示す図、図9は図8に示す実施形態における充填ビアホール位置を説明するための図、図10は、本発明にかかる半導体装置を示す図、図11は、本発明の他の実施形態を示す図、図12(a)~(f)は、本発明の更に他の実施形態(多層化コア基板の片面にビルドアップ配線層を形成した形態)にかかる多層回路基板の製造工程の一部を示す図、図13(a)~(c)は、同じく多層回路基板の製造工程の一部を示す図、図14(a)および

15 (b)は、同じく多層回路基板の製造工程の一部を示す図、図15(a)~(f)は、本発明にかかる多層回路基板の他の実施形態(多層化コア基板の両面にビルドアップ配線層を形成した)にかかる多層回路基板の製造工程の一部を示す図、図16

(a)～(c)は、同じく多層回路基板の製造工程の一部を示す図、図17(a)～(b)は、同じく多層回路基板の製造工程の一部を示す図、図18は、図17(b)に示す実施形態に加えてBGAやPGAを配設した更に他の実施形態を示す図である。

5 発明を実施するための最良の形態

(1) 本発明は、絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に導電性物質が充填されてなるビアホールを有する片面/両面回路基板を構成単位として、これらの複数枚を適切に組み合わせ、あるいは必要に応じて、これらの片面または両面回路基板に加えて、開口に導電性物質が充填されたビアホールを有するが導体回路を有しないような回路基板とを組み合わせ、接着剤層を介して積層した後、一括して加熱プレスすることにより成形した多層化基板をパッケージ基板として用いた点に特徴がある。

すなわち、積層・一括プレス成形された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、電子部品の接続用端子に接続されるべくビアホールの直上に位置してビアホールに電気的に接続される導電性バンプが形成され、また最も外側に位置する他方の回路基板の表面には、マザーボード上の接続用穴あるいは接続用パッドに接続されるべく、ビアホールの直上に位置してそのビアホールに電気的に接続する導電性ピン(PGA)またはボール(BGA)が配設されている点に特徴がある。

① 上記多層化基板を、たとえば4枚の片面回路基板A～Dを用いて構成する場合には、たとえば図1に示すように、最も外側に位置する一方の回路基板Aの表面には、導体回路が露出し、最も外側に位置する他方の回路基板Dの表面には、ビアホールに接続する突起状導体が露出した構造となり、また、図2に示すように、最も外側に位置する回路基板AおよびDの表面には、導体回路が露出した構造となる。

② また、上記多層化基板を、3枚の片面回路基板A、B、Cと、1枚の両面回路基板Eとを用いて構成する場合には、たとえば図3に示すように、最も外側に位置する回路基板A、Cの表面には、それぞれ導体回路が露出した構造となる。

③ さらに、上記多層化回路基板を、3枚の片面回路基板A、B、Cと、1枚の導

体回路を有しない回路基板Fとを用いて構成する場合には、たとえば図4に示すように、最も外側に位置する回路基板A、Fの表面には、それぞれビアホールに接続する突起状導体が露出した構造となる。

上記①～③のような組み合わせ以外にも多層化基板を構成することができるが、このような多層化基板を構成する最も外側の回路基板の導体回路のビアホール直上に位置する部分は、導体パッドに形成され、また最も外側の回路基板表面に露出する突起状導体は、その露出部分が加熱プレスの際に溶融して絶縁性基材の表面上にほぼ円形に広がった導体パッドに形成されて、多層回路基板が形成される。

図1に示すような組み合わせによれば、最上層の回路基板の表面に露出する導体回路上に、LSI等の半導体チップを含んだ電子部品に接続されるべく、適切な半田体を供給して半田バンプが形成され、また最下層の回路基板のビアホール位置に突起状導体によって形成される導体パッド上には、マザーボード上のコネクタまたは接続用パッドに接続されるべく、T形ピンまたは半田ボールが配設されるのが好ましい実施の形態である。

また、最も外側の回路基板の表面に露出する導体回路上に、適切な半田体を供給することによって、T形ピン又は半田ボールが接続され、最下層の回路基板のビアホール位置に突起状導体によって形成された導体パッドに、半田バンプを形成することもできる。

いずれの組み合わせによる構成でも、上記半田バンプは、最も外側に位置する一方の回路基板の導体回路の一部に形成された導体パッド上あるいはビアホール直上の突起状導体によって形成された導体パッド上に形成され、T形ピン又は半田ボールは、最も外側に位置する他方の回路基板の表面に露出するビアホール直上の突起状導体によって形成された導体パッド上あるいは導体回路の一部に形成された導体パッド上にそれぞれ配設されることになる。

他の実施形態としては、最も外側に位置する一方の回路基板の表面には、その導体回路を覆ってソルダーレジスト層を設け、そのソルダーレジスト層に形成した開口から露出する導体層／ビアホールに接続するような導電性バンプをビアホール直上に形

成し、また最も外側に位置する他方の回路基板の表面にも、その導体回路を覆ってソルダーレジスト層を設け、そのソルダーレジスト層に形成した開口から露出する導体層／ビアホールに接続するような導電性ピンまたはボールをビアホール直上に形成することもできる。

- 5 このような構成によれば、多層回路基板内に充填ビアホールが高密度に設けられ、こうして高密度化されたビアホールのうち、最も外側に位置する回路基板の表面に露出するビアホールの直上に位置して、導電性バンプや、導電性ピンまたはボールが配設されるので、多層回路基板内の配線層は、このような導電性バンプ、導電性ピンまたはボールを介して、LSI等の半導体チップを含んだ電子部品やマザーボードに最
- 10 短の配線長で接続され、高密度配線化が可能となる。

更に、本発明による多層回路基板は、基本となる片面あるいは両面回路基板を同一材料で形成し、それらを積層した構造なので、熱膨張に起因する界面を起点とするクラックや剥離が起きにくく、したがって、温度サイクル試験に対する信頼性も向上する。

- 15 また、片面回路基板だけを用いて多層回路基板を構成した実施形態の場合には、配線形成の有無に関わらず反りが発生し難くなるという有益性がある。

さらに、上記実施形態においては、導電性バンプ、導電性ピンおよびボールは、多層回路基板の最も外側に位置する回路基板の表面に露出するビアホールの直上に位置して形成されるので、従来技術のようにソルダーレジスト層を必ずしも形成する必要

20 がなくなる。なぜならば、最も外側に位置する回路基板の絶縁層が、ソルダーレジストの役割を果たしているからである。

- (2) また、本発明の多層回路基板は、積層された複数の回路基板からなる多層化基板のうち、最も外側に位置する一方の回路基板の表面には、ビアホールの直上に位置してそのビアホールに電氣的に接続する導電性バンプが形成され、また最も外側に
- 25 位置する他方の回路基板の開口内には導電性物質が充填されないで、その導体回路に電氣的に接続される導電性のピンまたはボールが配設される点に特徴がある。

このような構成によれば、多層化基板を構成する片面回路基板の最も外側に位置す

る回路基板の一つが充填ビアホールを有しない補強板として機能する。なぜならば、ビアホールは、内層のビアランドよりも小さいため、ビア形成時の状態は、ビアランドの周囲を最も外側の回路基板の絶縁層が押さえていることになるからである。さらに、そのような回路基板に設けた開口内に導電性のピンまたはボールが導体回路と電

5 氣的に接続するように配設されるので、ソルダーレジスト層を必要としない。

(3) 本発明は、上記(1)または(2)に記載の多層回路基板の最も外側の回路基板に形成された導電性バンプに、LSIチップ等の電子部品を電氣的に接続してなる半導体装置であることを特徴とする。

このような構成によれば、導電性バンプの平坦性が保たれるので、そのバンプと電

10 子部品との間の未接続や接続不良がなくなる。

上記半導体装置において、電子部品を搭載する回路基板には、電子部品を囲んだその周縁部にスティフナが配置されるとともに、電子部品を搭載する回路基板と対向する最も外側の回路基板に形成されたビアホールのうち、電子部品搭載位置に対向する位置にあるビアホールに、チップコンデンサーが直接に接続されることが望ましい。

15 このような構成によれば、LSIチップ等の電子部品と、チップコンデンサーとの間の距離を最短化でき、両者間のループインダクタンスを小さくすることができる。

(4) さらに、本発明は、充填ビアホールを電解めっきによって形成した複数の片面回路基板を積層・一括プレスして形成した多層化基板と、その多層化基板の最も外側に位置する回路基板に電氣的に接続されたLSIチップ等の電子部品とを含んでな

20 る半導体装置において、

前記最も外側に位置する一方の回路基板の表面には、前記ビアホールの直上に位置してそのビアホールに電氣的に接続する導電性バンプが形成されるとともに、その導電性バンプに対して電子部品が半田ボールを介して電氣的に接続され、前記電子部品が搭載された回路基板と反対側にある最も外側に位置する回路基板の表面には、前記

25 電子部品直下にあるビアホールに対してチップコンデンサーが電氣的に接続されていることを特徴とする。

このような構成によれば、LSI等の電子部品と、チップコンデンサーとの間の距

離を最短化でき、両者間のループインダクタンスを小さくすることができる。

上記半導体装置においては、電子部品が搭載された回路基板の周縁部には、回路基板を構成する各材料の熱膨張率の差異に起因する、基板全体の反りを防止するためのスティフナが接着・固定されていることが望ましい実施の形態である。

- 5 このスティフナは、たとえば、BT、FR4、FR5のようなガラス-樹脂複合材料や、銅などの金属材料から形成され、回路基板に搭載された電子部品を囲むように配設されるのが好ましい。

- (5) 本発明の多層回路基板は、絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に導電性物質が充填
10 されてなるビアホールを有する回路基板を構成単位として、それらの複数を積層・一括プレスしてなる多層化基板をコアとして、その多層化コア基板の片面あるいは両面にビルドアップ配線層を形成した点に特徴がある。

- 上記ビルドアップ配線層を多層化コア基板の両面に形成する一実施形態においては、多層化コア基板の両面に対して、層間樹脂絶縁層と導体回路とを交互に積層し、各導
15 体回路間がビアホールによって電氣的に接続された構造であり、ビルドアップ配線層の最も外側に位置する片方の導体回路の表面の少なくとも一部を、それぞれ導体パッドに形成し、それらの導体パッド上に半田バンプ等の導電性バンプを形成して電子部品の接続用端子あるいは導電性ピンやボールに接続されるようにし、最も外側に位置
20 する他方の導体回路の表面の少なくとも一部を、導体パッドに形成し、その導体パッド上に導電性ピンまたはボールが配設して、マザーボード上の接続用穴（コネクタ）あるいは接続用パッドに接続されるように構成する。

- 上記の実施形態においては、ビルドアップ配線層の最も外側に位置する導体回路を覆ってソルダーレジスト層を設け、そのソルダーレジスト層に形成した開口から露出
25 する導体回路の一部をそれぞれ導体パッドに形成し、それらの導体パッド上に導電性バンプや、導電性ピンあるいはボールを配設することによって、電子部品を搭載するに好適なパッケージ基板用多層回路基板が形成される。

また、上記の実施形態においては、ビルドアップ配線層の最も外側に位置する導体

回路を覆ってソルダーレジスト層を設け、そのソルダーレジスト層に形成した開口から露出する導体回路の一部をそれぞれ導体パッドに形成することによって、マザーボード用多層回路基板として用いられるのに好適な形態とすることができる。このような実施形態においては、導体パッド上には、必要に応じてパッケージ基板との電氣的

5 接続を行なうためのコネクタを設けることが望ましい。

同様に、上記ビルドアップ配線層を多層化コア基板の片面に形成する実施形態においては、ビルドアップ配線層の最も外側に位置する一方の導体回路の表面の少なくとも一部を、導体パッドに形成し、その導体パッド上に半田バンプ等の導電性バンプを形成して電子部品の接続用端子あるいは導電性ピンやボールに接続されるようにし、

10 一方、多層化コア基板のビルドアップ配線層が形成されない側の導体回路表面の少なくとも一部を、導体パッドに形成し、その導体パッド上に導電性ピンまたはボールが配設して、マザーボード上の接続用穴（コネクタ）あるいは接続用パッドに接続されるように構成する。

上記各実施形態のような構成によれば、多層化コア基板にスルーホールを設けることが不要となるので、ランドなどのパッド配設の自由度が向上する。その結果、充填

15 ビアホールを高密度に設けることができ、こうして高密度化されたビアホールを介して、外層のビルドアップ配線層は、多層化コア基板内の導体回路と十分な接続を確保することが可能になり、高密度配線化が可能となる。また、多層コア化基板内においても配線の更なる高密度化が可能となる。

さらに、ビルドアップ配線層内にビアホールが高密度に設けられ、こうして高密度化されたビアホールのうち、最も外側に位置する層間樹脂絶縁層に形成した開口から露出する導体パッド上に、導電性バンプや、導電性ピンまたは導電性ボールが配設されるので、多層回路基板内のビルドアップ配線層は、このような導電性バンプ、導電性

20 性ピンまたは導電性ボールを介して、LSI等の半導体チップを含んだ電子部品やマザーボードに最短の配線長で接続され、高密度配線化および電子部品の高密度実装化が可能となる。

上述したような（１）～（５）に記載された多層回路基板および半導体装置におい

て、多層化基板を構成する両面/片面回路基板に使用される絶縁性基材は、半硬化状態のプリプレグではなく、完全に硬化した樹脂材料から形成される硬質の絶縁性基材であり、このような材料を用いることによって、絶縁性基材上へ銅箔を加熱プレスによって圧着させる際に、プレス圧による絶縁性基材の最終的な厚みの変動がなくなるので、ビアホール位置ずれを最小限度に抑えて、ビアランド径を小さくできる。したがって配線ピッチを小さくして配線密度を向上させることができる。また、基材の厚みを実質的に一定に保つことができるので、充填ビアホール形成用の開口をレーザ加工によって形成する場合には、そのレーザ照射条件の設定が容易となる。

このような絶縁性樹脂基材としては、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布-エポキシ樹脂基材、アラミド不織布-ポリイミド樹脂基材から選ばれる硬質基材が使用されることが好ましく、ガラス布エポキシ樹脂基材が最も好ましい。

また、上記絶縁性基材の厚さは、 $20\sim 600\mu\text{m}$ が望ましい。その理由は、絶縁性を確保するためである。 $20\mu\text{m}$ 未満の厚さでは、強度が低下して取扱いが難しくなるとともに、電氣的絶縁性に対する信頼性が低くなるからであり、 $600\mu\text{m}$ を超えると、微細なビアホール形成用開口が難しくなると共に、基板そのものが厚くなるためである。

上記範囲の厚さを有するガラスエポキシ基板上に形成されるビアホール形成用開口は、パルスエネルギーが $0.5\sim 100\text{mJ}$ 、パルス幅が $1\sim 100\mu\text{s}$ 、パルス間隔が 0.5ms 以上、ショット数が $1\sim 50$ の条件で照射される炭酸ガスレーザによって形成されることが好ましく、その開口径は、 $50\sim 250\mu\text{m}$ の範囲であることが望ましい。その理由は、 $50\mu\text{m}$ 未満では開口に導電性物質を充填し難くなると共に、接続信頼性が低くなるからであり、 $250\mu\text{m}$ を超えると、高密度化が困難になるからである。

このような炭酸ガスレーザによる開口形成の前に、絶縁性基材の導体回路形成面と反対側の面に樹脂フィルムを粘着させ、その樹脂フィルム上からレーザ照射を行うのが望ましい。

この樹脂フィルムは、ビアホール形成用の開口内をデスマリア処理し、そのデスマリア処理した後の開口内に電解めっき処理によって金属めっきを充填する際の保護マスクとして機能し、またビアホールの金属めっき層の直上に突起状導体を形成するための印刷用マスクとして機能する。

5 上記樹脂フィルムは、たとえば、粘着剤層の厚みが1～20 μm であり、フィルム自体の厚みが10～50 μm であるPETフィルムから形成されるのが好ましい。

その理由は、PETフィルムの厚さに依存して後述する突起状導体の高さが決まるので、10 μm 未満の厚さでは突起状導体が低すぎて接続不良になりやすく、逆に50 μm を超えた厚さでは、接続界面で突起状導体が拡がりすぎるので、ファインパターンの形成ができないからである。

上記絶縁性基材を貫通する開口内部に充填される導電性物質としては、導電性ペーストや電解めっき処理によって形成される金属めっきが好ましい。

充填工程をシンプルにして、製造コストを低減させ、歩留まりを向上させるためには、導電性ペーストの充填が適しているが、接続信頼性の点では電解めっき処理によって形成される金属めっき、たとえば、すず、銀、半田、銅/すず、銅/銀等の金属めっきが好ましく、とくに、電解銅めっきが最適である。

このように導電性物質が充填された開口は、絶縁性基材に形成した導体回路同士を電氣的に接続するビアホールを形成するが、本発明によるパッケージ基板としての多層回路基板およびそれを用いた半導体装置の実施形態に応じて、積層される各回路基板に形成されるビアホールは、その隣接するビアホール間の距離が、LSIチップ等の電子部品を搭載する側にある最も外側の回路基板については最も小さく、マザーボードに接続される側にある最も外側の他の回路基板については最も大きくなるように形成される、すなわち、積層される各回路基板に形成されるビアホールの配置密度は、LSIチップ等の電子部品を搭載する側の回路基板からマザーボードに接続される側の回路基板に向かうにつれて小さくなるように形成されることが好ましく、このよう

な構成によれば、配線の引き回し性が向上する。

上記絶縁性基材の片面または両面に形成される導体回路は、厚さが5～18 μm の

銅箔を、半硬化状態を保持された樹脂接着剤層を介して加熱プレスした後、適切なエッチング処理をすることによって形成されるのが好ましい。

このような加熱プレスは、適切な温度および加圧力のもとで行なわれ、より好ましくは、減圧下において行なわれ、半硬化状態の樹脂接着剤層のみを硬化することによって、銅箔を絶縁性基材に対してしっかりと接着され得るので、従来のプリプレグを用いた回路基板に比べて製造時間が短縮される。

このような導体回路が絶縁性基材の両面に形成されるような回路基板は、多層化基板のコアとして用いることができ、各ビアホールに対応した基板表面には、導体回路の一部としてのビアランド(パッド)が、その口径が50~250 μm の範囲に形成されるのが好ましい。

また、絶縁性基材の片面に導体回路が形成されるような片面回路基板は、両面回路基板とともに積層される回路基板として用いられるだけでなく、片面回路基板だけを積層して多層化基板を形成することもできる。

このような片面回路基板においては、充填ビアホールの真上に突起状導体が形成されるのが好ましい。

上記突起状導体は、導電性ペーストや低融点金属から形成されることが好ましく、各回路基板を積層して、一括して加熱プレスする工程において、導電性ペーストあるいは低融点金属が熱変形するので、前記ビアホール内に充填される導電性物質や金属めっき層の高さのばらつきを吸収することができ、それ故に、接続不良を防止して接続信頼性に優れた多層回路基板を得ることができる。

上記突起状導体は、ビアホール内に充填される導電性物質、たとえば導電性ペーストと同一の材料で、しかも同一の充填工程によって形成することもできる。

上記積層・加熱プレスにより形成された多層化基板の、最も外側に位置する回路基板のうち、LSIチップ等の電子部品を搭載する側にある回路基板の表面に、ビアホールの直上に位置して形成される導電性バンプは、たとえば、ドットマトリックス状またはそれより少しずらしたマトリックス状に形成される。

また、最も外側に位置する回路基板のうち、マザーボードに接続される側にある他

の回路基板の表面に、ビアホール直上に位置して形成された導電性のピンまたは導電性のボールは、たとえば、上記導電性バンプと同様に、ドットマトリックス状またはそれより少しずらしたマトリックス状に形成される。

以下、本発明の多層回路基板およびそれを用いた半導体装置を製造する方法について、添付図面を参照にして具体的に説明する。

(A) 積層用回路基板の形成

(1) 本発明にかかる多層回路基板を製造するに当たって、それを構成する基本となる回路基板は、絶縁性基材10の片面に銅箔12が貼付けられたものを出発材料として用いる。

この絶縁性基材10は、たとえば、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布-エポキシ樹脂基材、アラミド不織布-ポリイミド樹脂基材から選ばれる硬質な積層基材が使用され得るが、ガラス布エポキシ樹脂基材が最も好ましい。

上記絶縁性基材10の厚さは、20~600 μ mが望ましい。その理由は、20 μ m未滿の厚さでは、強度が低下して取扱いが難しくなるとともに、電氣的絶縁性に対する信頼性が低くなり、600 μ mを超える厚さでは微細なビアホールの形成および導電性ペーストの充填が難しくなるとともに、基板そのものが厚くなるためである。

また銅箔12の厚さは、5~18 μ mが望ましい。その理由は、後述するようなレーザー加工を用いて、絶縁性基材にビアホール形成用の開口を形成する際に、薄すぎると貫通してしまうからであり、逆に厚すぎるとエッチングにより、微細な線幅の導体回路パターンを形成し難いからである。

上記絶縁性基材10および銅箔12としては、特に、エポキシ樹脂をガラスクロスに含漬させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面銅張積層板を用いることが好ましい。その理由は、銅箔12が後述するようにエッチングされた後の取扱い中に、配線パターンやビアホールの位置がずれることがなく、位置精度に優れるからである。

(2) 次に、両面に導体回路が形成された回路基板を製造する場合には、このような

絶縁性基材10の銅箔12が貼付けられた表面と反対側の表面に、保護フィルム14を貼付ける（図5(a)参照）。

この保護フィルム14は、後述する突起状導体を形成する導電性ペーストの印刷用マスクとして使用され、たとえば、表面に粘着層を設けたポリエチレンテレフタレート（PET）フィルムが使用され得る。

前記PETフィルム14は、粘着剤層の厚みが1~20 μ m、フィルム自体の厚みが10~50 μ mであるようなものが使用される。

(3) ついで、絶縁性基材10上に貼付けられたPETフィルム14上から炭酸ガスレーザー照射を行って、PETフィルム14を貫通して、絶縁性基材10の表面から銅箔12（あるいは導体回路パターン）に達する開口16を形成する（図5(b)参照）。

このレーザー加工は、パルス発振型炭酸ガスレーザー加工装置によって行われ、その加工条件は、パルスエネルギーが0.5~100mJ、パルス幅が1~100 μ s、パルス間隔が0.5ms以上、ショット数が1~50の範囲内であることが望ましい。

このような加工条件のもとで形成され得るビア口径は、50~250 μ mであることが望ましい。

(4) 前記(3)の工程で形成された開口16の側面および底面に残留する樹脂残滓を除去するために、デスマリア処理を行う。

このデスマリア処理は、酸素プラズマ放電処理、コロナ放電処理、紫外線レーザー処理またはエキシマレーザー処理等によって行われる。特に、開口内に紫外線レーザーまたはエキシマレーザーを照射することによってデスマリア処理するのが、接続信頼性の確保の観点から望ましい。

このデスマリア処理を、たとえば、YAG第3高調波を用いた紫外線レーザー照射によって行う場合のレーザー照射条件は、発信周波数が3~15kHz、パルスエネルギーが0.1~5mJ、ショット数が5~30の範囲が望ましい。

(5) 次に、デスマリア処理された基板に対して、以下のような条件で銅箔12をめっきリードとする電解銅めっき処理を施して、開口16内に電解銅めっき18を充填して、充填ビアホール20を形成する（図5(c)参照）。このめっき処理により、開

口16の上部に後述する導電性ペースト22を充填するわずかの隙間を残して電解銅めっき18が充填される。

〔電解銅めっき水溶液〕

	硫酸銅・5水和物	: 65 g/l
5	レベリング剤（アトテック製、HL）	: 20 ml/l
	硫酸	: 220 g/l
	光沢剤（アトテック製、UV）	: 0.5 ml/l
	塩素イオン	: 40 ppm

〔電解めっき条件〕

10	バブリング	: 3.0リットル/分
	電流密度	: 0.5 A/dm ²
	設定電流値	: 0.18 A
	めっき時間	: 130分

(6) 上記(5)にて電解銅めっき20が充填されなかった開口18の隙間あるいは凹みに対して、保護フィルム14を印刷用マスクとして導電性ペースト22を充填し、絶縁性基材10の表面から保護フィルム14の厚みに相当する分だけ突出した導体部分24（以下、「突起状導体」という）を形成する（図5(d)参照）。

(7) 次いで、突起状導体24を含んだ絶縁性基材10の表面に接着剤層26を形成する（図5(e)参照）。この接着剤26は半硬化状態、すなわちBステージの接着剤であり、導体回路パターンが形成されるべき銅箔を接着するためのものであり、たとえば、エポキシ樹脂ワニスを使用され、その層厚は10~50μmの範囲が好ましい。

(8) 上記(7)の工程で接着剤層26を設けた絶縁性基材10の表面に、銅箔28を加熱プレスによって圧着して、接着剤層26を硬化させる（図5(f)参照）。

25 その際、銅箔28は硬化した接着剤層26を介して絶縁性基材10に接着され、突起状導体24と銅箔28とが電氣的に接続される。この銅箔28の厚さは、5~18μmが望ましい。

(9) 次いで、絶縁性基材10の両面に貼付けられた銅箔12および28上に、それぞれエッチング保護フィルムを貼付けて、所定の回路パターンのマスクで被覆した後、エッチング処理を行って、導体回路30および32（ビアランドを含む）を形成する（図5(g)参照）。

- 5 この処理工程においては、先ず、銅箔12および28の表面に感光性ドライフィルムレジストを貼付した後、所定の回路パターンに沿って露光、現像処理してエッチングレジストを形成し、エッチングレジスト非形成部分の金属層をエッチングして、ビアランドを含んだ導体回路パターン30および32を形成する。

10 エッチング液としては、硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも1種の水溶液が望ましい。

上記銅箔12および28をエッチングして導体回路30および32を形成する前処理として、ファインパターンを形成しやすくするため、あらかじめ、銅箔の表面全面をエッチングして厚さを1~10 μ m、より好ましくは2~8 μ m程度まで薄くすることができる。

- 15 導体回路の一部としてのビアランドは、その内径がビアホール口径とほぼ同様であるが、その外径は、50~250 μ mの範囲に形成されることが好ましい。

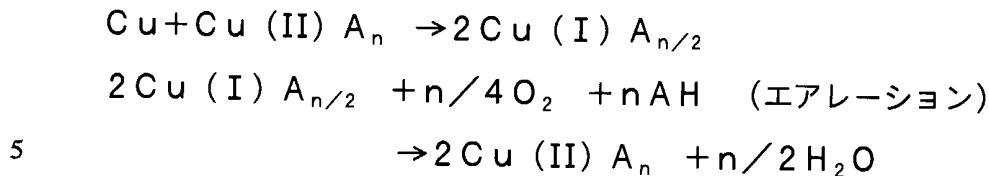
(10) 次に、前記(8)の工程で形成した導体回路30および32の表面を、必要に応じて粗化処理して（粗化層の表示は省略する）、両面回路基板34を形成する。

20 この粗化処理は、多層化する際に、接着剤層との密着性を改善し、剥離（デラミネーション）を防止するためである。

粗化処理方法としては、例えば、ソフトエッチング処理や、黒化（酸化）一還元処理、銅-ニッケル-リンからなる針状合金めっき（荏原ユーザライト製：商品名インタープレート）の形成、メック社製の商品名「メックエッチボンド」なるエッチング液による表面粗化がある。

- 25 この実施形態においては、上記粗化層の形成は、エッチング液を用いて形成されるのが好ましく、たとえば、導体回路の表面を第二銅錯体と有機酸の混合水溶液からエッチング液を用いてエッチング処理することによって形成することができる。かかる

エッチング液は、スプレーやバブリングなどの酸素共存条件下で、銅導体回路パターンを溶解させることができ、反応は、次のように進行するものと推定される。



式中、Aは錯化剤（キレート剤として作用）、nは配位数を示す。

上式に示されるように、発生した第一銅錯体は、酸の作用で溶解し、酸素と結合して第二銅錯体となって、再び銅の酸化に寄与する。本発明において使用される第二銅錯体は、アゾール類の第二銅錯体がよい。この有機酸-第二銅錯体からなるエッチング液は、アゾール類の第二銅錯体および有機酸（必要に応じてハロゲンイオン）を、
10 水に溶解して調製することができる。

このようなエッチング液は、たとえば、イミダゾール銅(II)錯体 10重量部、グリコール酸 7重量部、塩化カリウム 5重量部を混合した水溶液から形成される。

本発明にかかる多層回路基板を構成する両面回路基板は、上記(1)～(10)の工
15 程にしたがって製造される。

(11) 次に、このような両面回路基板の表面や裏面に対してそれぞれ積層される片面回路基板の製造に際して、まず、絶縁性基材10の片面に貼り付けられた銅箔12（図6(a)参照）上に、エッチング保護フィルムを貼付けて、所定の回路パターンのマスクで被覆した後、エッチング処理を行って、導体回路40（ビアランドを含む）を形成する（図6(b)参照）。
20

この処理工程においては、まず、銅箔12の表面に感光性ドライフィルムレジストを貼付した後、所定の回路パターンに沿って露光、現像処理してエッチングレジストを形成し、エッチングレジスト非形成部分の金属層をエッチングして、ビアランドを含んだ導体回路パターン40を形成する。

25 エッチング液としては、硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも1種の水溶液が望ましい。

上記銅箔12をエッチングして導体回路40を形成する前処理として、ファインパ

ターンを形成しやすくするため、あらかじめ、銅箔の表面全面をエッチングして厚さを1~10 μm 、より好ましくは2~8 μm 程度まで薄くすることができる。

(12) 絶縁性基材10の片面に導体回路40を形成した後、上記(2)~(6)の工程にしたがった処理を行ない、その後、PETフィルム14を絶縁性基材10の表面から剥離させる(図6(c)~図6(e)参照)。

上記(6)の工程にしたがって形成した突起状導体44(両面回路基板の突起状導体24と区別するために符号44で示す)の絶縁性基材10の表面からの突出高さは、保護フィルム14の厚みにほぼ等しく、5~30 μm の範囲が望ましい。

その理由は、5 μm 未満では、接続不良を招きやすく、30 μm を越えると抵抗値が高くなると共に、加熱プレス工程において突起状導体24が熱変形した際に、絶縁性基板の表面に沿って拡がりすぎるので、ファインパターンが形成できなくなるからである。

また、上記突起状導体44は、プレキユアされることが望ましい。その理由は、突起状導体44は半硬化状態でも硬く、積層プレスの段階で接着剤層が軟化する前に、積層される他の回路基板の導体回路(導体パッド)と電気的接触が可能となるからである。

このような突起状導体44は、加熱プレス時に変形して接触面積が増大するので、導通抵抗を低くすることができ、さらに突起状導体44の高さのばらつきが是正される。

(13) 次いで、絶縁性基材10の突起状導体44を含んだ表面に樹脂接着剤46を塗布する(図6(f)参照)。

このような樹脂接着剤は、例えば、絶縁性基材10の突起状導体44を含んだ表面全体または突起状導体44を含まない表面に塗布され、乾燥化された状態の未硬化樹脂からなる接着剤層として形成される。この接着剤層は、取扱が容易になるため、プレキユアしておくことが好ましく、その厚さは、5~50 μm の範囲が望ましい。

前記接着剤層46は、有機系接着剤からなることが望ましく、有機系接着剤としては、エポキシ樹脂、ポリイミド樹脂、熱硬化型ポリフェノレンエーテル(PPE)、

エポキシ樹脂と熱可塑性樹脂との複合樹脂、エポキシ樹脂とシリコン樹脂との複合樹脂、BTレジンから選ばれる少なくとも1種の樹脂であることが望ましい。

有機系接着剤である未硬化樹脂の塗布方法は、カーテンコート、スピンコート、ロールコート、スプレーコート、スクリーン印刷などを使用できる。また、接着剤層の
5 形成は、接着剤シートをラミネートすることによってもできる。

上記片面回路基板50は、絶縁性基材10の一方の表面に導体回路40を有し、他方の表面には導電性ペーストの一部が露出して形成される突起状導体44を有し、さらに突起状導体44を含んだ絶縁性基材10の表面に接着剤層46を有して形成され、
10 それらの複数枚が相互に積層接着されたり、予め製造された両面回路基板34に積層接着されて、多層化基板60が形成されるが、樹脂接着剤46はこのような積層段階で使用されることが好ましい。

(B) 多層化基板の作製

上記(A)の各処理工程にしたがって製造された両面回路基板34の両面に、3枚の片面回路基板50、52および54が積層されてなる4層基板が、加熱温度150
15 ~200℃、加圧力1M~4MPaの条件のもとで、1度のプレス成形により一体化され多層化基板60が形成される(図7参照)。

上記のような条件のもとで、加圧と同時に加熱することで、各片面回路基板の接着剤層46が硬化し、隣接する片面回路基板との間で強固な接着が行われる。なお、加熱プレスとしては、真空熱プレスを用いることが好適である。

20 上述した実施の形態では、1層の両面回路基板と3層の片面回路基板とを用いて4層に多層化した。5層あるいは6層を超える多層化にも適用できる。

(C) 導電性バンプや、導電性ピン、導電性ボールの配設

上記(B)の各処理工程にしたがって形成された多層化された回路基板のうち、最も外側に位置する回路基板に導電性バンプを設けて、LSIチップ等の電子部品を直接搭載するようにし、また最も外側に位置する他方の回路基板に導電性ピンまたは導電性ボールを配設して、マザーボード上の接続用端子(コネクタ)あるいは導電性
25 ボールに直接的に接続できるパッケージ基板として構成する。

たとえば、図7に示すような多層化基板60は、最も外側に位置する回路基板50および54の導体回路40がそれぞれ外側に露出した構造であり、このような多層化基板の場合には、それぞれの導体回路40上にビアホール直上に位置した適切な半田パッド部を設け、これらの半田パッド部上に適切な半田体を供給して導電性バンプ62を形成したり、導電性ピン64または導電性ボール66を配設するように構成する。

なお、導電性バンプ62を形成する半田体としては、融点が比較的到低いスズ/鉛半田（融点183℃）やスズ/銀半田（融点220℃）を用い、導電性ピン64や導電性ボール66を接続する半田体としては、融点が230℃～270℃と比較的融点の高いスズ/アンチモン半田、スズ/銀半田、スズ/銀/銅半田を用いることが好ましい。

また、図8に示すような4枚の片面回路基板70、72、74および76が順次積層されてなる4層基板を、適切な加熱、加圧条件のもとで、1度のプレス成形により一体化した多層化基板80を用いる場合には、最も外側に位置する一方の回路基板70は、そのビアホールの直下にある突起状導体が溶融して絶縁性基材10の表面上にほぼ円形の導体パッドを形成し、他方の回路基板76は、その導体回路40のビアホール直上の部分が導体パッドに形成された構造となる。

このような多層化基板80の場合には、最下層の回路基板70は、そのビアホール直下の導体パッド上に、導電性ピン64または導電性ボール66が接続され、マザーボード（図示を省略した）の接続用端子あるいは半田ボールに接続されるようになっており、また最上層の回路基板76は、その導体回路40の一部に形成した導体パッド上に導電性バンプ62が形成されて、LSIチップ等の電子部品82の半田ボール84に接続されるように構成される。

図8において破線で示すように、最も外側の回路基板70および76の表面にソルダーレジスト層83を形成してもよい。この場合、ソルダーレジスト組成物を塗布し、その塗膜を乾燥した後、この塗膜に、開口部を描画したフォトマスクフィルムを載置して露光、現像処理することにより、導体回路40のうち、半田パッド部分を露出させた開口を形成し、その露出した半田パッド部分に、導電性バンプ62、導電性ピン

64あるいは導電性ボール66を設ける。

上記実施形態において、導電性パッドや、導電性ピン、導電性ボールを含んだ多層化基板80と、その多層化基板80上に搭載される電子部品82とから半導体装置が構成され、またこのような電子部品を含んだ多層化基板80と、それが取付けられる

5 マザーボードとを含んだ全体としても半導体装置が構成される。

図10は、多層化基板80の最も外側に位置する一方の回路基板70に対してチップコンデンサー86が接続・固定され、他方の回路基板76の外周縁に沿って反り防止のためのスティフナ88が固着されている他の半導体装置を示す。

このような半導体装置においては、チップコンデンサー86は、セラミックス、チ
10 タン酸バリウムなどの高誘電体から形成され、搭載された電子部品82の直下に位置するビアホールに電氣的に接続され、ループインダクタンスの低減を図ることができる。

また、スティフナ88は、BT, FR4, FR5のようなガラスエポキシ複合材料
15 や、銅などの金属材料から形成され、回路基板を構成する各材料の熱膨張量の差に起因する反りを防止している。

さらに、図11に示すように、多層化基板80を構成する最も外側の回路基板の一方は、その導体回路40に形成した導体パッド上に導電性バンプ62を形成し、他方の回路基板（ここでは最下層の回路基板70）は、絶縁性基材10に設けた開口16
20 に電解銅めっき層を充填しないような構成とし、その開口16内に露出する導体回路40に形成した導体パッド部に、適切な半田体を供給して導電性ピン64を接続させた構造とすることもできる。

このような構造は、導電性ピン64が絶縁性基材10によってその周囲を囲まれているので、あらためてソルダーレジスト層を設ける必要がなくなる。

上記実施の形態において、各半田パッド部上に「ニッケル-金」からなる金属層を
25 形成することが好ましく、ニッケル層は1~7 μm が望ましく、金層は0.01~0.06 μm がよい。この理由は、ニッケル層は、厚すぎると抵抗値の増大を招き、薄すぎると剥離しやすいからである。一方金層は、厚すぎるとコスト増になり、薄すぎる

と半田体との密着効果が低下するからである。

このような半田パッド部上に設けたニッケル—金からなる金属層上に、半田体を供給し、この半田体の溶融・固化によって導電性バンプを形成し、あるいは導電性ピンや導電性ボールを半田パッド部に接合して、多層回路基板が形成される。

5 上記半田体の供給方法としては、半田転写法や印刷法を用いることができる。

ここで、半田転写法は、プリプレグに半田箔を貼合し、この半田箔を開口部分に相当する箇所のみを残してエッチングすることにより、半田パターンを形成して半田キャリアフィルムとし、この半田キャリアフィルムを、基板のソルダーレジスト開口部分にフラックスを塗布した後、半田パターンがパッドに接触するように積層し、これ

10 を加熱して転写する方法である。

一方、印刷法は、パッドに相当する箇所に開口を設けた印刷マスク（メタルマスク）を基板に載置し、半田ペーストを印刷して加熱処理する方法である。半田としては、スズ—銀、スズ—インジウム、スズ—亜鉛、スズ—ビスマスなどが使用できる。

(D1) 片面ビルドアップ配線層の形成

15 上記(A)および(B)の工程によって形成された多層化基板60の片面に、ビルドアップ配線層を形成した実施形態について説明する。多層化基板60を構成する両面および片面回路基板の図示は、簡単化の目的ですべて省略する(図12(a)参照)。

①多層化基板60の片面にある導体回路40の表面に銅—ニッケル—リンからなる粗化層62を形成する(図12(b)参照)。

20 この粗化層62は、無電解めっきにより形成される。この無電解めっき水溶液の液組成は、銅イオン濃度、ニッケルイオン濃度、次亜リン酸イオン濃度が、それぞれ $2 \times 10^{-2} \sim 4.1 \times 10^{-2} \text{ mol/l}$ 、 $2 \times 10^{-3} \sim 4.1 \times 10^{-3} \text{ mol/l}$ 、 $0.20 \sim 0.25 \text{ mol/l}$ であることが望ましい。

この範囲で析出する被膜の結晶構造は針状構造になるため、アンカー効果に優れる

25 からである。この無電解めっき水溶液には上記化合物に加えて錯化剤や添加剤を加えてもよい。

粗化層の形成方法としては、前述したように、銅—ニッケル—リン針状合金めっき

による処理、酸化還元処理、銅表面を粒界に沿ってエッチングする処理にて粗化面を形成する方法などがある。

② 次に、前記①で作製した粗化層 6 2 を有する多層化基板 6 0 の上に、層間樹脂絶縁層 6 4 を形成する（図 1 2 (c)）。

- 5 層間樹脂絶縁層 6 4 の形成には、予め粘度などを調整した液状にした樹脂をカーテンコーター、ロールコーター、印刷などによって塗布して形成する方法、半硬化の B ステージ状態にしたフィルム上にしたものを貼り付ける方法、もしくは板状になった樹脂膜を圧着、加熱圧着して形成させる方法を行うことができる。

上記層間絶縁樹脂層を形成する樹脂としては、熱硬化性樹脂、熱可塑性樹脂、感光
10 性樹脂（紫外線硬化性樹脂なども意味する）、熱硬化性樹脂の一部をアクリル化された樹脂、熱硬化性樹脂と熱可塑性樹脂の樹脂複合体、感光性樹脂と熱可塑性樹脂の樹脂複合体から選ばれる少なくとも 1 種類以上を用いることが望ましい。それら以外にも硬化剤、反応促進剤、光反応重合剤、添加剤、溶剤などを含有させることもできる。

上記熱硬化性樹脂としては、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ピ
15 スマレイド樹脂、ポリフェニレン樹脂、ポリオレフィン樹脂、フッ素樹脂などを使用できる。

上記エポキシ樹脂としては、フェノールノボラック型、クレゾールノボラック型などのノボラック型エポキシ樹脂、ジシクロペンタジエン変成した脂環式エポキシ樹脂などを使用することができる。

20 上記感光性樹脂としては、アクリル樹脂、また、熱硬化性樹脂に感光化する場合は、熱硬化性樹脂の熱硬化基にメタクリル酸やアクリル酸などをアクリル化反応させる。

熱可塑性樹脂としては、フェノキシ樹脂、ポリエーテルスルホン（PES）、ポリスルホン（PSF）、ポリフェニレンスルホン（PPS）、ポリフェニレンサルファイド（PPES）、ポリフェニルエーテル（PPE）、ポリエーテルイミド
25 （PI）などを使用できる。

上記樹脂複合体としては、熱硬化性樹脂と熱可塑性樹脂、感光性樹脂と熱可塑性樹脂との組み合わせがある。

上記熱硬化性樹脂と熱可塑性樹脂との組み合わせとしては、フェノール樹脂とポリエーテルスルホン、ポリイミド樹脂とポリスルホン、エポキシ樹脂とポリエーテルスルホン、エポキシ樹脂とフェノキシ樹脂などがある。

上記感光性樹脂と熱可塑性樹脂との組み合わせとしては、エポキシ基の一部をアクリル化したエポキシ樹脂とポリエーテルスルホン、アクリル樹脂とフェノキシ樹脂などがある。樹脂複合体の混合割合は、熱硬化性樹脂（感光性樹脂）／熱可塑性樹脂＝95／5～50／50がよい。耐熱性を損なうことなく、高い靱性値を確保できるからである。

上記層間樹脂絶縁層は2層構成以上にしてもよい。つまり2層の異なる樹脂によって樹脂層から形成してもよい。例えば、フィラー成分を少なくして絶縁性を向上させて、上層には、酸あるいは酸化剤に対して可溶性のフィラーを含浸させることにより、無電解めっき膜と密着性を高めるという構成にしてもよい。形成させる樹脂層の厚みは、20～70 μm の間で形成させることが望ましい。特に望ましいのは、25～50 μm の間であり、その厚みであれば絶縁性という点でもめっき膜との密着性という点でも容易にクリアできるからである。

上記樹脂フィルムは、酸または酸化剤に可溶性の粒子（以下、可溶性粒子という）が酸または酸化剤に難溶性の樹脂（以下、難溶性樹脂という）中に分散したものである。なお、本発明で使用する「難溶性」「可溶性」という語は、同一の酸または酸化剤からなる溶液に同一時間浸漬した場合に、相対的に溶解速度の早いものを便宜上「可溶性」と呼び、相対的に溶解速度の遅いものを便宜上「難溶性」と呼ぶ。

上記可溶性粒子としては、例えば、酸または酸化剤に可溶性の樹脂粒子（以下、可溶性樹脂粒子）、酸または酸化剤に可溶性の無機粒子（以下、可溶性無機粒子）、酸または酸化剤に可溶性の金属粒子（以下、可溶性金属粒子）等が挙げられる。これらの可溶性粒子は、単独で用いても良いし、2種以上併用してもよい。

上記可溶性粒子の形状は特に限定されず、球状、破碎状等が挙げられる。また、上記可溶性粒子の形状は、一様な形状であることが望ましい。均一な粗さの凹凸を有する粗化面を形成することができるからである。

上記可溶性粒子の平均粒径としては、0.1～10 μ mが望ましい。この粒径の範囲であれば、2種類以上の異なる粒径のものを含有してもよい。すなわち、平均粒径が0.1～0.5 μ mの可溶性粒子と平均粒径が1～3 μ mの可溶性粒子とを含有する等である。これにより、より複雑な粗化面を形成することができ、導体回路との密着性にも優れる。なお、本発明において、可溶性粒子の粒径とは、可溶性粒子の一番長い部分の長さである。

上記可溶性樹脂粒子としては、熱硬化性樹脂、熱可塑性樹脂等からなるものが挙げられ、酸あるいは酸化剤からなる溶液に浸漬した場合に、上記難溶性樹脂よりも溶解速度が速いものであれば特に限定されない。

10 上記可溶性樹脂粒子の具体例としては、例えば、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリフェニレン樹脂、ポリオレフィン樹脂、フッ素樹脂等からなるものが挙げられ、これらの樹脂の一種からなるものであってもよいし、2種以上の樹脂の混合物からなるものであってもよい。

また、上記可溶性樹脂粒子としては、ゴムからなる樹脂粒子を用いることもできる。

15 上記ゴムとしては、例えば、ポリブタジエンゴム、エポキシ変性、ウレタン変性、(メタ)アクリロニトリル変性等の各種変性ポリブタジエンゴム、カルボキシル基を含有した(メタ)アクリロニトリル・ブタジエンゴム等が挙げられる。これらのゴムを使用することにより、可溶性樹脂粒子が酸あるいは酸化剤に溶解しやすくなる。つまり、酸を用いて可溶性樹脂粒子を溶解する際には、強酸以外の酸でも溶解することができ、酸化剤を用いて可溶性樹脂粒子を溶解する際には、比較的酸化力の弱い過マンガン酸でも溶解することができる。また、クロム酸を用いた場合でも、低濃度で溶解することができる。そのため、酸や酸化剤が樹脂表面に残留することがなく、後述するように、粗化面形成後、塩化パラジウム等の触媒を付与する際に、触媒が付与されなかつたり、触媒が酸化されたりすることがない。

25 上記可溶性無機粒子としては、例えば、アルミニウム化合物、カルシウム化合物、カリウム化合物、マグネシウム化合物およびケイ素化合物からなる群より選択される少なくとも一種からなる粒子等が挙げられる。

上記アルミニウム化合物としては、例えば、アルミナ、水酸化アルミニウム等が挙げられ、上記カルシウム化合物としては、例えば、炭酸カルシウム、水酸化カルシウム等が挙げられ、上記カリウム化合物としては、炭酸カリウム等が挙げられ、上記マグネシウム化合物としては、マグネシア、ドロマイト、塩基性炭酸マグネシウム等が挙げられ、上記ケイ素化合物としては、シリカ、ゼオライト等が挙げられる。これらは単独で用いても良いし、2種以上併用してもよい。

上記可溶性金属粒子としては、例えば、銅、ニッケル、鉄、亜鉛、鉛、金、銀、アルミニウム、マグネシウム、カルシウムおよびケイ素からなる群より選択される少なくとも一種からなる粒子等が挙げられる。また、これらの可溶性金属粒子は、絶縁性を確保するために、表層が樹脂等により被覆されていてもよい。

上記可溶性粒子を、2種以上混合して用いる場合、混合する2種の可溶性粒子の組み合わせとしては、樹脂粒子と無機粒子との組み合わせが望ましい。両者とも導電性が低いため樹脂フィルムの絶縁性を確保できるとともに、難溶性樹脂との間で熱膨張の調整が図りやすく、樹脂フィルムからなる層間樹脂絶縁層にクラックが発生せず、層間樹脂絶縁層と導体回路との間で剥離が発生しないからである。

上記難溶性樹脂としては、層間樹脂絶縁層に酸または酸化剤を用いて粗化面を形成する際に、粗化面の形状を保持できるものであれば特に限定されず、例えば、熱硬化性樹脂、熱可塑性樹脂、これらの複合体等が挙げられる。また、これらの樹脂に感光性を付与した感光性樹脂であってもよい。感光性樹脂を用いることにより、層間樹脂絶縁層に露光、現像処理を用いてビアホール用開口を形成することができる。

これらのなかでは、熱硬化性樹脂を含有しているものが望ましい。それにより、めっき液あるいは種々の加熱処理によっても粗化面の形状を保持することができるからである。

上記難溶性樹脂の具体例としては、例えば、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリフェニレン樹脂、ポリオレフィン樹脂、フッ素樹脂等が挙げられる。これらの樹脂は単独で用いてもよいし、2種以上を併用してもよい。

さらには、1分子中に、2個以上のエポキシ基を有するエポキシ樹脂がより望まし

い。前述の粗化面を形成することができるばかりでなく、耐熱性等にも優れてるため、ヒートサイクル条件下においても、金属層に応力の集中が発生せず、金属層の剥離などが起きにくいからである。

- 上記エポキシ樹脂としては、例えば、クレゾールノボラック型エポキシ樹脂、ビスフェノールA型エポキシ樹脂、ビスフェノールF型エポキシ樹脂、フェノールノボラック型エポキシ樹脂、アルキルフェノールノボラック型エポキシ樹脂、ビフェノールF型エポキシ樹脂、ナフタレン型エポキシ樹脂、ジシクロペンタジエン型エポキシ樹脂、フェノール類とフェノール性水酸基を有する芳香族アルデヒドとの縮合物のエポキシ化物、トリグリシジルイソシアヌレート、脂環式エポキシ樹脂等が挙げられる。
- 5 これらは、単独で用いてもよく、2種以上を併用してもよい。それにより、耐熱性等に優れるものとなる。

- 本発明で用いる樹脂フィルムにおいて、上記可溶性粒子は、上記難溶性樹脂中にほぼ均一に分散されていることが望ましい。均一な粗さの凹凸を有する粗化面を形成することができ、樹脂フィルムにパイアホールやスルーホールを形成しても、その上に
- 15 形成する導体回路の金属層の密着性を確保することができるからである。また、粗化面を形成する表層部だけに可溶性粒子を含有する樹脂フィルムを用いてもよい。それによって、樹脂フィルムの表層部以外は酸または酸化剤にさらされることがないため、層間樹脂絶縁層を介した導体回路間の絶縁性が確実に保たれる。

- 上記樹脂フィルムにおいて、難溶性樹脂中に分散している可溶性粒子の配合量は、樹脂フィルムに対して、3～40重量%が望ましい。可溶性粒子の配合量が3重量%未満では、所望の凹凸を有する粗化面を形成することができない場合があり、40重量%を超えると、酸または酸化剤を用いて可溶性粒子を溶解した際に、樹脂フィルムの深部まで溶解してしまい、樹脂フィルムからなる層間樹脂絶縁層を介した導体回路間の絶縁性を維持できず、短絡の原因となる場合がある。

- 25 上記樹脂フィルムは、上記可溶性粒子、上記難溶性樹脂以外に、硬化剤、その他の成分等を含有していることが望ましい。

上記硬化剤としては、例えば、イミダゾール系硬化剤、アミン系硬化剤、グアニジ

ン系硬化剤、これらの硬化剤のエポキシアダクトやこれらの硬化剤をマイクロカプセル化したもの、トリフェニルホスフィン、テトラフェニルホスフォニウム・テトラフェニルボレート等の有機ホスフィン系化合物等が挙げられる。

上記硬化剤の含有量は、樹脂フィルムに対して0.05～10重量%であることが望ましい。0.05重量%未満では、樹脂フィルムの硬化が不十分であるため、酸や酸化剤が樹脂フィルムに侵入する度合いが大きくなり、樹脂フィルムの絶縁性が損なわれることがある。一方、10重量%を超えると、過剰な硬化剤成分が樹脂の組成を変性させることがあり、信頼性の低下を招いたりしてしまうことがある。

上記その他の成分としては、例えば、粗化面の形成に影響しない無機化合物あるいは樹脂等のフィラーが挙げられる。上記無機化合物としては、例えば、シリカ、アルミナ、ドロマイト等が挙げられ、上記樹脂としては、例えば、ポリイミド樹脂、ポリアクリル樹脂、ポリアミドイミド樹脂、ポリフェニレン樹脂、メラニン樹脂、オレフィン系樹脂等が挙げられる。これらのフィラーを含有させることによって、熱膨脹係数の整合や耐熱性、耐薬品性の向上などを図りプリント配線板の性能を向上させることができる。

また、上記樹脂フィルムは、溶剤を含有していてもよい。上記溶剤としては、例えば、アセトン、メチルエチルケトン、シクロヘキサノン等のケトン類、酢酸エチル、酢酸ブチル、セロソルブアセテートやトルエン、キシレン等の芳香族炭化水素等が挙げられる。これらは単独で用いてもよいし、2種類以上併用してもよい。

特に本発明では、後述するビアホール70を形成する層間樹脂絶縁材として、熱硬化性樹脂と熱可塑性樹脂の複合体を樹脂マトリックスとした無電解めっき用接着剤を用いることが望ましい。また、半硬化状態の樹脂フィルムを積層して用いてもよい。

③ 前記②で形成した無電解めっき用接着剤層を乾燥した後、ビアホール形成用の開口部65を設ける(図12(d))。

感光性樹脂の場合は、露光、現像してから熱硬化することにより、また、熱硬化性樹脂の場合は、熱硬化したのちレーザー加工することにより、前記接着剤層64にビアホール形成用の開口部65を設ける。

④ 次に、硬化した前記接着剤層 6 4 の表面に存在するエポキシ樹脂粒子を酸あるいは酸化剤によって分解または溶解して除去し、接着剤層表面に粗化処理を施して粗化面 6 6 とする (図 1 2 (e))。

ここで、上記酸としては、リン酸、塩酸、硫酸、あるいは蟻酸や酢酸などの有機酸があるが、特に有機酸を用いることが望ましい。粗化処理した場合に、ビアホールから露出する金属導体層を腐食させ難いからである。

一方、上記酸化剤としては、クロム酸、過マンガン酸塩 (過マンガン酸カリウムなど) を用いることが望ましい。

⑤ 次に、接着剤層 6 4 表面の粗化面 6 6 に触媒核を付与する。

触媒核の付与には、貴金属イオンや貴金属コロイドなどを用いることが望ましく、一般的には、塩化パラジウムやパラジウムコロイドを使用する。なお、触媒核を固定するために加熱処理を行うことが望ましい。このような触媒核としてはパラジウムがよい。

⑥ さらに、(無電解めっき用) 接着剤層 6 4 の表面に無電解めっきを施し、粗化面全域に追従するように、無電解めっき膜 6 7 を形成する (図 1 2 (f))。このとき、無電解めっき膜 6 7 の厚みは、0.1~5 μm の範囲が好ましく、より望ましくは 0.5~3 μm とする。

次に、無電解めっき膜 6 7 上にめっきレジスト 6 8 を形成する (図 1 3 (a))。めっきレジスト組成物としては、特にクレゾールノボラック型エポキシ樹脂やフェノールノボラック型エポキシ樹脂のアクリレートとイミダゾール硬化剤からなる組成物を用いることが望ましいが、他に市販品のドライフィルムを使用することもできる。

⑦ さらに、無電解めっき膜 6 7 上のめっきレジスト非形成部に電解めっきを施して、上層導体回路 7 2 を形成すべき導体層を設けると共に開口 6 5 内部に電解めっき膜 6 9 を充填してビアホール 7 0 を形成する (図 1 2 (b))。

この時、開口 5 の外側に露出する電解めっき膜 6 9 の厚みは、5~30 μm が望ましい。ここで、上記電解めっきとしては、銅めっきを用いることが望ましい。

⑧ さらに、めっきレジスト 6 8 を除去した後、硫酸と過酸化水素の混合液や過硫酸

ナトリウム、過硫酸アンモニウムなどのエッチング液でめっきレジスト下の無電解めっき膜を溶解除去して、独立した上層導体回路72と充填ビアホール70とする。

⑨ 次に、上層導体回路72の表面に粗化層74を形成する。

粗化層74の形成方法としては、エッチング処理、研磨処理、酸化還元処理、めっき処理がある。

これらの処理のうち、酸化還元処理は、 NaOH (20 g/l)、 NaClO_2 (50 g/l)、 NaPO_4 (15.0 g/l)を酸化浴(黒化浴)とし、 NaOH (2.7 g/l)、 NaBH_4 (1.0 g/l)を還元浴とする。

また、銅-ニッケル-リン合金層からなる粗化層は、無電解めっき処理による析出により形成される。

この合金の無電解めっき液としては、硫酸銅1~40 g/l、硫酸ニッケル0.1~6.0 g/l、クエン酸10~20 g/l、次亜リン酸塩10~100 g/l、ホウ酸10~40 g/l、界面活性剤0.01~10 g/lからなる液組成のめっき浴を用いることが望ましい。

さらに、この粗化層74の表面をイオン化傾向が銅より大きくチタン以下である金属もしくは貴金属の層にて被覆する。

スズの場合は、ホウフッ化スズ-チオ尿素、塩化スズ-チオ尿素液を使用する。このとき、 Cu-Sn の置換反応により0.1~2 μm 程度のSn層が形成される。貴金属の場合は、スパッタや蒸着などの方法が採用できる。

⑩ 次に、この基板の上に層間樹脂絶縁層として、無電解めっき用接着剤層76を形成する。

⑪ さらに、前記工程③~⑨を繰り返して、ビアホール70の真上に他のビアホール(図示を省略する)を設けると共に上層導体回路72よりもさらに外側に上層導体回路82を設け(図13(c)参照)、この上層導体回路82の表面および図示を省略したビアホールの内壁を含んだ表面を粗化処理して粗化層84を設ける。

⑫ 次に、こうして得られたビルドアップ配線層の最も外側の表面を覆って、ソルダーレジスト組成物90を塗布し、その塗膜を乾燥した後、この塗膜に、開口部を描

画したフォトマスクフィルムを載置して露光、現像処理することにより、導体層のうち、半田パッドとなるべき導体部分（導体パッド、ビアホールを含む）を露出させた開口91を形成する（図14（a）参照）。

ここで、露出する開口91の開口径は、半田パッドとなるべき導体部分の径よりも大きくすることができ、また、その導体部分を完全に露出させてもよい。また、逆に前記開口91の開口径は、上記半田パッドとなるべき導体部分の径よりも小さくすることができ、その導体部分の縁周をソルダーレジスト層90で被覆することができる。この場合、半田パッドとなるべき部分をソルダーレジスト層90で抑えることができ、最終的にははんだパッドの剥離を防止できるように構成することが好ましい。

10 ⑬ さらに、前記ソルダーレジスト層90の開口部91から露出した前記導体部分上に「ニッケル-金」からなる金属層を形成して、半田パッドが形成される。

ニッケル層92は1~7 μm が望ましく、金層は0.01~0.06 μm がよい。この理由は、ニッケル層92は、厚すぎると抵抗値の増大を招き、薄すぎると剥離しやすいからである。一方金層94は、厚すぎるとコスト増になり、薄すぎるとはんだ体との密着効果が低下するからである。

15 ⑭ さらに、多層化基板の片面に形成したビルドアップ配線層の最も外側に位置するソルダーレジスト層の一方に形成した開口部91（上方に位置する開口部）から露出する導体回路（はんだパッド）上には、はんだ体を供給してはんだバンプ96を形成するとともに、多層化基板のビルドアップ配線層が形成されない側の表面に露出した導体回路52（はんだパッド）上には、はんだ体を供給してTピン96又ははんだボール100を形成することによって、多層回路基板が製造される（図14（b）参照）。

はんだ体の供給方法としては、はんだ転写法や印刷法を用いることができる。

ここで、はんだ転写法は、プリプレグにはんだ箔を貼合し、このはんだ箔を開口部分に相当する箇所のみを残してエッチングすることにより、はんだパターンを形成してはんだキャリアフィルムとし、このはんだキャリアフィルムを、基板のソルダーレジスト開口部分にフラックスを塗布した後、はんだパターンがパッドに接触するように積層し、これを加熱して転写する方法である。一方、印刷法は、パッドに相当する

箇所に通孔を設けた印刷マスク（メタルマスク）を基板に載置し、はんだペーストを印刷して加熱処理する方法である。はんだとしては、スズ-銀、スズ-インジウム、スズ-亜鉛、スズ-ビスマスなどが使用できる。

- 5 なお、導電性バンプ96を形成するはんだ体としては、融点が比較的到低いスズ/鉛はんだ（融点183°C）やスズ/銀はんだ（融点220°C）を用い、導電性ピン98や導電性ボール100を接続するはんだ体としては、融点が230°C~270°Cと比較的融点の高いスズ/アンチモンはんだ、スズ/銀はんだ、スズ/銀/銅はんだを用いることが好ましい。

(D2) 両面ビルドアップ配線層の形成

- 10 上記(A)および(B)の工程によって形成された多層化コア基板60の両面にビルドアップ配線層を形成した実施形態については、上記(D1)の片面ビルドアップ配線層の形成工程①~②に従った処理を行なった後（図17(a)参照）、ビルドアップ配線層の最も外側の導体回路82の一部に、ニッケル層92と金層94とを含んでなる半田パッド95を形成することによって、マザーボードとして用いるのに好適な多層回路基板が製造される（図17(b)参照）。

- 15 さらに、上記両面ビルドアップ配線層の一方を構成する最も外側の導体回路82上に形成された半田パッド95上に、はんだ体を供給して半田バンプ96を形成するとともに、他方のビルドアップ配線層を構成する最も外側の導体回路82上に形成された半田パッド95上に、はんだ体を供給してTピン96又は半田ボール100を配設
- 20 することによって、電子部品の高密度実装が可能なパッケージ基板として用いるのに好適な多層回路基板が製造される（図18参照）。

以下、実施例をもとに説明する。

【実施例】

(実施例1)

- 25 (1) まず、多層化基板を構成する両面回路基板を製作する。この回路基板は、エポキシ樹脂をガラスクロスに含漬させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面銅張積層板を出発材料として用いる。

この絶縁性基材10の厚さは75 μ m、銅箔12の厚さは12 μ mであり、この積層板の銅箔形成面と反対側の表面に、厚みが10 μ mの粘着剤層を有し、かつフィルム自体の厚みが12 μ mであるようなPETフィルム14をラミネートする。

(2) ついで、PETフィルム14上から炭酸ガスレーザー照射を行って、PETフィルム14および絶縁性基材10を貫通して銅箔12に至るビアホール形成用開口16を形成し、さらにその開口16内を紫外線レーザー照射によってデスマリア処理した。

この実施例においては、ビアホール形成用の開口の形成には、三菱電機製の高ピーク短パルス発振型炭酸ガスレーザー加工機を使用し、全体として厚さ22 μ mのPETフィルムを樹脂面にラミネートした、基材厚75 μ mのガラス布エポキシ樹脂基材に、マスクイメージ法でPETフィルム側からレーザービーム照射して100穴/秒のスピードで、150 μ m ϕ のビアホール形成用の開口を形成した。

また、デスマリア処理用のYAG第3高調波を用いた紫外線レーザー照射装置は、三菱電機社製のGT605LDXを使用し、そのデスマリア処理のためのレーザー照射条件は、発信周波数が5KHz、パルスエネルギーが0.8mJ、ショット数が10であった。

(3) デスマリア処理を終えた基板に対して、銅箔12をめっきリードとする電解銅めっき処理を施して、開口16の上部にわずかの隙間を残して、その開口16内に電解銅めっき18を充填してビアホール20を形成する。

(4) さらに、PETフィルム14を印刷マスクとして、開口16に充填された銅めっき層18上に導電性ペースト22を充填して、絶縁性基材10の表面からほぼPETフィルム14の厚み分だけ突出する突起状導体24を形成する。

(5) 次に、PETフィルム14を絶縁性基材10の表面から剥離させた後、エポキシ樹脂接着剤を突起状導体24側の全面に塗布し、100 $^{\circ}$ Cで30分間の乾燥を行って厚さ20 μ mの接着剤層26を形成した。

(6) 上記(5)で形成した接着剤層26上に、厚さ12 μ mの銅箔28を、加熱温度180 $^{\circ}$ C、加熱時間70分、圧力2MPa、真空度 2.5×10^3 Paの条件のもとで加熱プレスした。

(7) その後、基板両面の銅箔12および28に適切なエッチング処理を施して、導

体回路30および32（ビアランドを含む）を形成して、両面回路基板34を作製した。

（8）次に、積層用の片面回路基板を作製する。この回路基板は、両面回路基板34と同様の片面銅張積層板を出発材料として用いた。

- 5 まず、絶縁性基材10上の銅箔12に適切なエッチング処理を施して、導体回路40を形成し、さらに、導体回路40と反対側に位置する絶縁性基材10の表面に、PETフィルム14をラミネートした。

- （9）その後、上記（2）～（5）の工程にしたがって処理することによって、絶縁性基材10の一方の表面に導体回路40が形成され、絶縁性基材10の他方の面から
10 導体回路40に達する開口内に電解銅めっき18が充填されるとともに、その電解銅めっき18上に突起状導体44が形成され、さらに突起状導体44を含んだ絶縁性基材10の表面にエポキシ樹脂接着剤46が塗布された。

このエポキシ樹脂接着剤はプレキュアされ、多層化のための接着剤層を形成し、このような片面回路基板50を3枚作製した。

- 15 （10）上記（1）～（9）の処理によって形成された、1枚の両面回路基板34と、3枚の片面回路基板50、52および54を、図3に示すような所定位置にスタックし、真空熱プレスを用いて180℃の温度で積層一括プレスすることによって、多層化基板60を作成した。

- （11）このような多層回路基板60を構成する最も外側の回路基板のうち、一方の
20 回路基板50（下層基板）の導体回路40上に、溶融温度が約230℃のスズ/アンチモン半田によってTピン64又は半田ボール66を接続し、他方の回路基板54（上層基板）の導体回路40上には、溶融温度が約183℃のスズ/鉛半田からなる半田体を供給し、半田バンプ62を形成して多層回路基板を製作し、さらに、この多層回路基板の上層回路基板に電子部品82を載置した状態で、スズ/鉛半田溶融点近
25 傍の雰囲気内でリフローさせて、半田バンプ62に電子部品82の半田ボール84を溶融固着させることによって、多層回路基板と電子部品とからなる半導体装置を製造した。

(実施例2)

4層の片面回路基板を図1に示すような所定位置に積層して、一括加熱プレスすることによって多層化基板を形成し、最も外側に位置する一方の回路基板の導体回路(導体パッド)に対して半田バンプを形成し、他方の回路基板の外側に露出する突起状導体が加熱プレスされて形成された半田パッドに対して、Tピン又は半田ボールが

5 接着されたこと以外は、実施例1と同様にして多層回路基板および半導体装置を製造した。

(実施例3)

図2に示すように、4層の片面回路基板のうち、最も外側に位置する回路基板の一方を、その導体回路に形成した半田パッド上に半田バンプを形成し、最も外側に位置する回路基板の他方を、絶縁性基材に設けた開口に電解銅めっき層を充填しないような構成とし、その開口内に露出する導体回路に形成した半田パッドに、半田体を供給してTピンを接続させた構造としたこと以外は、実施例1と同様にして多層回路基板および半導体装置を製造した。

10

15 (実施例4)

図2に示すように、4層の片面回路基板のうち、最も外側に位置する表面および裏面の回路基板上に溶剤レジスト層を設け、その溶剤レジスト層に形成した開口から露出する半田パッド上に半田バンプを形成したこと以外は、実施例3と同様にして多層回路基板および半導体装置を製造した。

20 (実施例5)

図1に示すように、4層の片面回路基板のうち、最も外側に位置する表面および裏面の回路基板上に溶剤レジスト層を設け、その溶剤レジスト層に形成した開口から露出する半田パッド上に半田バンプを形成したこと以外は、実施例3と同様にして多層回路基板および半導体装置を製造した。

25 (実施例6)

(1) 実施例1の工程(1)～(10)に従った処理を行なって、 $L/S=75\mu\text{m}/75\mu\text{m}$ 、ランド径が $250\mu\text{m}$ 、ビアホール口径が $150\mu\text{m}$ 、導体層の厚みが

- 1 2 μm 、そして絶縁層の厚みが7 5 μm である多層化コア基板6 0を製造した。
- (2) 次に、両面に導体回路4 0を形成した多層コア基板6 0 ((図1 5(a)参照) を、硫酸銅8 g/1、硫酸ニッケル0. 6 g、クエン酸1 5 g/1、次亜リン酸ナトリウム2 9 g/1、ホウ酸3 1 g/1、界面活性剤 0. 1 g/1からなるpH=9
- 5 の無電解めっき液に浸漬し、該導体回路4 0の表面に厚さ3 μm の銅-ニッケル-リンからなる粗化層6 2を形成した。次いで、その基板を水洗いし、0. 1 mol/1ホウふっ化スズ-1. 0 mol/1チオ尿素液からなる無電解スズ置換めっき浴に5 0°Cで1時間浸漬し、前記粗化層6 3の表面に 0. 3 μm のスズ層を設けた (図1 5(b) 参照、但し、スズ層については図示しない)。
- 10 (3) 下記①~③で得た組成物を混合攪拌して、無電解めっき用接着剤を調製した。
- ①クレゾールノボラック型エポキシ樹脂 (日本化薬製、分子量 2500) の2 5%アクリル化物を3 5重量部 (固形分8 0%)、感光性モノマー (東亜合成製、アロニックスM 315) 4重量部、消泡剤 (サンプロコ製、S-65) 0. 5重量部、NMP 3. 6重量部を攪拌混合した。
- 15 ②ポリエーテルスルフォン (PES) 8重量部、エポキシ樹脂粒子 (三洋化成製、ポリマーポール) の平均粒径0. 5 μm のものを 7. 2 4 5重量部、を混合した後、さらにNMP 2 0重量部を添加し攪拌混合した。
- ③イミダゾール硬化剤 (四国化成製、2E4MZ-CN) 2重量部、光開始剤 (チバガイギー製、イルガキュア I-907) 2重量部、光増感剤 (日本化薬製、DETX-S) 0. 2
- 20 重量部、NMP 1. 5重量部を攪拌混合した。
- (4) 前記(3)で調製した無電解めっき用接着剤を上記(2)の処理を施した基板6 0に塗布し (図1 5(c) 参照)、乾燥させて接着剤層を形成したその基板6 0の両面に、8 5 $\mu\text{m}\phi$ の黒円が印刷されたフォトマスクフィルムを密着させ、超高压水銀灯により 5 0 0 m J/cm²で露光した。これをDMDG (ジエチレングリコールジメチルエーテル) 溶液でスプレー現像することにより、接着剤層に8 5 $\mu\text{m}\phi$ のビアホールとなる開口6 5を形成した。さらに、当該基板を超高压水銀灯により3 0 0 0 m J/cm²で露光し、1 0 0 °Cで1時間、その後 1 5 0°Cで5時間の加熱処

理をすることにより、フォトマスクフィルムに相当する寸法精度に優れた開口を有する厚さ $3.5 \mu\text{m}$ の層間絶縁材層 64 (接着剤層) を形成した (図 15 (d) 参照)。なお、ビアホールとなる開口 65 には、スズめつき層を部分的に露出させた。

(5) ビアホール形成用開口 65 を形成した基板を、クロム酸に 20 分間浸漬し、接着剤層表面に存在するエポキシ樹脂粒子を溶解除去して、当該接着剤層 64 の表面を $R_{\text{max}} = 1 \sim 5 \mu\text{m}$ 程度の深さで粗化して粗化面 66 を形成し、その後、中和溶液 (シプレイ社製) に浸漬してから水洗した。

(6) 接着剤層表面の粗化層 66 (粗化深さ $3.5 \mu\text{m}$) に対し、パラジウム触媒 (アトテック製) を付与することにより、接着剤層 64 およびビアホール形成用開口 65 の表面に触媒核を付与した。

(7) 以下の組成の無電解銅めっき浴中に基板を浸漬して、粗化面全体に厚さ $0.6 \mu\text{m}$ の無電解銅めっき膜 67 を形成した (図 15 (f) 参照)。このとき、その無電解めっき膜 67 は、薄いために、その膜表面には、接着剤層 64 の粗化面 66 に追従した凹凸が観察された。

15 [無電解めっき水溶液]

NiSO_4 : 0.003 mol/l

酒石酸 : 0.20 mol/l

硫酸銅 : 0.03 mol/l

HCHO : 0.05 mol/l

20 NaOH : 0.10 mol/l

α, α' -ピピリジル : 40 mg/l

ポリエチレングリコール (PEG) : 0.1 g/l

[無電解めっき条件]

33°C の液温度

25 (8) 前記 (7) で形成した無電解銅めっき膜 67 上に市販の感光性ドライフィルムを張り付け、マスクを載置して、 100 mJ/cm^2 で露光、 0.8% 炭酸ナトリウムで現像処理し、厚さ $1.5 \mu\text{m}$ のめっきレジスト 68 を設けた (図 16 (a) 参照)。

(9) 次に、以下の条件にて、めっきレジスト非形成部分に電解めっきを施し、厚さ $20\ \mu\text{m}$ の電解めっき膜 69 を設けて上層導体回路 72 を形成すべき導体層を設けると同時に、開口部内をめっき膜 69 で充填してビアホール 70 を形成した (図 16 (b) 参照)。

5 [電解めっき水溶液]

硫酸銅・5水和物	: 60 g/l
レベリング剤 (アトテック製、HL)	: 40 ml/l
硫酸	: 190 g/l
光沢剤 (アトテック製、UV)	: 0.5 ml/l
10 塩素イオン	: 40 ppm

[電解めっき条件]

パブリング : 3.0 リットル/分

電流密度 : 0.5 A/dm²

設定電流値 : 0.18 A

15 めっき時間 : 130 分

(10) めっきレジスト 68 を剥離、除去した後、硫酸と過酸化水素の混合液や過硫酸ナトリウム、過硫酸アンモニウムなどのエッチング液でめっきレジスト下の無電解めっき膜 67 を溶解、除去して、無電解めっき膜 67 と電解銅めっき膜 69 からなる厚さ約 $20\ \mu\text{m}$ 、 $L/S = 25\ \mu\text{m}/25\ \mu\text{m}$ の上層導体回路 72 を形成した。このとき、ビアホール 70 の表面は平坦であり、導体回路表面とビアホール表面のレベルは同一であった。

(11) この基板に上記 (2) と同様にして粗化層 84 を形成し、さらに上記 (3) ~ (10) の手順を繰り返して、さらに上層の層間樹脂絶縁層 76 と導体回路 82 (ビアホール 80 を含む) を形成して、多層化基板 60 の両面にビルドアップ配線層

25 を形成した。

なお、ここでは、導体回路 82 の表面に銅-ニッケル-リンからなる粗化層 84 を設けるが、この粗化層 84 表面にはスズ置換めっき層を形成しない。

(12) 一方、DMDGに溶解させた60重量%のクレゾールノボラック型エポキシ樹脂（日本化薬製）のエポキシ基50%をアクリル化した感光性付与のオリゴマー（分子量4000）を46.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂（油化シェル製、エピコート1001）14.121重量部、イミダゾール硬化剤（四国化成製、2E4MZ-CN）1.6重量部、感光性モノマーである多価アクリルモノマー（日本化薬製、R604）1.5重量部、同じく多価アクリルモノマー（共栄社製、DPE6A）30重量部、アクリル酸エステル重合体からなるレベリング剤（共栄社製、ポリフローNo.75）0.36重量部を混合し、この混合物に対して光開始剤としてのペンゾフェノン（関東化学製）20重量部、光増感剤としてのEAB（保土ヶ谷化学製）0.2重量部を加え、さらにDMDG（ジエチレングリコールジメチルエーテル）10重量部を加えて、粘度を25°Cで $1.4 \pm 0.3 \text{ pa} \cdot \text{s}$ に調整したソルダーレジスト組成物を得た。

なお、粘度測定は、B型粘度計（東京計器、DVL-B型）を用いて行い、60rpmの場合はローターNo.4、6rpmの場合はローターNo.3によった。

(13) 上記(11)で得られたビルドアップ配線層の両面に、前記(12)で得られたソルダーレジスト組成物を20 μm の厚さで塗布した。次いで、70°Cで20分間、70°Cで30分間の乾燥処理を行った後、クロム層によってソルダーレジスト開口部の円パターン（マスクパターン）が描画された厚さ5mmのソーダライムガラス基板を、クロム層が形成された側をソルダーレジスト層に密着させて1000mJ/cm²の紫外線で露光し、DMTG現像処理した。さらに、80°Cで1時間、100°Cで1時間、120°Cで1時間、150°Cで3時間の条件で加熱処理し、パッド部分が開口した（開口径200 μm ）ソルダーレジスト層90（厚み20 μm ）を形成した。

(14) 次に、ソルダーレジスト層90を形成した基板を、塩化ニッケル30g/l、次亜リン酸ナトリウム10g/l、クエン酸ナトリウム10g/lからなるpH=5の無電解ニッケルめっき液に20分間浸漬して、開口部に厚さ5 μm のニッケルめっき層92を形成した。さらに、その基板を、シアン化金カリウム2g/l、塩化アン

モニウム75g/1、クエン酸ナトリウム50g/1、次亜リン酸ナトリウム10g/1からなる無電解金めっき液に93°Cの条件で23秒間浸漬することによって、ニッケルめっき層92上に厚さ0.03μmの金めっき層94を形成した。

これによって、上層導体回路82上にニッケルめっき層92と金めっき層94とを含んだ半田パッド95が形成されて、片面3層、両面6層のマザーボードに用いるのに好適な多層回路基板を製作した(図17(b)参照)。

このようにして製造した多層回路基板では、多層化コア基板のビアホールのランド形状を真円とすることができ、ランドピッチを600μm程度にできるため、ビアホールを密集して形成でき、ビアホールの高密度化が容易に達成できる。しかも、多層化コア基板中のビアホール数を増やすことができるので、多層コア基板内の導体回路とビルドアップ配線層内の導体回路との電気的接続を十分に確保することができる。

また、ビルドアップ配線層の最も外側に設けた半田パッド95に対して、LSI等の半導体チップを含む電子部品を搭載するパッケージ基板の導電性ボール(はんだボール)が接続されるので、パッケージ基板の実装に有利となる。

15 (実施例7)

実施例6に従って製造した多層回路基板の、最も外側にある一方の上層導体回路82上に形成した半田パッド95上には、半田バンプ96を形成し、最も外側にある他方の上層導体回路82上に形成した半田パッド95上には、Tピン98または半田ボール100を配設した、パッケージ基板に好適な多層回路基板を製造した(図18参照)。

このようにして製造された多層回路基板では、ビルドアップ配線層の上方に設けたソルダーレジスト層90の開口から露出した金めっき層94(はんだパッド)に配設したはんだバンプ96を介してLSIチップ等の電子部品に接続され、ビルドアップ配線層の下方に設けたソルダーレジスト層90の開口から露出した金めっき層94(はんだパッド)に設けた導電性ピン98または導電性ボール100を介してマザーボード上の接続端子等に接続されるので、電子部品の高密度実装が可能となる。

25 (実施例8)

多層化基板を構成する両面回路基板および片面回路基板のビアホール形成用の非貫通孔に、導電性ペーストを充填してビアホールを形成するとともに、そのビアホール形成と同一工程によってビアホール上に導電性ペーストを充填して、突起状導体を形成したこと以外は、実施例6と同様にして多層回路基板を製造した。

5 (実施例9)

層間樹脂絶縁層を、厚さ20 μm のエポキシ樹脂フィルムを熱圧着させることにより形成し、炭酸ガスレーザを照射して直径60 μm のビアホール形成用の開口を設け、その開口内壁面を含んだ層間樹脂絶縁層の表面を過マンガン酸溶液によって粗化处理を行ったこと以外は、実施例6と同様にして多層回路基板を製造した。

- 10 上記エポキシ樹脂フィルムは、フェノキシ樹脂との樹脂複合体であることが望ましく、粗化層形成用の粒子を含有させている。

(実施例10)

- 多層化コア基板を構成する両面回路基板および片面回路基板のビアホール形成用の非貫通孔に、導電性ペーストを充填してビアホールを形成するとともに、そのビアホール形成と同一工程によってビアホール上に導電性ペーストを充填して、突起状導体を形成したこと以外は、実施例9と同様にして多層回路基板を製作した。

(実施例11)

- 層間樹脂絶縁層を、厚さ20 μm のポリオレフィン樹脂フィルムを熱圧着させることにより形成し、炭酸ガスレーザを照射して直径60 μm のビアホール形成用の開口を設け、その後、無電解めっき膜を形成する代わりに、粗化处理を施さないで、スパッタリングによって開口内壁面を含んだ層間樹脂絶縁層の表面に厚さ0.1 μm の銅スパッタ膜または銅-ニッケルスパッタ膜を形成したこと以外は実施例6と同様にして多層回路基板を製造した。

(実施例12)

- 25 多層化コア基板を構成する両面回路基板および片面回路基板のビアホール形成用の非貫通孔に、導電性ペーストを充填してビアホールを形成するとともに、そのビアホール形成と同一工程によってビアホール上に導電性ペーストを充填して、突起状導体

を形成したこと以外は、実施例 1 1 と同様にして多層回路基板を製作した。

(実施例 1 3)

(1) 実施例 1 の工程 (1) ~ (10) に従った処理を行なって、 $L/S=75\mu\text{m}/75\mu\text{m}$ 、ランド径が $250\mu\text{m}$ 、ビアホール口径が $150\mu\text{m}$ 、導体層の厚みが
5 $12\mu\text{m}$ 、そして絶縁層の厚みが $75\mu\text{m}$ である多層化コア基板 60 を製造した。

(2) 次に、両面に導体回路 40 を形成した多層コア基板 60 ((図 1 2(a) 参照) の片面に対して、実施例 6 の工程 (2) ~ (14) の処理を施して、多層化コア基板
60 の片面にビルドアップ配線層を形成し、その上層導体回路 82 上を覆ったソルダ
ーレジスト層 90 の開口 91 内に露出した、ニッケルめっき層 92 と金めっき層 94
10 とを含んだ半田パッド 95 を形成した。

(3) 上記半田パッド 95 上には、半田バンプ 96 を形成し、ビルドアップ配線層が
形成されない多層化基板 60 の導体回路 40 上には、Tピン 98 または半田ボール 1
00 を配設して、パッケージ基板に適する片面 3 層の多層回路基板を製造した (図 1
4(b) 参照)。

15 (実施例 1 4)

多層化基板を構成する両面回路基板および片面回路基板のビアホール形成用の非貫
通孔に、導電性ペーストを充填してビアホールを形成するとともに、そのビアホール
形成と同一工程によってビアホール上に導電性ペーストを充填して、突起状導体を形
成したこと以外は、実施例 1 3 と同様にして多層回路基板を製造した。

20 (実施例 1 5)

層間樹脂絶縁層を、厚さ $20\mu\text{m}$ のエポキシ樹脂フィルムを熱圧着させることによ
り形成し、炭酸ガスレーザを照射して直径 $60\mu\text{m}$ のビアホール形成用の開口を設け、
その開口内壁面を含んだ層間樹脂絶縁層の表面を過マンガン酸溶液によって粗化処理
を行ったこと以外は、実施例 1 3 と同様にして多層回路基板を製造した。

25 上記エポキシ樹脂フィルムは、フェノキシ樹脂との樹脂複合体であることが望まし
く、粗化層形成用の粒子を含有させている。

(実施例 1 6)

多層化コア基板を構成する両面回路基板および片面回路基板のビアホール形成用の非貫通孔に、導電性ペーストを充填してビアホールを形成するとともに、そのビアホール形成と同一工程によってビアホール上に導電性ペーストを充填して、突起状導体を形成したこと以外は、実施例 1 5 と同様にして多層回路基板を製作した。

5 (実施例 1 7)

層間樹脂絶縁層を、厚さ 20 μm のポリオレフィン樹脂フィルムを熱圧着させることにより形成し、炭酸ガスレーザを照射して直径 60 μm のビアホール形成用の開口を設け、その後、無電解めっき膜を形成する代わりに、粗化処理を施さずに、スパッタリングによって開口内壁面を含んだ層間樹脂絶縁層の表面に厚さ 0.1 μm の銅
10 スパッタ膜または銅-ニッケルスパッタ膜を形成したこと以外は実施例 1 3 と同様にして多層回路基板を製造した。

(実施例 1 8)

多層化コア基板を構成する両面回路基板および片面回路基板のビアホール形成用の非貫通孔に、導電性ペーストを充填してビアホールを形成するとともに、そのビア
15 ホール形成と同一工程によってビアホール上に導電性ペーストを充填して、突起状導体を形成したこと以外は、実施例 1 7 と同様にして多層回路基板を製作した。

(比較例)

(1) 厚さ 0.8 μm の両面銅張積層板からなる絶縁基板をコア基板とし、そのコア基板に直径 300 μm の貫通孔をドリルで削孔し、その後、無電解めっき、電解め
20 っき処理を施してスルーホールを含む導体層を形成し、さらに、スルーホールを含む導体層の全表面に粗化層を設け、スルーホール内に非導電性の穴埋め用充填材を充填し、乾燥、硬化させた。

(2) 次に、スルーホールからはみ出した充填材を取り除いて平坦化し、その表面に無電解めっき、電解めっき処理を施して厚付けして導体回路、およびスルー
25 ホールに充填された充填材を覆う導体層となる部分を形成した。

(3) 導体回路およびスルーホールに充填された充填材を覆う導体層となる部分を形成した基板の表面に、エッチングレジストを形成し、そのエッチングレジスト非形

成部分のめっき膜をエッチング除去し、さらにエッチングレジストを剥離除去して、独立した導体回路および充填材を覆う導体層を形成した。

さらに、実施例4の(2)～(14)と同様の工程に従って多層回路基板を製造した。

- 5 上記実施例1～5について、LSIチップ等の電子部品から半田バンプ、BGA(ボールグリッドアレイ)またはPGA(ピングリッドアレイ)までの配線長、ランド形成数およびランド総面積を調べた結果、従来のプリント配線板に比べて、配線長さで8/10～1/2となり、ランド形成数は1.5～2.0倍、ランド面積は2/3～8/10となり高密度配線が可能となり、実施例4および5については、さらにパ
- 10 ッケージ基板としての絶縁性が向上することが確認された。

- 実施例6～18について、LSIチップ等の電子部品からはんだバンプ、BGA(ボールグリッドアレイ)またはPGA(ピングリッドアレイ)までの配線長およびコアのランド形成数を調べた結果、比較例に比べて、配線長を10～25%短縮させ、単位面積(cm^2)当りのコアランド数を10～30%増加させることができ、電気
- 15 特性や信頼性に悪影響をもたらすものは確認されなかった。

産業上の利用可能性

- 以上説明したように、本発明の多層回路基板によれば、硬質の絶縁性基材の片面または両面に導体回路を有し、導体回路形成面と反対側の面からレーザー照射により形成
- 20 した微細な開口に導電性物質を充填したビアホールを有する片面または両面回路基板を基本構成として、それらを適宜組み合わせ積層して一括熱プレスすることによって形成した多層化基板は、基板内の配線密度を大幅に高めることができ、従来のようなスルーホールを設けることなく、回路基板間の電氣的接続が充填ビアホールを介して十分に確保することができるので、LSIチップ等の電子部品を搭載するパッケージ基
- 25 板として好適に利用することができる。

さらにそのような多層化基板をコアとして、その多層化コア基板の片面あるいは両面にビルドアップ配線層を設けた多層回路基板は、パッケージ基板としてだけでなく、

パッケージ基板を搭載するマザーボードとして好適に利用することが可能である。

- 多層回路基板の最も外側にある一方の回路基板には導電性バンプを形成し、最も外側にある他方の回路基板には導電性ピンまたは導電性ボールを配設した構成は、パッケージ基板として好適であり、電子部品やマザーボードとの電氣的接続をなす導
- 5 電性バンプ、導電性ピンまたは導電性ボールを高密度に配置することができるので、高密度配線および電子部品の高密度実装が可能となる。また、応力も緩和される構造であるため、配線に反りもなく、Tピンや導電性バンプの平坦性も確保することができる。

請求の範囲

1. 絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に導電性物質が充填されてなるビアホールを有する回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることにより形成された多層回路基板において、

前記積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、上記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性バンプが形成され、最も外側に位置する他方の回路基板の表面には、前記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性のピンまたは導電性のボールが配設されていることを特徴とする多層回路基板。

2. 絶縁性硬質基材の片面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口内に導電性物質が充填されてなるビアホールを有する片面回路基板の複数枚と、

絶縁性硬質基材の片面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口を有する片面回路基板とが接着剤層を介してそれぞれ積層され、一括して加熱プレスされることにより形成された多層回路基板において、

前記積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、上記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性バンプが形成され、最も外側に位置する他方の回路基板の開口内には、その回路基板の導体回路に電氣的に接続される導電性のピンまたはボールが配設されていることを特徴とする多層回路基板。

3. 前記複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、その導体回路を覆ってソルダーレジスト層が設けられ、そのソルダーレジストに形成した開口から露出する導体層またはビアホールに接続するような導電性バンプがビアホール直上に形成され、また最も外側に位置する他方の回路基板の表面にも、その導体回路を覆ってソルダーレジスト層が設けられ、そのソルダーレジスト層に形成した開口から露出する導体層またはビアホールに接続

するような導電性ピンまたは導電性ボールがビアホール直上に配設されていることを特徴とする請求の範囲1に記載の多層回路基板。

4. 前記多層回路基板を構成する各回路基板のビアホールに充填される導電性物質は、電解めっき処理によって形成された金属めっき層であり、その金属めっき層に電氣的に接続する突起状導体が形成されていることを特徴とする請求の範囲1または2に記載の多層回路基板。

5. 上記突起状導体は、導電性ペーストから形成されることを特徴とする請求の範囲4に記載の多層回路基板。

6. 前記多層回路基板を構成する各回路基板のビアホールに充填される導電性物質は、金属粒子と、熱硬化性または熱可塑性の樹脂とからなる導電性ペーストであることを特徴とする請求の範囲1または2に記載の多層回路基板。

7. 前記各回路基板に形成される隣接するビアホール間の距離は、前記一方の回路基板から他方の回路基板に向かうにつれて大きくなるように形成されることを特徴とする請求の範囲1または2に記載の多層回路基板。

8. 請求の範囲1または2に記載の多層回路基板と、その多層回路基板の最も外側の回路基板に形成された導電性バンプに電氣的に接続された電子部品とを含んでなる半導体装置。

9. 前記電子部品を搭載する最も外側の回路基板の周縁部にはスティフィナーが配置されるとともに、その回路基板と対向する最も外側の他の回路基板の表面には、コンデンサーチップが電氣的に接続されてなる請求の範囲7に記載の半導体装置。

10. 絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に電解めっきが充填されてなるビアホールを有し、そのビアホール位置に対応して、そのビアホールに電氣的に接続する突起状導体とを有してなる回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることにより形成された多層回路基板と、

その多層回路基板の最も外側に位置する回路基板に電氣的に接続されたLSIチ

ップ等の電子部品とを含んでなる半導体装置において、

前記最も外側に位置する一方の回路基板の表面には、前記ビアホールの上上に位置してそのビアホールに電氣的に接続される導電性バンプが形成されるとともに、その導電性バンプに対して前記電子部品が電氣的に接続され、

- 5 前記電子部品が搭載された回路基板と反対側にある最も外側に位置する回路基板の表面には、前記電子部品直下にあるビアホールに対してチップコンデンサーが電氣的に接続されていることを特徴とする半導体装置。

1 1. 前記電子部品が搭載された回路基板の周縁部には、スティフナーが接着・固定されていることを特徴とする請求の範囲10に記載の半導体装置。

- 10 1 2. 内層に導体回路を有する多層コア基板の片面または両面に、層間樹脂絶縁層と導体層とが交互に積層され、かつ各導体層間がビアホールにて接続されたビルドアップ配線層が形成されてなる多層回路基板において、

上記多層コア基板は、絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する孔に、導電性物質が充填されてなるビアホールを有する回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることで形成されていることを特徴とする多層回路基板。

1 3. 上記多層コア基板の両面に上記ビルドアップ配線層が形成されてなる多層回路基板であって、

ビルドアップ配線層の一方を構成する最も外側の導体層の表面には、半田バンプが設けられ、またビルドアップ配線層の他方を構成する最も外側の導体層の表面には、導電性ピンまたはボールが配設されていることを特徴とする請求の範囲12に記載の多層回路基板。

1 4. 上記多層コア基板の両面に上記ビルドアップ配線層が形成されてなる多層回路基板であって、

25 上記ビルドアップ配線層の最も外側の導体層は、ソルダーレジスト層に覆われ、そのソルダーレジスト層に設けた開口から露出する前記導体層の少なくとも一部は、導体パッドあるいは接続用端子の形態に形成されていることを特徴とする請求の範囲1

2に記載の多層回路基板。

15. 上記導電性物質は、電解めっき処理によって形成された金属めっき層であり、その金属めっき層に電氣的接続されて突起状導体が形成されていることを特徴とする請求の範囲12に記載の多層回路基板。

5 16. 上記突起状導体は、導電性ペーストから形成されることを特徴とする請求の範囲15に記載の多層回路基板。

17. 上記導電性物質は、金属粒子と、熱硬化性または熱可塑性の樹脂とからなる導電性ペーストであることを特徴とする請求の範囲12に記載の多層回路基板。

10 18. 上記ビルドアップ配線層のビアホールの一部は、上記多層コア基板に形成されたビアホールの直上に位置して、そのビアホールに直接接続されていることを特徴とする請求の範囲12に記載の多層プリント配線板。

15 19. 上記多層コア基板を構成する各回路基板の絶縁性基材は、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布-エポキシ樹脂基材、アラミド不織布-ポリイミド樹脂基材、から選ばれるいずれかの硬質基材から形成されることを特徴とする請求の範囲12に記載の多層回路基板。

20. 上記多層コア基板を構成する各回路基板の絶縁性基材は、厚さが20~100 μm のガラス布エポキシ樹脂基材から形成され、前記充填ビアホール径は50~250 μm であることを特徴とする請求の範囲19に記載の多層回路基板。

20 21. 上記多層コア基板を構成する各回路基板のビアホールは、パルスエネルギーが0.5~100mJ、パルス幅が1~100 μs 、パルス間隔が0.5ms以上、ショット数が1~50の条件で、ガラス布エポキシ樹脂基材の表面に照射される炭酸ガスレーザによって形成された開口に対して形成されていることを特徴とする請求の範囲20に記載の多層回路基板。

Fig. 1

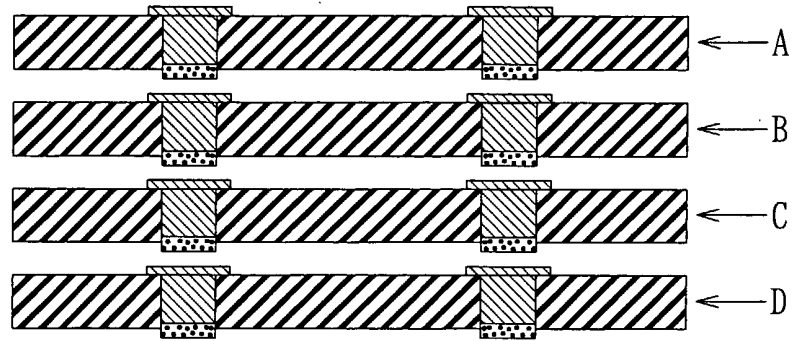


Fig. 2

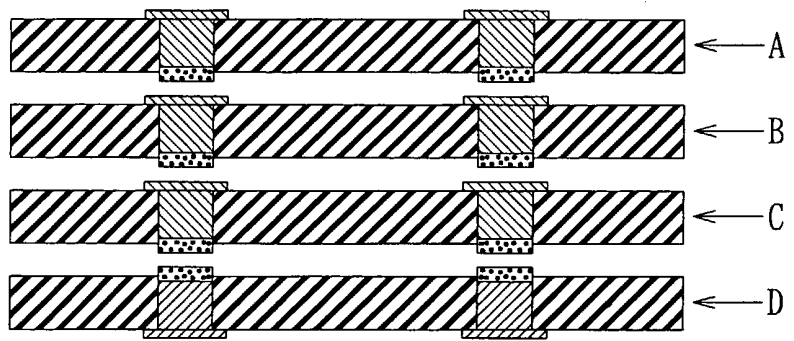


Fig. 3

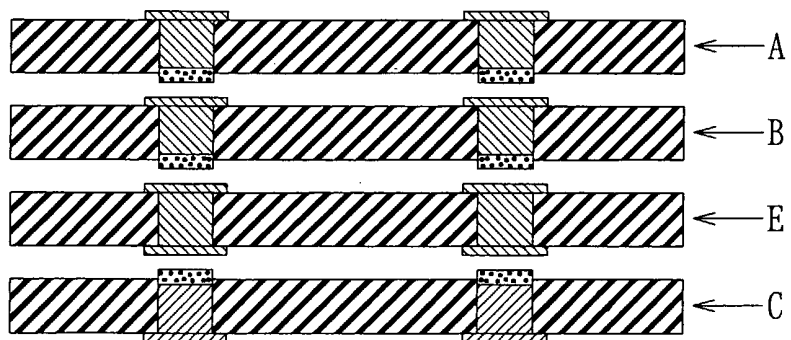


Fig. 4

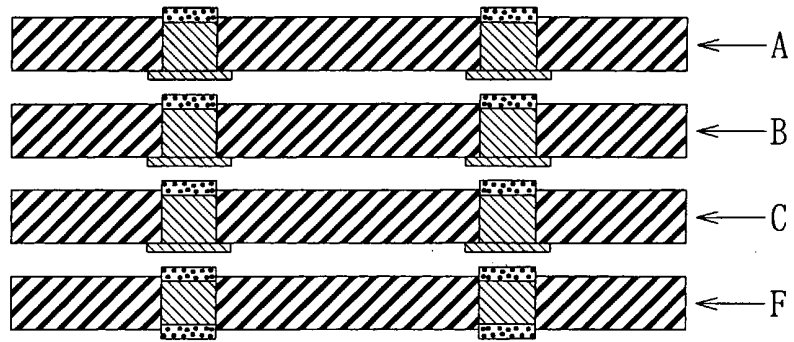


Fig. 7

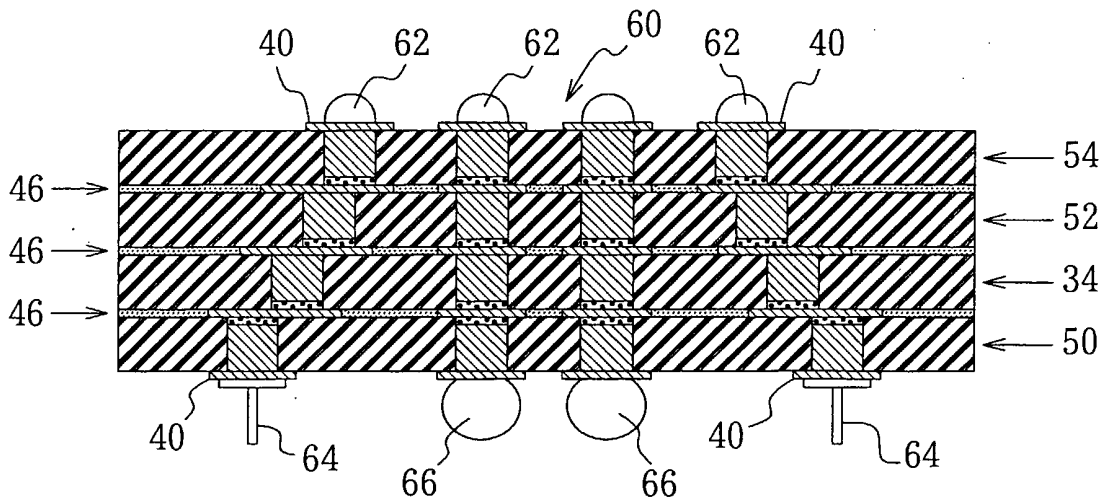


Fig. 5

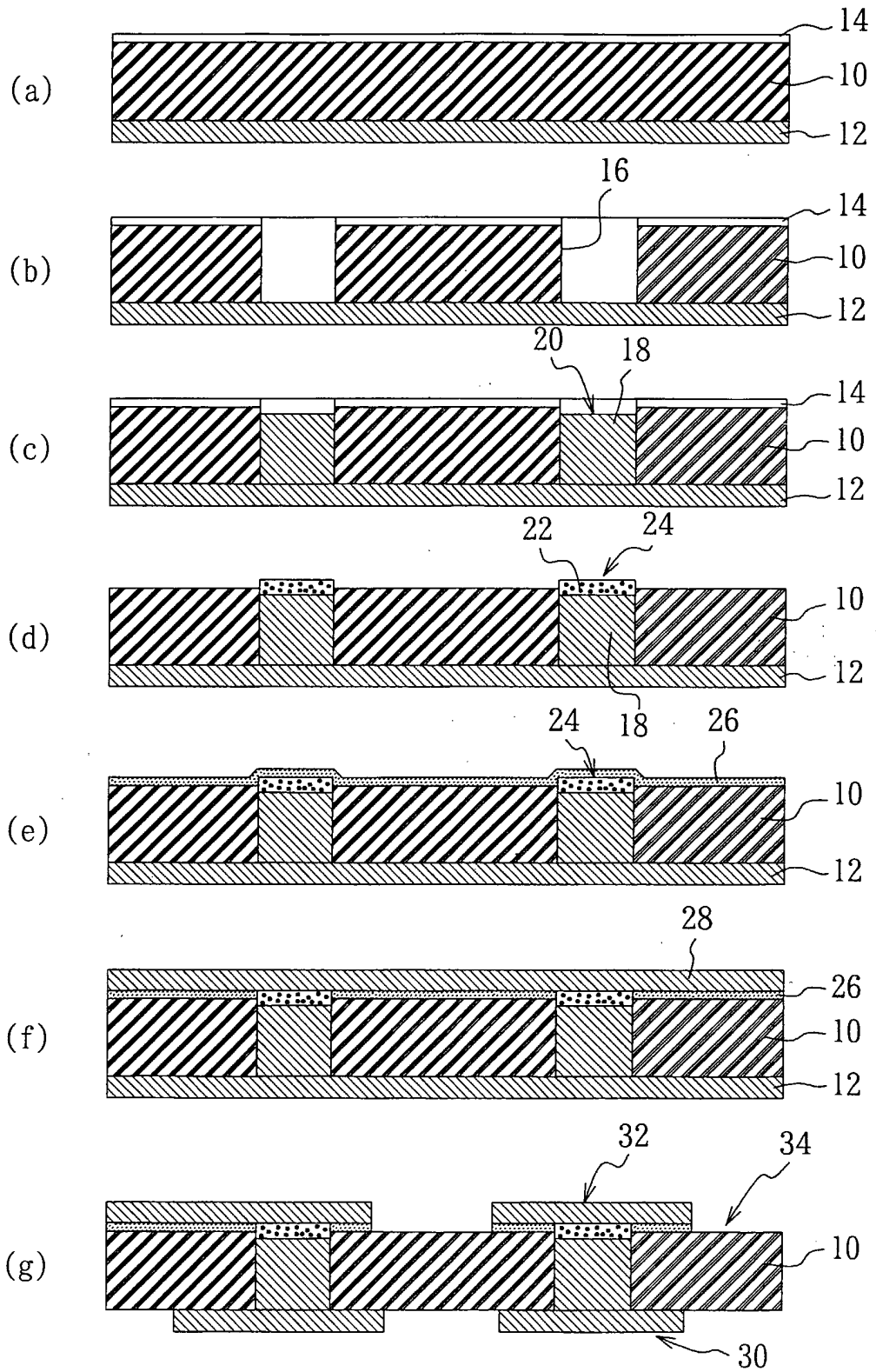


Fig. 6

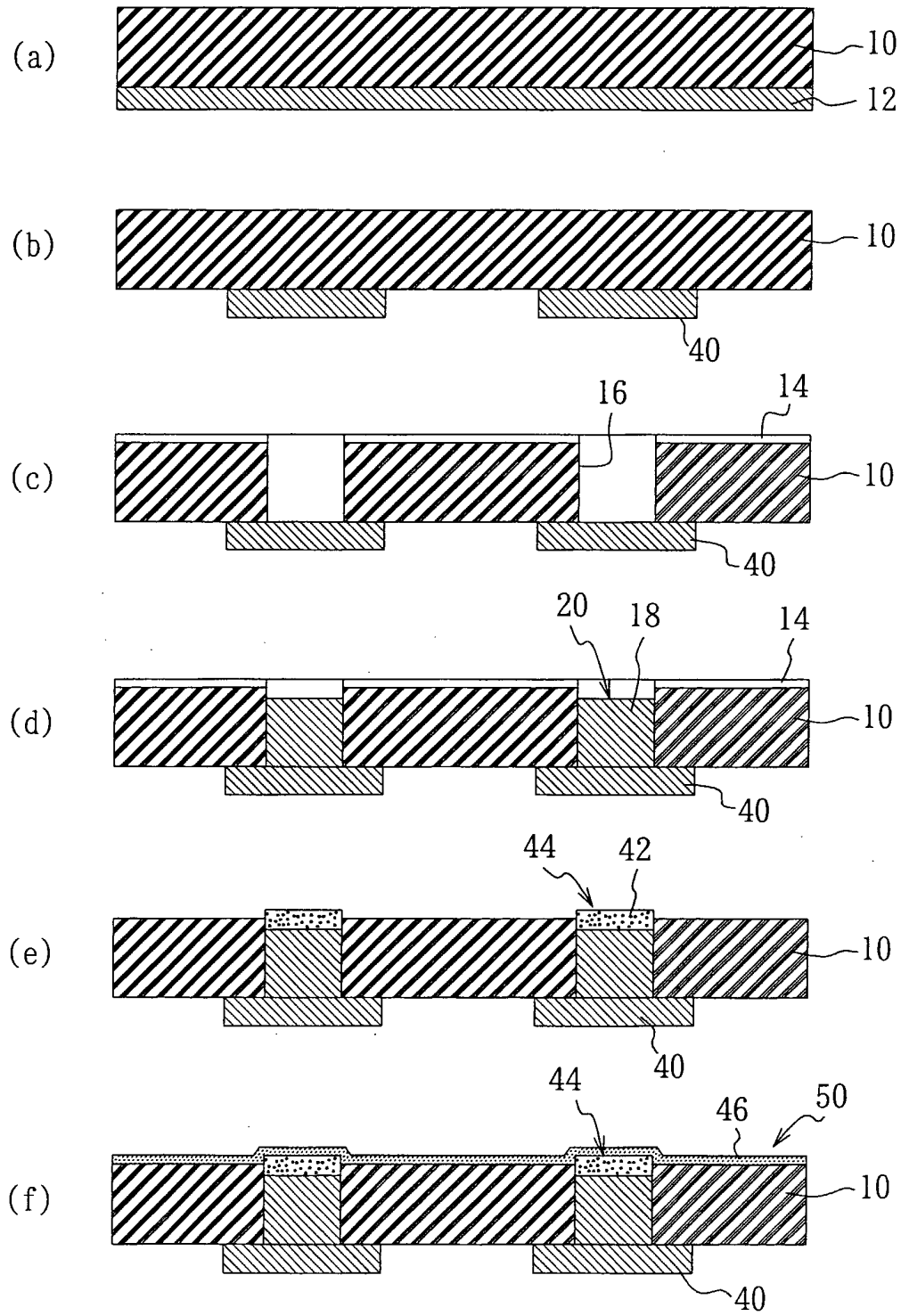


Fig. 8

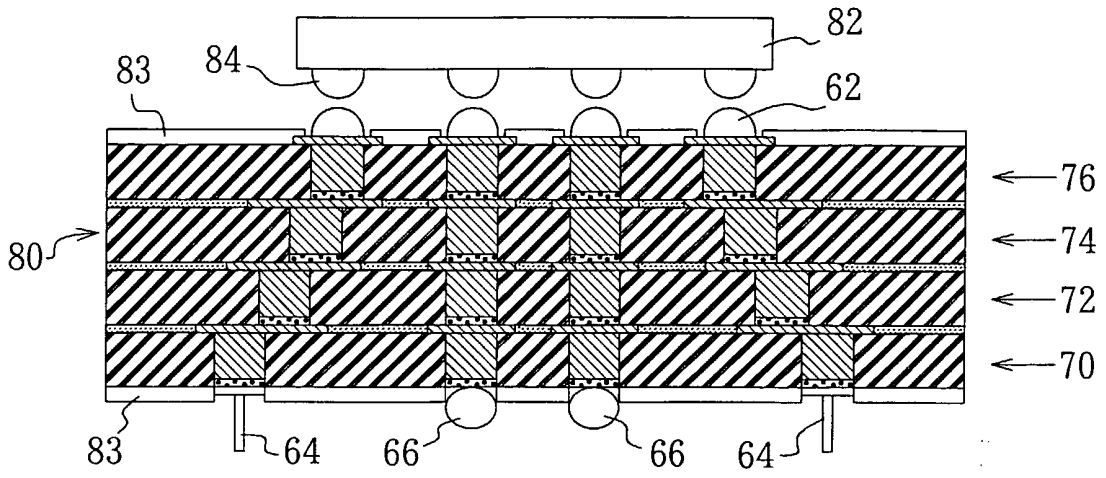


Fig. 9

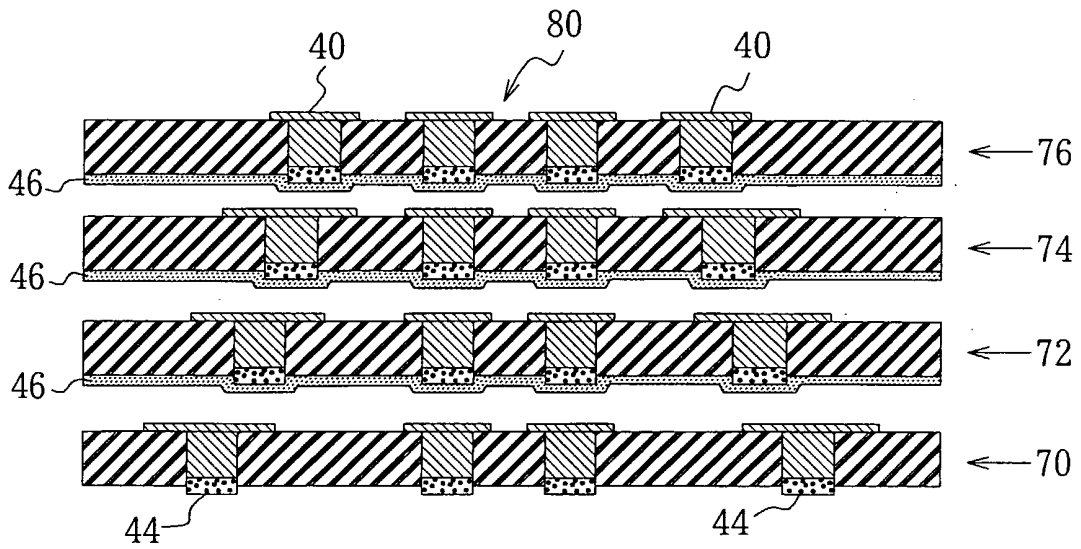


Fig. 10

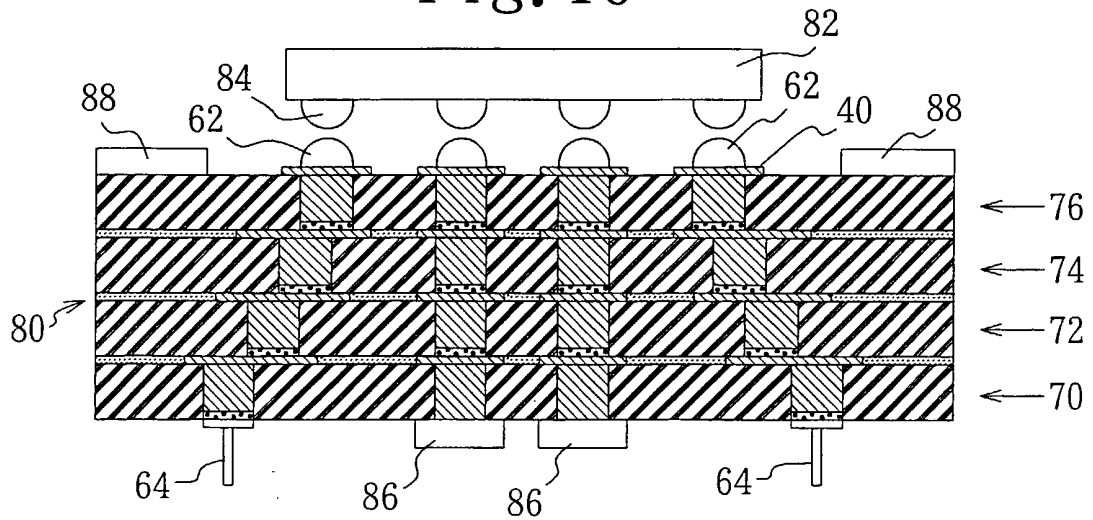


Fig. 11

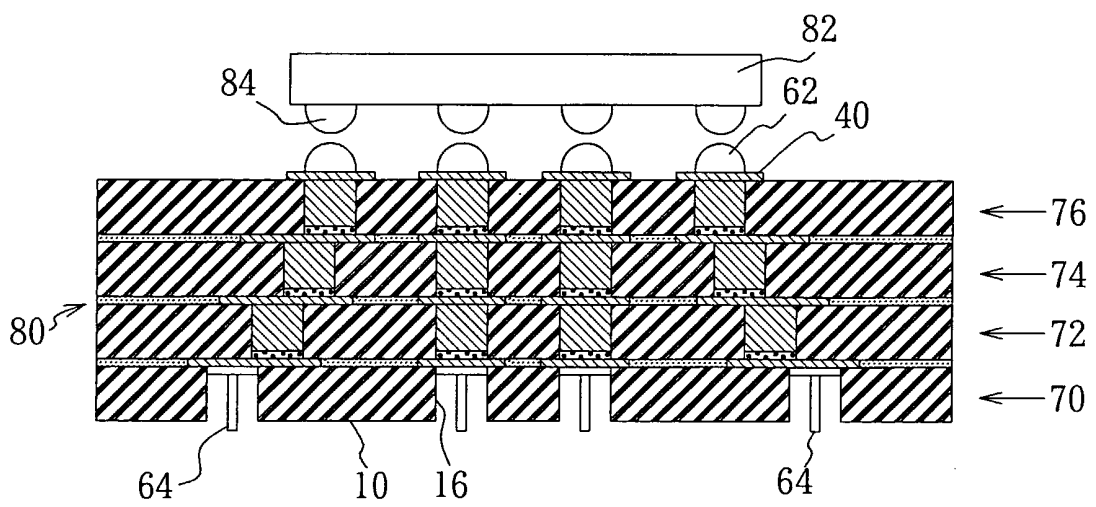


Fig. 12

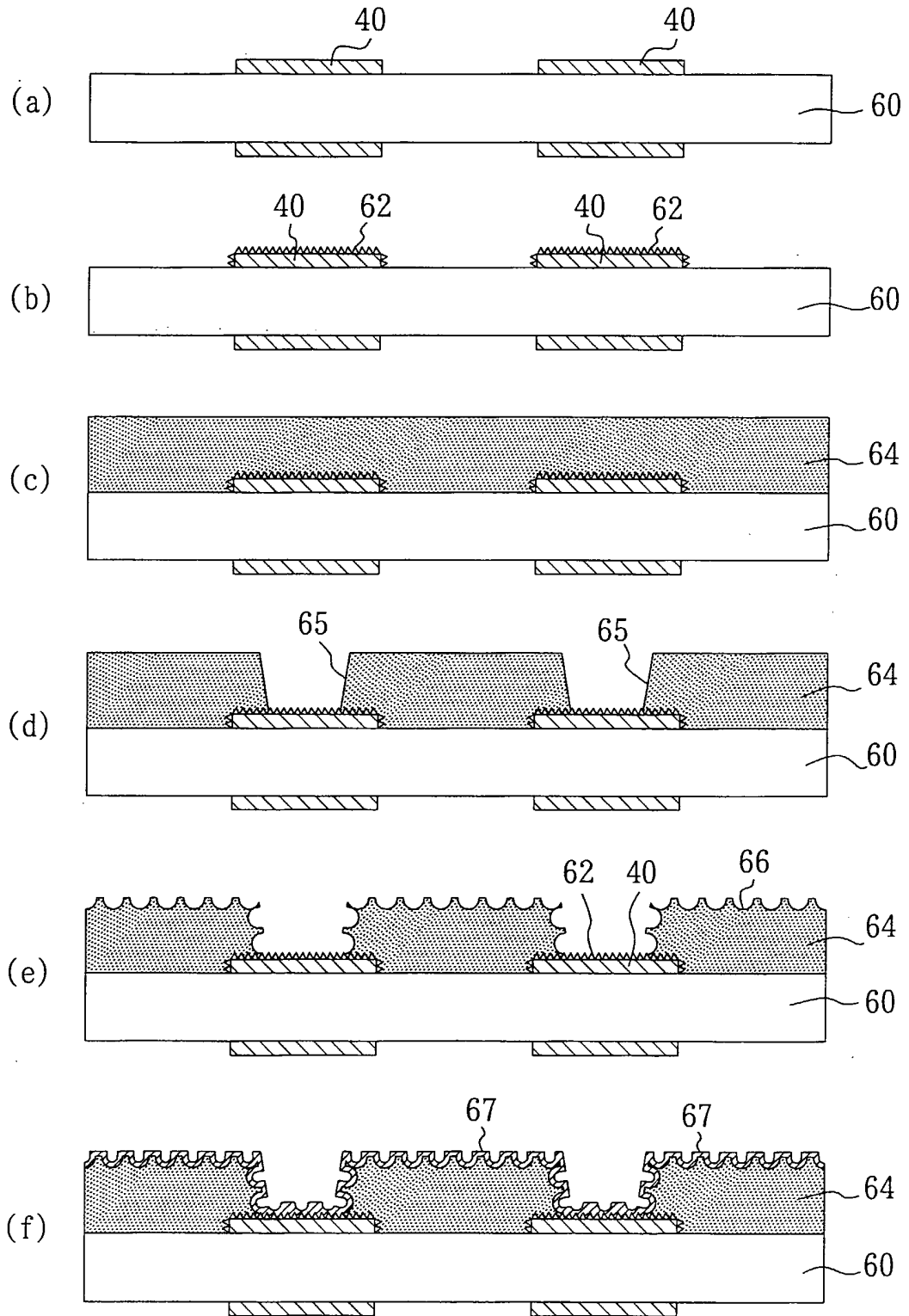


Fig. 13

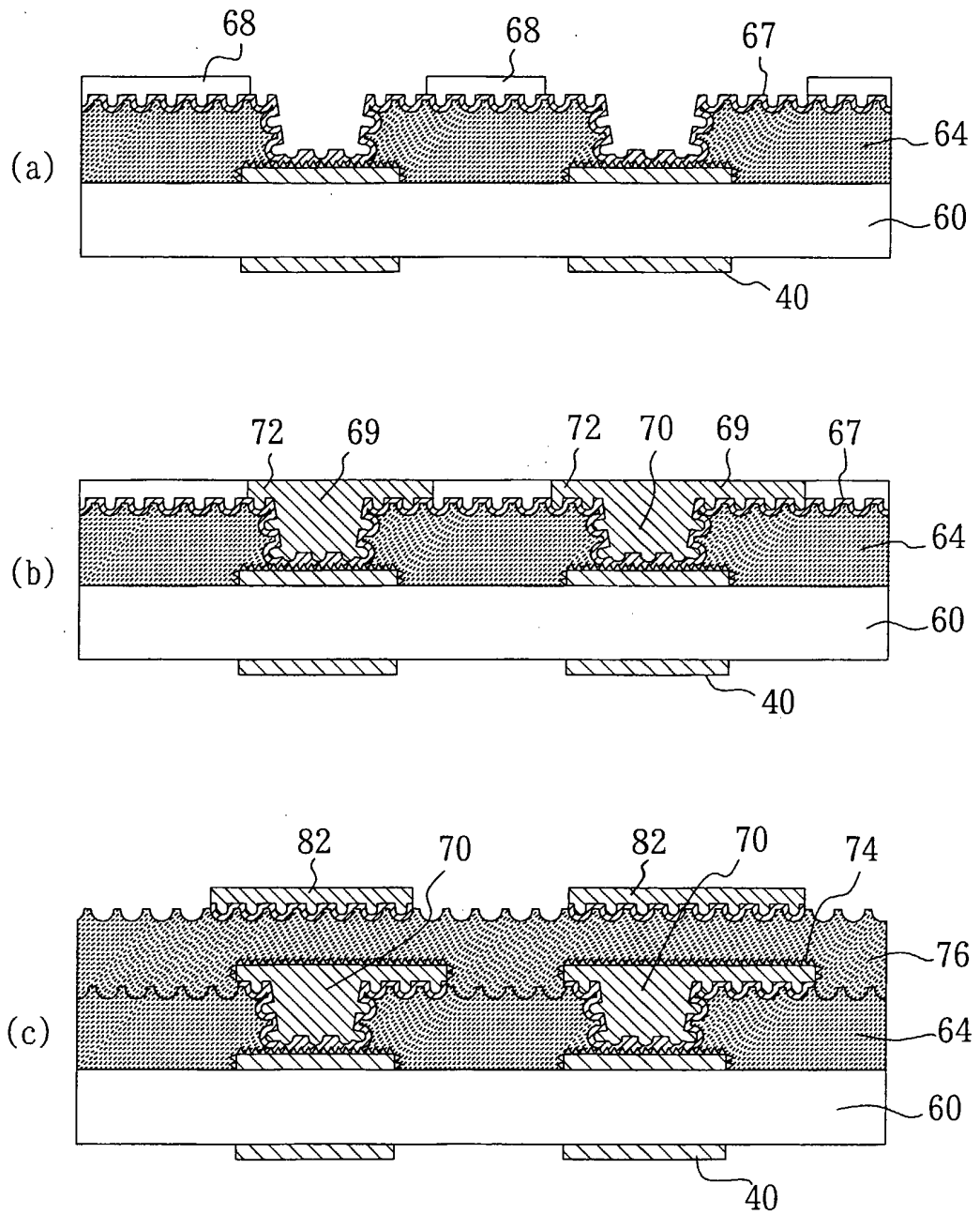


Fig. 14

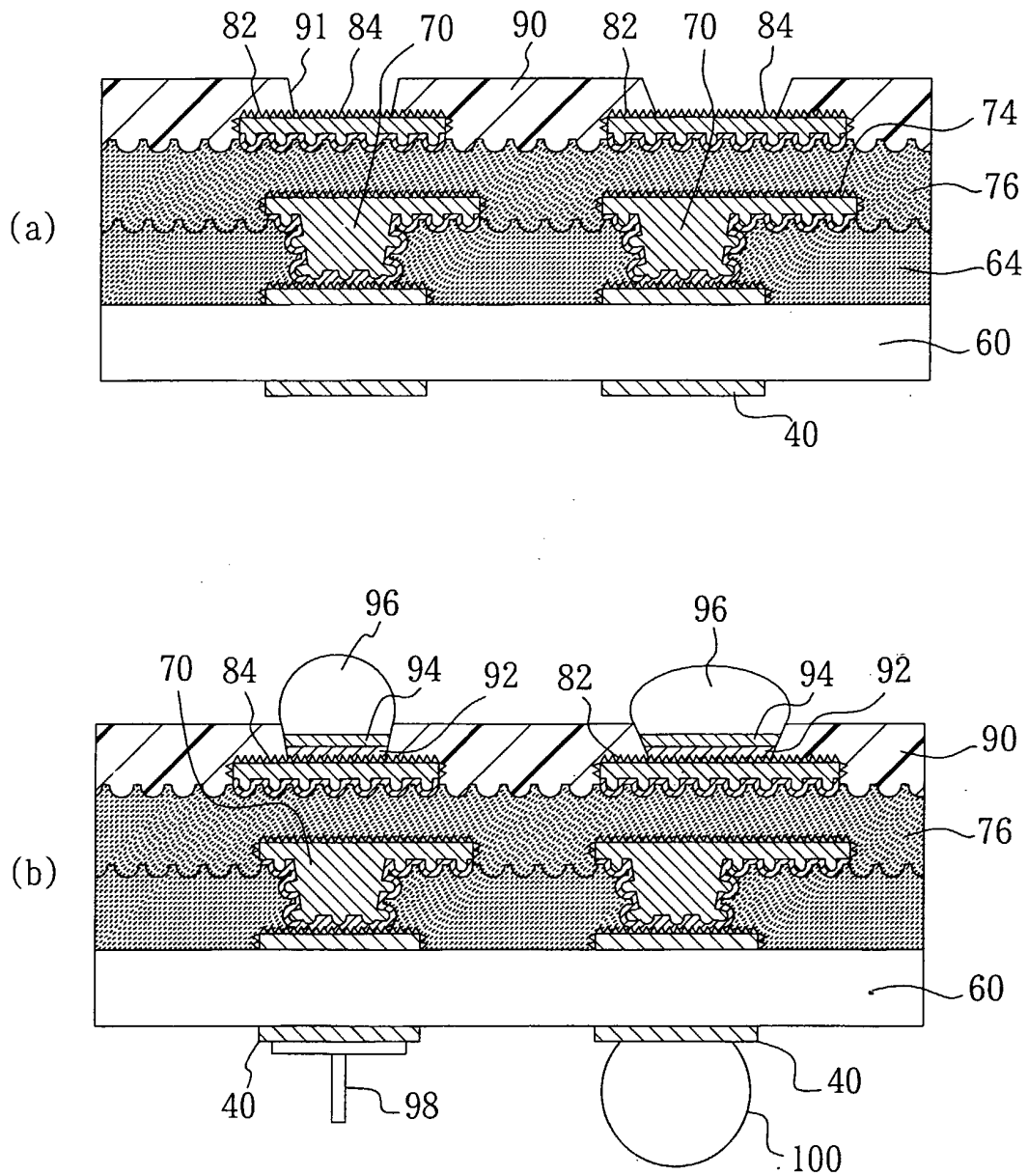


Fig. 15

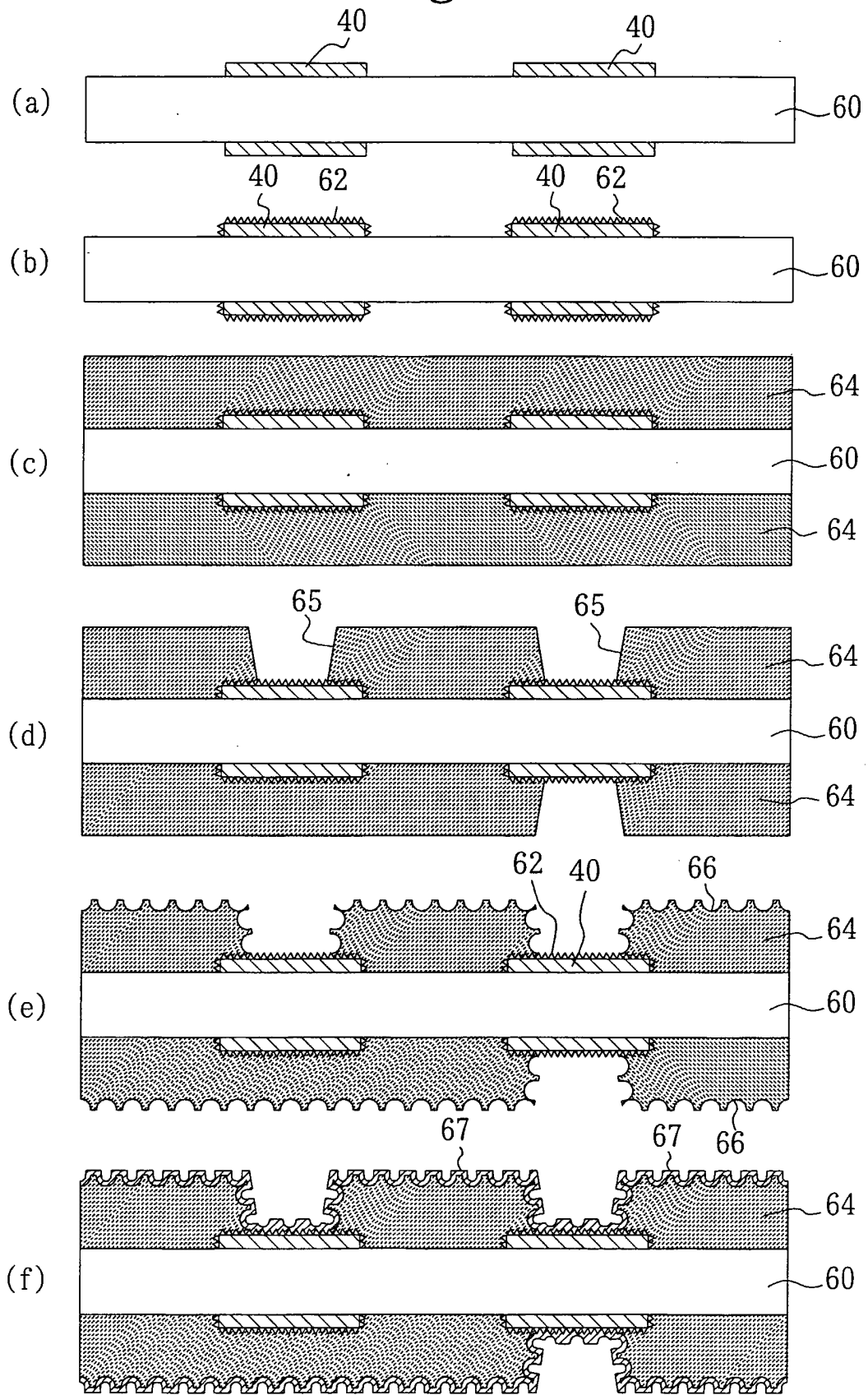


Fig. 16

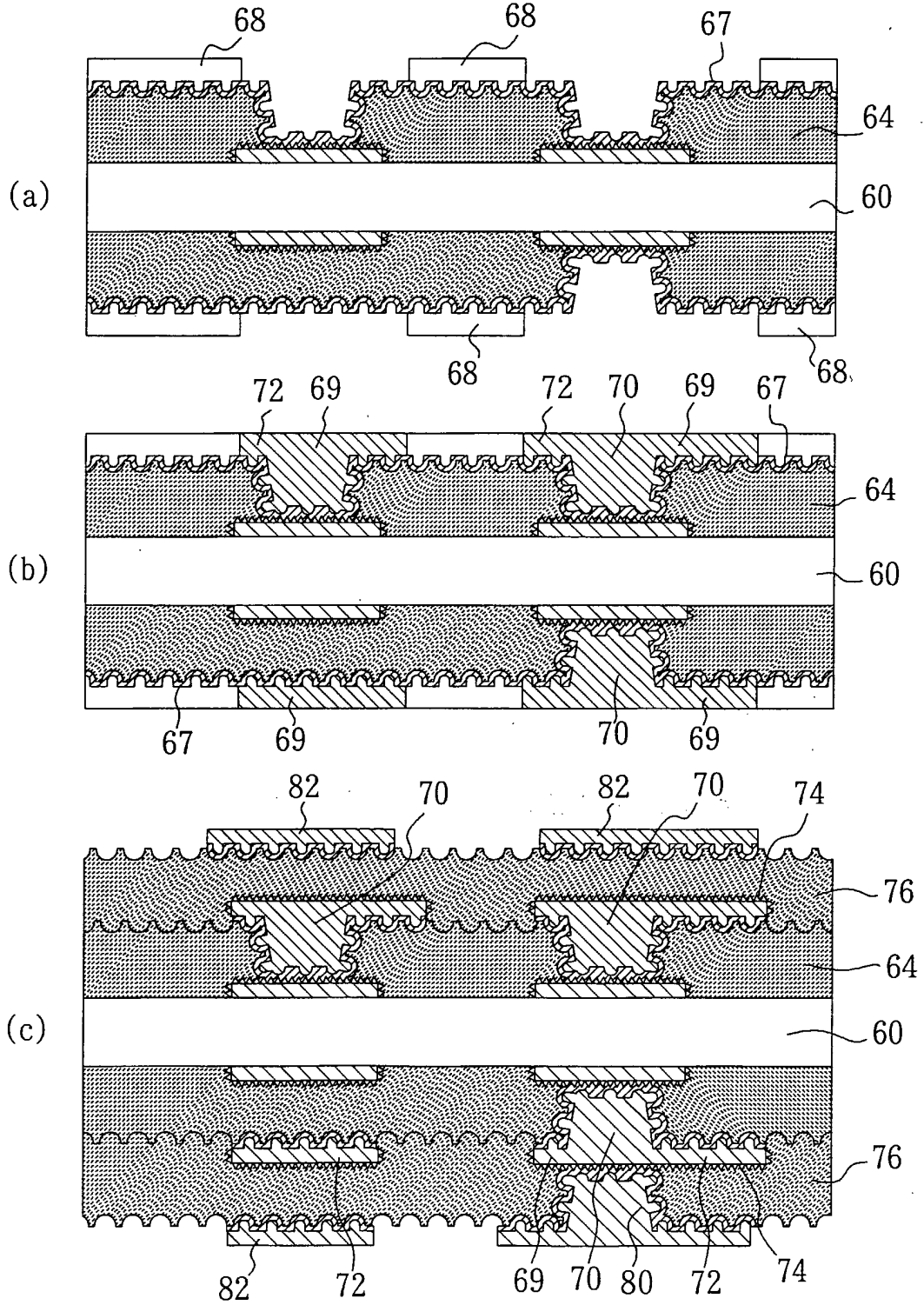


Fig. 17

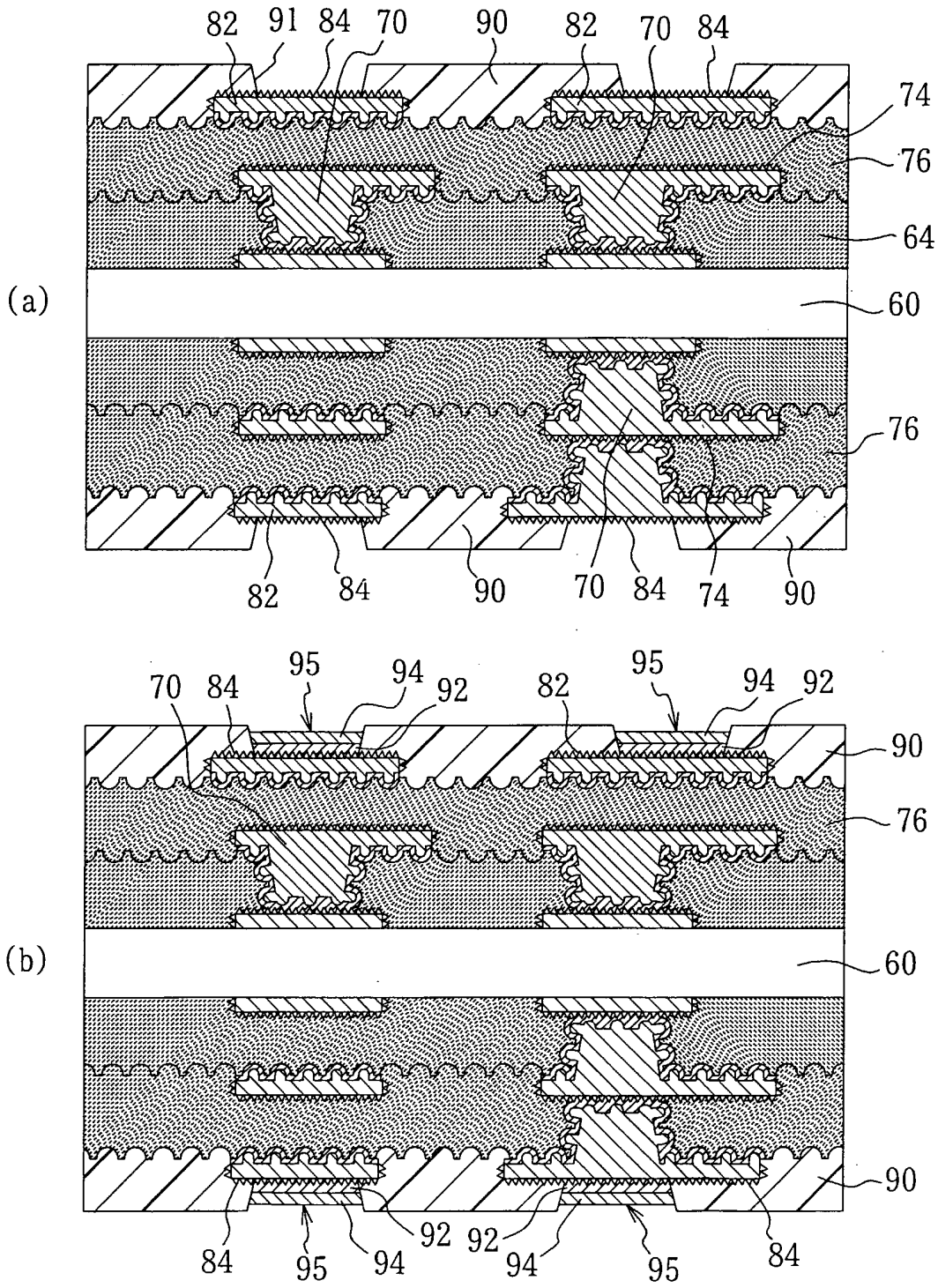
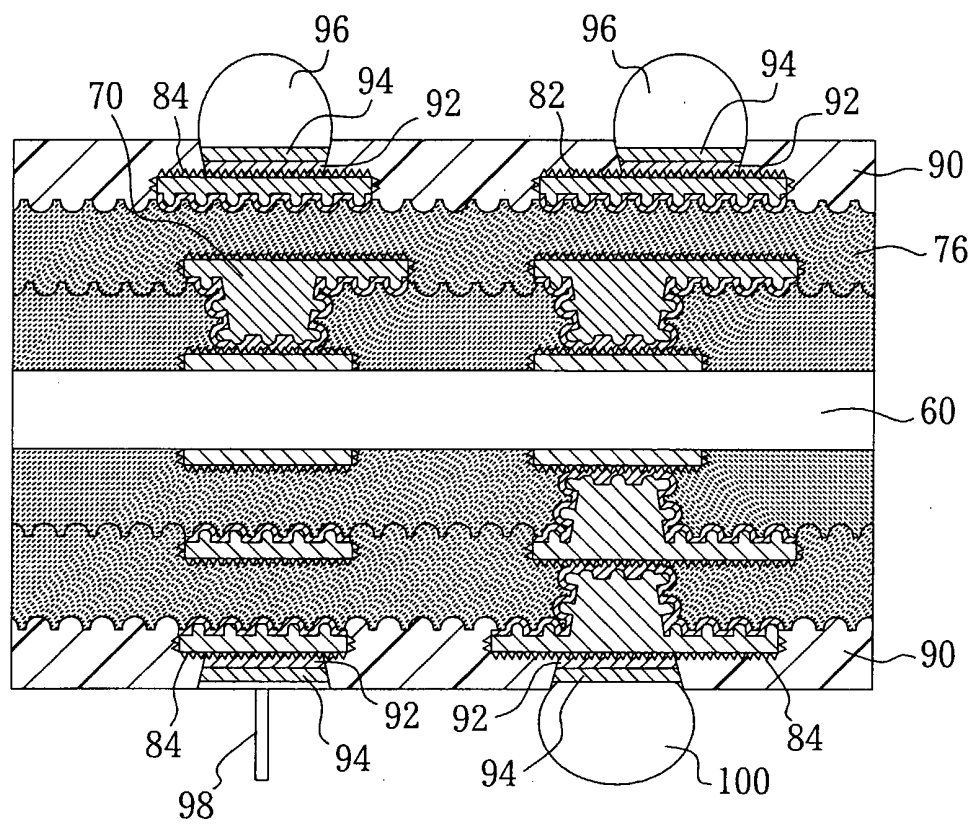


Fig. 18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/08291

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L23/12 Int.Cl⁷ H05K 3/34
 Int.Cl⁷ H01L23/32
 Int.Cl⁷ H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
 Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
EA EX	JP, 2000-91748, A (Dainippon Printing Co., Ltd.), 31 March, 2000 (31.03.00), Claim 11; Column 19, line 8 to Column 22, line 34; Fig. 1 (Family: none)	1-11 12-21
A	JP, 9-17828, A (Yugen Kaisha Asahi Denka Kenkyusho), 17 January, 1997 (17.01.97), Fig. 39 (Family: none)	1-21
EA	JP, 2000-3980, A (Sumitomo Metal (SMI) Electronics Devices Inc.), 07 January, 2000 (07.01.00), Fig. 25 (Family: none)	1-21
A	JP, 11-307936, A (IBIDEN CO., LTD.), 05 November, 1999 (05.11.99), Column 8, line 49 to Column 9, line 9 (Family: none)	1-21

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not
considered to be of particular relevance
 "E" earlier document but published on or after the international filing
date
 "L" document which may throw doubts on priority claim(s) or which is
cited to establish the publication date of another citation or other
special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other
means
 "P" document published prior to the international filing date but later
than the priority date claimed

"T" later document published after the international filing date or
priority date and not in conflict with the application but cited to
understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be
considered novel or cannot be considered to involve an inventive
step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such
combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
19 February, 2001 (19.02.01)

Date of mailing of the international search report
27 February, 2001 (27.02.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L23/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L23/12 Int. Cl⁷ H05K 3/34

Int. Cl⁷ H01L23/32

Int. Cl⁷ H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2001年

日本国登録実用新案公報 1994-2001年

日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EA EX	JP, 2000-91748, A (大日本印刷株式会社), 31. 3月. 2000 (31.03.00), 請求項11、第19欄第8行-第22欄第34行及び第1図 (ファミリーなし)	1-11 12-21
A	JP, 9-17828, A (有限会社旭電化研究所), 17. 1月. 1997 (17.01.97), 第39図 (ファミリーなし)	1-21

C欄の続きにも文献が列举されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願


の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日 19.02.01

国際調査報告の発送日 27.02.01

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 守安 太郎  4R 9347
電話番号 03-3581-1101 内線

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EA	JP, 2000-3980, A (株式会社住友金属エレクトロデバイス), 7. 1月. 2000 (07. 01. 00), 第25図 (ファミリーなし)	1-21
A	JP, 11-307936, A (イビデン株式会社), 5. 11月. 1999 (05. 11. 99), 第8欄第49行-第9欄第9行 (ファミリーなし)	1-21