



(12) 发明专利申请

(10) 申请公布号 CN 105489503 A

(43) 申请公布日 2016. 04. 13

(21) 申请号 201610056876. 7

(22) 申请日 2016. 01. 27

(71) 申请人 上海华虹宏力半导体制造有限公司
地址 201203 上海市浦东新区张江高科技园
区祖冲之路 1399 号

(72) 发明人 胡剑

(74) 专利代理机构 北京集佳知识产权代理有限
公司 11227

代理人 吴敏

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 27/02(2006. 01)

H01L 29/78(2006. 01)

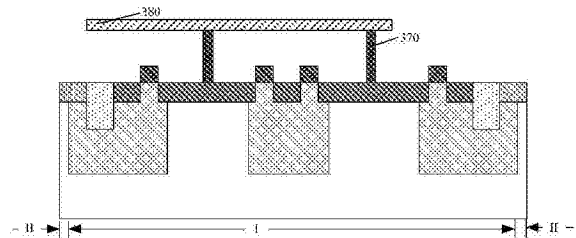
权利要求书2页 说明书8页 附图2页

(54) 发明名称

半导体结构及其形成方法、静电保护电路

(57) 摘要

一种半导体结构及其形成方法、静电保护电路,所述形成方法包括:提供包括器件区的衬底;在器件区衬底内形成通过衬底进行隔离的若干个阱区;在阱区表面形成栅极结构;在栅极结构一侧的阱区内形成源极区,另一侧的衬底内形成漏极区,漏极区横跨相邻阱区且相邻栅极结构共用源极区和漏极区。本发明通过在器件区衬底内形成若干个阱区,所述阱区之间通过衬底进行隔离,使部分漏极区位于阱区内,部分漏极区位于衬底内。由于GGNMOS的寄生电容受到掺杂离子浓度的影响,掺杂离子浓度越小寄生电容越小,而衬底的掺杂离子浓度小于阱区的掺杂离子浓度,因此可以使GGNMOS的寄生电容减小,从而可以减小输入输出延时的问题,进而提升芯片的工作速度。



1. 一种半导体结构的形成方法,其特征在于,包括:

提供衬底,所述衬底包括器件区;

在所述器件区衬底内形成若干个阱区,所述阱区包括第一阱区、第二阱区,以及位于所述第一阱区和第二阱区之间的一个或若干个第三阱区,所述若干个阱区之间通过所述衬底进行隔离;

在所述阱区表面形成栅极结构,所述栅极结构包括位于所述第一阱区表面的第一栅极结构,位于所述第二阱区表面的第二栅极结构,位于所述第三阱区表面的两个第三栅极结构;

在所述阱区内形成源极区,所述源极区包括位于所述第一栅极结构远离所述第三栅极结构一侧的第一源极区,位于所述第二栅极结构远离所述第三栅极结构一侧的第二源极区,以及位于同一第三阱区内且位于所述两个第三栅极结构之间的第三源极区;

在所述第一栅极结构或第二栅极结构与相邻第三栅极结构之间的衬底中,或者,在若干第三阱区的相邻第三栅极结构之间的衬底中形成漏极区,所述漏极区包括位于所述第一栅极结构和相邻第三栅极结构之间的衬底内的第一漏极区,所述第一漏极区横跨所述第一阱区和相邻的第三阱区,位于所述第二栅极结构和相邻第三栅极结构之间的衬底内的第二漏极区,所述第二漏极区横跨所述第二阱区和相邻的第三阱区。

2. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述第三阱区的数量为若干个,形成所述漏极区的步骤中,所述漏极区还包括位于相邻第三阱区之间衬底内的第三漏极区,所述第三漏极区横跨所述相邻的第三阱区。

3. 如权利要求1所述的半导体结构的形成方法,其特征在于,在形成所述阱区之前,还包括:在所述衬底中形成第一隔离结构和第二隔离结构;

形成所述第一阱区和第二阱区的步骤中,形成包围所述第一隔离结构的第一阱区,形成包围所述第二隔离结构的第二阱区;

形成所述源极区的步骤中,在所述第一隔离结构和第一栅极结构之间的第一阱区内形成所述第一源极区,在所述第二隔离结构和第二栅极结构之间的第二阱区内形成所述第二源极区。

4. 如权利要求3所述的半导体结构的形成方法,其特征在于,形成所述阱区、第一隔离结构和第二隔离结构之后,所述形成方法还包括:在所述第一隔离结构远离所述第一栅极结构一侧形成第一体接触区,且部分所述第一体接触区位于所述第一阱区内,在所述第二隔离结构远离所述第二栅极结构一侧形成第二体接触区,且部分所述第二体接触区位于所述第二阱区内。

5. 如权利要求4所述的半导体结构的形成方法,其特征在于,所述半导体结构为栅接地N型场效应晶体管,用于静电保护;

所述阱区、第一体接触区和第二体接触区注入离子的类型为P型,所述漏极区和源极区注入离子的类型为N型。

6. 一种半导体结构,其特征在于,包括:

衬底,所述衬底包括器件区;

形成于衬底中的若干个阱区,所述若干个阱区包括位于所述器件区的第一阱区、第二阱区,以及位于所述第一阱区和第二阱区之间的一个或若干个第三阱区,所述若干个阱区

之间通过所述衬底进行隔离；

形成于所述阱区表面的栅极结构,所述栅极结构包括位于所述第一阱区表面的第一栅极结构,位于所述第二阱区表面的第二栅极结构,位于所述第三阱区表面的两个第三栅极结构;

位于所述阱区内的源极区,所述源极区包括位于所述第一栅极结构远离所述第三栅极结构一侧的第一源极区,位于所述第二栅极结构远离所述第三栅极结构一侧的第二源极区,以及位于同一第三阱区内且位于所述第三栅极结构之间的第三源极区;

位于所述第一栅极结构或第二栅极结构与相邻第三栅极结构之间,或者,位于若干第三阱区的相邻第三栅极结构之间衬底中的漏极区,所述漏极区包括位于所述第一栅极结构和相邻第三栅极结构之间的衬底内的第一漏极区,所述第一漏极区横跨所述第一阱区和相邻的第三阱区,位于所述第二栅极结构和相邻第三栅极结构之间的衬底内的第二漏极区,所述第二漏极区横跨所述第二阱区和相邻的第三阱区。

7.如权利要求6所述的半导体结构,其特征在于,所述半导体结构还包括位于所述第一阱区内的第一隔离结构,以及位于所述第二阱区内的第二隔离结构;

所述第一隔离结构位于所述第一源极区远离所述第一栅极结构一侧的第一阱区内,所述第二隔离结构位于所述第二源极区远离所述第二栅极结构一侧的第二阱区内。

8.如权利要求7所述的半导体结构,其特征在于,所述半导体结构还包括:

位于所述第一隔离结构远离所述第一栅极结构一侧的第一体接触区,所述第一体接触区的一部分位于所述第一阱区内;

位于所述第二隔离结构远离所述第二栅极结构一侧的第二体接触区,所述第二体接触区的一部分位于所述第二阱区内。

9.权利要求8所述的半导体结构,其特征在于,所述半导体结构为栅接地N型场效应晶体管,用于静电保护;

所述阱区、第一体接触区和第二体接触区的掺杂离子的类型为P型,所述漏极区和源极区掺杂离子的类型为N型。

10.一种静电保护电路,其特征在于,包括:

静电输入端;

接地端;

权利要求6至9任一项所述的半导体结构,所述衬底、源极区和栅极结构接至接地端,所述漏极区与静电输入端电性相连。

半导体结构及其形成方法、静电保护电路

技术领域

[0001] 本发明涉及半导体领域,尤其涉及一种半导体结构及其形成方法、静电保护电路。

背景技术

[0002] 半导体芯片的运用越来越广泛,导致半导体芯片受到静电损伤的因素也越来越多。在现有的芯片设计中,常采用静电保护电路(ESD,Electrostatic Discharge)以减少芯片损伤。现有的静电放电保护电路的设计和应用包括:栅接地的N型场效应晶体管(Gate Grounded NMOS,简称GGNMOS)保护电路、可控硅(Silicon Controlled Rectifier,简称SCR)保护电路、横向扩散场效应晶体管(Laterally Diffused MOS,简称LDMOS)保护电路、双极结型晶体管(Bipolar Junction Transistor,简称BJT)保护电路等。其中,由于GGNMOS与集成电路工艺具有较好的兼容性而被广泛地应用。

[0003] 但是,随着超大规模集成电路的发展趋势,集成电路特征尺寸持续减小,现有技术GGNMOS的性能有待提高。

发明内容

[0004] 本发明解决的问题是提供一种半导体结构及其形成方法、静电保护电路,优化GGNMOS的性能。

[0005] 为解决上述问题,本发明提供一种半导体结构的形成方法,包括如下步骤:提供衬底,所述衬底包括器件区;在所述器件区衬底内形成若干个阱区,所述阱区包括第一阱区、第二阱区,以及位于所述第一阱区和第二阱区之间的一个或若干个第三阱区,所述若干个阱区之间通过所述衬底进行隔离;在所述阱区表面形成栅极结构,所述栅极结构包括位于所述第一阱区表面的第一栅极结构,位于所述第二阱区表面的第二栅极结构,位于所述第三阱区表面的两个第三栅极结构;在所述阱区内形成源极区,所述源极区包括位于所述第一栅极结构远离所述第三栅极结构一侧的第一源极区,位于所述第二栅极结构远离所述第三栅极结构一侧的第二源极区,以及位于同一第三阱区内且位于所述两个第三栅极结构之间的第三源极区;在所述第一栅极结构或第二栅极结构与相邻第三栅极结构之间的衬底中,或者,在若干第三阱区的相邻第三栅极结构之间的衬底中形成漏极区,所述漏极区包括位于所述第一栅极结构和相邻第三栅极结构之间的衬底内的第一漏极区,所述第一漏极区横跨所述第一阱区和相邻的第三阱区,位于所述第二栅极结构和相邻第三栅极结构之间的衬底内的第二漏极区,所述第二漏极区横跨所述第二阱区和相邻的第三阱区。

[0006] 可选的,所述第三阱区的数量为若干个,形成所述漏极区的步骤中,所述漏极区还包括位于相邻第三阱区之间衬底内的第三漏极区,所述第三漏极区横跨所述相邻的第三阱区。

[0007] 可选的,在形成所述阱区之前,还包括:在所述衬底中形成第一隔离结构和第二隔离结构;形成所述第一阱区和第二阱区的步骤中,形成包围所述第一隔离结构的第一阱区,形成包围所述第二隔离结构的第二阱区;形成所述源极区的步骤中,在所述第一隔离结构

和第一栅极结构之间的第一阱区内形成所述第一源极区,在所述第二隔离结构和第二栅极结构之间的第二阱区内形成所述第二源极区。

[0008] 可选的,成所述阱区、第一隔离结构和第二隔离结构之后,所述形成方法还包括:在所述第一隔离结构远离所述第一栅极结构一侧形成第一体接触区,且部分所述第一体接触区位于所述第一阱区内,在所述第二隔离结构远离所述第二栅极结构一侧形成第二体接触区,且部分所述第二体接触区位于所述第二阱区内。

[0009] 可选的,所述半导体结构为栅接地N型场效应晶体管,用于静电保护;所述阱区、第一体接触区和第二体接触区注入离子的类型为P型,所述漏极区和源极区注入离子的类型为N型。

[0010] 相应的,本发明还提供一种半导体结构,包括:衬底,所述衬底包括器件区;形成于衬底中的若干个阱区,所述若干个阱区包括位于所述器件区的第一阱区、第二阱区,以及位于所述第一阱区和第二阱区之间的一个或若干个第三阱区,所述若干个阱区之间通过所述衬底进行隔离;形成于所述阱区表面的栅极结构,所述栅极结构包括位于所述第一阱区表面的第一栅极结构,位于所述第二阱区表面的第二栅极结构,位于所述第三阱区表面的两个第三栅极结构;位于所述阱区内的源极区,所述源极区包括位于所述第一栅极结构远离所述第三栅极结构一侧的第一源极区,位于所述第二栅极结构远离所述第三栅极结构一侧的第二源极区,以及位于同一第三阱区内且位于所述第三栅极结构之间的第三源极区;位于所述第一栅极结构或第二栅极结构与相邻第三栅极结构之间,或者,位于若干第三阱区的相邻第三栅极结构之间衬底中的漏极区,所述漏极区包括位于所述第一栅极结构和相邻第三栅极结构之间的衬底内的第一漏极区,所述第一漏极区横跨所述第一阱区和相邻的第三阱区,位于所述第二栅极结构和相邻第三栅极结构之间的衬底内的第二漏极区,所述第二漏极区横跨所述第二阱区和相邻的第三阱区。

[0011] 可选的,所述半导体结构还包括位于所述第一阱区内的第一隔离结构,以及位于所述第二阱区内的第二隔离结构;所述第一隔离结构位于所述第一源极区远离所述第一栅极结构一侧的第一阱区内,所述第二隔离结构位于所述第二源极区远离所述第二栅极结构一侧的第二阱区内。

[0012] 可选的,所述半导体结构还包括:位于所述第一隔离结构远离所述第一栅极结构一侧的第一体接触区,所述第一体接触区的一部分位于所述第一阱区内;位于所述第二隔离结构远离所述第二栅极结构一侧的第二体接触区,所述第二体接触区的一部分位于所述第二阱区内。

[0013] 可选的,所述半导体结构为栅接地N型场效应晶体管,用于静电保护;所述阱区、第一体接触区和第二体接触区的掺杂离子的类型为P型,所述漏极区和源极区掺杂离子的类型为N型。

[0014] 相应的,本发明还提供一种静电保护电路,包括:静电输入端;接地端;本发明所述的半导体结构,所述衬底、源极区和栅极结构接至接地端,所述漏极区与静电输入端电性相连。

[0015] 与现有技术相比,本发明的技术方案具有以下优点:

[0016] 本发明通过在器件区衬底内形成若干个阱区,所述若干个阱区之间通过衬底进行隔离,使漏极区横跨相邻阱区而位于所述阱区内,且部分漏极区位于所述阱区内,部分漏极

区位于所述衬底内。由于GGNMOS的寄生电容受到掺杂离子浓度的影响,掺杂离子浓度越小寄生电容越小,而所述衬底的掺杂离子浓度小于所述阱区的掺杂离子浓度,因此可以使GGNMOS的寄生电容减小,从而可以减小输入输出延时的问题,进而提升芯片的工作速度。

附图说明

[0017] 图1是现有技术半导体结构一实施例的结构示意图;

[0018] 图2至图5是本发明半导体结构的形成方法一实施例对应的结构示意图;

[0019] 图6是本发明静电保护电路一实施例的结构示意图。

具体实施方式

[0020] 由背景技术可知,现有技术GGNMOS的性能有待提高。分析其原因在于:

[0021] 如图1所示,GGNMOS一实施例的结构包括:衬底100;位于所述衬底100中的P型阱区110,位于所述P型阱区110中的隔离结构150,位于隔离结构150之间所述衬底100上的多个栅极结构,位于栅极结构之间或栅极结构与隔离结构150之间的N型掺杂区,所述N型掺杂区位于所述P型阱区110中。

[0022] 具体地,所述多个栅极结构包括依次位于隔离结构150之间的第一栅极结构121、第二栅极结构122、第三栅极结构123和第四栅极结构124。第一栅极结构121与第二栅极结构122之间、第三栅极结构123与第四栅极结构124之间的N型掺杂区为共漏极区130,第一栅极结构121与隔离结构150之间、第二栅极结构122与第三栅极结构123之间、第四栅极结构124与隔离结构150之间的N型掺杂区为源极区140。

[0023] 所述共漏极区130与所述ESD输入端170电性相连,所述源极区140和所述栅极结构接地。

[0024] GGNMOS包括由源极区140、共漏极区130以及所述源极区140和漏极区130之间的P型阱区110构成的寄生NPN三极管。当ESD输入端170受到ESD静电脉冲时,共漏极区130的瞬时电位过高而触发GGNMOS内寄生NPN三极管导通,电流通过所述ESD输入端170流入所述共漏极区130,并由所述共漏极区130流入所述源极区140,释放ESD,以实现ESD保护的作用。

[0025] 第一栅极结构121与第二栅极结构122之间、第三栅极结构123与第四栅极结构124共用一个共漏极区130,相当于多个NMOS并联在一起,以提高ESD保护的能力。然而,作为共用区的所述共漏极区130的面积较大,因此,所述共漏极区130与所述阱区110之间的寄生电容相应也较大,从而增加了输入输出的延时,进而降低了芯片的工作速度。

[0026] 为了解决所述技术问题,本发明提供一种闪存结构的制造方法,包括:提供衬底,所述衬底包括器件区;在所述器件区衬底内形成若干个阱区,所述阱区包括位于所述器件区的第一阱区、第二阱区,以及位于所述第一阱区和第二阱区之间的一个或若干个第三阱区,所述若干个阱区之间通过所述衬底进行隔离;在所述阱区表面形成栅极结构,所述栅极结构包括位于所述第一阱区表面的第一栅极结构,位于所述第二阱区表面的第二栅极结构,位于所述第三阱区表面的两个第三栅极结构;在所述阱区内形成源极区,所述源极区包括位于所述第一栅极结构远离所述第三栅极结构一侧的第一源极区,位于所述第二栅极结构远离所述第三栅极结构一侧的第二源极区,以及位于同一第三阱区内且位于所述第三栅极结构之间的第三源极区;在所述第一栅极结构或第二栅极结构与相邻第三栅极结构之间

的衬底中,或者,在若干第三阱区的相邻第三栅极结构之间的衬底中形成漏极区,所述漏极区包括位于所述第一栅极结构和相邻第三栅极结构之间的衬底内的第一漏极区,所述第一漏极区横跨所述第一阱区和相邻的第三阱区,位于所述第二栅极结构和相邻第三栅极结构之间的衬底内的第二漏极区,所述第二漏极区横跨所述第二阱区和相邻的第三阱区。

[0027] 本发明通过在器件区衬底内形成若干个阱区,所述若干个阱区之间通过衬底进行隔离,使漏极区横跨相邻阱区而位于所述阱区内,且部分漏极区位于所述阱区内,部分漏极区位于所述衬底内。由于GGNMOS的寄生电容受到掺杂离子浓度的影响,掺杂离子浓度越小寄生电容越小,而所述衬底的掺杂离子浓度小于所述阱区的掺杂离子浓度,因此可以使GGNMOS的寄生电容减小,从而可以减小输入输出延时的问题,进而提升芯片的工作速度。

[0028] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0029] 图2至图5是本发明半导体结构的形成方法一实施例对应的结构示意图。

[0030] 参考图2,提供衬底200,所述衬底200包括器件区I。

[0031] 本实施例中,所述器件区I衬底200用于形成栅接地N型场效应晶体管(GGNMOS, Gate Grounded NMOS),所述衬底200为P型衬底。其中,所述GGNMOS用于静电放电(ESD, Electrostatic Discharge)保护。

[0032] 所述衬底200可以为硅衬底、锗衬底、碳化硅衬底或锗硅衬底。在本实施例中,所述衬底200为单晶硅衬底。

[0033] 需要说明的是,所述衬底200为未掺杂离子的本征半导体;或者,所述衬底200的掺杂离子浓度较低。

[0034] 还需要说明的是,所述衬底还包括位于所述器件区I两侧的连接区II。所述连接区II用于在后续金属互连时将所述衬底200连接至地线GND。

[0035] 参考图3,在所述器件区I衬底200内形成若干个阱区,所述阱区包括第一阱区221、第二阱区222,以及位于所述第一阱区221和第二阱区222之间的一个或若干个第三阱区223,所述若干个阱区之间通过所述衬底200进行隔离。

[0036] 所述器件区I衬底200用于形成GGNMOS,用于ESD保护,所述阱区与后续在所述阱区两侧形成的相邻源极区和漏极区构成寄生的NPN,用于实现静电释放的功能,所述阱区相当于NPN三极管的基区。

[0037] 相应的,所述阱区为P型阱区,且所述第一阱区221、第二阱区222和第三阱区223掺杂离子的类型和浓度相同。具体地,所述掺杂离子可以为B离子或BF离子,掺杂离子的剂量为 $1E12$ 至 $1E13$ 原子每平方厘米。

[0038] 本实施例中,所述第三阱区223的数量为一个。

[0039] 在其他实施例中,所述第三阱区的数量为任意自然数 n ,且 $n \geq 2$ 。

[0040] 需要说明的是,在形成所述阱区之前,还包括:在所述衬底200中形成第一隔离结构211和第二隔离结构212。形成若干阱区的步骤包括:形成包围所述第一隔离结构211的第一阱区221,形成包围所述第二隔离结构212的第二阱区222。

[0041] 具体地,所述第一隔离结构211位于所述第一阱区221内,所述第二隔离结构212位于所述第二阱区222内。

[0042] 参考图4,在所述阱区表面形成栅极结构,所述栅极结构包括位于所述第一阱区

221表面的第一栅极结构231,位于所述第二阱区222表面的第二栅极结构232,位于所述第三阱区223表面的两个第三栅极结构233。

[0043] 本实施例中,所述栅极结构作为GGNMOS的栅极结构。

[0044] 需要说明的是,由于仅依靠单个GGNMOS起到的静电保护能力较小,因此形成多个栅极结构并采用相邻晶体管共用同一源极区或漏极区的方式,以实现晶体管的并联,进而增加ESD保护的面积。

[0045] 本实施例中,所述第三阱区223的数量为一个,相应的,所述第三栅极结构233的数量为两个。在其他实施例中,所述第三阱区的数量为任意自然数 n ,且 $n \geq 2$,相应的,所述第三栅极结构的数量为 $2n$ 个。

[0046] 本实施例中,所述栅极结构的材料为多晶硅。

[0047] 需要说明的是,所述第一栅极结构231位于所述第一隔离结构211靠近相邻第三栅极结构233一侧的第一阱区221表面,所述第二栅极结构232位于所述第二隔离结构212靠近相邻第三栅极结构233一侧的第二阱区222表面,以便于后续在所述栅极结构一侧的阱区内形成源极区,在不同阱区的相邻栅极结构之间形成漏极区。

[0048] 参考图5,在所述阱区内形成源极区,所述源极区包括位于所述第一栅极结构231远离所述第三栅极结构233一侧的第一源极区241,位于所述第二栅极结构232远离所述第三栅极结构233一侧的第二源极区242,以及位于同一第三阱区223内且位于所述两个第三栅极结构233之间的第三源极区243。

[0049] 所述阱区、源极区以及后续形成的与所述源极区相邻的漏极区构成寄生的NPN三极管,用于实现静电释放的功能。所述源极区相当于NPN三极管的发射极区。

[0050] 需要说明的是,所述第一阱区221内形成有第一隔离结构211,所述第二阱区222内形成有第二隔离结构212,本实施例中,在所述第一隔离结构211和第一栅极结构231之间的第一阱区221内形成所述第一源极区241,在所述第二隔离结构212和第二栅极结构232之间的第二阱区222内形成所述第二源极区242。

[0051] 本实施例中,所述半导体结构为GGNMOS,相应的,所述第一源极区241、第二源极区242和第三源极区243的掺杂离子类型为N型离子,且所述第一源极区241、第二源极区242和第三源极区243掺杂离子的类型和浓度相同。具体地,所述掺杂离子可以为P离子、As离子或Sb离子,掺杂离子的剂量为 $1E12$ 至 $1E13$ 原子每平方厘米。

[0052] 继续参考图5,在所述第一栅极结构231或第二栅极结构232与相邻第三栅极结构233之间的衬底200中,或者,在若干第三阱区223的相邻第三栅极结构233之间的衬底200中形成漏极区,所述漏极区包括位于所述第一栅极结构231和相邻第三栅极结构233之间的衬底200内的第一漏极区251,所述第一漏极区251横跨所述第一阱区221和相邻的第三阱区223,位于所述第二栅极结构232和相邻第三栅极结构233之间的衬底200内的第二漏极区252,所述第二漏极区252横跨所述第二阱区222和相邻的第三阱区223。

[0053] 本实施例中,所述第三阱区223的数量为一个,所述漏极区包括第一漏极区251和第二漏极区252。在其他实施例中,所述第三阱区的数量为任意自然数 n ,且 $n \geq 2$,相应的,形成所述漏极区的步骤中,所述漏极区还包括位于相邻第三阱区之间衬底内的第三漏极区,所述第三漏极区横跨所述相邻的第三阱区。

[0054] 相邻所述源极区和漏极区以及所述源极区和漏极区之间的阱区构成寄生的NPN三

极管,用于实现静电释放的功能。所述漏极区相当于NPN三极管的集电极区。例如,所述第一源极区241、第一阱区221以及第一漏极区251构成第一NPN三极管。

[0055] 需要说明的是,所述漏极区为相邻NPN三极管的共漏极区。

[0056] 本实施例中,所述半导体结构为GGNMOS,相应的,所述第一漏极区251和第二漏极区252的掺杂离子类型为N型离子,且所述第一漏极区251和第二漏极区252掺杂离子的类型和浓度相同。具体地,所述掺杂离子可以为P离子、As离子或Sb离子,掺杂离子的剂量为 $1E12$ 至 $1E13$ 原子每平方厘米。

[0057] 需要说明的是,所述漏极区和所述源极区在同一道离子掺杂工艺中形成。在其他实施例中,还可以在不同离子掺杂工艺中分别形成所述漏极区和源极区。

[0058] 本实施例中,形成所述阱区、第一隔离结构211和第二隔离结构212之后,还包括:在所述第一隔离结构211远离所述第一栅极结构231一侧形成第一体接触区261,且部分所述第一体接触区261位于所述第一阱区221内,在所述第二隔离结构212远离所述第二栅极结构232一侧形成第二体接触区262,且部分所述第二体接触区262位于所述第二阱区222内。其中,所述第一体接触区261和所述第二体接触区262在同一道离子掺杂工艺中形成。

[0059] 所述第一体接触区261和第二体接触区262用于在后续金属互连时将所述衬底200连接至地线GND,所述第一体接触区261和第二体接触区262的掺杂类型与所述衬底200的掺杂类型相同,且掺杂浓度高于所述衬底200,用以降低接触电阻。具体地,所述第一体接触区261和第二体接触区262掺杂离子的类型为P型离子,所述P型离子可以为B离子或BF离子,掺杂离子的剂量为 $1E12$ 至 $1E13$ 原子每平方厘米。

[0060] 需要说明的是,本实施例中,先形成所述漏极区和源极区,再形成所述第一体接触区261和第二体接触区262。在其他实施例中,还可以先形成第一体接触区和第二体接触区,再形成漏极区和源极区。

[0061] 本发明通过在器件区衬底200内形成若干个阱区,所述若干个阱区之间通过所述衬底200进行隔离,使共漏极区横跨相邻阱区,且部分漏极区位于所述阱区内,部分漏极区位于所述衬底200内。由于GGNMOS的寄生电容受到掺杂离子浓度的影响,掺杂离子浓度越小寄生电容越小,本实施例中所述衬底200的掺杂离子浓度小于所述阱区的掺杂离子浓度,因此与现有技术相比,本发明GGNMOS的寄生电容减小,从而可以减小输入输出延时的问题,进而提升芯片的工作速度。

[0062] 相应地,本发明实施例还提供一种半导体结构,继续参考图5,示出了本发明实施例一半导体结构的示意图。所述半导体结构包括:

[0063] 衬底200,所述衬底包括器件区I;

[0064] 形成于衬底200中的若干个阱区,所述若干个阱区包括位于所述器件区I的第一阱区221、第二阱区222,以及位于所述第一阱区221和第二阱区222之间的一个或若干个第三阱区223,所述若干个阱区之间通过所述衬底200进行隔离;

[0065] 形成于所述阱区表面的栅极结构,所述栅极结构包括位于所述第一阱区221表面的第一栅极结构231,位于所述第二阱区222表面的第二栅极结构232,以及位于所述第三阱区223表面的两个第三栅极结构233;

[0066] 位于所述阱区内的源极区,所述源极区包括位于所述第一栅极结构231远离所述第三栅极结构233一侧的第一源极区241,位于所述第二栅极结构232远离所述第三栅极结

构233一侧的第二源极区242,以及位于同一第三阱区223且位于所述两个第三栅极结构233之间的第三源极区243;

[0067] 位于所述第一栅极结构231或第二栅极结构232与相邻第三栅极结构233之间,或者,位于若干第三阱区223的相邻第三栅极结构233之间衬底200中的漏极区,所述漏极区包括位于所述第一栅极结构231和相邻第三栅极结构233之间的衬底200内的第一漏极区251,所述第一漏极区251横跨所述第一阱区221和相邻的第三阱区223,位于所述第二栅极结构232和相邻第三栅极结构233之间的衬底内的第二漏极区252,所述第二漏极区252横跨所述第二阱区222和相邻的第三阱区223。

[0068] 本实施例中,所述漏极区的部分表面与所述阱区相接触,部分表面与所述衬底200相接触,由于GGNMOS的寄生电容受到掺杂离子浓度的影响,掺杂离子浓度越小寄生电容越小,本实施例中所述衬底200的掺杂离子浓度小于所述阱区的掺杂离子浓度,因此,与现有技术相比,本发明GGNMOS的寄生电容减小,从而可以减小输入输出延时的问题,进而提升芯片的工作速度。

[0069] 本实施例中,所述第三阱区223的数量为一个,所述第三栅极结构233的数量为两个。

[0070] 在其他实施例中,所述第三阱区的数量为任意自然数 n ,且 $n \geq 2$ 。相应的,所述第三栅极结构233的数量为 $2n$ 个,所述漏极区还包括位于相邻第三阱区之间衬底内的第三漏极区(图未示),所述第三漏极区横跨所述相邻的第三阱区。

[0071] 本实施例中,所述半导体结构还包括位于所述第一阱区221内的第一隔离结构211,以及位于所述第二阱区222内的第二隔离结构212;所述第一隔离结构211位于所述第一源极区241远离所述第一栅极结构231一侧的第一阱区221内,所述第二隔离结构212位于所述第二源极区242远离所述第二栅极结构232一侧的第二阱区222内。

[0072] 需要说明的是,所述半导体结构还包括:位于所述第一隔离结构211远离所述第一栅极结构231一侧的第一体接触区261,所述第一体接触区261的一部分位于所述第一阱区221内;位于所述第二隔离结构212远离所述第二栅极结构232一侧的第二体接触区262,所述第二体接触区262的一部分位于所述第二阱区222内。

[0073] 本实施例中,所述衬底200还包括位于所述器件区I两侧的连接区II。所述第一体接触区261的一部分还位于所述连接区II内,所述第二体接触区262的一部分还位于所述连接区II内。

[0074] 所述第一体接触区261和第二体接触区262用于将所述衬底200连接至地线GND,所述第一体接触区261和第二体接触区262的掺杂类型与所述衬底200的掺杂类型相同,且掺杂浓度高于所述衬底200,用以降低接触电阻。

[0075] 本实施例中,所述半导体结构为栅接地N型场效应晶体管(GGNMOS, Gate Grounded NMOS),用于ESD保护。相邻所述源极区和漏极区以及所述源极区和漏极区之间的阱区构成NPN三极管,用于实现静电释放的功能,所述漏极区相当于NPN三极管的集电极区,所述源极区相当于NPN三极管的发射极区,所述阱区相当于NPN三极管的基区。例如,所述第一源极区241、第一阱区221以及第一漏极区251构成第一NPN三极管。

[0076] 相应的,所述阱区、第一体接触区261和第二体接触区262的掺杂离子的类型为P型,所述漏极区和源极区掺杂离子的类型为N型。

[0077] 具体地,所述第一阱区221、第二阱区222和第三阱区223的掺杂离子可以为B离子或BF离子,掺杂离子的剂量为 $1E12$ 至 $1E13$ 原子每平方厘米;所述第一源极区241、第二源极区242和第三源极区243的掺杂离子可以为P离子、As离子或Sb离子,掺杂离子的剂量为 $1E12$ 至 $1E13$ 原子每平方厘米;所述第一漏极区251和第二漏极区252的掺杂离子可以为P离子、As离子或Sb离子,掺杂离子的剂量为 $1E12$ 至 $1E13$ 原子每平方厘米。

[0078] 参考图6,本发明实施例还提供一种静电保护电路,包括:

[0079] 静电输入端380;

[0080] 接地端(图未示);

[0081] 本发明提供的半导体结构,所述衬底200、源极区和栅极结构接至接地端,所述漏极区与静电输入端380电性相连。

[0082] 本实施例中,所述半导体结构为栅接地N型场效应晶体管(GGNMOS, Gate Grounded NMOS),具体可参考上一实施例的说明,在此不再赘述。

[0083] 本实施例中,所述静电输入端380通过接触孔插塞370与所述漏极区实现电性相连。具体地,所述接触孔插塞370的材料为钨。

[0084] 本实施例中,所述GGNMOS漏极区的部分表面与所述阱区相接触,部分表面与所述衬底200(如图5所示)相接触,由于GGNMOS的寄生电容受到掺杂离子浓度的影响,掺杂离子浓度越小寄生电容越小,本实施例中所述衬底200的掺杂离子浓度小于所述阱区的离子掺杂浓度,因此,与现有技术相比,本发明GGNMOS的寄生电容减小,从而可以减小输入输出延时的问题,进而提升芯片的工作速度。

[0085] 需要说明的是,可选的,所述半导体结构具有第一体接触区261和第二体接触区262。所述第一体接触区261和第二体接触区262也连接至地端。

[0086] 虽然本发明披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

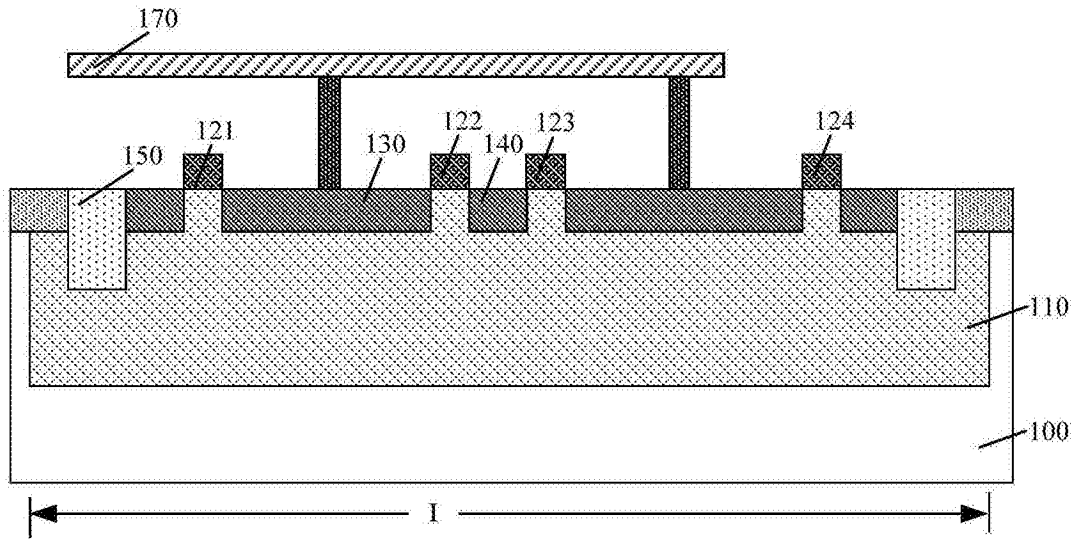


图1

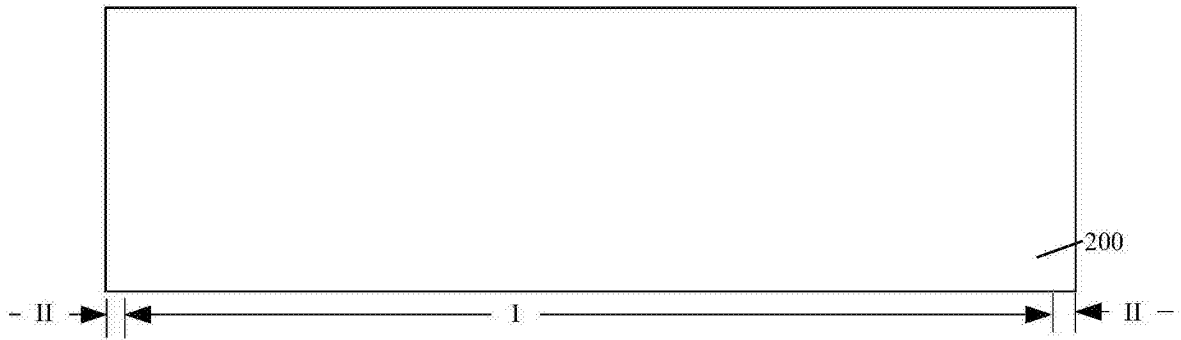


图2

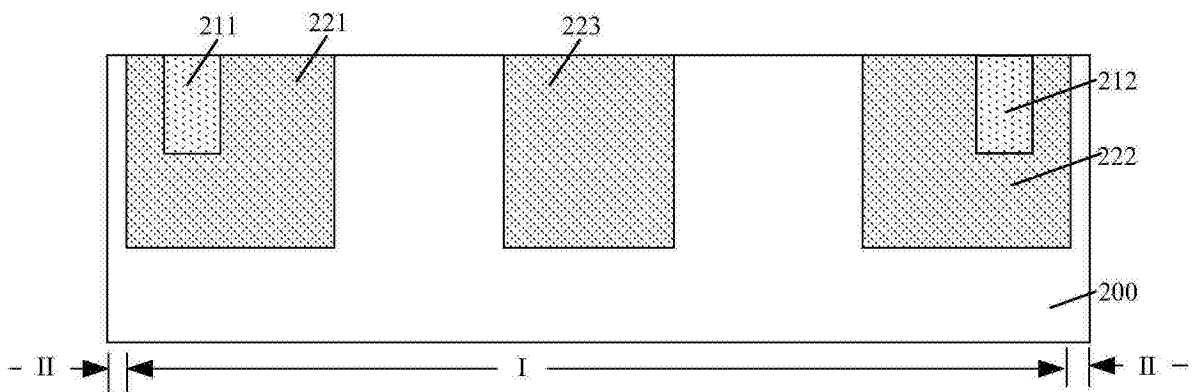


图3

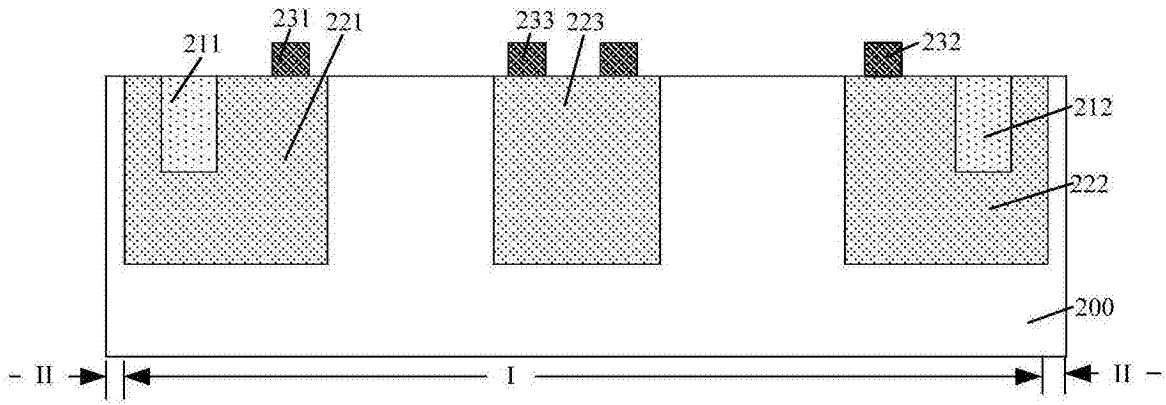


图4

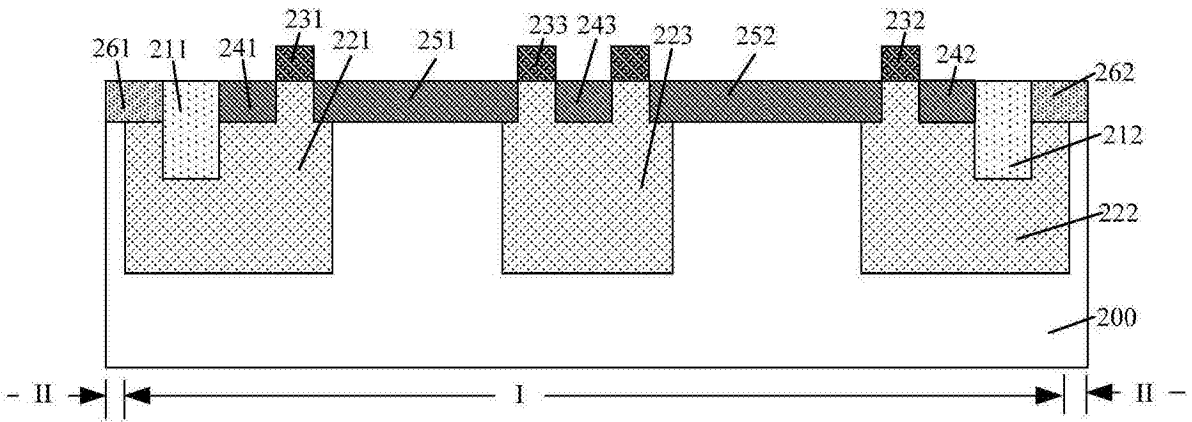


图5

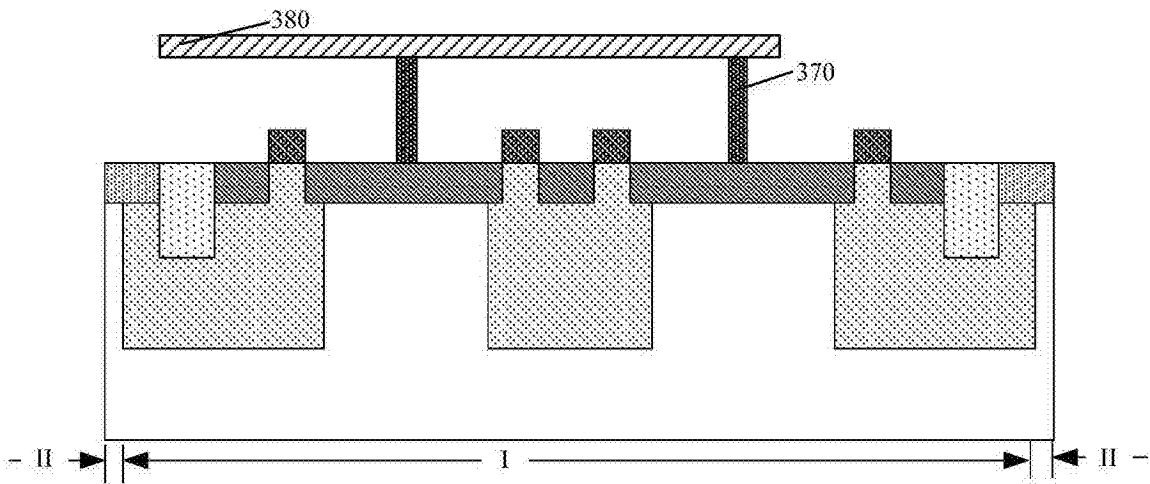


图6