

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7031983号  
(P7031983)

(45)発行日 令和4年3月8日(2022.3.8)

(24)登録日 令和4年2月28日(2022.2.28)

(51)国際特許分類	F I			
G 0 5 F 1/56 (2006.01)	G 0 5 F	1/56	3 2 0 C	
	G 0 5 F	1/56	3 1 0 A	

請求項の数 3 (全8頁)

(21)出願番号	特願2018-60314(P2018-60314)	(73)特許権者	715010864 エイブリック株式会社 東京都港区三田三丁目9番6号
(22)出願日	平成30年3月27日(2018.3.27)	(72)発明者	富岡 勉 千葉県千葉市美浜区中瀬1丁目8番地 エイブリック株式会社内
(65)公開番号	特開2019-174976(P2019-174976 A)	(72)発明者	黒田 忠克 千葉県千葉市美浜区中瀬1丁目8番地 エイブリック株式会社内
(43)公開日	令和1年10月10日(2019.10.10)	(72)発明者	杉浦 正一 千葉県千葉市美浜区中瀬1丁目8番地 エイブリック株式会社内
審査請求日	令和3年2月9日(2021.2.9)	審査官	遠藤 尊志

最終頁に続く

(54)【発明の名称】 ボルテージレギュレータ

## (57)【特許請求の範囲】

## 【請求項1】

出力トランジスタが出力端子に出力する出力電圧に基づく電圧と基準電圧の差を増幅した電圧で、前記出力トランジスタのゲートを制御する誤差増幅回路と、前記出力トランジスタの過電流を検出すると、前記出力トランジスタのゲート電圧を制御して過電流を防止する過電流保護回路と、前記出力端子が負電圧になったときに、前記出力トランジスタのゲート電圧を制御して過電流を防止する保護回路と、前記出力端子に接続されたN型領域を有する保護素子と、を備え、前記保護回路は、前記出力トランジスタのゲートを制御するMOSトランジスタと、前記MOSトランジスタのゲートに接続されたクランプ回路と、前記クランプ回路に接続されたN型領域を有する半導体素子と、前記保護素子のN型領域をエミッタ、P型基板をベース、前記半導体素子のN型領域をコレクタ、とする寄生バイポーラトランジスタと、を備え、前記半導体素子は、前記保護素子の近傍に配置されたことを特徴とするボルテージレギュレータ。

## 【請求項2】

前記クランプ回路は、抵抗素子、または電流源、またはダイオード接続されたMOSトランジスタであることを特徴とする請求項1に記載のボルテージレギュレータ。

## 【請求項 3】

前記N型領域を有する半導体素子は、ダイオード、またはトランジスタであることを特徴とする請求項 1 または 2 に記載のボルテージレギュレータ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、ボルテージレギュレータに関する。

## 【背景技術】

## 【0002】

一般的なボルテージレギュレータは、過電流保護回路を備えているが、保護回路の精度が要求されるために、様々な発明が成されている（例えば特許文献 1 参照）。図 4 は、従来の過電流保護回路を備えたボルテージレギュレータを示す回路図である。

10

## 【0003】

従来のボルテージレギュレータは、出力端子 101 の出力電圧に基づく帰還電圧と基準電圧が入力される誤差増幅回路 102 と、出力トランジスタ 103 と、過電流保護回路 104 と、を備えている。また、出力端子 101 には保護素子であるトランジスタ 108 を備えている。

## 【0004】

過電流保護回路 104 は、出力トランジスタ 103 の出力電流を監視するセンストランジスタ 105 と、センストランジスタ 105 と出力トランジスタ 103 の動作状態を同じくするレベルシフトトランジスタ 106 と、センストランジスタ 105 と出力トランジスタ 103 のドレイン電圧が同じになるように、レベルシフトトランジスタ 106 のゲート電圧を制御する制御回路 107 と、を備えている。

20

## 【0005】

従来のボルテージレギュレータは、上述のような回路構成にするによって、精度の良い過電流保護回路を実現している。

## 【先行技術文献】

## 【特許文献】

## 【0006】

【文献】特開 2003 - 29856 号公報

30

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0007】

図 4 のように構成された従来のボルテージレギュレータは、例えば、出力端子 101 に接続されるトランジスタ 108 のドレインのN型領域と、レベルシフトトランジスタ 106 のウェルのN型領域が存在すると、NPNの寄生バイポーラトランジスタを構成する可能性がある。

## 【0008】

図 5 は、図 4 のトランジスタ 105、106、108 を含むデバイス断面構造の模式図である。ここで、レベルシフトトランジスタ 106 の配置によっては、トランジスタ 108 のドレインのN型領域 51 をエミッタ、P型基板 50 をベース、レベルシフトトランジスタ 106 のNWELLのN型領域 52、53 をコレクタとする寄生バイポーラトランジスタ 54 が、コレクタ電流を流しやすい状態となる。

40

## 【0009】

出力端子 101 は、負荷が地絡すると、負荷の状態によっては、負電圧になる可能性がある。即ち、NMOSトランジスタ 108 のドレインのN型領域 51 が負電圧になるので、寄生バイポーラ 54 は、エミッタが負電圧になり、ベース電流及びコレクタ電流が流れる。このコレクタ電流は、センストランジスタ 105 のドレイン電流を引き抜くため、過電流保護回路 104 が正常に動作しなくなり、トランジスタ 108 に大きな電流が流れる。

## 【0010】

50

上述の状態を回避するためには、トランジスタの距離を離すなどのレイアウト的制約を受けるので、レイアウトの複雑化やチップ面積増大などの課題があった。

【0011】

本発明は、上記課題に鑑みてなされ、レイアウト的制約を受けず、出力端子地絡時の寄生バイポーラによる誤動作に対応した過電流保護回路を備えたボルテージレギュレータを提供する。

【課題を解決するための手段】

【0012】

従来課題を解決するため、本発明のボルテージレギュレータは、出力トランジスタが出力端子に出力する出力電圧に基づく電圧と基準電圧の差を増幅した電圧で、前記出力トランジスタのゲートを制御する誤差増幅回路と、前記出力トランジスタの過電流を検出すると、前記出力トランジスタのゲート電圧を制御して過電流を防止する過電流保護回路と、前記出力端子が負電圧になったときに、前記出力トランジスタのゲート電圧を制御して過電流を防止する保護回路と、を備え、前記保護回路は、前記出力トランジスタのゲートを制御するMOSトランジスタと、前記MOSトランジスタのゲートに接続されたクランプ回路と、前記クランプ回路に接続されたN型領域を有する半導体素子と、前記出力端子に接続されたN型領域をエミッタ、P型基板をベース、前記半導体素子のN型領域をコレクタ、とする寄生バイポーラトランジスタと、を備えたことを特徴とする。

【発明の効果】

【0013】

本発明のボルテージレギュレータは、負荷の地絡時に出力端子が負電圧になったときに過電流を防止する保護回路を備えたので、過電流保護回路はレイアウト的制約を受けずに構成することができる。

【図面の簡単な説明】

【0014】

【図1】本発明の実施形態のボルテージレギュレータを示す回路図である。

【図2】本実施形態のボルテージレギュレータのデバイス断面構造の模式図である。

【図3】本実施形態のボルテージレギュレータの他の例を示す回路図である。

【図4】従来ボルテージレギュレータの構成を示す回路図である。

【図5】従来ボルテージレギュレータのデバイス断面構造の模式図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施形態について図面を参照して説明する。

図1は、本発明の実施形態のボルテージレギュレータを示す回路図である。

【0016】

本発明の実施形態のボルテージレギュレータは、誤差増幅回路2と、出力トランジスタであるPMOSトランジスタ3、過電流保護回路4と、基準電圧回路5と、抵抗回路6と、保護回路7と、クランプ回路であるNMOSトランジスタ8と、出力端子12を備えている。保護回路7は、ダイオード71と、抵抗素子72と、PMOSトランジスタ73と、を備えている。NMOSトランジスタ8は、ESD保護素子である。後述するが、保護回路7は、NMOSトランジスタ8のドレイン領域を含めて構成される。

【0017】

次に、本実施形態のボルテージレギュレータの接続について説明する。

誤差増幅回路2は、反転入力端子が基準電圧回路5の正極に接続され、非反転入力端子が抵抗回路6の出力端子に接続される。基準電圧回路5は、負極がグラウンド端子10に接続される。PMOSトランジスタ3は、ゲートが誤差増幅回路2の出力端子に接続され、ソースが電源端子11に接続され、ドレインが出力端子12に接続される。過電流保護回路4と保護回路7は、PMOSトランジスタ3のゲートに接続される。抵抗回路6は、出力端子12とグラウンド端子10の間に接続される。NMOSトランジスタ8は、ゲートとソースがグラウンド端子10に接続され、ドレインが出力端子12に接続される。

## 【 0 0 1 8 】

ダイオード 7 1 は、カソードが抵抗 7 2 の一方の端子に接続され、アノードがグラウンド端子 1 0 に接続される。抵抗 7 2 は、他方の端子が電源端子 1 1 に接続される。PMOS トランジスタ 7 3 は、ゲートがダイオード 7 1 のカソードに接続され、ソースが電源端子 1 1 に接続され、ドレインが PMOS トランジスタ 3 のゲートに接続される。

## 【 0 0 1 9 】

次に、本実施形態のボルテージレギュレータの動作について説明する。

電源端子 1 1 に電源電圧  $V_{DD}$  が入力されると、PMOS トランジスタ 3 は、出力端子 1 2 から出力電圧  $V_{out}$  を出力する。誤差増幅回路 2 は、基準電圧回路 5 の基準電圧  $V_{ref}$  と出力電圧  $V_{out}$  に基づく帰還電圧を比較し、帰還電圧が基準電圧  $V_{ref}$  に近づくよう PMOS トランジスタ 3 のゲート電圧を制御する。

10

## 【 0 0 2 0 】

出力端子 1 2 に接続された負荷が短絡するなどして PMOS トランジスタ 3 に過電流が流れると、過電流保護回路 4 は、PMOS トランジスタ 3 のゲート電圧を高くすることによって過電流から PMOS トランジスタ 3 を保護する。この時、出力電圧  $V_{out}$  が負電圧になると、上述したように、過電流保護回路 1 0 4 が正常に動作しなくなる可能性がある。

## 【 0 0 2 1 】

図 2 は、本実施形態のボルテージレギュレータの保護回路 7 のデバイス断面構造を含めた模式図である。ダイオード 7 1 は、P 型基板 2 0 の P 型領域と、N 型領域 2 2、2 3 で構成される。NMOS トランジスタ 8 は、P 型基板 2 0 上に N 型領域 2 1 のドレインを含んで構成される。

20

## 【 0 0 2 2 】

ここで、N 型領域 2 1 をエミッタ、P 型基板 2 0 をベース、N 型領域 2 2、2 3 をコレクタとする寄生バイポーラトランジスタ 2 4 が存在する。即ち、保護回路 7 は、ダイオード 7 1 と抵抗素子 7 2 と PMOS トランジスタ 7 3 に加えて、寄生バイポーラトランジスタ 2 4 で構成される。

## 【 0 0 2 3 】

次に、保護回路 7 の動作について説明する。

定常動作時において、出力端子 1 2 の電圧  $V_{out}$  は、所望の電圧になっているので、グラウンド端子 1 0 の電圧よりも高い。寄生バイポーラトランジスタ 2 4 は、ベースよりエミッタの電圧が高いため、ベース電流及びコレクタ電流は流れない。従って、PMOS トランジスタ 7 3 は、ゲートが電源端子 1 1 の電圧  $V_{DD}$  にクランプされるので、オフしている。

30

## 【 0 0 2 4 】

出力端子 1 2 が負電圧になると、NMOS トランジスタ 8 のドレインの N 型領域 2 1 が負電圧になるので、寄生バイポーラトランジスタ 2 4 は、ベースよりエミッタの電圧が低くなり、ベース電流及びコレクタ電流が流れる。この寄生バイポーラトランジスタ 2 4 のコレクタ電流が抵抗 7 2 に流れると電圧降下が発生する。PMOS トランジスタ 7 3 は、ゲート電圧が低下してしきい値電圧に達すると、ドレイン電流を PMOS トランジスタ 3 のゲートに流し込み、ゲート電圧を上昇させる。従って、PMOS トランジスタ 3 のゲートソース間電圧が抑制され、PMOS トランジスタ 3 の過電流を防止することができる。

40

## 【 0 0 2 5 】

なお、ダイオード 7 1 は、他の回路を構成する N 型領域よりも、NMOS トランジスタ 8 の近傍に配置すると良い。このように配置すると、寄生バイポーラトランジスタ 2 4 の電流増幅率が高くなるため、保護回路 7 は、出力端子の負電圧に対する感度が上がる。

## 【 0 0 2 6 】

以上説明したように、本実施形態の保護回路 7 は、簡便な回路でありながら、出力端子 1 2 が負電圧になったときに、出力トランジスタ 3 のゲート電圧を制御して、過電流を防止することが出来る。従って、過電流保護回路 4 が正常に動作しなくなった場合であっても、確実に過電流を防止することが出来る。従って、過電流保護回路 4 は、レイアウト的制

50

約を受けることなく配置することが出来るので、レイアウトの複雑さや面積増大と言った課題を解決することが出来る。

【 0 0 2 7 】

以上、本発明の実施形態について説明したが、本発明は上記実施形態に限定されず、本発明の趣旨を逸脱しない範囲において種々の変更が可能であることは言うまでもない。

例えば、クランプ回路である抵抗素子 7 2 は、電流源や、ダイオード接続された MOS トランジスタを用いても良い。

【 0 0 2 8 】

また例えば、保護回路 7 のダイオード 7 1 は、寄生バイポーラトランジスタ 2 4 のコレクタとなる N 型領域を備えていれば良いので、図 3 に示すように NMOS トランジスタ 7 4 10  
に変えても良い。また、N 型領域は、保護回路 7 の N 型領域でなくても良い。また、寄生バイポーラトランジスタ 2 4 のベースは、P 型基板 2 0 として説明したが、P 型基板と異なる構造の P 型領域であっても構わない。

【 0 0 2 9 】

また例えば、本実施形態のボルテージレギュレータは、抵抗回路 6 が出力電圧  $V_{out}$  を分圧した帰還電圧を出力する構成としたが、出力電圧  $V_{out}$  が誤差増幅回路 2 入力端子に入力される構成としてもよい。

【 符号の説明 】

【 0 0 3 0 】

- 2 誤差増幅回路 20
- 4 過電流保護回路
- 5 基準電圧回路
- 7 保護回路
- 2 0 P 型基板
- 2 1、2 2、2 3 N 型領域
- 2 4 寄生バイポーラトランジスタ

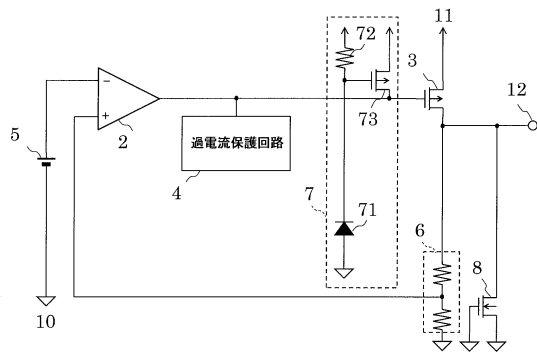
30

40

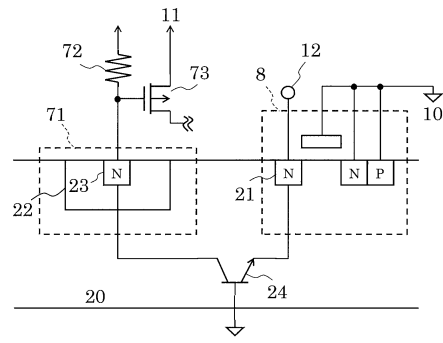
50

【図面】

【図 1】

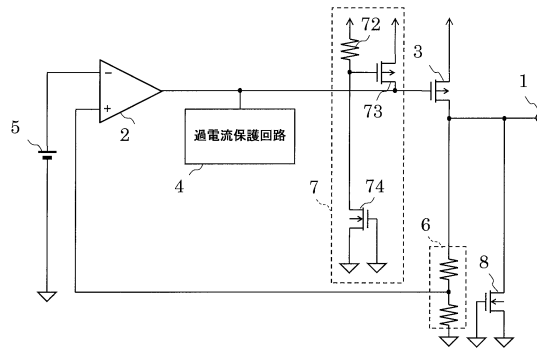


【図 2】

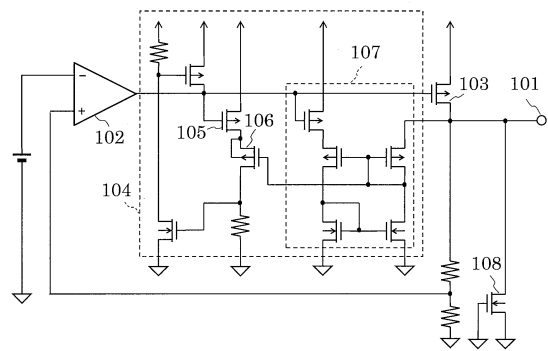


10

【図 3】



【図 4】



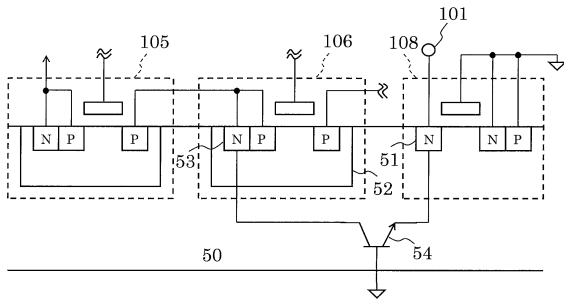
20

30

40

50

【 図 5 】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開 2013 - 156926 (JP, A)  
特開 2014 - 026457 (JP, A)  
特開 2011 - 096231 (JP, A)  
米国特許出願公開第 2006 / 0043945 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)  
G05F 1 / 56