



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2021-0155696  
(43) 공개일자 2021년12월23일

(51) 국제특허분류(Int. Cl.)  
H01L 23/00 (2006.01) H01L 23/495 (2006.01)  
H01L 23/498 (2006.01) H01L 23/532 (2006.01)  
(52) CPC특허분류  
H01L 24/97 (2013.01)  
H01L 23/495 (2013.01)  
(21) 출원번호 10-2020-0073248  
(22) 출원일자 2020년06월16일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
박유경  
경기도 화성시 메타폴리스로 47-7, 504호(반송동, 서해더블루)  
윤민승  
경기도 용인시 수지구 풍덕천로 52, 805동 1005호(풍덕천동, 신정마을 현대성우아파트)  
최윤석  
경기도 화성시 동탄대로시범길 236, 934동 1102호(청계동, 시범계룡리슈빌아파트)  
(74) 대리인  
리엔텍특허법인

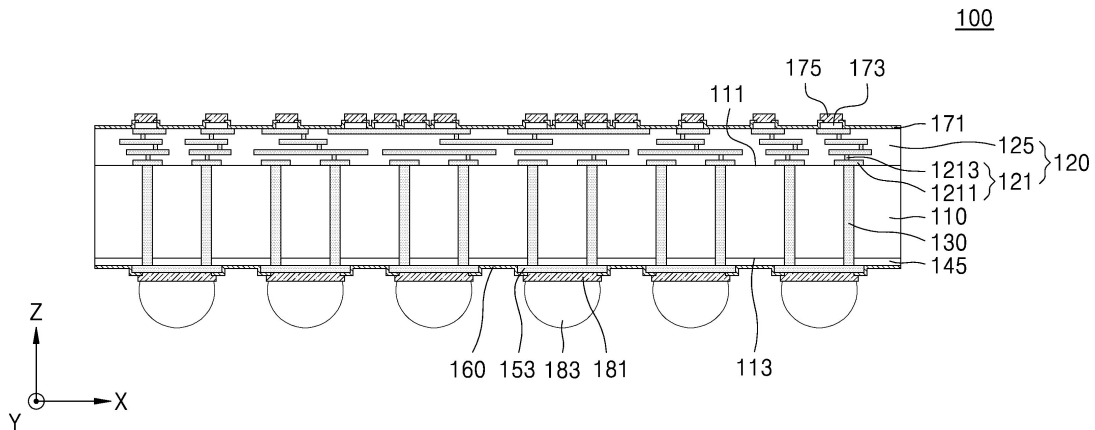
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **인터포저 및 이를 포함하는 반도체 패키지**

**(57) 요약**

본 개시의 기술적 사상은 서로 반대된 제1 면 및 제2 면을 포함하는 베이스층; 상기 베이스층의 상기 제1 면 상에 마련되고, 금속 배선 패턴 및 상기 금속 배선 패턴을 피복하는 배선 절연층을 포함하는 배선 구조물; 상기 베이스층의 상기 제2 면 상에 마련된 제1 하부 보호층; 상기 제1 하부 보호층 상의 복수의 하부 도전성 패드; 및 상기 베이스층 및 상기 제1 하부 보호층을 관통하고, 상기 배선 구조물의 상기 금속 배선 패턴을 상기 복수의 하부 도전성 패드에 전기적으로 연결하는 복수의 관통 전극;을 포함하고, 상기 배선 절연층 및 상기 제1 하부 보호층은 압축 응력을 가지고, 상기 제1 하부 보호층의 두께는 상기 배선 절연층의 두께의 13% 내지 30% 사이인 인터포저를 제공한다.

**대표도**



(52) CPC특허분류

*H01L 23/498* (2013.01)

*H01L 23/532* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

서로 반대된 제1 면 및 제2 면을 포함하는 베이스층;

상기 베이스층의 상기 제1 면 상에 마련되고, 금속 배선 패턴 및 상기 금속 배선 패턴을 피복하는 배선 절연층을 포함하는 배선 구조물;

상기 베이스층의 상기 제2 면 상에 마련된 제1 하부 보호층;

상기 제1 하부 보호층 상의 복수의 하부 도전성 패드; 및

상기 베이스층 및 상기 제1 하부 보호층을 관통하고, 상기 배선 구조물의 상기 금속 배선 패턴을 상기 복수의 하부 도전성 패드에 전기적으로 연결하는 복수의 관통 전극;

을 포함하고,

상기 배선 절연층 및 상기 제1 하부 보호층은 압축 응력을 가지고,

상기 제1 하부 보호층의 두께는 상기 배선 절연층의 두께의 13% 내지 30% 사이인 인터포저.

#### 청구항 2

제 1 항에 있어서,

상기 배선 절연층의 압축 응력은 상기 제1 하부 보호층의 압축 응력보다 큰 인터포저.

#### 청구항 3

제 1 항에 있어서,

상기 복수의 하부 도전성 패드의 총 부피는 상기 금속 배선 패턴의 총 부피의 70% 내지 100% 사이인 인터포저.

#### 청구항 4

제 1 항에 있어서,

상기 복수의 하부 도전성 패드의 측면들 및 상기 제1 하부 보호층에 접촉하는 제2 하부 보호층; 및

상기 제2 하부 보호층의 오프닝을 통해 상기 복수의 하부 도전성 패드에 연결된 복수의 연결 단자;

를 더 포함하는 인터포저.

#### 청구항 5

제 4 항에 있어서,

상기 제2 하부 보호층은 유기 물질을 포함하고,

상기 배선 절연층 및 상기 제1 하부 보호층은 무기 물질을 포함하는 인터포저.

#### 청구항 6

제 4 항에 있어서,

상기 제1 하부 보호층은 상기 베이스층의 상기 제2 면으로부터 돌출된 상기 복수의 관통 전극의 측면들에 접촉하고,

상기 복수의 관통 전극의 하면들은 상기 제1 하부 보호층의 하면과 동일 평면 상에 있는 인터포저.

#### 청구항 7

서로 반대된 제1 면 및 제2 면을 포함하는 베이스층;

상기 베이스층의 상기 제1 면 상에 마련되고, 금속 배선 패턴 및 상기 금속 배선 패턴을 피복하는 배선 절연층을 포함하는 배선 구조물;

상기 베이스층의 상기 제2 면 상에 마련된 제1 하부 보호층;

상기 제1 하부 보호층 상의 복수의 하부 도전성 패드;

상기 베이스층 및 상기 제1 하부 보호층을 관통하고, 상기 배선 구조물의 상기 금속 배선 패턴을 상기 복수의 하부 도전성 패드에 전기적으로 연결하는 복수의 관통 전극; 및

상기 제1 하부 보호층 상에 마련되고, 상기 하부 도전성 패드 및 상기 복수의 관통 전극으로부터 이격된 도전성 더미 패턴;

을 포함하는 인터포저.

### 청구항 8

제 7 항에 있어서,

상기 복수의 하부 도전성 패드의 측면들 및 상기 제1 하부 보호층에 접하고, 유기 물질을 포함하는 제2 하부 보호층; 및

상기 제2 하부 보호층의 오프닝을 통해 상기 복수의 하부 도전성 패드에 연결된 복수의 연결 단자;

를 더 포함하고, 는 인터포저.

### 청구항 9

제 8 항에 있어서,

상기 도전성 더미 패턴은 이웃하는 하부 도전성 패드들 사이에 배치되고,

상기 도전성 더미 패턴은 상기 제1 하부 보호층에 접하는 상면, 상기 상면에 반대된 하면, 및 측면을 포함하고,

상기 제2 하부 보호층은 상기 도전성 더미 패턴의 상기 측면 및 상기 하면을 덮는 인터포저.

### 청구항 10

서로 반대된 제1 면 및 제2 면을 포함하는 베이스층;

상기 베이스층의 상기 제1 면 상에 마련되고, 금속 배선 패턴 및 상기 금속 배선 패턴을 피복하는 배선 절연층을 포함하고, 상기 배선 절연층은 압축 응력을 가지는 배선 구조물;

상기 배선 구조물 상에 상호 이격되도록 실장되고, 상기 배선 구조물의 상기 금속 배선 패턴에 전기적으로 연결된 제1 반도체 장치 및 제2 반도체 장치;

상기 베이스층의 상기 제2 면 상에 마련되고, 압축 응력을 가지는 제1 하부 보호층;

상기 제1 하부 보호층 상의 복수의 하부 도전성 패드; 및

상기 베이스층 및 상기 제1 하부 보호층을 관통하고, 상기 배선 구조물의 상기 금속 배선 패턴을 상기 복수의 하부 도전성 패드에 전기적으로 연결하는 복수의 관통 전극;

상기 복수의 하부 도전성 패드의 측면들 및 상기 제1 하부 보호층에 접촉하는 제2 하부 보호층;

상기 제2 하부 보호층의 오프닝을 통해 상기 복수의 하부 도전성 패드에 연결된 복수의 연결 단자; 및

상기 복수의 연결 단자에 연결된 패키지 기관;

을 포함하고,

상기 배선 절연층 및 상기 제1 하부 보호층은 무기 물질을 포함하고,

상기 제2 하부 보호층은 유기 물질을 포함하는 반도체 패키지.

**발명의 설명**

**기술 분야**

[0001] 본 개시의 기술적 사상은 인터포저 및 상기 인터포저를 포함하는 반도체 패키지에 관한 것으로서, 보다 상세하게는 워피지(warpage)을 제어할 수 있는 인터포저 및 상기 인터포저를 포함하는 반도체 패키지에 관한 것이다.

**배경 기술**

[0002] 반도체 웨이퍼, 예컨대 실리콘 웨이퍼의 사이즈가 증대됨에 따라 반도체 웨이퍼가 휘는 휨 현상이 발생할 수 있다. 예를 들면, 대면적의 인터포저를 제조할 때, 또는 인터포저를 이용하여 반도체 패키지 공정을 진행할 때, 인터포저 또는 반도체 패키지를 구성하는 개개의 구성 요소들간의 열팽창 계수(coefficient of thermal expansion: CTE) 차이로 인하여 인터포저 및/또는 반도체 패키지에 워피지가 발생할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 개시의 기술적 사상이 해결하고자 하는 과제는 워피지를 제어하여 신뢰성이 향상된 인터포저 및 상기 인터포저를 포함하는 반도체 패키지를 제공하는데 있다.

**과제의 해결 수단**

[0004] 상술한 과제를 해결하기 위하여 본 개시의 기술적 사상은 서로 반대된 제1 면 및 제2 면을 포함하는 베이스층; 상기 베이스층의 상기 제1 면 상에 마련되고, 금속 배선 패턴 및 상기 금속 배선 패턴을 피복하는 배선 절연층을 포함하는 배선 구조물; 상기 베이스층의 상기 제2 면 상에 마련된 제1 하부 보호층; 상기 제1 하부 보호층 상의 복수의 하부 도전성 패드; 및 상기 베이스층 및 상기 제1 하부 보호층을 관통하고, 상기 배선 구조물의 상기 금속 배선 패턴을 상기 복수의 하부 도전성 패드에 전기적으로 연결하는 복수의 관통 전극;을 포함하고, 상기 배선 절연층 및 상기 제1 하부 보호층은 압축 응력을 가지고, 상기 제1 하부 보호층의 두께는 상기 배선 절연층의 두께의 13% 내지 30% 사이인 인터포저를 제공한다.

[0005] 또한, 상술한 과제를 해결하기 위하여 본 개시의 기술적 사상은 서로 반대된 제1 면 및 제2 면을 포함하는 베이스층; 상기 베이스층의 상기 제1 면 상에 마련되고, 금속 배선 패턴 및 상기 금속 배선 패턴을 피복하는 배선 절연층을 포함하는 배선 구조물; 상기 베이스층의 상기 제2 면 상에 마련된 제1 하부 보호층; 상기 제1 하부 보호층 상의 복수의 하부 도전성 패드; 상기 베이스층 및 상기 제1 하부 보호층을 관통하고, 상기 배선 구조물의 상기 금속 배선 패턴을 상기 복수의 하부 도전성 패드에 전기적으로 연결하는 복수의 관통 전극; 및 상기 제1 하부 보호층 상에 마련되고, 상기 하부 도전성 패드 및 상기 복수의 관통 전극으로부터 이격된 도전성 더미 패턴;을 포함하는 인터포저를 제공한다.

[0006] 또한, 상술한 과제를 해결하기 위하여 본 개시의 기술적 사상은 서로 반대된 제1 면 및 제2 면을 포함하는 베이스층; 상기 베이스층의 상기 제1 면 상에 마련되고, 금속 배선 패턴 및 상기 금속 배선 패턴을 피복하는 배선 절연층을 포함하고, 상기 배선 절연층은 압축 응력을 가지는 배선 구조물; 상기 배선 구조물 상에 상호 이격되도록 실장되고, 상기 배선 구조물의 상기 금속 배선 패턴에 전기적으로 연결된 제1 반도체 장치 및 제2 반도체 장치; 상기 베이스층의 상기 제2 면 상에 마련되고, 압축 응력을 가지는 제1 하부 보호층; 상기 제1 하부 보호층 상의 복수의 하부 도전성 패드; 및 상기 베이스층 및 상기 제1 하부 보호층을 관통하고, 상기 배선 구조물의 상기 금속 배선 패턴을 상기 복수의 하부 도전성 패드에 전기적으로 연결하는 복수의 관통 전극; 상기 복수의 하부 도전성 패드의 측면들 및 상기 제1 하부 보호층에 접촉하는 제2 하부 보호층; 상기 제2 하부 보호층의 오프닝을 통해 상기 복수의 하부 도전성 패드에 연결된 복수의 연결 단자; 및 상기 복수의 연결 단자에 연결된 패키지 기판;을 포함하고, 상기 배선 절연층 및 상기 제1 하부 보호층은 무기 물질을 포함하고, 상기 제2 하부 보호층은 유기 물질을 포함하는 반도체 패키지를 제공한다.

**발명의 효과**

[0007] 본 개시의 예시적인 실시예들에 의하면, 금속 배선 패턴의 총 부피 대비 하부 도전성 패드들의 총 부피의 비율 조절, 및/또는 배선 절연층 및 제1 하부 보호층에 인가된 압축 응력의 조절을 통해, 인터포저의 워피지를 미리 설정된 범위 이내로 제어할 수 있다. 인터포저의 워피지를 제어할 수 있으므로, 인터포저의 신뢰성 및 인터포저

를 포함하는 반도체 패키지의 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0008] 도 1a 내지 도 3b는 본 개시의 예시적인 실시예들에 따른 인터포저의 위피지를 제어하는 방법을 설명하기 위한 개념도들이다.  
 도 4는 도 1a 내지 도 3b에 도시된 제1 내지 제3 인터포저의 온도 변화에 따른 위피지의 변화를 예시적으로 보여주는 그래프이다.  
 도 5는 본 개시의 예시적인 실시예들에 따른 인터포저의 단면도이다.  
 도 6은 도 5에 도시된 인터포저의 일부분을 확대하여 보여주는 확대도이다.  
 도 7은 본 개시의 예시적인 실시예들에 따른 하부 도전성 패드들의 예시적인 배치를 보여주는 평면도이다.  
 도 8은 본 개시의 예시적인 실시예들에 따른 인터포저의 단면도이다.  
 도 9 및 도 10은 각각 본 개시의 예시적인 실시예들에 따른 하부 도전성 패드들 및 도전성 더미 패턴의 예시적인 배치를 보여주는 평면도들이다.  
 도 11은 본 개시의 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다.  
 도 12a 내지 도 12b는 본 개시의 예시적인 실시예들에 따른 인터포저의 제조 방법을 나타내는 단면도들이다.  
 도 13a 및 도 13b는 본 개시의 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 나타내는 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0009] 이하, 첨부한 도면을 참조하여 본 개시의 기술적 사상의 실시예들에 대해 상세히 설명한다. 도면 상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.
- [0010] 도 1a 내지 도 3b는 본 개시의 예시적인 실시예들에 따른 인터포저의 위피지를 제어하는 방법을 설명하기 위한 개념도들이다.
- [0011] 도 1a 및 도 1b는 제1 인터포저(10)의 온도 변화에 따른 위피지를 나타내는 개념도로서, 도 1a에는 제1 온도가 인가된 제1 인터포저(10)가 도시되고, 도 1b에는 제2 온도가 인가된 제1 인터포저(10)가 도시된다. 상기 제2 온도는 상기 제1 온도보다 높은 온도이고, 예를 들어 상기 제1 온도는 상온 또는 20℃ 내지 25℃ 사이의 온도일 수 있고 상기 제2 온도는 100℃ 내지 400℃ 사이의 온도일 수 있다.
- [0012] 도 1a 및 도 1b를 참조하면, 제1 인터포저(10)는 베이스층(110)을 포함할 수 있다. 베이스층(110)은 반도체 물질, 유리, 세라믹, 또는 플라스틱을 포함할 수 있다. 예시적인 실시예들에서, 베이스층(110)은 실리콘(Si), 예를 들어, 결정질 실리콘, 다결정질 실리콘, 또는 비정질 실리콘을 포함하는 실리콘 웨이퍼를 포함할 수 있다. 베이스층(110)은 대체로 평판 형태를 가질 수 있으며, 서로 반대된 제1 면(111) 및 제2 면(113)을 포함할 수 있다.
- [0013] 제1 인터포저(10)는 베이스층(110)의 제1 면(111) 상에 배치된 배선 구조물(120)을 포함할 수 있다. 예를 들어, 배선 구조물(120)은 BEOL(back-end-of-line) 구조를 포함할 수 있다. 배선 구조물(120)은 베이스층(110)의 제1 면(111)을 덮는 배선 절연층(123)과, 배선 절연층(123)에 의해 피복된 금속 배선 패턴(121)을 포함할 수 있다.
- [0014] 제1 인터포저(10)는 베이스층(110)의 제2 면(113) 상에 배치된 제1 하부 보호층(140), 및 제1 하부 보호층(140) 상에 배치된 하부 도전성 패드들(150)을 포함할 수 있다. 하부 도전성 패드들(150)은 베이스층(110) 및 제1 하부 보호층(140)을 관통하여 연장된 관통 전극들(130)을 통해 금속 배선 패턴(121)에 전기적으로 연결될 수 있다.
- [0015] 제1 인터포저(10)는 제1 하부 보호층(140) 상의 제2 하부 보호층(160)을 포함할 수 있다. 제2 하부 보호층(160)은 제1 하부 보호층(140)의 하면을 덮고, 하부 도전성 패드들(150) 각각의 일부분을 덮을 수 있다.
- [0016] 도 1a 및 도 1b에 예시된 바와 같이, 제1 인터포저(10)에 인가된 온도의 변화는 제1 인터포저(10)의 위피지를 야기할 수 있다. 예를 들어, 제1 인터포저(10)가 제1 온도로부터 제2 온도까지 가열되는 동안, 배선 구조물(120)의 금속 배선 패턴(121)의 급격한 열 팽창으로 인하여 제1 인터포저(10)는 상향 볼록하게 변형될 수 있다.

- [0017] 도 2a 및 도 2b는 제2 인터포저(20)의 온도 변화에 따른 위피지를 나타내는 개념도로서, 도 2a에는 제1 온도가 인가된 제2 인터포저(20)가 도시되고, 도 2b에는 제2 온도가 인가된 제2 인터포저(20)가 도시된다.
- [0018] 도 2a 및 도 2b를 참조하면, 제2 인터포저(20)와 제1 인터포저(도 1a 및 도 1b의 10)는 제2 인터포저(20)에 포함된 하부 도전성 패드들(151)의 총 부피가 제1 인터포저(10)에 포함된 하부 도전성 패드들(150)의 총 부피보다 큰 점에서 차이가 있다.
- [0019] 제2 인터포저(20)에 포함된 하부 도전성 패드들(151)의 총 부피는 금속 배선 패턴(121)의 총 부피에 근접한 수준일 수 있다. 예시적인 실시예들에서, 제2 인터포저(20)에 포함된 하부 도전성 패드들(151)의 총 부피는 금속 배선 패턴(121)의 총 부피의 70% 내지 100% 사이일 수 있다.
- [0020] 제2 인터포저(20)가 제1 온도로부터 제2 온도까지 가열되는 동안, 금속 배선 패턴(121)의 열 팽창은 제2 인터포저(20)를 상향 볼록하게 변형시키는 위피지를 야기하고, 하부 도전성 패드들(151)의 열 팽창은 제2 인터포저(20)를 하향 볼록하게 변형시키는 위피지를 야기할 수 있다. 하부 도전성 패드들(151)의 열 팽창에 의한 위피지와 금속 배선 패턴(121)의 열 팽창에 의한 위피지는 서로 반대된 방향으로 작용하므로, 하부 도전성 패드들(151)의 열 팽창에 의한 위피지는 금속 배선 패턴(121)의 열 팽창에 의한 위피지를 상쇄하거나 감소시킬 수 있다.
- [0021] 도 3a 및 도 3b는 제3 인터포저(30)의 온도 변화에 따른 위피지를 나타내는 개념도로서, 도 3a에는 제1 온도가 인가된 제3 인터포저(30)가 도시되고, 도 3b에는 제2 온도가 인가된 제3 인터포저(30)가 도시된다.
- [0022] 도 3a 및 도 3b를 참조하면, 제3 인터포저(30)에 포함된 배선 절연층(124) 및 제1 하부 보호층(141) 중 적어도 하나가 압축 응력(compressive stress)을 가지는 점에서, 제3 인터포저(30)는 제2 인터포저(도 2a 및 도 2b의 20)와 차이가 있다.
- [0023] 배선 절연층(124) 및 제1 하부 보호층(141)은 인장 응력이 인가된 물질막일 수 있다. 예시적인 실시예들에서, 배선 절연층(124) 및 제1 하부 보호층(141)은 플라즈마-강화 화학적 기상 증착(Plasma-Enhanced Chemical Vapor Deposition: PECVD) 공정을 통해 압축 응력을 가지도록 형성될 수 있다. 예시적인 실시예들에서, 배선 절연층(124) 및 제1 하부 보호층(141)은 무기 절연 물질을 포함할 수 있다. 예를 들어, 배선 절연층(124) 및 제1 하부 보호층(141)은 실리콘 산화물, 실리콘 질화물, 또는 이들의 조합을 포함할 수 있다.
- [0024] 배선 절연층(124) 및 제1 하부 보호층(141)은 인터포저(30) 내에서 생성된 인장 응력(tensile stress)에 반대된 압축 응력을 제공할 수 있다. 여기서, 압축 응력은 인장 응력과 반대된 방향으로 작용하는 응력으로서, 인장 응력이 양의 값을 가지는 응력을 의미할 때, 상기 압축 응력은 음의 값을 가지는 응력을 의미할 수 있다. 일반적으로 금속으로 형성된 금속 배선 패턴(121) 및 하부 도전성 패드들(151)은 인장 응력을 가지는데, 배선 절연층(124) 및 제1 하부 보호층(141)이 제공하는 압축 응력은 금속 배선 패턴(121) 및 하부 도전성 패드들(151)에서 발생한 인장 응력을 상쇄 또는 감소시킬 수 있다.
- [0025] 금속 배선 패턴(121) 및 하부 도전성 패드들(151)에서 제공된 인장 응력은 제3 인터포저(30)를 상향 볼록하게 변형시키는 위피지를 야기하고, 배선 절연층(124) 및 제1 하부 보호층(141)에서 제공된 압축 응력은 제3 인터포저(30)를 하향 볼록하게 변형시키는 위피지를 야기할 수 있다. 압축 응력에 의한 위피지와 인장 응력에 의한 위피지는 서로 반대된 방향으로 작용하므로, 배선 절연층(124) 및 제1 하부 보호층(141)에서 제공된 압축 응력에 의한 위피지는 금속 배선 패턴(121) 및 하부 도전성 패드들(151)에서 제공된 인장 응력에 의한 위피지를 상쇄 또는 감소시킬 수 있다.
- [0026] 도 4는 도 1a 내지 도 3b에 도시된 제1 내지 제3 인터포저(10, 20, 30)의 온도 변화에 따른 위피지의 변화를 예시적으로 보여주는 그래프이다. 이하에서, 도 1a 내지 도 3b를 도 4와 함께 참조하여, 제1 내지 제3 인터포저(10, 20, 30)의 온도 변화에 따른 위피지의 변화를 설명하기로 한다.
- [0027] 도 4의 그래프에서, 가로축은 인터포저의 온도를 나타내고, 세로축은 인터포저에 발생한 위피지의 크기를 나타낸다. 설명의 편의 상, 인터포저가 상향 볼록하게 변형된 경우(즉, 인터포저의 중심부가 인터포저의 가장자리부에 대해 상방으로 볼록하게 변형된 경우) 인터포저에 양의 값의 위피지가 발생한 것으로 정의하고, 인터포저가 하향 볼록하게 변형된 경우(즉, 인터포저의 중심부가 인터포저의 가장자리부에 대해 하방으로 볼록하게 변형된 경우) 인터포저에 음의 값의 위피지가 발생한 것으로 정의하며, 인터포저가 평평한 상태인 경우 인터포저의 위피지는 0의 값을 가지는 것으로 정의한다.
- [0028] 도 1a, 도 1b, 및 도 4를 참조하면, 제1 인터포저(10)가 제1 온도(T1)로부터 제2 온도(T2)까지 가열되는 동안,

배선 구조물(120)의 금속 배선 패턴(121)이 열 팽창되고, 금속 배선 패턴(121)의 열 팽창에 의해 제1 인터포저(10)는 상향 볼록하게 변형될 수 있다. 제1 인터포저(10)의 온도가 증가할수록, 제1 인터포저(10)의 위피지는 점차 증가할 수 있다.

- [0029] 예를 들어, 도 4에 예시된 바와 같이, 제1 인터포저(10)의 위피지는 제1 온도(T1)에서 음의 값을 가질 수 있다. 제1 인터포저(10)의 위피지는 온도 증가에 점차 증가되며 제2 온도(T2)에서 양의 값을 가질 수 있다.
- [0030] 도 2a, 도 2b, 및 도 4를 참조하면, 금속 배선 패턴(121)의 총 부피와 하부 도전성 패드들(151)의 총 부피 사이의 비율을 조절함으로써, 온도 변화에 따른 위피지의 변동 폭을 조절할 수 있다. 예를 들어, 하부 도전성 패드들(151)의 총 부피를 금속 배선 패턴(121)의 총 부피에 근접한 수준을 가지도록 조절함으로써, 도 4의 그래프에 예시된 바와 같이 온도 변화에 따른 제2 인터포저(20)의 위피지의 변동 폭은 온도 변화에 따른 제1 인터포저(도 1a 및 도 1b의 10)의 위피지의 변동 폭보다 작아질 수 있다.
- [0031] 예를 들어, 도 4에 예시된 바와 같이, 제1 온도(T1)에서 제1 인터포저(10)와 제2 인터포저(20)는 유사한 수준의 위피지를 가질 수 있다. 그러나, 온도 증가에 따른 제2 인터포저(20)의 위피지의 증가 폭이 제1 인터포저(10)의 증가 폭보다 작기 때문에, 제2 온도(T2)에서 제2 인터포저(20)의 위피지의 절대값은 제1 인터포저(10)의 위피지의 절대값보다 작을 수 있다. 즉, 제2 온도(T2)에서 제2 인터포저(20)는 제1 인터포저(10)보다 덜 변형되므로, 제2 인터포저(20)는 제1 인터포저(10)보다 칩 실장 공정과 같이 고온이 인가되는 공정을 수행하기에 보다 더 적합할 수 있다.
- [0032] 도 3a, 도 3b, 및 도 4를 참조하면, 배선 절연층(124) 및 제1 하부 보호층(141)에 압축 응력이 인가됨에 따라, 제3 인터포저(30)의 위피지가 감소될 수 있다.
- [0033] 예를 들어, 도 4에 예시된 바와 같이, 배선 절연층(124) 및 제1 하부 보호층(141)에 압축 응력이 인가됨에 따라, 제1 온도(T1)에서 제3 인터포저(30)의 위피지의 절대값은 제2 인터포저(도 2a 및 도 2b의 20)의 위피지의 절대값보다 클 수 있다. 즉, 제1 온도(T1)에서 제3 인터포저(30)는 제2 인터포저(20)보다 하향 볼록하게 변형될 수 있다. 제2 및 제3 인터포저(20, 30)가 제1 온도(T1)에서 제2 온도(T2)로 가열되는 동안 제2 및 제3 인터포저(20, 30)의 위피지 증가 폭은 대체로 유사하므로, 제2 온도(T2)에서 제3 인터포저(30)의 위피지의 절대값은 제2 인터포저(20)의 위피지의 절대값보다 작을 수 있다. 즉, 제2 온도(T2)에서 제3 인터포저(30)는 제2 인터포저(20)보다 덜 변형되므로, 제3 인터포저(30)는 제2 인터포저(20)보다 칩 실장 공정과 같이 고온이 인가되는 공정을 수행하기에 보다 더 적합할 수 있다.
- [0034] 최근 높은 메모리 대역폭(high memory bandwidth)을 가지는 시스템을 구현할 수 있는 반도체 패키지에 대한 수요가 증가하고, 인터포저의 신호 무결성(signal integrity) 및 전원 무결성(power integrity)의 향상에 대한 요구에 따라, 인터포저의 금속 배선 패턴의 부피는 점차 증가하고 있다. 이러한 인터포저의 금속 배선 패턴의 부피의 증가로 인하여, 인터포저에 과도한 위피지가 발생하는 문제가 있었다.
- [0035] 그러나, 본 개시의 예시적인 실시예들에 의하면, (i) 금속 배선 패턴(121)의 총 부피 대비 하부 도전성 패드들(151)의 총 부피의 비율 조절, 및/또는 (ii) 배선 절연층(124) 및 제1 하부 보호층(141)의 압축 응력 및 두께의 조절을 통해, 인터포저의 위피지를 제어할 수 있다. 예를 들어, 미리 설정된 온도 구간 전체에서, 인터포저의 위피지가 미리 설정된 범위(예를 들어,  $-70\mu\text{m}$  내지  $+70\mu\text{m}$ ) 내에 있도록, 금속 배선 패턴(121)의 총 부피 대비 하부 도전성 패드들(151)의 총 부피의 비율을 조절하고, 배선 절연층(124) 및 제1 하부 보호층(141)에 인가된 압축 응력을 조절할 수 있다. 인터포저의 위피지를 제어할 수 있으므로, 인터포저의 신뢰성 및 인터포저를 포함하는 반도체 패키지의 신뢰성을 향상시킬 수 있다.
- [0036] 도 5는 본 개시의 예시적인 실시예들에 따른 인터포저(100)의 단면도이다. 도 6은 도 5에 도시된 인터포저(100)의 일부분을 확대하여 보여주는 확대도이다. 도 7은 본 개시의 예시적인 실시예들에 따른 하부 도전성 패드들(153)의 예시적인 배치를 보여주는 평면도이다. 이하에서, 설명의 편의를 위하여, 앞서 설명된 것과 중복된 설명은 생략하거나 간단히 한다.
- [0037] 도 5 내지 도 7을 참조하면, 인터포저(100)는 베이스층(110), 배선 구조물(120), 관통 전극들(130), 제1 하부 보호층(145), 하부 도전성 패드들(153), 및 제2 하부 보호층(160)을 포함할 수 있다.
- [0038] 배선 구조물(120)은 베이스층(110)의 제1 면(111) 상에 배치될 수 있고, 베이스층(110)의 제1 면(111)을 덮는 배선 절연층(125) 및 배선 절연층(125)에 의해 피복된 금속 배선 패턴(121)을 포함할 수 있다.
- [0039] 예시적인 실시예들에서, 배선 절연층(125)은 압축 응력이 인가된 무기 절연 물질을 포함할 수 있다. 예시적인



실시예들에서, 배선 절연층(125)은 플라즈마-강화 화학적 기상 증착(Plasma-Enhanced Chemical Vapor Deposition: PECVD) 공정에 의해 압축 응력을 가지도록 형성될 수 있다. 예를 들어, 배선 절연층(125)은 산화물 및 질화물 중 적어도 하나를 포함할 수 있다. 예를 들어, 배선 절연층(125)은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다. 배선 절연층(125)의 압축 응력을 조절하기 위하여, 배선 절연층(125)의 형성을 위한 PECVD 공정의 공정 조건 및/또는 배선 절연층(125)의 두께를 조절할 수 있다.

- [0040] 예시적인 실시예들에서, 배선 절연층(125)은 압축 응력은 약 150MPa 내지 약 250 MPa 사이일 수 있다.
- [0041] 예시적인 실시예들에서, 베이스층(110)의 제1 면(111)에 수직인 제1 방향(예를 들어, Z 방향)에 대해, 배선 절연층(125)의 제1 방향에 따른 두께는 8 마이크로미터( $\mu\text{m}$ ) 내지 12  $\mu\text{m}$  사이일 수 있다. 예시적인 실시예들에서, 배선 절연층(125)의 제1 방향에 따른 두께는 10 $\mu\text{m}$ 일 수 있다.
- [0042] 금속 배선 패턴(121)은 배선 절연층(125) 내에서 서로 다른 레벨에 위치되어 다층 구조를 형성하는 복수의 배선층(1211)과, 복수의 배선층(1211)을 상호 연결하도록 배선 절연층(125) 내에서 수직 방향으로 연장된 도전성 비아들(1213)을 포함할 수 있다. 도 1에서는 금속 배선 패턴(121)이 4층 구조를 형성하는 배선층들(1211)을 포함하는 것으로 예시되었으나, 이에 한정되지 않고 금속 배선 패턴(121)은 2층, 3층, 또는 5층 이상의 다층 구조를 형성하는 배선층들(1211)을 포함할 수도 있다. 예를 들어, 복수의 배선층(1211) 및 도전성 비아들(1213)은 각각 텅스텐(W), 알루미늄(Al), 또는 구리(Cu) 중에서 선택되는 적어도 하나의 금속을 포함할 수 있다.
- [0043] 제1 하부 보호층(145)은 베이스층(110)의 제2 면(113)을 덮을 수 있다. 제1 하부 보호층(145)은 서로 반대된 상면 및 하면을 포함할 수 있다. 제1 하부 보호층(145)의 상면은 베이스층(110)에 접촉하고, 제1 하부 보호층(145)의 상면 하면은 제2 하부 보호층(160) 및 하부 도전성 패드들(153)에 접촉할 수 있다. 또한, 제1 하부 보호층(145)은 베이스층(110)의 제2 면(113)으로부터 돌출된 관통 전극(130)의 측벽을 덮을 수 있다. 예시적인 실시예들에서, 제1 하부 보호층(145)의 하면은 하부 도전성 패드(153)에 접촉된 관통 전극(130)의 하면과 동일 평면 상에 있을 수 있다.
- [0044] 제1 하부 보호층(145)은 압축 응력이 인가된 무기 절연 물질을 포함할 수 있다. 예시적인 실시예들에서, 제1 하부 보호층(145)은 PECVD 공정에 의해 압축 응력을 가지도록 형성될 수 있다. 예를 들어, 제1 하부 보호층(145)은 산화물 및 질화물 중 적어도 하나를 포함할 수 있다. 예를 들어, 제1 하부 보호층(145)은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다. 이 때, 제1 하부 보호층(145)의 압축 응력을 조절하기 위하여, 제1 하부 보호층(145)의 형성을 위한 PECVD 공정의 공정 조건 및/또는 제1 하부 보호층(145)의 두께를 조절할 수 있다.
- [0045] 예시적인 실시예들에서, 제1 하부 보호층(145)의 제1 방향(예를 들어, Z방향)에 따른 두께(145T)는 1.3  $\mu\text{m}$  내지 3.0  $\mu\text{m}$  사이일 수 있다. 예를 들어, 제1 하부 보호층(145)의 두께(145T)는 1.8  $\mu\text{m}$  내지 2.5  $\mu\text{m}$  사이일 수 있다.
- [0046] 예시적인 실시예들에서, 제1 하부 보호층(145)의 압축 응력은 약 100MPa 내지 약 200 MPa 사이일 수 있다.
- [0047] 예시적인 실시예들에서, 배선 절연층(125)은 제1 하부 보호층(145)보다 큰 압축 응력을 가지도록 형성될 수 있다. 예를 들면, 배선 절연층(125)의 압축 응력과 제1 하부 보호층(145)의 압축 응력의 차이는 약 50MPa 내지 약 150MPa 사이일 수 있다. 배선 절연층(125)이 제1 하부 보호층(145)보다 큰 압축 응력을 가지도록, 배선 절연층(125)을 형성하기 위한 PECVD 공정은 제1 하부 보호층(145)을 형성하기 위한 PECVD 공정보다 높은 온도에서 진행할 수 있다. 비교적 큰 부피를 가지는 금속 배선 패턴(121)을 피복하는 배선 절연층(125)이 상대적으로 큰 압축 응력을 가지도록 형성되므로, 금속 배선 패턴(121)의 인장 응력은 배선 절연층(125)의 압축 응력에 의해 효과적으로 상쇄될 수 있다.
- [0048] 예시적인 실시예들에서, 제1 하부 보호층(145)의 제1 방향(예를 들어, Z방향)에 따른 두께(145T)는 배선 절연층(125)의 제1 방향에 따른 두께(125T)의 13% 내지 30% 사이일 수 있다. 예를 들어, 배선 절연층(125)의 제1 방향에 따른 두께(125T)가 10  $\mu\text{m}$ 일 때, 제1 하부 보호층(145)의 제1 방향에 따른 두께(145T)는 1.3  $\mu\text{m}$  내지 3.0  $\mu\text{m}$  사이일 수 있다. 만일, 제1 하부 보호층(145)의 제1 방향의 따른 두께(145T)가 배선 절연층(125)의 제1 방향에 따른 두께(125T)의 13% 보다 작으면, 베이스층(110)에 대한 보호가 미흡할 수 있다. 만일, 제1 하부 보호층(145)의 제1 방향의 따른 두께(145T)가 배선 절연층(125)의 제1 방향에 따른 두께(125T)의 30% 보다 크면, 상온에서 인터포저(100)의 위피지가 필요 이상으로 증가될 염려가 있다.
- [0049] 예시적인 실시예들에서, 제1 하부 보호층(145)은 복수의 절연막이 적층된 다층 구조를 가질 수 있다. 예를 들어, 제1 하부 보호층(145)은 베이스층(110)의 제2 면(113)에 접하는 제1 층(1451) 및 상기 제1 층(1451) 상에 배치된 제2 층(1452)을 포함할 수 있다. 예시적인 실시예들에서, 제1 하부 보호층(145)의 제1 층(1451)은 접

착력이 우수한 실리콘 산화물로 형성될 수 있다. 이 경우, 제1 하부 보호층(145)과 베이스층(110) 사이의 접착력이 강화될 수 있다. 또한, 예시적인 실시예들에서, 제1 하부 보호층(145)의 제2 층(1452)은 PECVD 공정을 통해 비교적 큰 압축 응력을 인가하기에 용이한 실리콘 질화물로 형성될 수 있다.

- [0050] 하부 도전성 패드들(153)은 제1 하부 보호층(145)의 하면 상에 배치될 수 있다. 예를 들어, 하부 도전성 패드들(153)은 보드-인터포저 간 연결 단자(183)와 연결되는 패드일 수 있다. 하부 도전성 패드들(153)은 제1 하부 보호층(145)의 하면 상에서 수평 방향(예를 들어, X 방향 또는 Y 방향)으로 상호 이격되도록 배치될 수 있다. 하부 도전성 패드(153)는, 예를 들어 텅스텐(W), 알루미늄(Al), 또는 구리(Cu) 중에서 선택되는 적어도 하나의 금속을 포함할 수 있다. 예시적인 실시예들에서, 하부 도전성 패드(153)는 3 $\mu$ m 내지 5 $\mu$ m 사이의 두께를 가지도록 형성될 수 있다.
- [0051] 제2 하부 보호층(160)은 제1 하부 보호층(145)의 하면을 덮고, 하부 도전성 패드들(153) 각각의 일부분을 덮을 수 있다. 제2 하부 보호층(160)은 하부 도전성 패드(153)의 하면의 일부분을 오픈하기 위한 오프닝을 포함할 수 있다. 제2 하부 보호층(160)의 오프닝을 통하여, 보드-인터포저 간 연결 단자(183)는 하부 도전성 패드(153)에 연결될 수 있다. 예시적인 실시예들에서, 제2 하부 보호층(160)의 오프닝은 하부 도전성 패드(153)의 수평 폭의 25% 내지 45% 사이의 수평 폭을 가지도록 제2 하부 보호층(160)에 형성된 홀일 수 있다.
- [0052] 제2 하부 보호층(160)은 제1 하부 보호층(145)을 형성하는 물질과는 상이한 물질로 형성될 수 있다. 제1 하부 보호층(145)은 무기 절연 물질로 형성되고, 제2 하부 보호층(160)은 유기 절연 물질로 형성될 수 있다. 예시적인 실시예들에서, 제2 하부 보호층(160)은 폴리이미드와 같은 PID(Photo Imageable dielectric)를 포함할 수 있다. 이 때, 제1 하부 보호층(145)에서 제공된 압축 응력은 유기 물질인 제2 하부 보호층(160)에서 제공된 인장 응력을 상쇄 또는 감소시킬 수 있다.
- [0053] 인터포저(100)는 하부 도전성 패드(153) 상에 배치된 하부 연결 필라(181)를 포함할 수 있다. 하부 연결 필라(181)는 제2 하부 보호층(160)의 오프닝을 통해 하부 도전성 패드(153)에 연결되고, 하부 도전성 패드(153)의 하면의 가장자리부를 덮고 있는 제2 하부 보호층(160)의 일부분에 접촉할 수 있다. 하부 연결 필라(181)는 언더 범프 메탈(UBM: Under Bump Metallurgy)로 기능할 수 있다. 예를 들어, 하부 연결 필라(181) 상에는, 인터포저(100)와 인쇄회로기판(Printed circuit board: PCB)와 같은 보드를 연결시키기 위한 보드-인터포저 간 연결 단자(183)가 부착될 수 있다. 하부 연결 필라(181)는 니켈(Ni), 구리(Cu), 팔라듐(Pd), 백금(Pt), 금(Au) 또는 이들의 조합을 포함할 수 있다. 경우에 따라, 하부 연결 필라(181)는 생략될 수도 있다. 예시적인 실시예들에서, 하부 연결 필라(181)는 2.5 $\mu$ m 내지 3.5 $\mu$ m 사이의 두께를 가지도록 형성될 수 있다.
- [0054] 배선 구조물(120)의 상면 상에는 상부 보호층(171) 및 상부 도전성 패드들(173)이 배치될 수 있다.
- [0055] 상부 보호층(171)은 배선 구조물(120)의 상면을 덮고, 상부 도전성 패드들(173) 각각의 일부를 덮을 수 있다. 상부 보호층(171)은 상부 도전성 패드(173) 각각의 상면의 일부분 및 측벽을 덮을 수 있다. 상부 보호층(171)은 배선 구조물(120) 및 상부 도전성 패드들(173)을 외부 충격이나 습기로부터 보호하는 역할을 수행할 수 있다. 상부 보호층(171)은 상부 도전성 패드들(173) 각각의 상면 일부를 오픈하기 위한 오프닝을 포함할 수 있다.
- [0056] 예시적인 실시예들에서, 상부 보호층(171)은 압축 응력을 가질 수 있다. 상부 보호층(171)은 압축 응력이 인가된 절연 물질로 이루어질 수 있다. 예를 들어, 상부 보호층(171)은 실리콘 산화물, 실리콘 질화물, 또는 이들의 조합으로 이루어질 수 있다. 상부 보호층(171)은 압축 응력을 가지도록 형성되어 배선 절연층(125) 및 제1 하부 보호층(145)과 함께 인터포저(100)의 위피지를 조절하는데 이용될 수 있다.
- [0057] 인터포저(100)는 상부 도전성 패드(173) 상에 배치된 상부 연결 필라(175)를 포함할 수 있다. 상부 연결 필라(175)는 상부 보호층(171)의 오프닝을 통해 상부 도전성 패드(173)에 연결될 수 있고, 상부 도전성 패드(173)의 상면의 가장자리부를 덮고 있는 상부 보호층(171)의 일부분에 접촉할 수 있다. 상부 연결 필라(175)는 인터포저(100) 상에 실장되는 반도체 장치와 인터포저(100)를 연결시키기 위한 칩-인터포저 간 연결 단자가 부착되는 부분일 수 있다. 상부 연결 필라(175)는 니켈(Ni), 구리(Cu), 팔라듐(Pd), 백금(Pt), 금(Au) 또는 이들의 조합을 포함할 수 있다. 경우에 따라, 상부 연결 필라(175)는 생략될 수도 있다.
- [0058] 관통 전극들(130)은 배선 구조물(120)의 금속 배선 패턴(121)과 하부 도전성 패드들(153)을 전기적으로 연결시키도록 구성될 수 있다. 관통 전극들(130)은 베이스층(110)의 제1 면(111)으로부터 제2 면(113)까지 연장되어, 베이스층(110)을 수직 방향으로 관통할 수 있다. 또한, 관통 전극들(130)은 베이스층(110)의 제2 면(113) 상에 배치된 제1 하부 보호층(145)을 더 관통할 수 있다. 관통 전극(130)의 상단은 배선 구조물(120)의 금속 배선 패턴(121)에 연결되고, 관통 전극(130)의 하단은 하부 도전성 패드(153)에 연결될 수 있다.

- [0059] 예를 들어, 관통 전극(130)은 베이스층(110) 및 제1 하부 보호층(145)을 관통하는 기둥 형상의 도전성 플러그와 도전성 플러그의 측벽을 포위하는 실린더 형상의 도전성 배리어막을 포함할 수 있다. 상기 도전성 배리어막은 Ti, TiN, Ta, TaN, Ru, Co, Mn, WN, Ni, 및 NiB 중에서 선택되는 적어도 하나의 물질을 포함할 수 있고, 상기 도전성 플러그는 Cu, CuSn, CuMg, CuNi, CuZn, CuPd, CuAu, CuRe, CuW 등의 Cu 합금, W, W 합금, Ni, Ru 및 Co 중에서 선택되는 적어도 하나의 물질을 포함할 수 있다. 베이스층(110)과 관통 전극(130) 사이에는 비아 절연막(131)이 개재될 수 있다. 비아 절연막(131)은 산화막, 질화막, 탄화막, 폴리머 또는 이들의 조합으로 이루어질 수 있다. 예시적인 실시예들에서, 관통 전극(130)의 종횡비, 즉 관통 전극(130)의 수평 방향(예를 들어, X 방향)에 따른 폭 대비 관통 전극(130)의 수직 방향(예를 들어, Z 방향)에 따른 높이는 7 내지 9 사이일 수 있다.
- [0060] 예시적인 실시예들에서, 인터포저(100)는 하나의 하부 도전성 패드(153)에 2개 이상의 관통 전극들(130)이 연결된 리던던시(redundancy) 비아 구조를 가질 수 있다. 이 경우, 상기 2개 이상의 관통 전극들(130) 중의 어느 하나에 불량 발생하더라도, 다른 관통 전극(130)의 작동에 의하여 인터포저(100)의 전기적 연결이 불량이 되는 것을 방지할 수 있다.
- [0061] 예시적인 실시예들에서, 온도 변화에 따른 인터포저(100)의 워피지의 변동 폭을 조절하기 위해, 금속 배선 패턴(121)의 총 부피 대비 하부 도전성 패드들(153)의 총 부피를 조절할 수 있다. 예를 들어, 온도 변화에 따른 인터포저(100)의 워피지의 변동 폭을 줄이기 위해, 하부 도전성 패드들(153)의 총 부피는 금속 배선 패턴(121)의 총 부피와 유사한 수준을 가지도록 형성될 수 있다. 예를 들어, 하부 도전성 패드들(153)의 총 부피는 금속 배선 패턴(121)의 총 부피의 70% 내지 100% 사이일 수 있다. 예를 들어, 하부 도전성 패드들(153)의 총 부피는  $1.26 \text{ mm}^3$  내지  $1.8 \text{ mm}^3$  사이일 수 있다.
- [0062] 예시적인 실시예들에서, 하부 도전성 패드(153)는 균일한 두께를 가질 수 있다. 하부 도전성 패드(153)가 제1 하부 보호층(145) 및 관통 전극(130)에 접촉하는 상면과 상기 상면에 반대된 하면을 가질 때, 하부 도전성 패드(153)의 상기 상면 및 하면은 평평한 표면일 수 있다.
- [0063] 도 7에 도시된 바와 같이, 하부 도전성 패드들(153)은 제1 하부 보호층(145) 상에서 매트릭스 형태로 배열되며, 각각 평면적 관점에서 사각형 형태를 가질 수 있다. 하부 도전성 패드들(153)은 미리 정해진 피치(195)를 가지도록 배열되는데, 하부 도전성 패드들(153)이 사각형 형태를 가지는 경우 제한된 면적 내에서 하부 도전성 패드들(153)의 총 부피를 증가시키기에 유리할 수 있다.
- [0064] 예시적인 실시예들에서, 이웃하는 하부 도전성 패드들(153) 사이의 간격(193)은 하부 도전성 패드(153)의 수평 방향(예를 들어, X 방향 또는 Y 방향)에 따른 폭(191)의 30% 내지 70% 사이일 수 있다. 만일, 이웃하는 하부 도전성 패드들(153) 사이의 간격(193)이 하부 도전성 패드(153)의 수평 방향에 따른 폭(191)의 30% 보다 작은 경우, 이웃하는 하부 도전성 패드들(153)이 의도치 않게 접촉될 염려가 있다. 만일, 이웃하는 하부 도전성 패드들(153) 사이의 간격(193)이 하부 도전성 패드(153)의 수평 방향에 따른 폭(191)의 70% 보다 큰 경우, 하부 도전성 패드들(153)의 총 부피를 금속 배선 패턴(121)의 총 부피에 근접한 수준으로 조절하기 어렵다. 예를 들면, 하부 도전성 패드들(153)의 피치(195)가  $180 \mu\text{m}$ 일 때, 하부 도전성 패드(153)의 수평 방향에 따른 폭(191)은  $120 \mu\text{m}$ 이고 이웃하는 하부 도전성 패드들(153) 사이의 간격(193)은  $60 \mu\text{m}$ 일 수 있다.
- [0065] 도 8은 본 개시의 예시적인 실시예들에 따른 인터포저의 단면도이다.
- [0066] 도 8에 도시된 인터포저는 도전성 더미 패턴(159)을 더 포함한다는 점을 제외하고는, 도 5 내지 도 7을 참조하여 설명된 인터포저(100)와 대체로 유사할 수 있다. 이하에서, 도 5 내지 도 7을 참조하여 설명된 인터포저(100)와의 차이점을 중심으로 설명한다.
- [0067] 도 8을 참조하면, 인터포저는 제1 하부 보호층(145) 상에 배치된 도전성 더미 패턴(159)을 포함할 수 있다. 도전성 더미 패턴(159)은 하부 도전성 패드들(153) 및 관통 전극들(130)로부터 이격될 수 있다. 도전성 더미 패턴(159)은 하부 도전성 패드들(153) 및 관통 전극들(130)과 전기적으로 절연될 수 있다. 도전성 더미 패턴(159)은 매트릭스 형태로 배열된 하부 도전성 패드들(153) 사이에 배치될 수 있다.
- [0068] 제2 하부 보호층(160)은 도전성 더미 패턴(159)과 하부 도전성 패드들(153) 사이에 채워져, 도전성 더미 패턴(159)을 하부 도전성 패드들(153)로부터 이격시킬 수 있다. 도전성 더미 패턴(159)이 제1 하부 보호층(145)에 접촉하는 상면과 상기 상면에 반대된 하면을 포함할 때, 도전성 더미 패턴(159)의 상기 하면 및 측면은 제2 하부 보호층(160)에 의해 덮일 수 있다.
- [0069] 예시적인 실시예들에서, 도전성 더미 패턴(159)은 하부 도전성 패드들(153)과 동일한 공정을 통해 함께 형성될

수 있다. 상기 도전성 더미 패턴(159)은 하부 도전성 패드들(153)과 동일한 물질로 형성되며, 하부 도전성 패드들(153)과 동일한 레벨에 위치될 수 있다.

- [0070] 인터포저의 워피지를 조절하기 위해, 하부 도전성 패드들(153)의 총 부피와 도전성 더미 패턴(159)의 총 부피의 합은 금속 배선 패턴(121)의 총 부피에 유사한 수준으로 조절될 수 있다. 예시적인 실시예들에서, 하부 도전성 패드들(153)의 총 부피와 도전성 더미 패턴(159)의 총 부피의 합은 금속 배선 패턴(121)의 총 부피의 70% 내지 100% 사이일 수 있다.
- [0071] 인터포저가 가열되는 동안, 도전성 더미 패턴(159)의 열 팽창에 의한 워피지와 금속 배선 패턴(121)의 열 팽창에 의한 워피지는 서로 반대된 방향으로 작용할 수 있다. 따라서, 도전성 더미 패턴(159)의 열 팽창에 의한 워피지는 하부 도전성 패드들(153)의 열 팽창에 의한 워피지와 함께 금속 배선 패턴(121)의 열 팽창에 의한 워피지를 상쇄하거나 감소시킬 수 있다.
- [0072] 도 9 및 도 10은 각각 본 개시의 예시적인 실시예들에 따른 하부 도전성 패드들(153) 및 도전성 더미 패턴(159)의 예시적인 배치를 보여주는 평면도들이다.
- [0073] 도 9를 참조하면, 도전성 더미 패턴(159)은 하부 도전성 패드들(153)의 측면을 따라 연장될 수 있다. 도전성 더미 패턴(159)은 하부 도전성 패드들(153) 각각의 측면을 따라 연장되어, 하부 도전성 패드들(153) 각각을 둘러싸는 형태를 가질 수 있다. 예를 들면, 평면적 관점에서, 도전성 더미 패턴(159)은 적어도 하나의 하부 도전성 패드(153)를 수용하는 캐비티를 형성할 수 있다. 도 9에서는 도전성 더미 패턴(159)이 형성하는 하나의 캐비티 내에 하나의 하부 도전성 패드(153)가 배치된 것으로 예시되었으나, 이와 다르게 도전성 더미 패턴(159)이 형성하는 하나의 캐비티 내에 2개 이상의 하부 도전성 패드들(153)이 배치될 수도 있다.
- [0074] 한편, 하부 도전성 패드들(153)의 피치(195)는 도 7에 도시된 하부 도전성 패드들(153)의 피치(195)와 동일하지만, 하부 도전성 패드들(153)의 폭(191')은 도 7에 도시된 하부 도전성 패드들(153)의 폭(191)보다 작고, 이웃하는 하부 도전성 패드들(153) 사이의 간격(193')은 도 7에 도시된 이웃하는 하부 도전성 패드들(153) 사이의 간격(193)보다 클 수 있다. 예를 들면, 하부 도전성 패드들(153)의 피치(195)가 180  $\mu\text{m}$ 일 때, 하부 도전성 패드(153)의 수평 방향에 따른 폭(191')은 100  $\mu\text{m}$ 이고, 이웃하는 하부 도전성 패드들(153) 사이의 간격(193')은 80  $\mu\text{m}$ 일 수 있다. 예를 들어, 도전성 더미 패턴(159)의 폭(197)은 50  $\mu\text{m}$ 일 수 있으나, 이에 한정되지 않는 것은 아니며 도전성 더미 패턴(159)의 폭(197)은 도전성 더미 패턴(159)의 총 부피가 미리 설정된 값을 가지도록 적절히 조절될 수 있다.
- [0075] 도 10을 참조하면, 도전성 더미 패턴(159)은 상호 이격된 단위 패턴들을 포함할 수 있다. 도전성 더미 패턴(159)의 단위 패턴들 각각은 이웃하는 2개의 하부 도전성 패드들(153) 사이에 배치될 수 있다. 도 10에서는 이웃하는 2개의 하부 도전성 패드들(153) 사이에는 예외없이 하나의 단위 패턴이 배치된 것으로 예시되었으나, 이와 다르게 일부 이웃하는 2개의 하부 도전성 패드들(153) 사이에는 단위 패턴이 배치되지 않을 수도 있다.
- [0076] 도 11은 본 개시의 예시적인 실시예들에 따른 반도체 패키지(1000)를 나타내는 단면도이다.
- [0077] 도 11을 참조하면, 반도체 패키지(1000)는 패키지 기판(510), 패키지 기판(510) 상에 실장된 인터포저(100), 인터포저(100) 상에 실장된 제1 반도체 장치(210) 및 제2 반도체 장치(220)를 포함할 수 있다. 도 11에 도시된 반도체 패키지(1000)는 도 5 내지 도 7을 참조하여 설명된 인터포저(100)를 포함하는 것으로 예시되었으나, 반도체 패키지(1000)는 도 8 내지 도 10을 참조하여 설명된 인터포저를 포함할 수도 있다.
- [0078] 제1 반도체 장치(210) 및 제2 반도체 장치(220)는 인터포저(100)의 배선 구조물(120) 상에서 수평 방향으로 상호 이격되도록 실장될 수 있다. 제1 반도체 장치(210) 및 제2 반도체 장치(220)는 배선 구조물(120)의 금속 배선 패턴(121)을 통해 상호 전기적으로 연결될 수 있다. 제1 반도체 장치(210)는 제1 칩 연결 단자(231)를 통해 인터포저(100) 상에 실장될 수 있고, 제2 반도체 장치(220)는 제2 반도체 장치(220)의 패드(221) 상에 부착된 제2 칩 연결 단자(233)를 통해 인터포저(100) 상에 실장될 수 있다. 제1 반도체 장치(210)와 인터포저(100) 사이에는 제1 칩 연결 단자들(231)을 감싸는 제1 언더필 물질층(311)이 배치될 수 있고, 제2 반도체 장치(220)와 인터포저(100) 사이에는 제2 칩 연결 단자들(233)을 감싸는 제2 언더필 물질층(313)이 배치될 수 있다.
- [0079] 도 11에서는 예시적으로 2개의 반도체 장치가 인터포저(100) 상에 실장된 것으로 예시되었으나, 반도체 패키지(1000)는 인터포저(100) 상에 배치된 3개 이상의 반도체 장치를 포함할 수도 있다.
- [0080] 예시적인 실시예들에서, 제1 반도체 장치(210)는 적층형 메모리 장치일 수 있다. 예를 들어, 제1 반도체 장치(210)는 버퍼 다이(211) 및 복수의 코어 다이(213)를 포함할 수 있다. 예를 들어, 버퍼 다이(211)는 인터페이스

다이, 베이스 다이, 로직 다이, 마스터 다이 등으로도 지칭될 수 있고, 그리고 코어 다이들(213) 각각은 메모리 다이, 슬레이브 다이 등으로도 지칭될 수 있다. 도 11에서는 제1 반도체 장치(210)가 2개의 코어 다이들(213)을 포함되는 것으로 예시되었으나, 코어 다이들(213)의 개수는 다양하게 변경될 수 있다. 예를 들어, 제1 반도체 장치(210)는 4개, 8개, 12개 또는 16개 코어 다이들(213)을 포함할 수 있다.

[0081] 버퍼 다이(211) 및 코어 다이들(213)은 실리콘 관통 전극(TSV; Through Silicon Via)을 포함할 수 있다. 버퍼 다이(211) 및 코어 다이들(213)은 TSV를 통해 적층되고, 전기적으로 연결될 수 있다. 이에 따라, 제1 반도체 장치(210)는 다수의 다이들이 적층되는 3차원 메모리 구조를 가질 수 있다. 예를 들어, 제1 반도체 장치(210)는 HBM(High Bandwidth Memory) 또는 HMC(Hybrid Memory Cube) 표준을 기반으로 구현될 수 있다.

[0082] 코어 다이들(213) 각각은 메모리 셀 어레이를 포함할 수 있다. 버퍼 다이(211)는 물리 계층(physical layer) 및 직접 접근 영역을 포함할 수 있다. 버퍼 다이(211)의 물리 계층은 외부의 호스트 장치와의 통신을 위한 인터페이스 회로들을 포함할 수 있고, 인터포저(100)를 통해 제2 반도체 장치(220)와 전기적으로 연결될 수 있다. 제1 반도체 장치(210)는 물리 계층을 통해 제2 반도체 장치(220)로부터 신호들을 수신하거나, 또는 제2 반도체 장치(220)로 신호들을 전송할 수 있다. 버퍼 다이(211)의 물리 계층을 통해 수신된 신호들 및/또는 데이터는 TSV들을 통해 코어 다이들(213)로 전달될 수 있다. 직접 접근 영역은 제2 반도체 장치(220)를 통하지 않고 제1 반도체 장치(210)를 테스트할 수 있는 접근 경로를 제공할 수 있다. 상기 직접 접근 영역은 외부의 테스트 장치와 직접 통신할 수 있는 도전 수단(예를 들어, 포트 또는 핀)을 포함할 수 있다.

[0083] 버퍼 다이(211)와 코어 다이(213) 사이, 또는 코어 다이들(213) 사이에는 절연성 접착층(217)이 개재될 수 있다. 절연성 접착층(217)은, 예를 들어, 비전도성 필름(Non Conductive Film, NCF), 비전도성 페이스트(Non Conductive Paste, NCP), 절연성 폴리머 또는 에폭시 수지를 포함할 수 있다. 제1 반도체 장치(210)는 버퍼 다이(211)의 측면 및 코어 다이들(213)의 측면들을 덮는 몰딩층(215)을 더 포함할 수 있다. 상기 몰딩층(215)은 예를 들면, 에폭시 몰드 컴파운드(epoxy mold compound, EMC)를 포함할 수 있다.

[0084] 제2 반도체 장치(220)는, 예를 들어 시스템 온 칩, 중앙 처리 장치(CPU) 칩, 그래픽 처리 장치(GPU) 칩, 또는 어플리케이션 프로세서(AP) 칩일 수 있다.

[0085] 제2 반도체 장치(220)는 제1 반도체 장치(210)를 이용하여 반도체 패키지(1000)가 지원하는 어플리케이션들을 실행할 수 있다. 예를 들어, 제2 반도체 장치(220)는 CPU(Central Processing Unit), AP(Application Processor), GPU(Graphic Processing Unit), NPU(Neural Processing Unit), TPU(Tensor Processing Unit), VPU(Vision Processing Unit), ISP(Image Signal Processor) 및 DSP(Digital Signal Processor) 중 적어도 하나의 프로세서를 포함하여 특화된 연산들을 실행할 수 있다.

[0086] 제2 반도체 장치(220)는 물리 계층 및 메모리 컨트롤러를 포함할 수 있다. 제2 반도체 장치(220)의 물리 계층은 제1 반도체 장치(210)의 물리 계층과 신호들을 송수신하기 위한 입출력 회로들을 포함할 수 있다. 제2 반도체 장치(220)는 물리 계층을 통해 제1 반도체 장치(210)의 물리 계층으로 다양한 신호들을 제공할 수 있다. 상기 메모리 컨트롤러는 제1 반도체 장치(210)의 전반적인 동작을 제어할 수 있다. 메모리 컨트롤러는 인터포저(100)의 금속 배선 패턴(121)을 통해 제1 반도체 장치(210)를 제어하기 위한 신호들을 제1 반도체 장치(210)로 전송할 수 있다.

[0087] 반도체 패키지(1000)는 인터포저(100) 상에 배치되고 제1 반도체 장치(210) 및 제2 반도체 장치(220)를 몰딩하는 패키지 몰딩층(310)을 더 포함할 수 있다. 패키지 몰딩층(310)은 예를 들면, 에폭시 몰드 컴파운드(EMC)를 포함할 수 있다. 예시적인 실시예들에서, 패키지 몰딩층(310)은 인터포저(100)의 상면, 제1 반도체 장치(210)의 측면, 및 제2 반도체 장치(220)의 측면을 덮되, 제1 반도체 장치(210)의 상면과 제2 반도체 장치(220)의 상면을 덮지 않을 수 있다.

[0088] 반도체 패키지(1000)는 제1 반도체 장치(210) 및 제2 반도체 장치(220)의 상면을 덮는 방열 부재(530)를 더 포함할 수 있다. 방열 부재(530)는 히트 슬러그(heat slug) 또는 히트 싱크(heat sink)와 같은 방열판을 포함할 수 있다. 예시적인 실시예들에서, 방열 부재(530)는 패키지 기관(510)의 상면 상에서, 제1 반도체 장치(210), 제2 반도체 장치(220), 및 인터포저(100)를 포위할 수 있다.

[0089] 또한, 반도체 패키지(1000)는 열적 인터페이스 물질(TIM, thermal interface material, 540)를 더 포함할 수 있다. 열적 인터페이스 물질(540)은 방열 부재(530)와 제1 반도체 장치(210) 사이 및 방열 부재(530)와 제2 반도체 장치(220) 사이에 배치될 수 있다.

[0090] 패키지 기관(510)은 보드-인터포저 간 연결 단자(183)를 통해 인터포저(100)와 전기적으로 연결될 수 있다. 인

터포저(100)와 패키지 기판(510) 사이에는 언더필 물질층(520)이 개재될 수 있다. 언더필 물질층(520)은 보드-인터포저 간 연결 단자들(183)을 감쌀 수 있다.

- [0091] 패키지 기판(510)은 기판 베이스(511), 및 기판 베이스(511)의 상면 및 하면에 각각 배치되는 기판 상부 패드(513) 및 기판 하부 패드(515)를 포함할 수 있다. 예시적인 실시예들에서, 패키지 기판(510)은 인쇄회로기판일 수 있다. 예를 들면, 패키지 기판(510)은 멀티 레이어 인쇄 회로 기판일 수 있다. 기판 베이스(511)는 페놀 수지, 에폭시 수지, 폴리이미드 중에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 기판 상부 패드(513)에는 보드-인터포저 간 연결 단자(183)가 연결될 수 있고, 기판 하부 패드(515)에는 외부 장치와 반도체 패키지(1000)를 전기적으로 연결하도록 구성된 패키지 연결 단자(560)가 연결될 수 있다.
- [0092] 본 개시의 예시적인 실시예들에 의하면, (i) 금속 배선 패턴(121)의 총 부피 대비 하부 도전성 패드들(153)의 총 부피의 비율 조절, 및/또는 (ii) 배선 절연층(125) 및 제1 하부 보호층(145)의 압축 응력 및 두께의 조절을 통해, 인터포저(100)의 워피지를 제어할 수 있다. 예를 들어, 미리 설정된 온도 구간 전체에서, 인터포저(100)의 워피지가 미리 설정된 범위(예를 들어,  $-70\mu\text{m}$  내지  $+70\mu\text{m}$ ) 내에 있도록, 금속 배선 패턴(121)의 총 부피 대비 하부 도전성 패드들(153)의 총 부피의 비율을 조절하고, 배선 절연층(125) 및 제1 하부 보호층(145)에 인가된 압축 응력을 조절할 수 있다. 인터포저(100)의 워피지를 제어할 수 있으므로, 인터포저(100)를 포함하는 반도체 패키지(1000)의 신뢰성이 향상될 수 있다.
- [0093] 도 12a 내지 도 12h는 본 개시의 예시적인 실시예들에 따른 인터포저(100)의 제조 방법을 나타내는 단면도들이다. 도 12a 내지 도 12h를 참조하여 도 5 내지 도 7에 도시된 인터포저(100)의 예시적인 제조 방법을 설명한다.
- [0094] 도 12a를 참조하면, 베이스층(110)에 관통 전극(130)을 형성한다. 예를 들어, 베이스층(110)은 실리콘 웨이퍼일 수 있다. 관통 전극(130)은 베이스층(110)의 제1 면(111)으로부터 제2 면(113')을 향하여 연장되되, 베이스층(110)을 관통하지 않는다. 관통 전극(130)은 베이스층(110)의 제1 면(111)으로부터 제2 면(113')으로부터 일정 거리 이격된 지점까지 연장될 수 있다.
- [0095] 관통 전극(130)을 형성한 이후, 재배선(redistribution) 공정을 수행하여 베이스층(110)의 제1 면(111) 상에 배선 구조물(120)을 형성한다. 배선 구조물(120)은 금속 배선 패턴(121) 및 금속 배선 패턴(121)을 피복하는 배선 절연층(125)을 포함할 수 있다. 금속 배선 패턴(121)은 다층 구조, 예를 들어 4층 구조를 형성하도록 수직 방향으로 이격된 배선층들(1211)과, 상기 배선층들(1211)을 연결하도록 수직 방향으로 연장된 도전성 비아들(1213)을 포함할 수 있다.
- [0096] 예시적인 실시예들에서, 배선 절연층(125)을 형성하기 위해 PECVD 공정을 수행할 수 있다. PECVD 공정이 진행되는 동안, 온도, 압력과 같은 공정 조건을 제어하여 배선 절연층(125)에 인가되는 압축 응력을 조절할 수 있다. 배선 절연층(125)은 실리콘 산화물로 형성될 수 있다.
- [0097] 도 12b를 참조하면, 배선 구조물(120)을 형성한 이후, 배선 구조물(120) 상에 상부 도전성 패드(173)를 형성한다. 예를 들어, 상부 도전성 패드(173)를 형성하기 위해, 배선 구조물(120) 상에 도전막을 형성하고, 상기 도전막을 패터닝함으로써 상부 도전성 패드(173)를 형성할 수 있다. 상기 상부 도전성 패드(173)는 Al, Ni, Cu, 또는 이들의 조합으로 이루어질 수 있다.
- [0098] 상부 도전성 패드(173)를 형성한 이후, 배선 구조물(120) 상에 상부 보호층(171)을 형성한다. 상부 보호층(171)은 배선 구조물(120)의 상면을 덮고, 상부 도전성 패드(173)의 일부를 덮도록 형성될 수 있다. 상부 보호층(171)은 상부 도전성 패드(173)의 상면을 부분적으로 노출시키는 오프닝을 가지도록 형성될 수 있다.
- [0099] 예시적인 실시예들에서, 상부 보호층(171)을 형성하기 위해 PECVD 공정을 수행할 수 있다. PECVD 공정이 진행되는 동안, 온도, 압력과 같은 공정 조건을 제어하여 상부 보호층(171)에 인가되는 압축 응력을 조절할 수 있다. 상부 보호층(171)은 실리콘 산화물, 실리콘 질화물 또는 이들의 조합을 사용하여 형성될 수 있다.
- [0100] 상부 보호층(171)을 형성한 이후, 상부 보호층(171)의 오프닝을 통해 노출된 상부 도전성 패드(173)에 전기적으로 연결된 상부 연결 필라(175)를 형성한다. 예를 들어, 상부 연결 필라(175)를 형성하기 위하여, 상부 도전성 패드(173) 및 상부 보호층(171) 상에 씨드 금속층(미도시)을 형성하고, 상부 연결 필라(175)가 형성되는 부분을 오픈하는 마스크 패턴을 형성하고, 상기 씨드 금속층을 씨드(seed)로 이용한 도금 공정을 통해 형성된 도전 물질층을 형성하고, 상기 마스크 패턴 및 상기 마스크 패턴 아래의 씨드 금속층 부분을 제거할 수 있다.
- [0101] 도 12c를 참조하면, 도 12b의 결과물을 캐리어 기판(CS)에 부착할 수 있다. 도 12b의 결과물은 베이스층(110)의 제1 면(111)이 캐리어 기판(CS)을 향하도록 캐리어 기판(CS) 상에 부착될 수 있다. 상기 캐리어 기판(CS)은, 예

를 들어 반도체 기판, 유리 기판, 세라믹 기판, 또는 플라스틱 기판일 수 있다.

- [0102] 도 12d를 참조하면, 관통 전극(130)이 노출되도록, 베이스층(110)의 일부분을 제거한다. 베이스층(110)의 일부가 제거됨에 따라, 베이스층(110)의 제2 면(113)을 통해 관통 전극(130)이 노출될 수 있고, 관통 전극(130)은 베이스층(110)을 관통할 수 있다.
- [0103] 관통 전극(130)은 베이스층(110)의 제2 면(113)으로부터 돌출될 수 있다. 예를 들면, 도 12c의 결과물에 대해 CMP 공정과 같은 평탄화 공정을 수행하여 관통 전극(130)이 노출될 때까지 베이스층(110)의 일부를 제거하고, 관통 전극(130)의 측면 일부가 노출될 수 있도록 베이스층(110)의 다른 일부를 더 제거할 수 있다.
- [0104] 도 12e를 참조하면, 베이스층(110)의 제2 면(113) 및 베이스층(110)의 제2 면(113)으로부터 돌출된 관통 전극(130)을 덮는 제1 예비 하부 보호층(146)을 형성한다.
- [0105] 예시적인 실시예들에서, 제1 예비 하부 보호층(146)을 형성하기 위해 PECVD 공정을 수행할 수 있다. PECVD 공정이 진행되는 동안, 온도, 압력과 같은 공정 조건을 제어하여 제1 예비 하부 보호층(146)에 인가되는 압축 응력을 조절할 수 있다. 제1 예비 하부 보호층(146)은 실리콘 산화물, 실리콘 질화물 또는 이들의 조합을 사용하여 형성될 수 있다.
- [0106] 예를 들어, 제1 예비 하부 보호층(146)을 형성하기 위해 PECVD 공정을 수행할 수 있다. PECVD 공정이 진행되는 동안, 온도, 압력과 같은 공정 조건을 제어하여 제1 예비 하부 보호층(146)에 인가되는 압축 응력을 조절할 수 있다. 제1 예비 하부 보호층(146)은 실리콘 산화물, 실리콘 질화물 또는 이들의 조합을 사용하여 형성될 수 있다. 예시적인 실시예들에서, 제1 예비 하부 보호층(146)은 서로 적층된 제1 층(1451) 및 제2 층(1452)을 포함하며, 제1 층(1451)은 실리콘 산화물로 형성되고, 제2 층(1452)은 실리콘 질화물로 형성될 수 있다.
- [0107] 예시적인 실시예들에서, 제1 예비 하부 보호층(146)의 형성을 위한 PECVD 공정은 배선 절연층(125)의 형성을 위한 PECVD 공정보다 낮은 온도에서 진행될 수 있다. 예를 들어, 배선 절연층(125)을 형성하기 위한 PECVD 공정이 대략 400°C로 진행될 때, 제1 예비 하부 보호층(146)을 형성하기 위한 PECVD 공정은 대략 180°C로 진행될 수 있다. 이 경우, 제1 예비 하부 보호층(146)은 배선 절연층(125)의 압축 응력보다 작은 압축 응력을 가지도록 형성될 수 있다. 제1 예비 하부 보호층(146)의 형성을 위한 PECVD 공정이 상대적으로 낮은 온도에서 진행되므로, 접착 물질층(CM)이 열화되는 것을 방지될 수 있다.
- [0108] 일반적으로 접착 물질층(CM)을 이용하여 캐리어 기판(CS) 상에 웨이퍼를 고정시킨 상태에서 고온이 인가되는 공정을 진행할 때, 웨이퍼의 워피지로 인해 웨이퍼의 엣지 부분과 캐리어 기판(CS) 사이에 접착 물질층(CM)이 채워지지 않는 언필 리스크(unfill risk)에 대한 이슈가 있다. 그러나, 본 개시의 예시적인 실시예들에 의하면, 압축 응력이 인가된 배선 절연층(125)을 이용하여 캐리어 기판(CS)에 부착된 인터포저의 중간 구조물의 워피지를 제어함으로써, 인터포저의 제조 과정에서 언필 리스크를 줄일 수 있다.
- [0109] 도 12e 및 도 12f를 참조하면, 관통 전극(130)이 노출되도록 제1 예비 하부 보호층(146)의 일부를 제거할 수 있다. 제1 예비 하부 보호층(146)의 일부가 제거된 결과, 베이스층(110)의 제2 면(113) 및 베이스층(110)의 제2 면(113)으로부터 돌출된 관통 전극(130)의 측면을 덮는 제1 하부 보호층(145)이 형성될 수 있다.
- [0110] 예를 들어, 관통 전극(130)을 노출시키기 위해, CMP 공정과 같은 연마 공정을 수행할 수 있다. 상기 연마 공정 결과, 노출된 관통 전극(130)의 표면과 제1 하부 보호층(145)의 표면은 동일 평면(coplanar) 상에 있을 수 있다.
- [0111] 도 12g를 참조하면, 제1 하부 보호층(145) 및 관통 전극(130) 상에, 관통 전극(130)과 전기적으로 연결된 하부 도전성 패드(153)를 형성한다. 예를 들어, 하부 도전성 패드(153)를 형성하기 위해, 제1 하부 보호층(145) 상에 도전막을 형성하고, 상기 도전막에 대한 패터닝 공정을 수행할 수 있다.
- [0112] 하부 도전성 패드(153)를 형성한 이후, 제1 하부 보호층(145) 상에 제2 하부 보호층(160)을 형성한다. 제2 하부 보호층(160)은 제1 하부 보호층(145)을 덮고, 하부 도전성 패드(153)의 일부를 덮도록 형성될 수 있다. 제2 하부 보호층(160)은 하부 도전성 패드(153)를 부분적으로 노출시키는 오픈링을 가지도록 형성될 수 있다. 예시적인 실시예들에서, 제2 하부 보호층(160)은 유기 물질로 형성될 수 있다. 예를 들어, 제2 하부 보호층(160)은 폴리이미드와 같은 PID로 형성될 수 있다.
- [0113] 도 12g 및 도 12h를 참조하면, 제2 하부 보호층(160)의 오픈링을 통해 노출된 하부 도전성 패드(153)에 상에 하부 연결 필라(181)를 형성하고, 상기 하부 연결 필라(181) 상에 보드-인터포저 간 연결 단자(183)를 형성할 수 있다. 예시적인 실시예들에서, 보드-인터포저 간 연결 단자(183)는 솔더 볼 또는 솔더 범프로 형성될 수 있다.

이후, 접착 물질층(CM) 및 캐리어 기판(CS)을 제거하여 도 5 내지 도 7에 예시된 인터포저(100)를 형성할 수 있다.

- [0114] 도 13a 및 도 13b는 본 개시의 예시적인 실시들에 따른 반도체 패키지의 제조 방법을 나타내는 단면도들이다.
- [0115] 도 13a를 참조하면, 인터포저(100) 상에 제1 반도체 장치(210) 및 제2 반도체 장치(220)를 실장한다. 상기 제1 반도체 장치(210) 및 제2 반도체 장치(220)는 각각 다이싱되어 개별화된 반도체 다이(die)일 수 있고, 또는 적어도 하나의 반도체 다이가 몰딩된 서브-패키지일 수 있다. 예를 들어, 제1 반도체 장치(210)는 상부 연결 필라(175) 상에 부착된 제1 칩 연결 단자(231)를 통해 인터포저(100)의 금속 배선 패턴(121)에 전기적으로 연결될 수 있고, 제2 반도체 장치(220)는 상부 연결 필라(175) 상에 부착된 제2 칩 연결 단자(223)를 통해 인터포저(100)의 금속 배선 패턴(121)에 전기적으로 연결될 수 있다. 일부 실시예들에서, 제1 칩 연결 단자(231) 및 제2 칩 연결 단자(223)는 솔더 볼 또는 솔더 범프일 수 있다.
- [0116] 도 13b를 참조하면, 제1 반도체 장치(210) 및 제2 반도체 장치(220)를 인터포저(100) 상에 실장한 이후, 언더필 공정을 수행하여 제1 반도체 장치(210)와 인터포저(100) 사이의 틈을 채우는 제1 언더필 물질층(311) 및 제2 반도체 장치(220)와 인터포저(100) 사이의 틈을 채우는 제2 언더필 물질층(313)을 형성할 수 있다. 이후, 인터포저(100) 상에, 제1 반도체 장치(210)의 측면 및 제2 반도체 장치(220)의 측면을 덮는 패키지 몰딩층(310)을 형성한다. 패키지 몰딩층(310)은 예를 들면, 에폭시 몰딩 컴파운드로 형성될 수 있다.
- [0117] 패키지 몰딩층(310)을 형성한 이후, 제1 반도체 장치(210)의 상면, 제2 반도체 장치(220)의 상면, 및 패키지 몰딩층(310)의 상면 상에 열적 인터페이스 물질(540)이 형성될 수 있다.
- [0118] 이후, 도 11에 예시된 것과 같이, 패키지 기판(510) 상에 인터포저(100)를 실장한다. 인터포저(100)는 보드-인터포저 간 연결 단자(183)를 통해 패키지 기판(510) 상에 실장될 수 있다. 인터포저(100)와 패키지 기판(510) 사이에는 보드-인터포저 간 연결 단자(183)를 감싸는 언더필 물질층(520)이 형성될 수 있다. 다음으로, 제1 반도체 장치(210), 제2 반도체 장치(220), 및 인터포저(100)를 둘러싸는 방열 부재(530)를 패키지 기판(510)의 상면 및 방열 부재(530) 상에 부착할 수 있다.
- [0119] 일반적인 인터포저를 이용한 반도체 패키지의 제조 과정에서, 리플로우 공정 등 고온이 인가되는 공정에서 큰 위피지가 발생되고, 이러한 위피지로 인하여 인터포저와 반도체 장치들 사이의 접합 신뢰성이 저하되는 이슈가 있다. 그러나, 본 개시의 예시적인 실시예들에 의하면, (i) 금속 배선 패턴(121)의 총 부피 대비 하부 도전성 패드들(153)의 총 부피의 비율 조절, 및/또는 (ii) 배선 절연층(125) 및 제1 하부 보호층(145)에 인가된 압축 응력 및 두께의 조절을 통해, 인터포저(100)의 위피지를 적절함 범위 이내로 조절할 수 있으므로, 인터포저(100)를 포함하는 반도체 패키지의 신뢰성을 향상시킬 수 있다.
- [0120] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

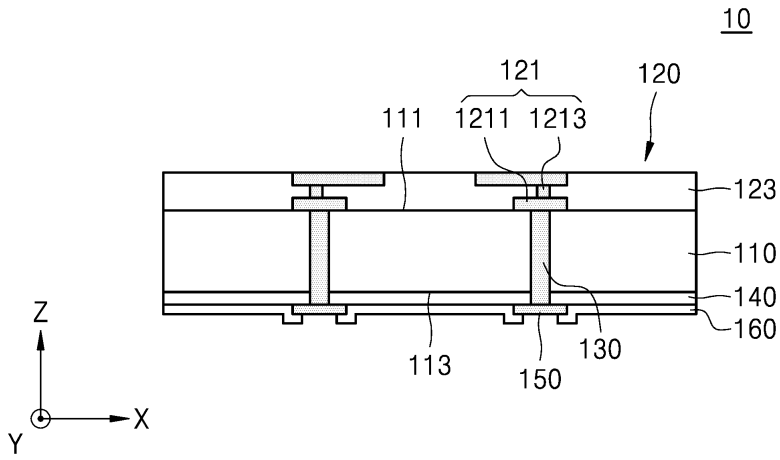
**부호의 설명**

- [0121] 100: 반도체 패키지    100: 인터포저
- 110: 베이스층    120: 배선 구조물
- 121: 금속 배선 패턴    125: 배선 절연층
- 130: 관통 전극    145: 제1 하부 보호층
- 153: 하부 도전성 패드    160: 제2 하부 보호층

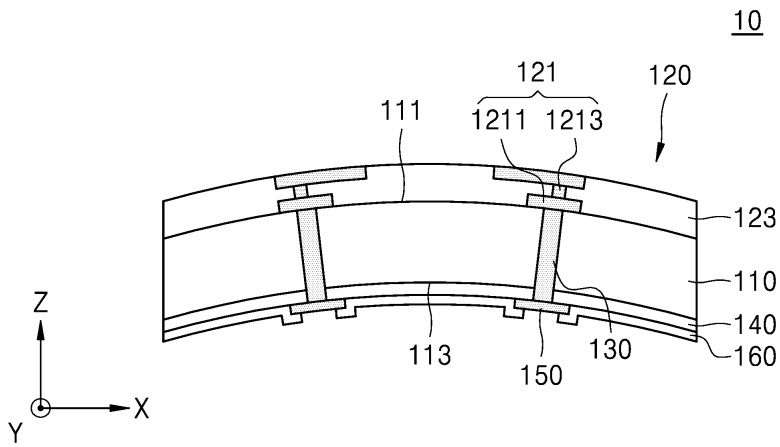


도면

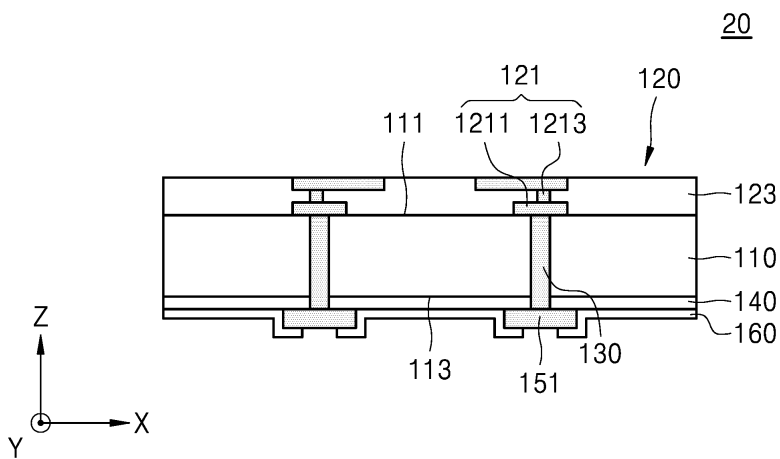
도면1a



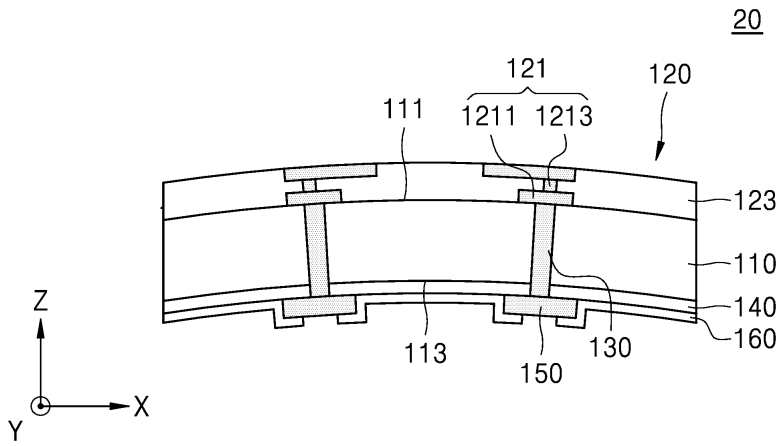
도면1b



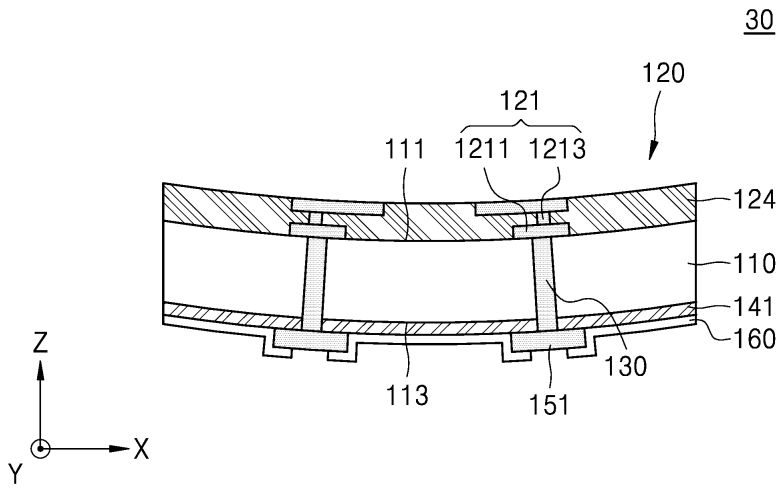
도면2a



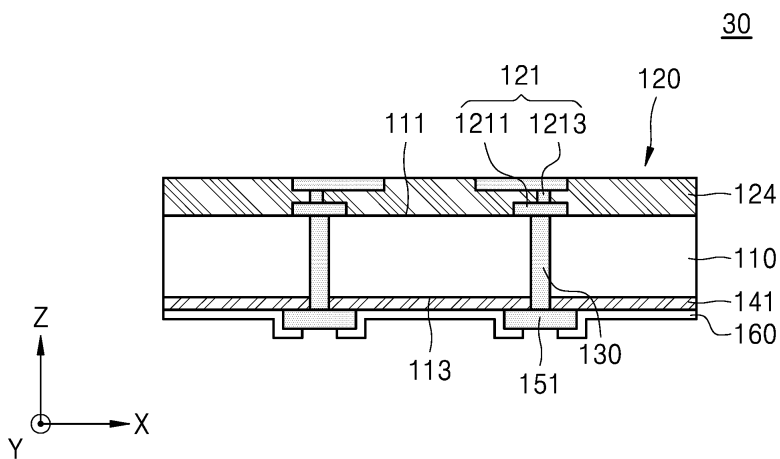
도면2b



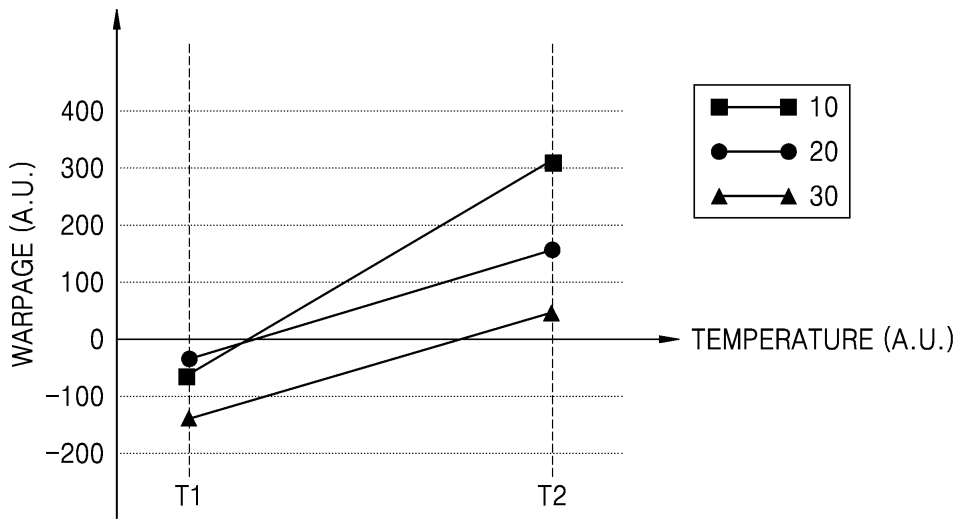
도면3a



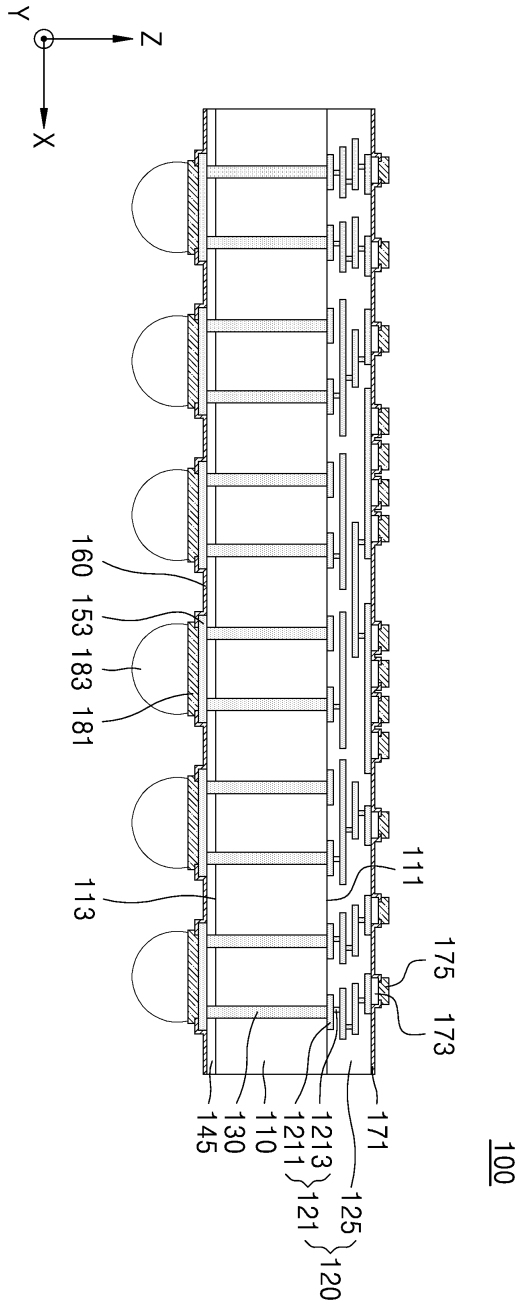
도면3b



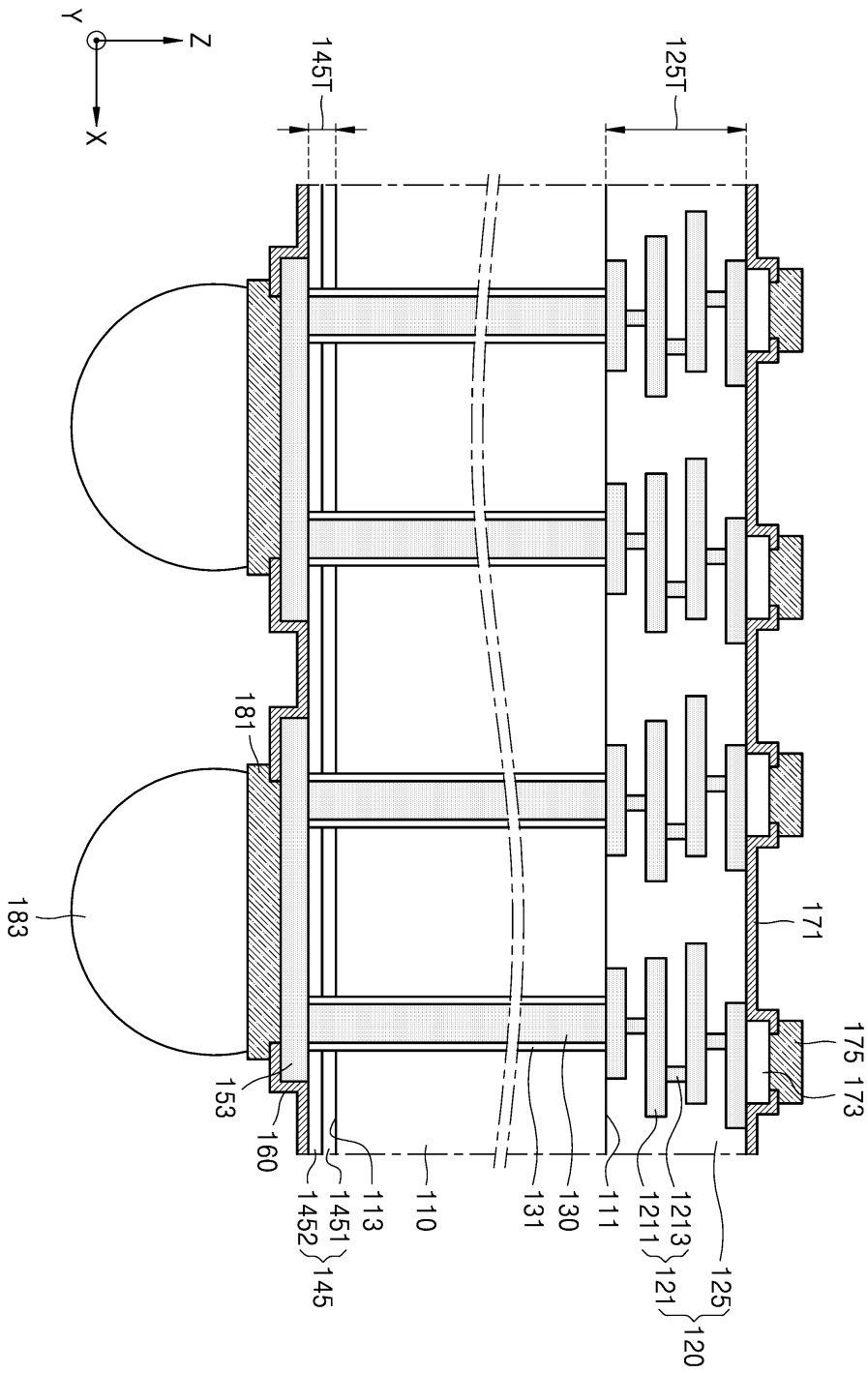
도면4



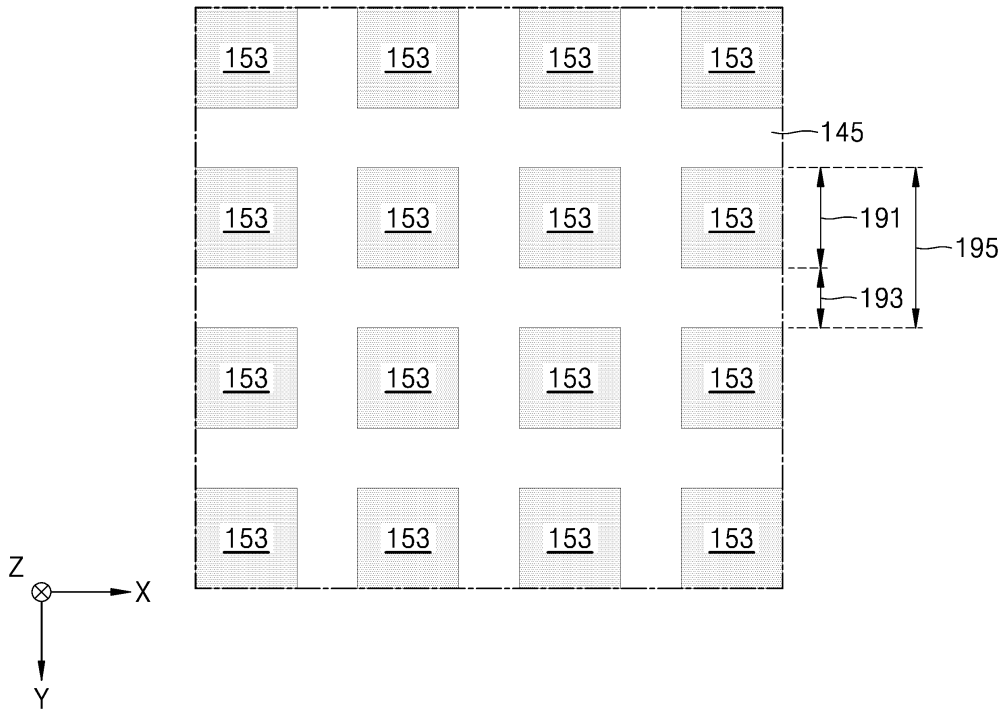
도면5



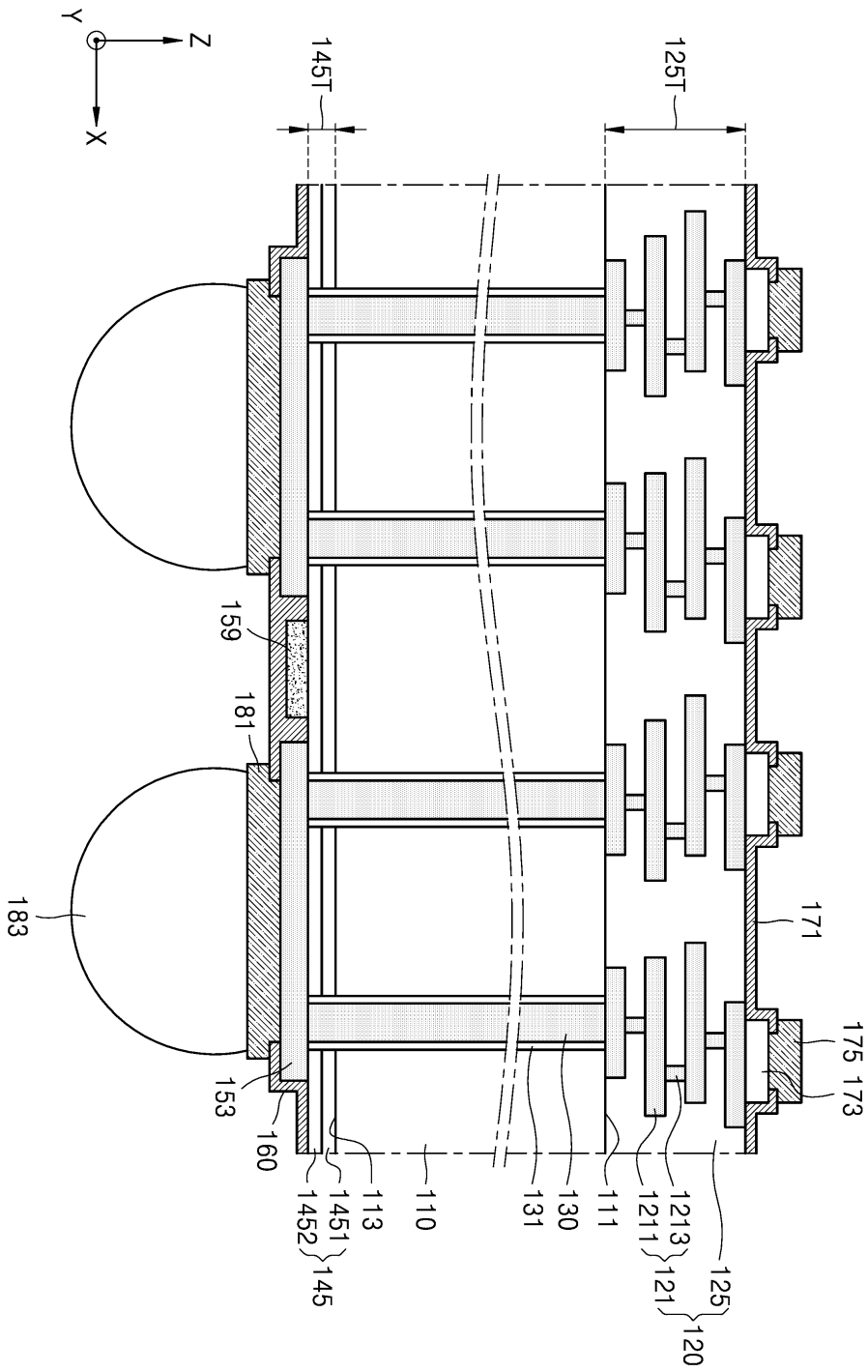
도면6



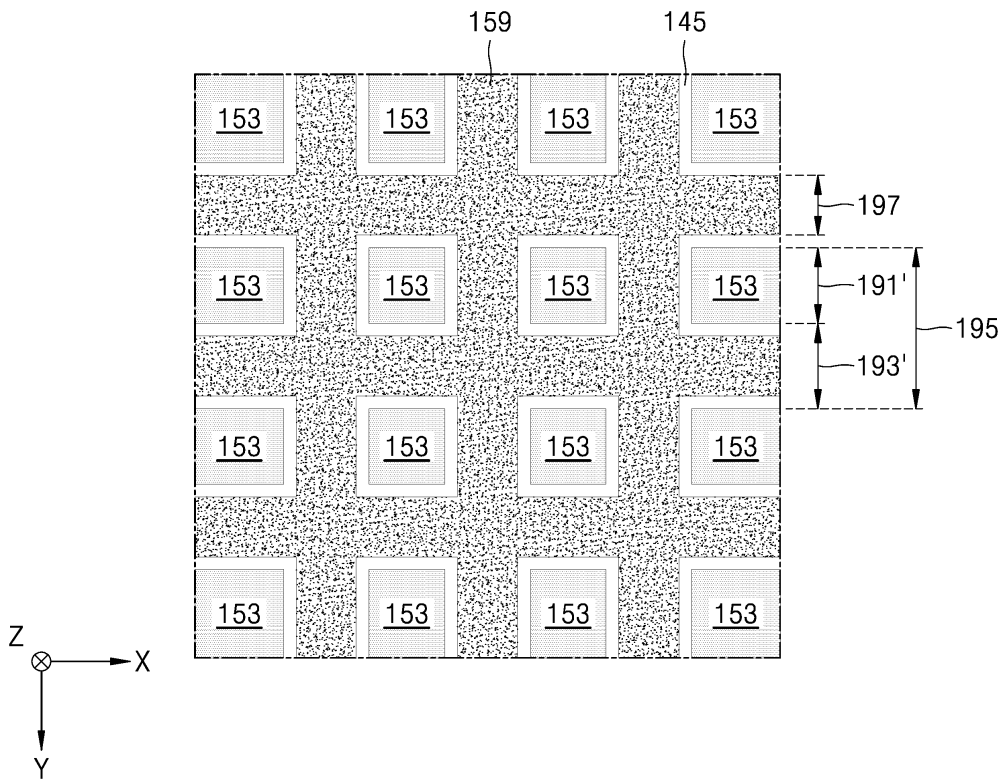
도면7



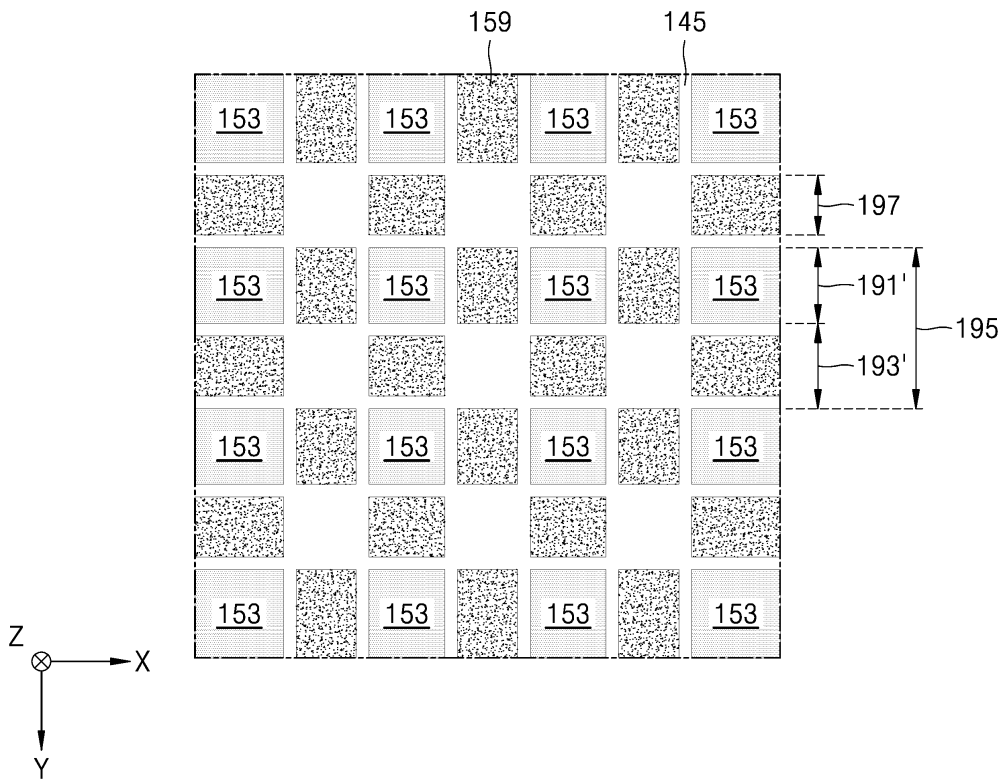
도면8



도면9

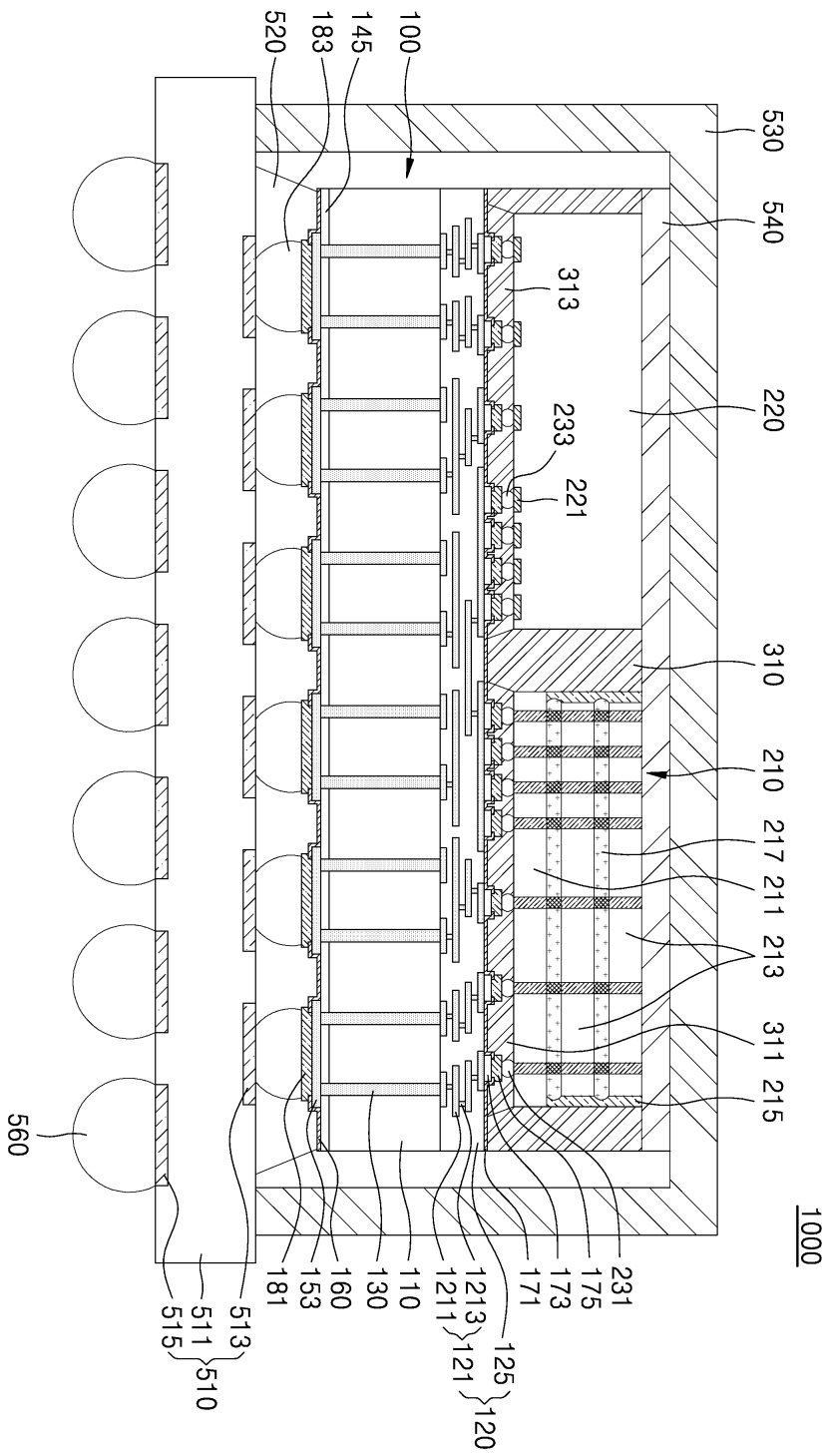


도면10

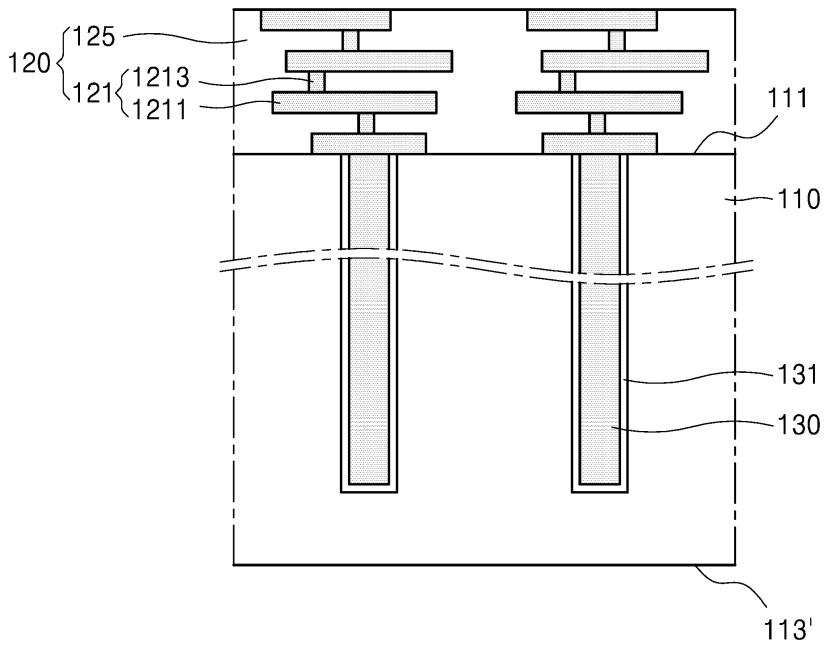




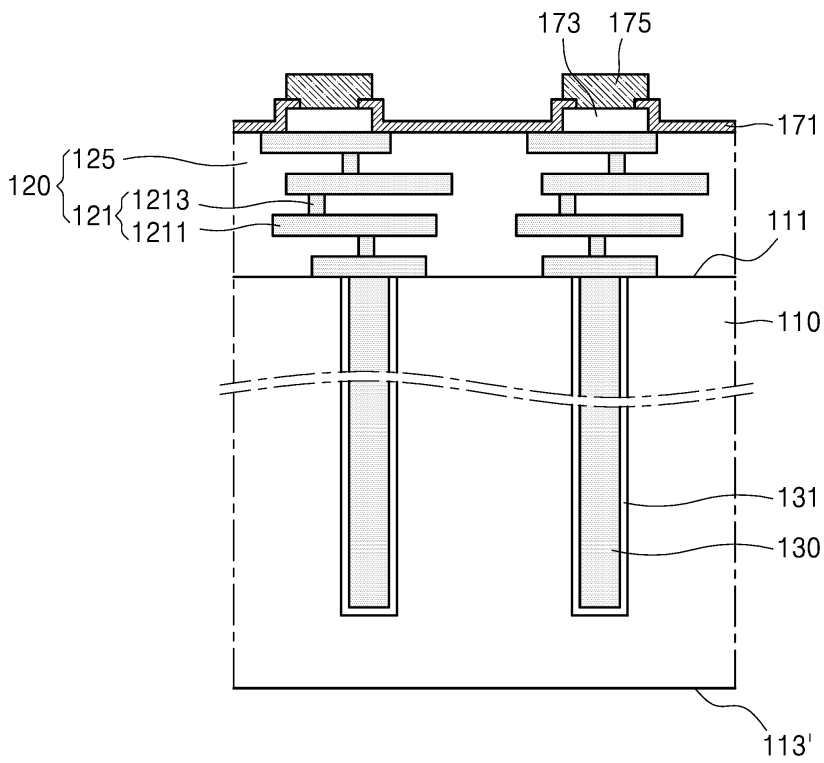
도면11



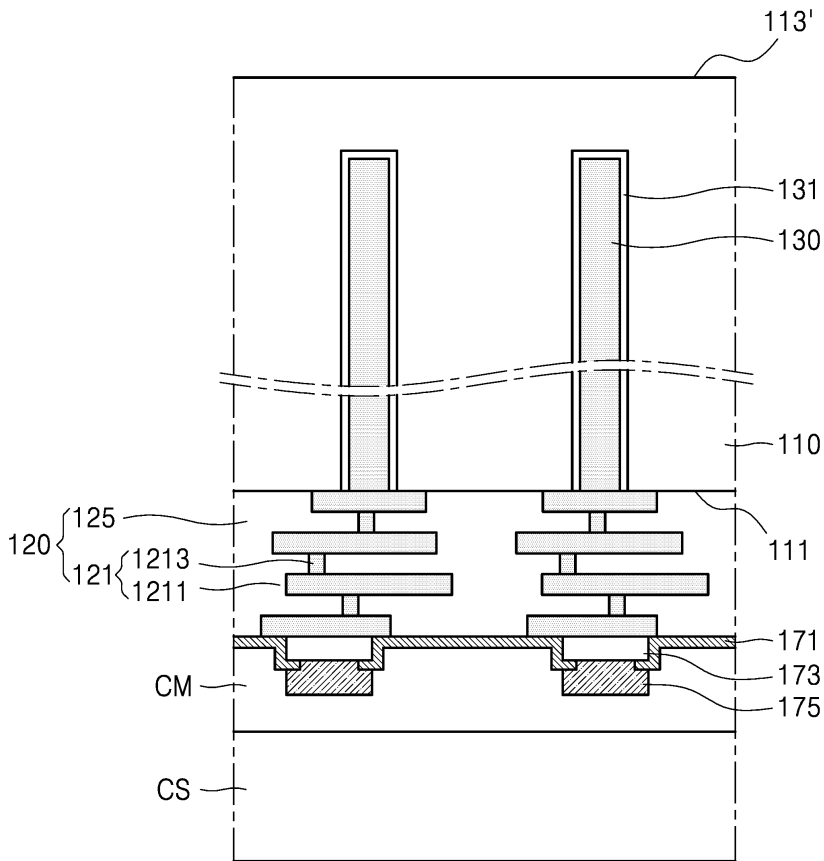
도면12a



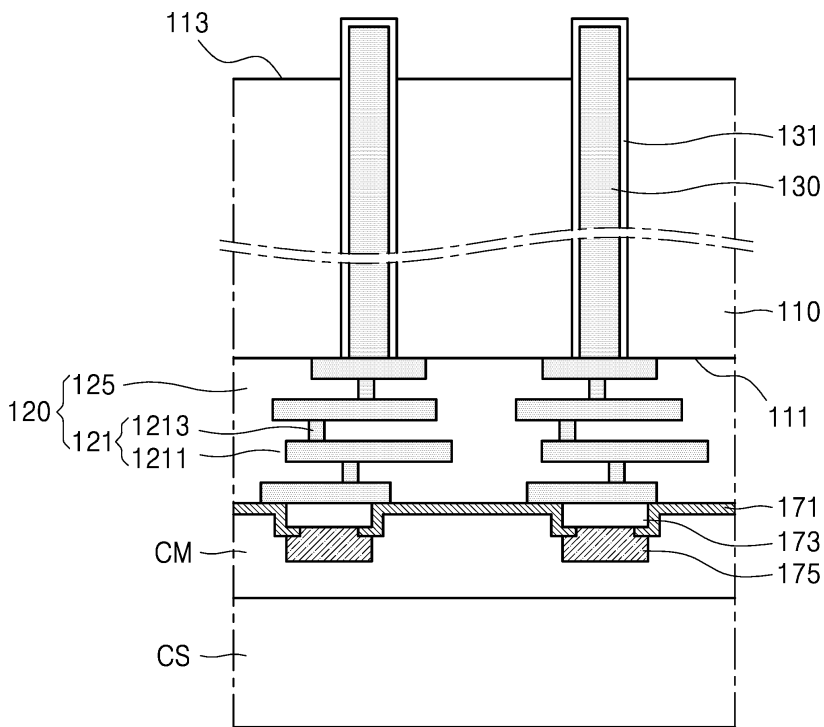
도면12b



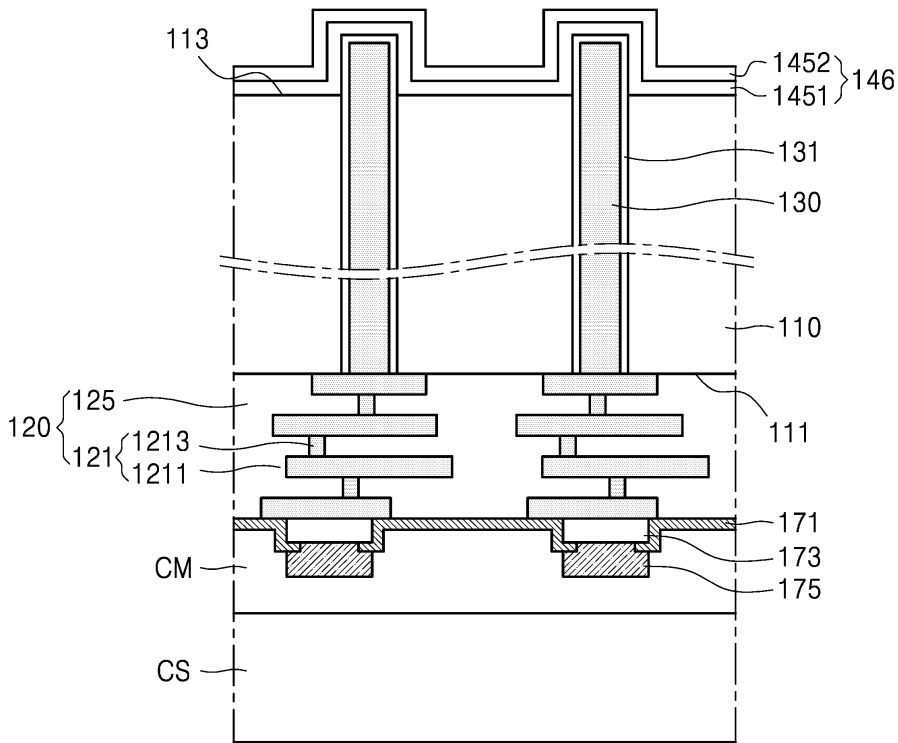
도면12c



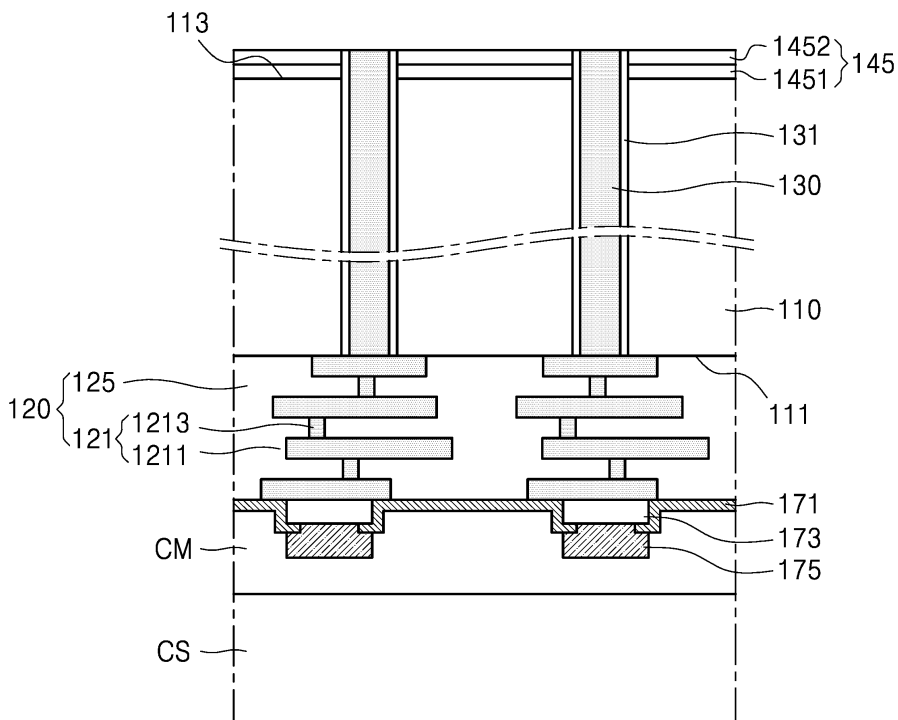
도면12d



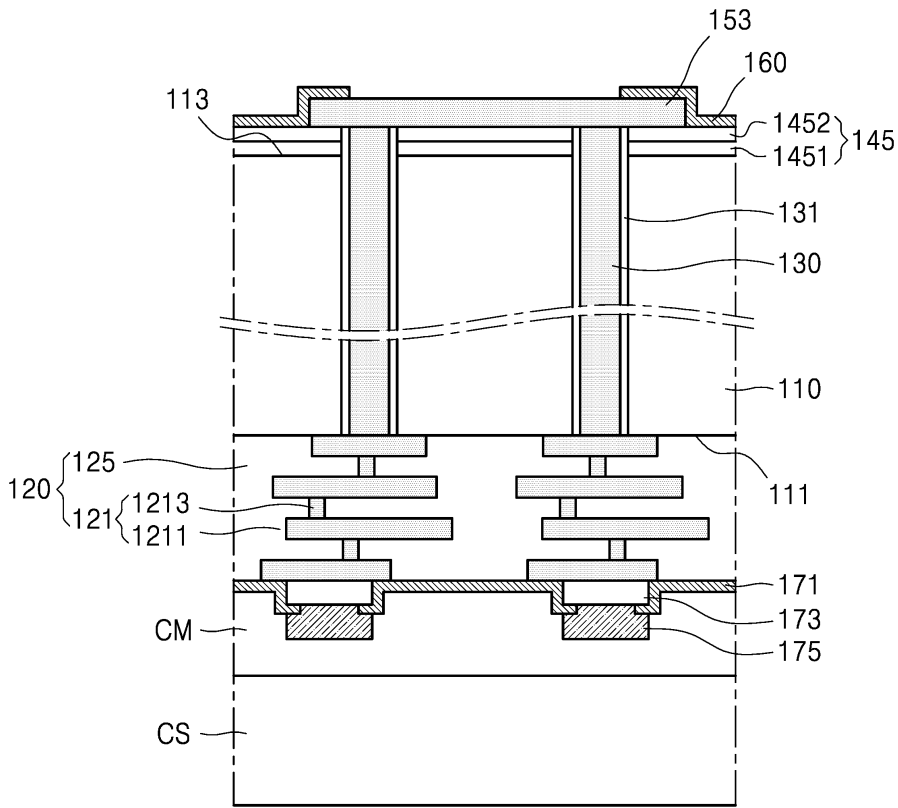
도면12e



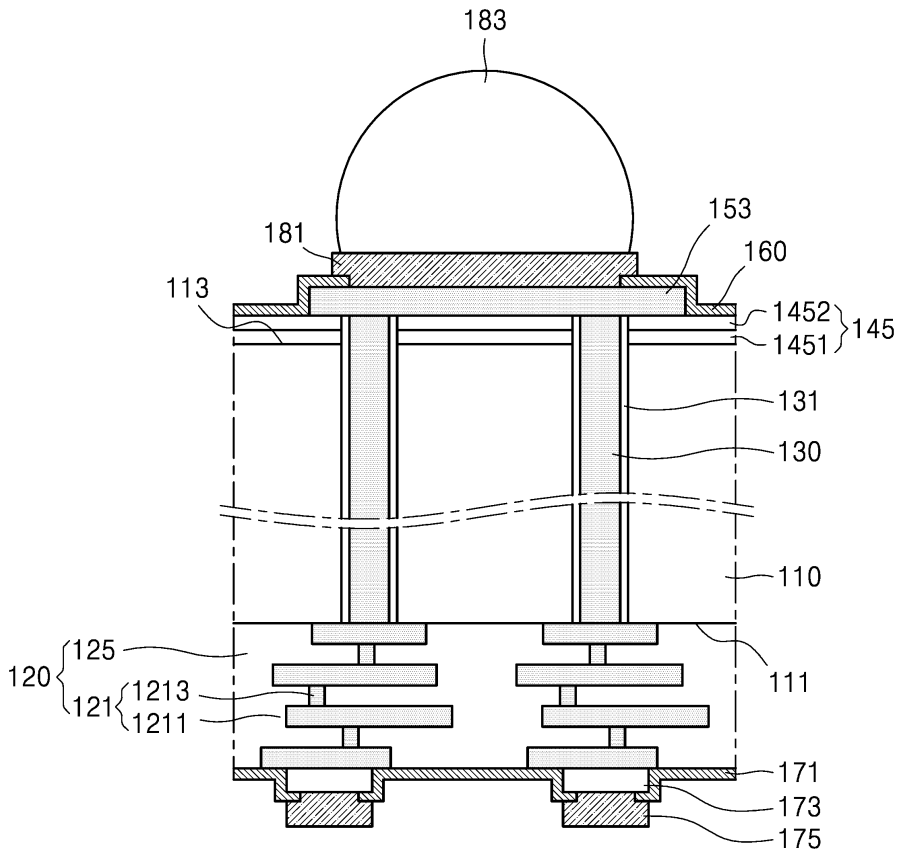
도면12f



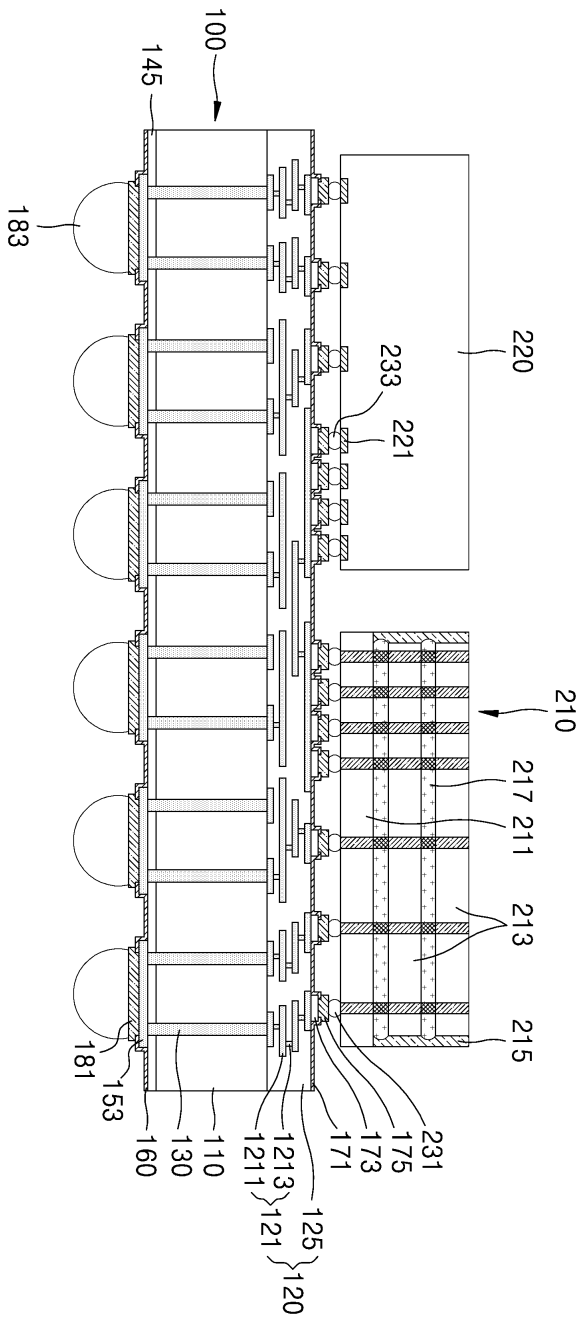
도면12g



도면12h



도면13a



도면13b

