

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-106558
(P2019-106558A)

(43) 公開日 令和1年6月27日(2019.6.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 C	5 F 1 1 O
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	
	HO 1 L 29/78 6 1 8 C	

審査請求 有 請求項の数 2 O L (全 48 頁)

(21) 出願番号 特願2019-72436 (P2019-72436)
 (22) 出願日 平成31年4月5日(2019.4.5)
 (62) 分割の表示 特願2017-20425 (P2017-20425)
 の分割
 原出願日 平成21年10月22日(2009.10.22)
 (31) 優先権主張番号 特願2008-274699 (P2008-274699)
 (32) 優先日 平成20年10月24日(2008.10.24)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 伊藤 俊一
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 細羽 みゆき
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

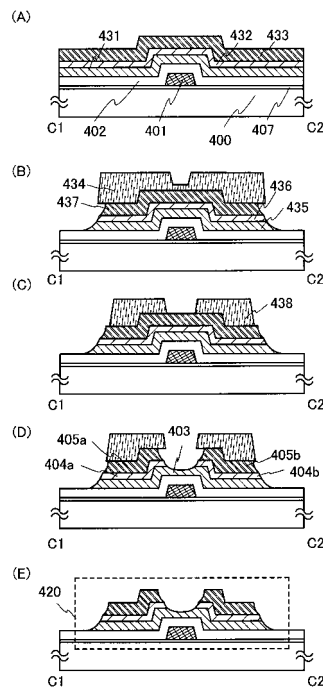
(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】露光マスク数を削減することでフォトリソグラフィ工程を簡略化し、酸化物半導体を有する半導体装置を低コストで生産性よく作製することを課題の一とする。

【解決手段】チャネルエッチ構造の逆スタガ型薄膜トランジスタを有する半導体装置の作製方法において、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたマスク層を用いて酸化物半導体膜及び導電膜のエッチング工程を行う。エッチング工程は、エッチング液によるウエットエッチングを用いる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上にゲート電極を形成し、
前記ゲート電極上に、ゲート絶縁層、酸化物半導体膜、及び導電膜を積層し、
前記ゲート絶縁層、前記酸化物半導体膜、及び前記導電膜上に、第 1 のマスク層を形成し、

前記第 1 のマスク層を用いて、前記酸化物半導体膜、及び前記導電膜を第 1 のエッチング工程によりエッチングして、酸化物半導体層及び導電層を形成し、

前記第 1 のマスク層をアッシングして第 2 のマスク層を形成し、

前記第 2 のマスク層を用いて、前記酸化物半導体層、及び前記導電層を第 2 のエッチング工程によりエッチングして、凹部を有する酸化物半導体層、ソース電極、及びドレイン電極を形成し、

前記第 2 のエッチング工程は、ウエットエッチングを用いて行い、

前記凹部を有する酸化物半導体層は、前記ソース電極と重なる領域及び前記ドレイン電極と重なる領域の膜厚より薄い膜厚の領域を有することを特徴とする半導体装置の作製方法。

【請求項 2】

ゲート電極層の上方のゲート絶縁層と、

前記ゲート絶縁層の上方の酸化物半導体層と、

前記酸化物半導体層の上方のソース電極層及びドレイン電極層と、を有し、

前記酸化物半導体層は、前記ソース電極層の端部に重なる第 1 の領域と、前記ドレイン電極層の端部に重なる第 2 の領域と、前記第 1 の領域と前記第 2 の領域との間の第 3 の領域と、を有し、

前記第 3 の領域は、前記第 1 の領域及び前記第 2 の領域より膜厚が薄い領域と、傾斜を有する領域と、を有し、

前記酸化物半導体層の端部は、曲率を有する領域を有し、

前記ソース電極層の前記端部は、曲率を有する領域を有し、

前記ドレイン電極層の前記端部は、曲率を有する領域を有し、

前記酸化物半導体層の前記端部の曲率は、前記ソース電極層の前記端部の曲率又は前記ドレイン電極層の前記端部の曲率とは異なっていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、In-Ga-Zn-O系酸化物半導体を用いて薄膜トランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献 1 及び特許文献 2 で開示されている。

【先行技術文献】

【特許文献】

【0004】

10

20

30

40

50

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体にチャンネル形成領域を設ける薄膜トランジスタは、アモルファスシリコンを用いた薄膜トランジスタよりも高い電界効果移動度が得られている。酸化物半導体膜はスパッタリング法などによって300以下の温度で膜形成が可能であり、多結晶シリコンを用いた薄膜トランジスタよりも製造工程が簡単である。

【0006】

このような酸化物半導体を用いてガラス基板、プラスチック基板等に薄膜トランジスタを形成し、液晶ディスプレイ、エレクトロルミネセンスディスプレイ又は電子ペーパー等への応用が期待されている。

【0007】

また、薄膜トランジスタの作製には、多数の露光マスク（フォトマスクともいう）を用い、フォトリソグラフィ工程によって積層構造を形成する方法が用いられる。しかし、フォトリソグラフィ工程は、多数の工程を含む工程であり、製造コストや歩留まり、生産性などに大きく影響を与える要因の1つである。中でも設計や製造コストが高い露光マスク数の削減は大きな課題である。

【0008】

上述した問題に鑑み、露光マスク数を削減することでフォトリソグラフィ工程を簡略化し、半導体装置を低コストで生産性よく作製することを課題の一とする。

【課題を解決するための手段】

【0009】

逆スタガ型薄膜トランジスタを有する半導体装置の作製方法において、透過した光が複数の強度となる露光マスクである多階調マスク（高階調マスクともいう）によって形成されたマスク層を用いてエッチング工程を行う。

【0010】

多階調マスクを用いて形成したマスク層は複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するマスク層を形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0011】

逆スタガ型薄膜トランジスタの作製工程においては、半導体膜、及び導電膜を島状に加工するエッチング工程（第1のエッチング工程）と、導電膜と半導体層をソース電極層、ドレイン電極層、及び凹部を有する半導体層にエッチング加工するエッチング工程（第2のエッチング工程）を行う。この第1のエッチング工程及び第2のエッチング工程をエッチング液によるウェットエッチングを用いて行う。

【0012】

エッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液や、アンモニア過水を用いることができる。

【0013】

本明細書中で用いる酸化物半導体は、 $InMO_3$ (ZnO)_m ($m > 0$) で表記される薄膜を形成し、その薄膜を半導体層として用いた薄膜トランジスタを作製する。なお、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純

10

20

30

40

50

物元素として Fe、Ni その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においてはこの薄膜のうち M = ガリウム (Ga) のものを In - Ga - Zn - O 系非単結晶膜とも呼ぶ。

【 0 0 1 4 】

In - Ga - Zn - O 系非単結晶膜の結晶構造は、スパッタ法で成膜した後、200 ~ 500、代表的には 300 ~ 400 で 10 分 ~ 100 分を行っているため、アモルファス構造が XRD (X 線回折) の分析では観察される。また、薄膜トランジスタの電気特性もゲート電圧 ± 20 V において、オンオフ比が 10^9 以上、移動度が $10 \text{ cm}^2 / \text{Vs}$ 以上のものを作製することができる。

【 0 0 1 5 】

本明細書で開示する発明の構成の一形態は、絶縁表面を有する基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層、酸化物半導体膜、及び導電膜を積層し、ゲート絶縁層、酸化物半導体膜、及び導電膜上に第 1 のマスク層を形成し、第 1 のマスク層を用いて酸化物半導体膜及び導電膜を第 1 のエッチング工程によりエッチングして、酸化物半導体層及び導電層を形成し、第 1 のマスク層をエッチング (アッシング) して第 2 のマスク層を形成し、第 2 のマスク層を用いて酸化物半導体層及び導電層を第 2 のエッチング工程によりエッチングして、凹部を有する酸化物半導体層、ソース電極層及びドレイン電極層を形成し、第 1 のマスク層は透過した光が複数の強度となる露光マスクを用いて形成し、第 1 のエッチング工程及び第 2 のエッチング工程はエッチング液によるウェットエッチングを用い、凹部を有する酸化物半導体層において、ソース電極層及びドレイン電極層と重なる領域の膜厚より薄い膜厚の領域を有する。

10

20

【 0 0 1 6 】

本明細書で開示する発明の構成の他の一形態は、絶縁表面を有する基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層、第 1 の酸化物半導体膜、第 2 の酸化物半導体膜、及び導電膜を積層し、ゲート絶縁層、第 1 の酸化物半導体膜、第 2 の酸化物半導体膜、及び導電膜上に第 1 のマスク層を形成し、第 1 のマスク層を用いて第 1 の酸化物半導体膜、第 2 の酸化物半導体膜、及び導電膜を第 1 のエッチング工程によりエッチングして、第 1 の酸化物半導体層、第 2 の酸化物半導体層、及び導電層を形成し、第 1 のマスク層をエッチング (アッシング) して第 2 のマスク層を形成し、第 2 のマスク層を用いて第 1 の酸化物半導体層、第 2 の酸化物半導体層、及び導電層を第 2 のエッチング工程によりエッチングして、凹部を有する酸化物半導体層、ソース領域、ドレイン領域、ソース電極層及びドレイン電極層を形成し、第 1 のマスク層は透過した光が複数の強度となる露光マスクを用いて形成し、第 1 のエッチング工程及び第 2 のエッチング工程はエッチング液によるウェットエッチングを用い、凹部を有する酸化物半導体層において、ソース領域及びドレイン領域と重なる領域の膜厚より薄い膜厚の領域を有する。

30

【 0 0 1 7 】

本明細書に開示する半導体装置の作製方法は、上記課題の少なくとも一つを解決する。

【 0 0 1 8 】

また、薄膜トランジスタのソース領域及びドレイン領域として用いる第 2 の酸化物半導体膜は、チャンネル形成領域として用いる第 1 の酸化物半導体膜の膜厚よりも薄く、且つ、より高い導電率 (電気伝導度) を有するのが好ましい。

40

【 0 0 1 9 】

第 2 の酸化物半導体膜は、n 型の導電型を示し、ソース領域及びドレイン領域として機能する。

【 0 0 2 0 】

また第 1 の酸化物半導体膜は非晶質構造を有し、第 2 の酸化物半導体膜は非晶質構造の中に結晶粒 (ナノクリスタル) を含む場合がある。この第 2 の酸化物半導体膜中の結晶粒 (ナノクリスタル) は直径 $1 \text{ nm} \sim 10 \text{ nm}$ 、代表的には $2 \text{ nm} \sim 4 \text{ nm}$ 程度である。

【 0 0 2 1 】

ソース領域及びドレイン領域 (n + 層) として用いる第 2 の酸化物半導体膜として In -

50

Ga - Zn - O系非単結晶膜を用いることができる。

【0022】

薄膜トランジスタを覆い、かつチャンネル形成領域を含む酸化物半導体層に接する絶縁膜を形成してもよい。

【0023】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体を用いた非線形素子を用いて構成することが好ましい。

【0024】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

10

【0025】

また、駆動回路を有する表示装置としては、液晶表示装置の他に、発光素子を用いた発光表示装置や、電気泳動表示素子を用いた電子ペーパーとも称される表示装置が挙げられる。

【0026】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。また、発光素子を用いた発光表示装置の駆動回路においては、薄膜トランジスタのゲート電極とその薄膜トランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。

20

【0027】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【発明の効果】

【0028】

露光マスク数を削減することでフォトリソグラフィ工程を簡略化し、信頼性のある半導体装置を低コストで生産性よく作製することができる。

【図面の簡単な説明】

30

【0029】

【図1】半導体装置の作製方法を説明する図。

【図2】半導体装置を説明する図。

【図3】半導体装置の作製方法を説明する図。

【図4】半導体装置を説明する図。

【図5】半導体装置の作製方法を説明する図。

【図6】半導体装置の作製方法を説明する図。

【図7】半導体装置の作製方法を説明する図。

【図8】半導体装置の作製方法を説明する図。

【図9】半導体装置の作製方法を説明する図。

40

【図10】半導体装置の作製方法を説明する図。

【図11】半導体装置を説明する図。

【図12】半導体装置を説明する図。

【図13】半導体装置を説明する図。

【図14】半導体装置のブロック図を説明する図。

【図15】信号線駆動回路の構成を説明する図。

【図16】信号線駆動回路の動作を説明するタイミングチャート。

【図17】信号線駆動回路の動作を説明するタイミングチャート。

【図18】シフトレジスタの構成を説明する図。

【図19】図18に示すフリップフロップの接続構成を説明する図。

50

【図 2 0】半導体装置の画素等価回路を説明する図。

【図 2 1】半導体装置を説明する図。

【図 2 2】半導体装置を説明する図。

【図 2 3】半導体装置を説明する図。

【図 2 4】半導体装置を説明する図。

【図 2 5】電子ペーパーの使用形態の例を説明する図。

【図 2 6】電子書籍の一例を示す外観図。

【図 2 7】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図 2 8】遊技機の例を示す外観図。

【図 2 9】携帯電話機の一例を示す外観図。

10

【図 3 0】多階調マスクを説明する図。

【発明を実施するための形態】

【0030】

実施の形態について、図面を用いて詳細に説明する。但し、以下の説明に限定されず、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0031】

(実施の形態 1)

20

本実施の形態の半導体装置の作製方法を図 1 及び図 2 を用いて説明する。

【0032】

図 2 (A 1) は本実施の形態の半導体装置の有する薄膜トランジスタ 4 2 0 の平面図であり、図 2 (A 2) は図 2 (A 1) の線 C 1 - C 2 における断面図である。薄膜トランジスタ 4 2 0 は逆スタガ型の薄膜トランジスタであり、ゲート電極層 4 0 1、ゲート絶縁層 4 0 2、半導体層 4 0 3、ソース領域又はドレイン領域として機能する n^+ 層 4 0 4 a、4 0 4 b、ソース電極層又はドレイン電極層 4 0 5 a、4 0 5 b を含む。

【0033】

図 1 (A) 乃至 (E) は薄膜トランジスタ 4 2 0 の作製工程を示す断面図に相当する。

【0034】

30

図 1 (A) において、下地膜となる絶縁膜 4 0 7 が設けられた基板 4 0 0 上にゲート電極層 4 0 1 を設ける。絶縁膜 4 0 7 は、基板 4 0 0 からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。本実施の形態では、酸化珪素膜 (膜厚 1 0 0 nm) を用いる。ゲート電極層 4 0 1 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0035】

例えば、ゲート電極層 4 0 1 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。

40

【0036】

ゲート電極層 4 0 1 上にゲート絶縁層 4 0 2、第 1 の酸化物半導体膜 4 3 1、第 2 の酸化物半導体膜 4 3 2、及び導電膜 4 3 3 を順に積層する。

【0037】

50

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層又は窒化酸化シリコン層を単層で又は積層して形成することができる。また、ゲート絶縁層402として、有機シランガスを用いたCVD法により酸化シリコン層を形成することも可能である。有機シランガスとしては、珪酸エチル(TEOS:化学式 $Si(OC_2H_5)_4$)、テトラメチルシラン(TMS:化学式 $Si(CH_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($SiH(OC_2H_5)_3$)、トリスジメチルアミノシラン($SiH(N(CH_3)_2)_3$)等のシリコン含有化合物を用いることができる。

【0038】

なお、第1の酸化物半導体膜431をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層402の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0039】

また、第2の酸化物半導体膜432と導電膜433との接触領域はプラズマ処理によって改質されていることが好ましい。本実施の形態では、導電膜433を形成する前に、第2の酸化物半導体膜432(本実施の形態ではIn-Ga-Zn-O系非単結晶膜)にアルゴン雰囲気下でプラズマ処理を行う。

【0040】

プラズマ処理は、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0041】

本実施の形態では、第1の酸化物半導体膜431及び第2の酸化物半導体膜432としてIn-Ga-Zn-O系非単結晶膜を用いる。第1の酸化物半導体膜431と第2の酸化物半導体膜432とは異なる成膜条件で形成され、第2の酸化物半導体膜432の方がより導電率が高く低抵抗な酸化物半導体膜である。例えば第2の酸化物半導体膜432として、スパッタ法でのアルゴンガス流量を40sccmとした条件で得られる酸化物半導体膜で形成する。第2の酸化物半導体膜432は、n型の導電型を有し、活性化エネルギー(E)が0.01eV以上0.1eV以下である。なお、本実施の形態では、第2の酸化物半導体膜432は、In-Ga-Zn-O系非単結晶膜であり、少なくともアモルファス成分を含んでいるものとする。第2の酸化物半導体膜432は非晶質構造の中に結晶粒(ナノクリスタル)を含む場合がある。この第2の酸化物半導体膜432中の結晶粒(ナノクリスタル)は直径1nm~10nm、代表的には2nm~4nm程度である。

【0042】

n^+ 層となる第2の酸化物半導体膜432を設けることにより、金属層である導電膜433と、チャンネル形成領域となる第1の酸化物半導体膜431との間を良好な接合としてショットキー接合に比べて熱的にも安定動作を有せしめる。また、チャンネルのキャリアを供給する(ソース側)、またはチャンネルのキャリアを安定して吸収する(ドレイン側)、または抵抗成分を配線との界面に作らないためにも積極的に n^+ 層を設けると効果的である。また低抵抗化により、高いドレイン電圧でも良好な移動度を保持することができる。

【0043】

ゲート絶縁層402、第1の酸化物半導体膜431、第2の酸化物半導体膜432、導電膜433を大気に触れさせることなく連続的に形成することができる。大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低

10

20

30

40

50

減することができる。

【0044】

ゲート絶縁層402、第1の酸化物半導体膜431、第2の酸化物半導体膜432、導電膜433上にマスク434を形成する。

【0045】

本実施の形態では、マスク434を形成するために多階調（高階調）マスクを用いた露光を行う例を示す。マスク434を形成するためレジストを形成する。レジストは、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

【0046】

次に、露光マスクとして多階調マスクを用いて、レジストに光を照射して、レジストを露光する。

【0047】

ここで、多階調マスクを用いた露光について、図30を用いて説明する。

【0048】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、透過した光が複数の強度となる露光マスクである。一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、露光マスクの枚数を削減することが可能である。

【0049】

多階調マスクの代表例としては、図30(A)に示すようなグレーンマスク59a、図30(C)に示すようなハーフトーンマスク59bがある。

【0050】

図30(A)に示すように、グレーンマスク59aは、透光性基板63及びその上に形成される遮光部64並びに回折格子65で構成される。遮光部64においては、光の透過率が0%である。一方、回折格子65はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子65は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

【0051】

透光性基板63としては、石英等の透光性基板を用いることができる。遮光部64及び回折格子65は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0052】

グレーンマスク59aに露光光を照射した場合、図30(B)に示すように、遮光部64においては、光透過率66は0%であり、遮光部64及び回折格子65が設けられていない領域では光透過率66は100%である。また、回折格子65においては、10~70%の範囲で調整可能である。回折格子65における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

【0053】

図30(C)に示すように、ハーフトーンマスク59bは、透光性基板63及びその上に形成される半透過部68並びに遮光部67で構成される。半透過部68は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。遮光部67は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0054】

ハーフトーンマスク59bに露光光を照射した場合、図30(D)に示すように、遮光部67においては、光透過率69は0%であり、遮光部67及び半透過部68が設けられていない領域では光透過率69は100%である。また、半透過部68においては、10~70%の範囲で調整可能である。半透過部68に於ける光の透過率の調整は、半透過部6

10

20

30

40

50

8の材料により調整により可能である。

【0055】

多階調マスクを用いて露光した後、現像することで、図1(B)に示すように膜厚の異なる領域を有するマスク434を形成することができる。

【0056】

次に、マスク434を用いて第1のエッチング工程を行い、第1の酸化物半導体膜431、第2の酸化物半導体膜432、導電膜433をエッチングし島状に加工する。この結果、第1の酸化物半導体層435、第2の酸化物半導体層436、導電層437を形成することができる(図1(B)参照。)

【0057】

次に、マスク434をエッチング(具体的にはアッシング)する。この結果、マスクの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のマスクのレジスト(ゲート電極層401の一部と重畳する領域)は除去され、分離されたマスク438を形成することができる(図1(C)参照。)

【0058】

マスク438を用いて第1の酸化物半導体層435、第2の酸化物半導体層436、導電層437を第2のエッチング工程によりエッチングし、半導体層403、n+層404a、404b、ソース電極層又はドレイン電極層405a、405bを形成する。(図1(D)参照。)。なお、半導体層403は一部のみがエッチングされ、溝部(凹部)を有する半導体層となり、かつ端部においても、一部エッチングされ露出した形状となる。

【0059】

本実施の形態では、この第1のエッチング工程及び第2のエッチング工程をエッチング液によるウエットエッチングを用いて行う。

【0060】

エッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(過酸化水素：アンモニア：水=5：2：2)などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0061】

所望の加工形状にエッチングできるように、導電膜433の材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0062】

例えば導電膜433としてアルミニウム膜、又はアルミニウム合金膜を用いる場合は、燐酸と酢酸と硝酸を混ぜた溶液を用いたウエットエッチングを行うことができる。また、導電膜433としてチタン膜を用いる場合、エッチング液としてアンモニア過水(過酸化水素：アンモニア：水=5：2：2)を用いたウエットエッチングを行うことができる。

【0063】

例えば、導電膜433としてアルミニウム膜、又はアルミニウム合金膜を用いる場合、第1のエッチング工程及び第2のエッチング工程のエッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いて、第1の酸化物半導体膜431、第2の酸化物半導体膜432、導電膜433、第1の酸化物半導体層435、第2の酸化物半導体層436、導電層437をエッチング加工すればよい。

【0064】

第1のエッチング工程と第2のエッチング工程において異なるエッチング液を用いてもよい。また、第1のエッチング工程と第2のエッチング工程において導電膜と酸化物半導体膜とを異なるエッチング液でエッチングしてもよい。

【0065】

例えば、導電膜433としてチタン膜を用いる場合、第1のエッチング工程のエッチング液としてアンモニア過水(過酸化水素：アンモニア：水=5：2：2)を用いて導電膜433をエッチングし、燐酸と酢酸と硝酸を混ぜた溶液を用いて第1の酸化物半導体膜431、第2の酸化物半導体膜432をエッチング加工してもよい。同様に第2のエッチング

10

20

30

40

50

工程においてもアンモニア過水（過酸化水素：アンモニア：水 = 5 : 2 : 2）を用いて導電層 437 をエッチングし、リン酸と酢酸と硝酸を混ぜた溶液を用いて第 1 の酸化物半導体層 435、第 2 の酸化物半導体層 436 をエッチング加工してもよい。

【0066】

なお、第 2 のエッチング工程において、アンモニア過水（過酸化水素：アンモニア：水 = 5 : 2 : 2）を用いて第 1 の酸化物半導体層 435、第 2 の酸化物半導体層 436、導電層 437 をエッチングし、半導体層 403 の凹部、n+層 404 a、404 b、ソース電極層又はドレイン電極層 405 a、405 b を形成することもできる。

【0067】

第 1 の酸化物半導体膜 431、第 2 の酸化物半導体膜 432、導電膜 433 を第 1 のエッチング工程でウェットエッチングすると、第 1 の酸化物半導体膜 431、第 2 の酸化物半導体膜 432、導電膜 433 は等方的にエッチングされるため、マスク 434 の端部と、第 1 の酸化物半導体層 435、第 2 の酸化物半導体層 436、導電層 437 の端部は一致せずより後退し、その端部は曲率を有する形状となる。これにより、上に形成される膜の段切れやカバレッジ不良が防止できる。また、エッチング液を選択することによって第 1 の酸化膜半導体膜 431 とゲート絶縁層 402 の選択比を高くとることができ、ゲート絶縁層 402 の意図しない薄膜化が防止できる。

10

【0068】

同様に第 1 の酸化物半導体層 435、第 2 の酸化物半導体層 436、導電層 437 を第 2 のエッチング工程でウェットエッチングすると、第 1 の酸化物半導体層 435、第 2 の酸化物半導体層 436、導電層 437 は等方的にエッチングされるため、マスク 438 の端部と、半導体層 403 の凹部及び端部、n+層 404 a、404 b、ソース電極層又はドレイン電極層 405 a、405 b の端部は一致せずより後退し、その端部は曲率を有する形状となる。これにより、上に形成される膜の段切れやカバレッジ不良が防止できる。

20

【0069】

また、半導体層 403、n+層 404 a、404 b、ソース電極層又はドレイン電極層 405 a、405 b の端部は、エッチング条件や、酸化物半導体材料及び導電性材料によって、エッチングレートが異なるため、それぞれ異なる曲率や不連続な端部形状を有する場合もある。

【0070】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

30

【0071】

この後、マスク 438 を除去する。

【0072】

また、ソース電極層又はドレイン電極層 405 a、405 b の材料として、半導体層 403 よりエッチングレートが高い材料を用いることが好ましい。これは、エッチングにより、ソース電極層又はドレイン電極層 405 a、405 b と半導体層 403 を一回でエッチングする場合、半導体層 403 のエッチングレートをソース電極層又はドレイン電極層 405 a、405 b のエッチングレートより小さくすることにより、半導体層 403 が過度にエッチングされることを抑制することができるためである。その結果、半導体層 403 の消失を抑制することが可能となる。

40

【0073】

その後、200 ~ 600、代表的には 300 ~ 500 の熱処理を行うと良い。ここでは、窒素雰囲気下で 350、1 時間の熱処理を行う。この熱処理により半導体層 403、n+層 404 a、404 b を構成する In-Ga-Zn-O 系酸化物半導体の原子レベルの再配列が行われる。この熱処理（光アニール等も含む）は、半導体層 403、n

50

+層404a、404b中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。なお、上記の熱処理を行うタイミングは、第1の酸化物半導体膜431、第2の酸化物半導体膜432の形成後であれば特に限定されない。

【0074】

また、露出している半導体層403の凹部に対して酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより半導体層403をチャンネル形成領域とする薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、半導体層403のエッチングによるダメージを回復することができる。ラジカル処理は、 O_2 、 N_2O 、酸素を含む N_2 、 He 、 Ar などの雰囲気下で行うことが好ましい。また、上記雰囲気に Cl_2 、 CF_4 を加えた雰囲気下で行ってもよい。なお、ラジカル処理は、基板側にバイアス電圧を印加せずに行うことが好ましい。

10

【0075】

以上の工程で、図1(E)に示す逆スタガ型の薄膜トランジスタ420を作製することができる。

【0076】

本実施の形態のように、多階調マスクにより形成した複数(代表的には二種類)の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が計れる。よって、信頼性のある半導体装置を低コストで生産性よく作製することができる。

【0077】

(実施の形態2)

ここでは、実施の形態1において、ソース電極層及びドレイン電極層と半導体層とが接する構成の薄膜トランジスタを有する半導体装置の例を図3及び図4に示す。

20

【0078】

図4(A1)は本実施の形態の半導体装置の有する薄膜トランジスタ460の平面図であり、図4(A2)は図4(A1)の線D1-D2における断面図である。薄膜トランジスタ460は逆スタガ型の薄膜トランジスタであり、ゲート電極層451、ゲート絶縁層452、半導体層453、ソース電極層又はドレイン電極層455a、455bを含む。

【0079】

図3(A)乃至(E)は薄膜トランジスタ460の作製工程を示す断面図に相当する。

30

【0080】

図3(A)において、下地膜となる絶縁膜457が設けられた基板450上にゲート電極層451を設ける。ゲート電極層451上にゲート絶縁層452、酸化物半導体膜481及び導電膜483を順に積層する。

【0081】

酸化物半導体膜481と導電膜483との接触領域はプラズマ処理によって改質されることが好ましい。本実施の形態では、導電膜483を形成する前に、酸化物半導体膜481(本実施の形態ではIn-Ga-Zn-O系非単結晶膜)にアルゴン雰囲気下でプラズマ処理を行う。

【0082】

プラズマ処理は、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

40

【0083】

ゲート絶縁層452、酸化物半導体膜481、導電膜483を大気に触れさせることなく連続的に形成することができる。大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0084】

ゲート絶縁層452、酸化物半導体膜481、導電膜483上にマスク484を形成する

50

。

【0085】

本実施の形態では、マスク484を形成するために多階調（高階調）マスクを用いた露光を行う例を示す。マスク484は実施の形態1のマスク434と同様に形成することができる。

【0086】

透過した光が複数の強度となる多階調マスクを用いて露光した後、現像することで、図3（B）に示すように膜厚の異なる領域を有するマスク484を形成することができる。多階調マスクを用いることで、露光マスクの枚数を削減することが可能である。

【0087】

次に、マスク484を用いて第1のエッチング工程を行い、酸化物半導体膜431、導電膜433をエッチングし島状に加工する。この結果、酸化物半導体層485、導電層487を形成することができる（図3（B）参照。）。 10

【0088】

次に、マスク484をアッシングする。この結果、マスクの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のマスクのレジスト（ゲート電極層451の一部と重畳する領域）は除去され、分離されたマスク488を形成することができる（図3（C）参照。）。 20

【0089】

マスク488を用いて酸化物半導体層485、導電層487を第2のエッチング工程によりエッチングし、半導体層453、ソース電極層又はドレイン電極層455a、455bを形成する。（図3（D）参照。）。なお、半導体層453は一部のみがエッチングされ、溝部（凹部）を有する半導体層となり、かつ端部においても、一部エッチングされ露出した形状となる。 30

【0090】

本実施の形態では、この第1のエッチング工程及び第2のエッチング工程をエッチング液によるウエットエッチングを用いて行う。

【0091】

エッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（過酸化水素：アンモニア：水＝5：2：2）などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。 40

【0092】

所望の加工形状にエッチングできるように、導電膜483の材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【0093】

例えば導電膜483としてアルミニウム膜、又はアルミニウム合金膜を用いる場合は、リン酸と酢酸と硝酸を混ぜた溶液を用いたウエットエッチングを行うことができる。また、導電膜483としてチタン膜を用いる場合、エッチング液としてアンモニア過水（過酸化水素：アンモニア：水＝5：2：2）を用いたウエットエッチングを行うことができる。 50

【0094】

例えば、導電膜483としてアルミニウム膜、又はアルミニウム合金膜を用いる場合、第1のエッチング工程及び第2のエッチング工程のエッチング液としてリン酸と酢酸と硝酸を混ぜた溶液を用いて、酸化物半導体膜481、導電膜483、酸化物半導体層485、導電層487をエッチング加工すればよい。

【0095】

第1のエッチング工程と第2のエッチング工程において異なるエッチング液を用いてもよい。また、第1のエッチング工程と第2のエッチング工程において導電膜と酸化物半導体膜とを異なるエッチング液でエッチングしてもよい。

【0096】

例えば、導電膜483としてチタン膜を用いる場合、第1のエッチング工程のエッチング 50

液としてアンモニア過水（過酸化水素：アンモニア：水＝5：2：2）を用いて導電膜483をエッチングし、リン酸と酢酸と硝酸を混ぜた溶液を用いて酸化物半導体膜481をエッチング加工してもよい。同様に第2のエッチング工程においてもアンモニア過水（過酸化水素：アンモニア：水＝5：2：2）を用いて導電層487をエッチングし、リン酸と酢酸と硝酸を混ぜた溶液を用いて酸化物半導体層485をエッチング加工してもよい。

【0097】

なお、第2のエッチング工程において、アンモニア過水（過酸化水素：アンモニア：水＝5：2：2）を用いて酸化物半導体層485、導電層487をエッチングし、半導体層453の凹部、ソース電極層又はドレイン電極層455a、455bを形成することもできる。

10

【0098】

酸化物半導体膜481、導電膜483を第1のエッチング工程でウエットエッチングすると、酸化物半導体膜481、導電膜483は等方的にエッチングされるため、マスク484の端部と、酸化物半導体層485、導電層487の端部は一致せずより後退し、その端部は曲率を有する形状となる。

【0099】

同様に酸化物半導体層485、導電層487を第2のエッチング工程でウエットエッチングすると、酸化物半導体層485、導電層487は等方的にエッチングされるため、マスク488の端部と、半導体層453の凹部、ソース電極層又はドレイン電極層455a、455bの端部は一致せずより後退し、その端部は曲率を有する形状となる。

20

【0100】

また、半導体層453、ソース電極層又はドレイン電極層455a、455bの端部は、エッチング条件や、酸化物半導体及び導電性材料によって、エッチングレートが異なるため、それぞれ異なる曲率や不連続な端部形状を有する場合もある。

【0101】

また、ウエットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

30

【0102】

この後、マスク488を除去する。

【0103】

以上の工程で、図3(E)に示す逆スタガ型の薄膜トランジスタ460を作製することができる。

【0104】

本実施の形態のように、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が計れる。よって、信頼性のある半導体装置を低コストで生産性よく作製することができる。

40

【0105】

（実施の形態3）

本実施の形態では、薄膜トランジスタを含む表示装置の作製工程について、図5乃至図12を用いて説明する。

【0106】

図5(A)において、透光性を有する基板100にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0107】

次いで、導電層を基板100全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート

50

電極層101を含むゲート配線、容量配線108、及び第1の端子121)を形成する。このとき少なくともゲート電極層101の端部にテーパ形状が形成されるようにエッチングする。この段階での断面図を図5(A)に示した。なお、この段階での上面図が図7に相当する。

【0108】

ゲート電極層101を含むゲート配線と容量配線108、端子部の第1の端子121は、耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジウム)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成することが望ましい。また、アルミニウム(Al)や銅(Cu)などの低抵抗導電性材料で形成する場合は、Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので上記耐熱性導電性材料と組み合わせて形成する。

10

【0109】

次いで、ゲート電極層101上にゲート絶縁層102を全面に成膜する。ゲート絶縁層102はスパッタ法などを用い、膜厚を50~250nmとする。

【0110】

例えば、ゲート絶縁層102としてスパッタ法により酸化シリコン膜を用い、100nmの厚さで形成する。勿論、ゲート絶縁層102はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

20

【0111】

なお、酸化半導体膜を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気にて酸素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、N₂Oなどを加えた雰囲気で行ってもよい。また、アルゴン雰囲気にCl₂、CF₄などを加えた雰囲気で行ってもよい。

【0112】

次に、ゲート絶縁層102上に、第1の酸化半導体膜109(本実施の形態では第1のIn-Ga-Zn-O系非単結晶膜)を成膜する。プラズマ処理後、大気に曝すことなく第1のIn-Ga-Zn-O系非単結晶膜を成膜することは、ゲート絶縁層と半導体膜の界面にゴミや水分を付着させない点で有用である。ここでは、直径8インチのIn、Ga、及びZnを含む酸化半導体ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1)を用いて、基板とターゲットの間との距離を170mm、圧力0.4Pa、直流(DC)電源0.5kW、アルゴン又は酸素雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。第1のIn-Ga-Zn-O系非単結晶膜の膜厚は、5nm~200nmとする。本実施の形態では第1のIn-Ga-Zn-O系非単結晶膜の膜厚は、100nmとする。

30

【0113】

次いで、大気に曝すことなく、第2の酸化半導体膜111(本実施の形態では第2のIn-Ga-Zn-O系非単結晶膜)をスパッタ法で成膜する。ここでは、In₂O₃:Ga₂O₃:ZnO=1:1:1としたターゲットを用い、成膜条件は、圧力を0.4Paとし、電力を500Wとし、成膜温度を室温とし、アルゴンガス流量40sccmを導入してスパッタ成膜を行う。In₂O₃:Ga₂O₃:ZnO=1:1:1としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ1nm~10nmの結晶粒を含むIn-Ga-Zn-O系非単結晶膜が形成されることがある。なお、ターゲットの成分比、成膜圧力(0.1Pa~2.0Pa)、電力(250W~3000W:8インチ)、温度(室温~100)、反応性スパッタの成膜条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、1nm~10nmの範囲で調節されうると言

40

50

える。第2のIn-Ga-Zn-O系非単結晶膜の膜厚は、5nm~20nmとする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。本実施の形態では第2のIn-Ga-Zn-O系非単結晶膜の膜厚は、5nmとする。

【0114】

第1のIn-Ga-Zn-O系非単結晶膜は、第2のIn-Ga-Zn-O系非単結晶膜の成膜条件と異ならせる。例えば、第2のIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量とアルゴンガス流量の比よりも第1のIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量の占める比率が多い条件とする。具体的には、第2のIn-Ga-Zn-O系非単結晶膜の成膜条件は、希ガス（アルゴン、又はヘリウムなど）雰囲気下（または酸素ガス10%以下、アルゴンガス90%以上）とし、第1のIn-Ga-Zn-O系非単結晶膜の成膜条件は、酸素雰囲気下（又は酸素ガス流量がアルゴンガス流量と同じ又はそれ以上）とする。

10

【0115】

第2のIn-Ga-Zn-O系非単結晶膜の成膜は、先に逆スパッタを行ったチャンパーと同一チャンパーを用いてもよいし、先に逆スパッタを行ったチャンパーと異なるチャンパーで成膜してもよい。

【0116】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルス的にバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

20

【0117】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンパーで異なる材料膜を積層成膜することも、同一チャンパーで複数種類の材料を同時に放電させて成膜することもできる。

【0118】

また、チャンパー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

30

【0119】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0120】

次に、第1の酸化物半導体膜109及び第2の酸化物半導体膜111上に金属材料からなる導電膜132をスパッタ法や真空蒸着法で形成する。この段階での断面図を図5(B)に示した。

【0121】

導電膜132の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、200~600の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることが好ましい。Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。Alと組み合わせる耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

40

【0122】

ここでは、導電膜132としてチタン膜の単層構造とする。また、導電膜132は、2層

50

構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜 1 3 2 として T i 膜と、その T i 膜上に重ねて N d を含むアルミニウム (A l - N d) 膜を積層し、さらにその上に T i 膜を成膜する 3 層構造としてもよい。導電膜 1 3 2 は、シリコンを含むアルミニウム膜の単層構造としてもよい。

【 0 1 2 3 】

次に、第 2 のフォトリソグラフィ工程を行い、レジストマスクであるマスク 1 3 3 を形成する。本実施の形態では、マスク 1 3 3 を形成するために多階調 (高階調) マスクを用いた露光を行う例を示す。マスク 1 3 3 は実施の形態 1 のマスク 4 3 4 と同様に形成することができる。

【 0 1 2 4 】

透過した光が複数の強度となる多階調マスクを用いて露光した後、現像することで、図 5 (C) に示すように膜厚の異なる領域を有するマスク 1 3 3 を形成することができる。多階調マスクを用いることで、露光マスクの枚数を削減することが可能である。

【 0 1 2 5 】

次に、マスク 1 3 3 を用いて第 1 のエッチング工程を行い、第 1 の I n - G a - Z n - O 系非単結晶膜である酸化物半導体膜 1 0 9 、第 2 の I n - G a - Z n - O 系非単結晶膜である酸化物半導体膜 1 1 1 、導電膜 1 3 2 をエッチングし島状に加工する。この結果、第 1 の酸化物半導体層 1 3 4 、第 2 の酸化物半導体層 1 3 5 、導電層 1 3 6 を形成することができる (図 5 (C) 参照。) 。なお、この段階での上面図が図 8 に相当する。

【 0 1 2 6 】

次に、マスク 1 3 3 をアッシングする。この結果、マスクの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のマスクのレジスト (ゲート電極層 1 0 1 の一部と重畳する領域) は除去され、分離されたマスク 1 3 1 を形成することができる (図 6 (A) 参照。) 。

【 0 1 2 7 】

マスク 1 3 1 を用いて第 1 の酸化物半導体層 1 3 4 、第 2 の酸化物半導体層 1 3 5 、導電層 1 3 6 を第 2 のエッチング工程によりエッチングし、半導体層 1 0 3 、ソース領域及びドレイン領域である n + 層 1 0 4 a 、 1 0 4 b 、ソース電極層又はドレイン電極層 1 0 5 a 、 1 0 5 b を形成する。なお、半導体層 1 0 3 は一部のみがエッチングされ、溝部 (凹部) を有する半導体層となり、かつ端部においても、一部エッチングされ露出した形状となる。

【 0 1 2 8 】

本実施の形態では、この第 1 のエッチング工程及び第 2 のエッチング工程をエッチング液によるウエットエッチングを用いて行う。

【 0 1 2 9 】

エッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水 (過酸化水素 : アンモニア : 水 = 5 : 2 : 2) などを用いることができる。

【 0 1 3 0 】

所望の加工形状にエッチングできるように、導電膜 1 3 2 の材料に合わせてエッチング条件 (エッチング液、エッチング時間、温度等) を適宜調節する。

【 0 1 3 1 】

例えば導電膜 1 3 2 としてアルミニウム膜、又はアルミニウム合金膜を用いる場合は、燐酸と酢酸と硝酸を混ぜた溶液を用いたウエットエッチングを行うことができる。また、導電膜 1 3 2 としてチタン膜を用いる場合、エッチング液としてアンモニア過水 (過酸化水素 : アンモニア : 水 = 5 : 2 : 2) を用いたウエットエッチングを行うことができる。

【 0 1 3 2 】

例えば、導電膜 1 3 2 としてアルミニウム膜、又はアルミニウム合金膜を用いる場合、第 1 のエッチング工程及び第 2 のエッチング工程のエッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いて、第 1 の酸化物半導体膜 1 0 9 、第 2 の酸化物半導体膜 1 1 1 、導電膜 1 3 2 、第 1 の酸化物半導体層 1 3 4 、第 2 の酸化物半導体層 1 3 5 、導電層 1 3 6 を

10

20

30

40

50

エッチング加工すればよい。

【0133】

第1のエッチング工程と第2のエッチング工程において異なるエッチング液を用いてもよい。また、第1のエッチング工程と第2のエッチング工程において導電膜と酸化物半導体膜とを異なるエッチング液でエッチングしてもよい。

【0134】

例えば、導電膜132としてチタン膜を用いる場合、第1のエッチング工程のエッチング液としてアンモニア過水（過酸化水素：アンモニア：水＝5：2：2）を用いて導電膜132をエッチングし、リン酸と酢酸と硝酸を混ぜた溶液を用いて第1の酸化物半導体膜109、第2の酸化物半導体膜111をエッチング加工してもよい。同様に第2のエッチング工程においてもアンモニア過水（過酸化水素：アンモニア：水＝5：2：2）を用いて導電層136をエッチングし、リン酸と酢酸と硝酸を混ぜた溶液を用いて第1の酸化物半導体層134、第2の酸化物半導体層135をエッチング加工してもよい。

10

【0135】

なお、第2のエッチング工程において、アンモニア過水（過酸化水素：アンモニア：水＝5：2：2）を用いて第1の酸化物半導体層134、第2の酸化物半導体層135、導電層136をエッチングし、半導体層103の凹部、n+層104a、104b、ソース電極層又はドレイン電極層105a、105bを形成することもできる。

【0136】

第1の酸化物半導体膜109、第2の酸化物半導体膜111、導電膜132を第1のエッチング工程でウエットエッチングすると、第1の酸化物半導体膜109、第2の酸化物半導体膜111、導電膜132は等方的にエッチングされるため、マスク133の端部と、第1の酸化物半導体層134、第2の酸化物半導体層135、導電層136の端部は一致せずより後退し、その端部は曲率を有する形状となる。これにより、上に形成される膜の段切れやカバレッジ不良が防止できる。

20

【0137】

同様に第1の酸化物半導体層134、第2の酸化物半導体層135、導電層136を第2のエッチング工程でウエットエッチングすると、第1の酸化物半導体層134、第2の酸化物半導体層135、導電層136は等方的にエッチングされるため、マスク131の端部と、半導体層103の凹部、n+層104a、104b、ソース電極層又はドレイン電極層105a、105bの端部は一致せずより後退し、その端部は曲率を有する形状となる。これにより、上に形成される膜の段切れやカバレッジ不良が防止できる。

30

【0138】

また、ウエットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0139】

次いで、マスク131を除去し、200～600、代表的には300～500の熱処理を行うことが好ましい。ここでは炉に入れ、窒素雰囲気下で350、1時間の熱処理を行う。この熱処理によりIn-Ga-Zn-O系非単結晶膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪みが解放されるため、ここでの熱処理（光アニールも含む）は重要である。なお、熱処理を行うタイミングは、第2のIn-Ga-Zn-O系非単結晶膜の成膜後であれば特に限定されず、例えば画素電極形成後に行ってもよい。

40

【0140】

さらに、露出している半導体層103のチャネル形成領域に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、半導体層103のエッチングによる

50

ダメージを回復することができる。ラジカル処理は O_2 、 N_2O 、好ましくは酸素を含む N_2 、 He 、 Ar 雰囲気下で行うことが好ましい。また、上記雰囲気に Cl_2 、 CF_4 を加えた雰囲気下で行ってもよい。なお、ラジカル処理は、無バイアスで行うことが好ましい。

【0141】

以上の工程で半導体層103をチャンネル形成領域とする薄膜トランジスタ170が作製できる。この段階での断面図を図6(A)に示した。なお、この段階での上面図が図9に相当する。

【0142】

また、第2のエッチング工程において、半導体層103と同じ材料である端子層124、 $n+$ 層104a、104bと同じ材料である端子123、ソース電極層又はドレイン電極層105a、105bと同じ材料である第2の端子122を端子部に残す。なお、第2の端子122はソース配線(ソース電極層又はドレイン電極層105a、105bを含むソース配線)と電氣的に接続されている。

10

【0143】

多階調マスクにより形成した複数(代表的には二種類)の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

【0144】

次いで、薄膜トランジスタ170を覆う保護絶縁層107を形成する。保護絶縁層107はスパッタ法などを用いて得られる窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などを用いることができる。

20

【0145】

次に、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、ゲート絶縁層102、及び保護絶縁層107のエッチングによりソース電極層又はドレイン電極層105bに達するコンタクトホール125を形成する。また、ここでのエッチングにより第2の端子122に達するコンタクトホール127、第1の端子121に達するコンタクトホール126も形成する。この段階での断面図を図6(B)に示す。

【0146】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($In_2O_3-SnO_2$ 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)を用いても良い。

30

【0147】

次に、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層110を形成する。

【0148】

また、この第4のフォトリソグラフィ工程において、容量部におけるゲート絶縁層102及び保護絶縁層107を誘電体として、容量配線108と画素電極層110とで保持容量が形成される。

40

【0149】

また、この第4のフォトリソグラフィ工程において、第1の端子及び第2の端子をレジストマスクで覆い端子部に形成された透明導電膜128、129を残す。透明導電膜128、129はFPCとの接続に用いられる電極または配線となる。第1の端子121と直接接続された透明導電膜128は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2の端子122上に形成された透明導電膜129は、ソース配線の入力端子として機能する接続用の端子電極である。

【0150】

50

次いで、レジストマスクを除去し、この段階での断面図を図6(C)に示す。なお、この段階での上面図が図10に相当する。

【0151】

また、図11(A1)、図11(A2)は、この段階でのゲート配線端子部の上面図及び断面図をそれぞれ図示している。図11(A1)は図11(A2)中のE1-E2線に沿った断面図に相当する。図11(A1)において、保護絶縁膜154上に形成される透明導電膜155は、入力端子として機能する接続用の端子電極である。また、図11(A1)において、端子部では、ゲート配線と同じ材料で形成される第1の端子151と、ソース配線と同じ材料で形成される接続電極層153とがゲート絶縁層152、第1の酸化物半導体層157、第2の酸化物半導体層158を介して重なり、透明導電膜155で導通させている。なお、図6(C)に図示した透明導電膜128と第1の端子121とが接触している部分が、図11(A1)の透明導電膜155と第1の端子151が接触している部分に対応している。

10

【0152】

また、図11(B1)、及び図11(B2)は、図6(C)に示すソース配線端子部とは異なるソース配線端子部の上面図及び断面図をそれぞれ図示している。また、図11(B1)は図11(B2)中のF1-F2線に沿った断面図に相当する。図11(B1)において、保護絶縁膜154上に形成される透明導電膜155は、入力端子として機能する接続用の端子電極である。また、図11(B1)において、端子部では、ゲート配線と同じ材料で形成される電極層156が、ソース配線と電氣的に接続される第2の端子150の下方にゲート絶縁層152、第1の酸化物半導体層157、第2の酸化物半導体層158を介して重なる。電極層156は第2の端子150とは電氣的に接続しておらず、電極層156を第2の端子150と異なる電位、例えばフローティング、GND、0Vなどに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第2の端子150は、保護絶縁膜154を介して透明導電膜155と電氣的に接続している。

20

【0153】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1の端子、ソース配線と同電位の第2の端子、容量配線と同電位の第3の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

30

【0154】

こうして4回のフォトリソグラフィ工程により、4枚のフォトマスクを使用して、ボトムゲート型のnチャネル型薄膜トランジスタである薄膜トランジスタ170を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0155】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第4の端子を端子部に設ける。この第4の端子は、共通電極を固定電位、例えばGND、0Vなどに設定するための端子である。

40

【0156】

また、図10の画素構成に限定されず、図10とは異なる上面図の例を図12に示す。図12では容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成する例であり、この場合、容量配線及び容量配線と接続する第3の端子は省略することができる。なお、図12において、図10と同じ部

50

分には同じ符号を用いて説明する。

【0157】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0158】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

10

【0159】

また、通常の垂直周期を1.5倍若しくは2倍以上にすることで応答速度を改善するとともに各フレーム内の分割された複数フィールド毎に書き込む階調を選択する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0160】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

20

【0161】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0162】

本実施の形態で得られるnチャンネル型のトランジスタは、In-Ga-Zn-O系非単結晶膜をチャンネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

30

【0163】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第5の端子を設ける。

【0164】

本実施の形態のように、酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減することができる。

40

【0165】

本実施の形態のように、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が計れる。よって、信頼性のある半導体装置を低コストで生産性よく作製することができる。

【0166】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0167】

（実施の形態4）

50

本実施の形態では、半導体装置の一例である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0168】

画素部に配置する薄膜トランジスタは、実施の形態1乃至3に従って形成する。また、実施の形態1乃至3に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0169】

半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図14(A)に示す。図14(A)に示す表示装置は、基板5300上に表示素子を備えた画素を複数有する画素部5301と、各画素を選択する走査線駆動回路5302と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5303とを有する。

10

【0170】

画素部5301は、信号線駆動回路5303から列方向に伸張して配置された複数の信号線 $S_1 \sim S_m$ (図示せず。)により信号線駆動回路5303と接続され、走査線駆動回路5302から行方向に伸張して配置された複数の走査線 $G_1 \sim G_n$ (図示せず。)により走査線駆動回路5302と接続され、信号線 $S_1 \sim S_m$ 並びに走査線 $G_1 \sim G_n$ に対応してマトリクス状に配置された複数の画素(図示せず。)を有する。そして、各画素は、信号線 S_j (信号線 $S_1 \sim S_m$ のうちいずれか一)、走査線 G_i (走査線 $G_1 \sim G_n$ のうち

20

【0171】

また、実施の形態1乃至3に示す薄膜トランジスタは、nチャネル型TFTであり、nチャネル型TFTで構成する信号線駆動回路について図15を用いて説明する。

【0172】

図15に示す信号線駆動回路は、ドライバIC5601、スイッチ群5602__1~5602__M、第1の配線5611、第2の配線5612、第3の配線5613及び配線5621__1~5621__Mを有する。スイッチ群5602__1~5602__Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを有する。

30

【0173】

ドライバIC5601は第1の配線5611、第2の配線5612、第3の配線5613及び配線5621__1~5621__Mに接続される。そして、スイッチ群5602__1~5602__Mそれぞれは、第1の配線5611、第2の配線5612、第3の配線5613及びスイッチ群5602__1~5602__Mそれぞれに対応した配線5621__1~5621__Mに接続される。そして、配線5621__1~5621__Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、3つの信号線に接続される。例えば、J列目の配線5621__J(配線5621__1~配線5621__Mのうちいずれか一)は、スイッチ群5602__Jが有する第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に接続される。

40

【0174】

なお、第1の配線5611、第2の配線5612、第3の配線5613には、それぞれ信号が入力される。

【0175】

なお、ドライバIC5601は、単結晶基板上に形成されていることが望ましい。さらに、スイッチ群5602__1~5602__Mは、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバIC5601とスイッチ群5602__1~5602__MとはFPCなどを介して接続するとよい。

50

【0176】

次に、図15に示した信号線駆動回路の動作について、図16のタイミングチャートを参照して説明する。なお、図16のタイミングチャートは、 i 行目の走査線 G_i が選択されている場合のタイミングチャートを示している。さらに、 i 行目の走査線 G_i の選択期間は、第1のサブ選択期間 T_1 、第2のサブ選択期間 T_2 及び第3のサブ選択期間 T_3 に分割されている。さらに、図15の信号線駆動回路は、他の行の走査線が選択されている場合でも図16と同様の動作をする。

【0177】

なお、図16のタイミングチャートは、 J 列目の配線 5621_J が第1の薄膜トランジスタ $5603a$ 、第2の薄膜トランジスタ $5603b$ 及び第3の薄膜トランジスタ $5603c$ を介して、信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に接続される場合について示している。

10

【0178】

なお、図16のタイミングチャートは、 i 行目の走査線 G_i が選択されるタイミング、第1の薄膜トランジスタ $5603a$ のオン・オフのタイミング $5703a$ 、第2の薄膜トランジスタ $5603b$ のオン・オフのタイミング $5703b$ 、第3の薄膜トランジスタ $5603c$ のオン・オフのタイミング $5703c$ 及び J 列目の配線 5621_J に入力される信号 5721_J を示している。

【0179】

なお、配線 5621_1 ～配線 5621_M には第1のサブ選択期間 T_1 、第2のサブ選択期間 T_2 及び第3のサブ選択期間 T_3 において、それぞれ別のビデオ信号が入力される。例えば、第1のサブ選択期間 T_1 において配線 5621_J に入力されるビデオ信号は信号線 S_{j-1} に入力され、第2のサブ選択期間 T_2 において配線 5621_J に入力されるビデオ信号は信号線 S_j に入力され、第3のサブ選択期間 T_3 において配線 5621_J に入力されるビデオ信号は信号線 S_{j+1} に入力される。さらに、第1のサブ選択期間 T_1 、第2のサブ選択期間 T_2 及び第3のサブ選択期間 T_3 において、配線 5621_J に入力されるビデオ信号をそれぞれ $Data_j-1$ 、 $Data_j$ 、 $Data_j+1$ とする。

20

【0180】

図16に示すように、第1のサブ選択期間 T_1 において第1の薄膜トランジスタ $5603a$ がオンし、第2の薄膜トランジスタ $5603b$ 及び第3の薄膜トランジスタ $5603c$ がオフする。このとき、配線 5621_J に入力される $Data_j-1$ が、第1の薄膜トランジスタ $5603a$ を介して信号線 S_{j-1} に入力される。第2のサブ選択期間 T_2 では、第2の薄膜トランジスタ $5603b$ がオンし、第1の薄膜トランジスタ $5603a$ 及び第3の薄膜トランジスタ $5603c$ がオフする。このとき、配線 5621_J に入力される $Data_j$ が、第2の薄膜トランジスタ $5603b$ を介して信号線 S_j に入力される。第3のサブ選択期間 T_3 では、第3の薄膜トランジスタ $5603c$ がオンし、第1の薄膜トランジスタ $5603a$ 及び第2の薄膜トランジスタ $5603b$ がオフする。このとき、配線 5621_J に入力される $Data_j+1$ が、第3の薄膜トランジスタ $5603c$ を介して信号線 S_{j+1} に入力される。

30

40

【0181】

以上のことから、図15の信号線駆動回路は、1ゲート選択期間を3つに分割することで、1ゲート選択期間中に1つの配線 5621 から3つの信号線にビデオ信号を入力することができる。したがって、図15の信号線駆動回路は、ドライバIC 5601 が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約 $1/3$ にすることができる。接続数が約 $1/3$ になることによって、図15の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【0182】

なお、図15のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある1つの配線から複数の信号線それぞれにビデオ信号を入力

50

することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

【0183】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つ又は3つのサブ選択期間に分割されることが望ましい。

【0184】

別の例として、図17のタイミングチャートに示すように、1つの選択期間をプリチャージ期間 T_p 、第1のサブ選択期間 T_1 、第2のサブ選択期間 T_2 、第3の選択期間 T_3 に分割してもよい。さらに、図17のタイミングチャートは、 i 行目の走査線 G_i が選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5803a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5803b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5803c及び J 列目の配線5621__ J に入力される信号5821__ J を示している。図17に示すように、プリチャージ期間 T_p において第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオンする。このとき、配線5621__ J に入力されるプリチャージ電圧 V_p が第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介してそれぞれ信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に入力される。第1のサブ選択期間 T_1 において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621__ J に入力される $Data_{j-1}$ が、第1の薄膜トランジスタ5603aを介して信号線 S_{j-1} に入力される。第2のサブ選択期間 T_2 では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621__ J に入力される $Data_j$ が、第2の薄膜トランジスタ5603bを介して信号線 S_j に入力される。第3のサブ選択期間 T_3 では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621__ J に入力される $Data_{j+1}$ が、第3の薄膜トランジスタ5603cを介して信号線 S_{j+1} に入力される。

【0185】

以上のことから、図17のタイミングチャートを適用した図15の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図17において、図16と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0186】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0187】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図18及び図19を用いて説明する。

【0188】

図18にシフトレジスタの回路構成を示す。図18に示すシフトレジスタは、フリップフ

10

20

30

40

50

ロップ 5701__1 ~ 5701__n という複数のフリップフロップで構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

【0189】

図18のシフトレジスタの接続関係について説明する。図18のシフトレジスタは、i段目のフリップフロップ 5701__i (フリップフロップ 5701__1 ~ 5701__nのうちいずれか一)は、図19に示した第1の配線 5501が第7の配線 5717__i - 1に接続され、図19に示した第2の配線 5502が第7の配線 5717__i + 1に接続され、図19に示した第3の配線 5503が第7の配線 5717__i に接続され、図19に示した第6の配線 5506が第5の配線 5715に接続される。

10

【0190】

また、図19に示した第4の配線 5504が奇数段目のフリップフロップでは第2の配線 5712に接続され、偶数段目のフリップフロップでは第3の配線 5713に接続され、図19に示した第5の配線 5505が第4の配線 5714に接続される。

【0191】

ただし、1段目のフリップフロップ 5701__1の図19に示す第1の配線 5501は第1の配線 5711に接続され、n段目のフリップフロップ 5701__nの図19に示す第2の配線 5502は第6の配線 5716に接続される。

【0192】

なお、第1の配線 5711、第2の配線 5712、第3の配線 5713、第6の配線 5716を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第4の配線 5714、第5の配線 5715を、それぞれ第1の電源線、第2の電源線と呼んでもよい。

20

【0193】

次に、図18に示すフリップフロップの詳細について、図19に示す。図19に示すフリップフロップは、第1の薄膜トランジスタ 5571、第2の薄膜トランジスタ 5572、第3の薄膜トランジスタ 5573、第4の薄膜トランジスタ 5574、第5の薄膜トランジスタ 5575、第6の薄膜トランジスタ 5576、第7の薄膜トランジスタ 5577及び第8の薄膜トランジスタ 5578を有する。なお、第1の薄膜トランジスタ 5571、第2の薄膜トランジスタ 5572、第3の薄膜トランジスタ 5573、第4の薄膜トランジスタ 5574、第5の薄膜トランジスタ 5575、第6の薄膜トランジスタ 5576、第7の薄膜トランジスタ 5577及び第8の薄膜トランジスタ 5578は、nチャネル型トランジスタであり、ゲート・ソース間電圧 (V_{gs}) がしきい値電圧 (V_{th}) を上回ったとき導通状態になるものとする。

30

【0194】

次に、図19に示すフリップフロップの接続構成について、以下に示す。

【0195】

第1の薄膜トランジスタ 5571の第1の電極 (ソース電極またはドレイン電極の一方) が第4の配線 5504に接続され、第1の薄膜トランジスタ 5571の第2の電極 (ソース電極またはドレイン電極の他方) が第3の配線 5503に接続される。

40

【0196】

第2の薄膜トランジスタ 5572の第1の電極が第6の配線 5506に接続され、第2の薄膜トランジスタ 5572の第2の電極が第3の配線 5503に接続される。

【0197】

第3の薄膜トランジスタ 5573の第1の電極が第5の配線 5505に接続され、第3の薄膜トランジスタ 5573の第2の電極が第2の薄膜トランジスタ 5572のゲート電極に接続され、第3の薄膜トランジスタ 5573のゲート電極が第5の配線 5505に接続される。

【0198】

第4の薄膜トランジスタ 5574の第1の電極が第6の配線 5506に接続され、第4の

50

薄膜トランジスタ 5 5 7 4 の第 2 の電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 4 の薄膜トランジスタ 5 5 7 4 のゲート電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続される。

【 0 1 9 9 】

第 5 の薄膜トランジスタ 5 5 7 5 の第 1 の電極が第 5 の配線 5 5 0 5 に接続され、第 5 の薄膜トランジスタ 5 5 7 5 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 5 の薄膜トランジスタ 5 5 7 5 のゲート電極が第 1 の配線 5 5 0 1 に接続される。

【 0 2 0 0 】

第 6 の薄膜トランジスタ 5 5 7 6 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 6 の薄膜トランジスタ 5 5 7 6 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 6 の薄膜トランジスタ 5 5 7 6 のゲート電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続される。

10

【 0 2 0 1 】

第 7 の薄膜トランジスタ 5 5 7 7 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 7 の薄膜トランジスタ 5 5 7 7 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 7 の薄膜トランジスタ 5 5 7 7 のゲート電極が第 2 の配線 5 5 0 2 に接続される。第 8 の薄膜トランジスタ 5 5 7 8 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 8 の薄膜トランジスタ 5 5 7 8 の第 2 の電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 8 の薄膜トランジスタ 5 5 7 8 のゲート電極が第 1 の配線 5 5 0 1 に接続される。

20

【 0 2 0 2 】

なお、第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極、第 4 の薄膜トランジスタ 5 5 7 4 のゲート電極、第 5 の薄膜トランジスタ 5 5 7 5 の第 2 の電極、第 6 の薄膜トランジスタ 5 5 7 6 の第 2 の電極及び第 7 の薄膜トランジスタ 5 5 7 7 の第 2 の電極の接続箇所をノード 5 5 4 3 とする。さらに、第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極、第 3 の薄膜トランジスタ 5 5 7 3 の第 2 の電極、第 4 の薄膜トランジスタ 5 5 7 4 の第 2 の電極、第 6 の薄膜トランジスタ 5 5 7 6 のゲート電極及び第 8 の薄膜トランジスタ 5 5 7 8 の第 2 の電極の接続箇所をノード 5 5 4 4 とする。

【 0 2 0 3 】

なお、第 1 の配線 5 5 0 1、第 2 の配線 5 5 0 2、第 3 の配線 5 5 0 3 及び第 4 の配線 5 5 0 4 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 5 の配線 5 5 0 5 を第 1 の電源線、第 6 の配線 5 5 0 6 を第 2 の電源線と呼んでもよい。

30

【 0 2 0 4 】

また、信号線駆動回路及び走査線駆動回路を実施の形態 1 に示す n チャネル型 T F T のみで作製することも可能である。実施の形態 1 に示す n チャネル型 T F T はトランジスタの移動度が大きいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態 1 に示す n チャネル型 T F T は $I n - G a - Z n - O$ 系非単結晶膜であるソース領域又はドレイン領域により寄生容量が低減されるため、周波数特性 (f 特性と呼ばれる) が高い。例えば、実施の形態 1 に示す n チャネル型 T F T を用いた走査線駆動回路は、高速に動作させることができるため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することができる。

40

【 0 2 0 5 】

さらに、走査線駆動回路のトランジスタのチャンネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することができる。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することができる。また、複数の走査線駆動回路により、同じ走査線に信号を出力すると、表示装置の大型化に有利であ

50

る。

【0206】

また、半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図14(B)に示す。

【0207】

図14(B)に示す発光表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1の走査線駆動回路5402及び第2の走査線駆動回路5404と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5403とを有する。

10

【0208】

図14(B)に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【0209】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

20

【0210】

なお、図14(B)に示す発光表示装置では、一つの画素に2つのスイッチング用TFTを配置する場合、一方のスイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1の走査線駆動回路5402で生成し、他方のスイッチング用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成している例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成するようにしても良い。また、例えば、1つの画素が有するスイッチング用TFTの数によって、スイッチング素子の動作を制御するのに用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て1つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

30

【0211】

また、発光表示装置においても、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態1乃至3に示すnチャネル型TFTのみで作製することも可能である。

40

【0212】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0213】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に

50

複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

【0214】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も電気泳動表示装置には必要なく、厚さや重さが半減する。

10

【0215】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0216】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1乃至3の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

20

【0217】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0218】

以上により、半導体装置として信頼性の高い表示装置を作製することができる。

【0219】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0220】

(実施の形態5)

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、薄膜トランジスタを駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

30

【0221】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

40

【0222】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0223】

50

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0224】

本実施の形態では、本明細書に開示する半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図22を用いて説明する。図22は、第1の基板4001上に形成された実施の形態4で示したIn-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図22（B）は、図22（A1）（A2）のM-Nにおける断面図に相当する。

10

【0225】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

20

【0226】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図22（A1）は、COG方法により信号線駆動回路4003を実装する例であり、図22（A2）は、TAB方法により信号線駆動回路4003を実装する例である。

【0227】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図22（B）では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

30

【0228】

薄膜トランジスタ4010、4011は、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い実施の形態3に示す薄膜トランジスタを適用することができる。また実施の形態1又は実施の形態2に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0229】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

40

【0230】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP（Fiberglass-Reinforced Plastics）板、PV

50

F（ポリビニルフルオライド）フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0231】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

10

【0232】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu\text{s} \sim 100\mu\text{s}$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0233】

なお本実施の形態は透過型液晶表示装置の例であるが、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

20

【0234】

また、本実施の形態の液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0235】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態3で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

30

【0236】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素膜を形成する。保護膜として酸化珪素膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

40

【0237】

また、保護膜の二層目として絶縁層を形成する。ここでは、ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0238】

また、保護膜を形成した後に、半導体層のアニール（300 ~ 400）を行ってもよ

50

い。

【0239】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、アクリル、ポリイミド、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0240】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

10

【0241】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（300～400）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製

20

【0242】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0243】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

30

【0244】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0245】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

40

【0246】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0247】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0248】

また図22においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路

50

を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0249】

図23は、本明細書に開示する作製方法により作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0250】

図23は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

10

【0251】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

20

【0252】

以上により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0253】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【0254】

(実施の形態6)

本実施の形態では、半導体装置として電子ペーパーの例を示す。

【0255】

図13は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態3で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタである。また、実施の形態1又は実施の形態2で示す薄膜トランジスタも本実施の薄膜トランジスタ581として適用することもできる。

40

【0256】

図13の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0257】

第1の基板580上の薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層によって第1の電極層587と、絶縁層583、584、585に形成する開口で接しており電氣的に接続している。第1の電極層587と第2の基板596に設けられた第2の電極層588との間には黒色領域590a及び白

50

色領域 590b を有し、周りに液体で満たされているキャビティ 594 を含む球形粒子 589 が設けられており、球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている（図 13 参照。）。本実施の形態においては、第 1 の電極層 587 が画素電極に相当し、第 2 の電極層 588 が共通電極に相当する。第 2 の電極層 588 は、薄膜トランジスタ 581 と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第 2 の電極層 588 と共通電位線とを電気的に接続することができる。

【0258】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 $10\ \mu\text{m} \sim 200\ \mu\text{m}$ 程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

10

20

【0259】

以上により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0260】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0261】

（実施の形態 7）

本実施の形態では、半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

30

【0262】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0263】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

40

【0264】

図 20 は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0265】

50

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化半導体層（In-Ga-Zn-O系非単結晶膜）をチャンネル形成領域に用いるnチャンネル型のトランジスタを1つの画素に2つ用いる例を示す。

【0266】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続される。

10

【0267】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

20

【0268】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

【0269】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、（電源線電圧+駆動用トランジスタ6402の V_{th} ）以上の電圧をかける。

30

【0270】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図20と同じ画素構成を用いることができる。

【0271】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【0272】

なお、図20に示す画素構成は、これに限定されない。例えば、図20に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0273】

次に、発光素子の構成について、図21を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図21(A)(B)(C)の

50

半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態3で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタである。また、実施の形態1又は実施の形態2で示す薄膜トランジスタをTFT7001、7011、7021として適用することもできる。

【0274】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

10

【0275】

上面射出構造の発光素子について図21(A)を用いて説明する。

【0276】

図21(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図21(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

20

【0277】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図21(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

30

【0278】

次に、下面射出構造の発光素子について図21(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図21(B)では、駆動用TFT7011と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図21(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々の材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図21(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図21(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

40

【0279】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012

50

に相当する。図 2 1 (B) に示した画素の場合、発光素子 7 0 1 2 から発せられる光は、矢印で示すように陰極 7 0 1 3 側に射出する。

【 0 2 8 0 】

次に、両面射出構造の発光素子について、図 2 1 (C) を用いて説明する。図 2 1 (C) では、駆動用 T F T 7 0 2 1 と電氣的に接続された透光性を有する導電膜 7 0 2 7 上に、発光素子 7 0 2 2 の陰極 7 0 2 3 が成膜されており、陰極 7 0 2 3 上に発光層 7 0 2 4、陽極 7 0 2 5 が順に積層されている。陰極 7 0 2 3 は、図 2 1 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 2 0 n m の膜厚を有する A 1 を、陰極 7 0 2 3 として用いることができる。そして発光層 7 0 2 4 は、図 2 1 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7 0 2 5 は、図 2 1 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【 0 2 8 1 】

陰極 7 0 2 3 と、発光層 7 0 2 4 と、陽極 7 0 2 5 とが重なっている部分が発光素子 7 0 2 2 に相当する。図 2 1 (C) に示した画素の場合、発光素子 7 0 2 2 から発せられる光は、矢印で示すように陽極 7 0 2 5 側と陰極 7 0 2 3 側の両方に射出する。

【 0 2 8 2 】

なお、ここでは、発光素子として有機 E L 素子について述べたが、発光素子として無機 E L 素子を設けることも可能である。

20

【 0 2 8 3 】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ (駆動用 T F T) と発光素子が電氣的に接続されている例を示したが、駆動用 T F T と発光素子との間に電流制御用 T F T が接続されている構成であってもよい。

【 0 2 8 4 】

なお本実施の形態で示す半導体装置は、図 2 1 に示した構成に限定されるものではなく、本明細書に開示する技術的思想に基づく各種の変形が可能である。

【 0 2 8 5 】

次に、本明細書に開示する半導体装置の一形態に相当する発光表示パネル (発光パネルともいう) の外観及び断面について、図 2 4 を用いて説明する。図 2 4 (A) は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 2 4 (B) は、図 2 4 (A) の H - I における断面図に相当する。

30

【 0 2 8 6 】

第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b を囲むようにして、シール材 4 5 0 5 が設けられている。また画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b の上に第 2 の基板 4 5 0 6 が設けられている。よって画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、第 1 の基板 4 5 0 1 とシール材 4 5 0 5 と第 2 の基板 4 5 0 6 とによって、充填材 4 5 0 7 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム (貼り合わせフィルム、紫外線硬化樹脂フィルム等) やカバー材でパッケージング (封入) することが好ましい。

40

【 0 2 8 7 】

また第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、薄膜トランジスタを複数有しており、図 2 4 (B) では、画素部 4 5 0 2 に含まれる薄膜トランジスタ 4 5 1 0 と、信号線駆動回路 4 5 0 3 a に含まれる薄膜トランジスタ 4 5 0 9 とを例示している。

【 0 2 8 8 】

薄膜トランジスタ 4 5 0 9、4 5 1 0 は、I n - G a - Z n - O 系非単結晶膜を半導体層

50

として含む信頼性の高い実施の形態 3 に示す薄膜トランジスタを適用することができる。また実施の形態 1 又は実施の形態 2 に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ 4509、4510 は n チャネル型薄膜トランジスタである。

【0289】

また 4511 は発光素子に相当し、発光素子 4511 が有する画素電極である第 1 の電極層 4517 は、薄膜トランジスタ 4510 のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子 4511 の構成は、第 1 の電極層 4517、電界発光層 4512、第 2 の電極層 4513 の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子 4511 から取り出す光の方向などに合わせて、発光素子 4511 の構成は適宜変えることができる。

10

【0290】

隔壁 4520 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 の電極層 4517 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0291】

電界発光層 4512 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0292】

発光素子 4511 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4513 及び隔壁 4520 上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC 膜等を形成することができる。

20

【0293】

また、信号線駆動回路 4503a、4503b、走査線駆動回路 4504a、4504b、または画素部 4502 に与えられる各種信号及び電位は、FPC 4518a、4518b から供給されている。

【0294】

本実施の形態では、接続端子電極 4515 が、発光素子 4511 が有する第 1 の電極層 4517 と同じ導電膜から形成され、端子電極 4516 は、薄膜トランジスタ 4509、4510 が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。図 2

30

【0295】

接続端子電極 4515 は、FPC 4518a が有する端子と、異方性導電膜 4519 を介して電氣的に接続されている。

【0296】

発光素子 4511 からの光の取り出し方向に位置する基板には、第 2 の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0297】

また、充填材 4507 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。本実施の形態は充填材として窒素を用いた。

40

【0298】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板 (楕円偏光板を含む)、位相差板 (/ 4 板、 / 2 板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

50

【0299】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図24の構成に限定されない。

【0300】

以上により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0301】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0302】

（実施の形態8）

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図25、図26に示す。

【0303】

図25（A）は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本明細書に開示する電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0304】

また、図25（B）は、電車などの乗り物の車内広告2632を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本明細書に開示する電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

【0305】

また、図26は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0306】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図26では表示部2705）に文章を表示し、左側の表示部（図26では表示部2707）に画像を表示することができる。

【0307】

また、図26では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成

10

20

30

40

50

としてもよい。さらに、電子書籍 2700 は、電子辞書としての機能を持たせた構成としてもよい。

【0308】

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0309】

(実施の形態 9)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

10

【0310】

図 27(A) は、テレビジョン装置 9600 の一例を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することが可能である。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

【0311】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

20

【0312】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

30

【0313】

図 27(B) は、デジタルフォトフレーム 9700 の一例を示している。例えば、デジタルフォトフレーム 9700 は、筐体 9701 に表示部 9703 が組み込まれている。表示部 9703 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0314】

なお、デジタルフォトフレーム 9700 は、操作部、外部接続用端子(USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9703 に表示させることができる。

40

【0315】

また、デジタルフォトフレーム 9700 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0316】

図 28(A) は携帯型遊技機であり、筐体 9881 と筐体 9891 の 2 つの筐体で構成されており、連結部 9893 により、開閉可能に連結されている。筐体 9881 には表示部 9882 が組み込まれ、筐体 9891 には表示部 9883 が組み込まれている。また、図 28(A) に示す携帯型遊技機は、その他、スピーカ部 9884、記録媒体挿入部 988

50

6、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図28（A）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図28（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0317】

図28（B）は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0318】

図29（A）は、携帯電話機1000の一例を示している。携帯電話機1000は、筐体1001に組み込まれた表示部1002の他、操作ボタン1003、外部接続ポート1004、スピーカ1005、マイク1006などを備えている。

20

【0319】

図29（A）に示す携帯電話機1000は、表示部1002を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1002を指などで触れることにより行うことができる。

【0320】

表示部1002の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0321】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1002を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1002の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

30

【0322】

また、携帯電話機1000内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1000の向き（縦か横か）を判断して、表示部1002の画面表示を自動的に切り替えるようにすることができる。

【0323】

また、画面モードの切り替えは、表示部1002を触れること、又は筐体1001の操作ボタン1003の操作により行われる。また、表示部1002に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

40

【0324】

また、入力モードにおいて、表示部1002の光センサで検出される信号を検知し、表示部1002のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0325】

表示部1002は、イメージセンサとして機能させることもできる。例えば、表示部1002に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことがで

50

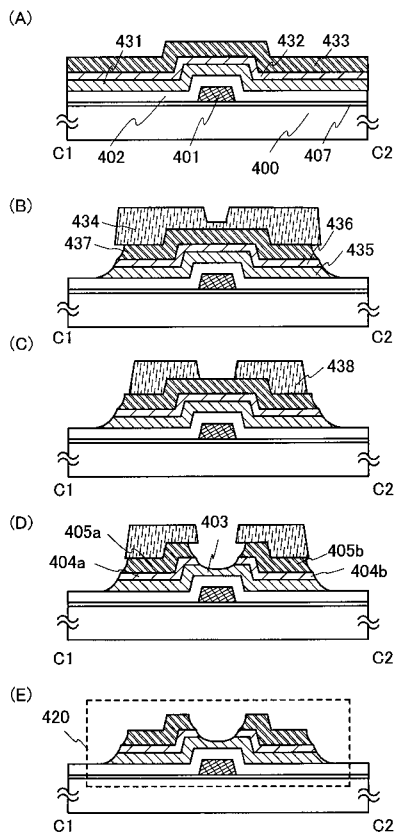
きる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【 0 3 2 6 】

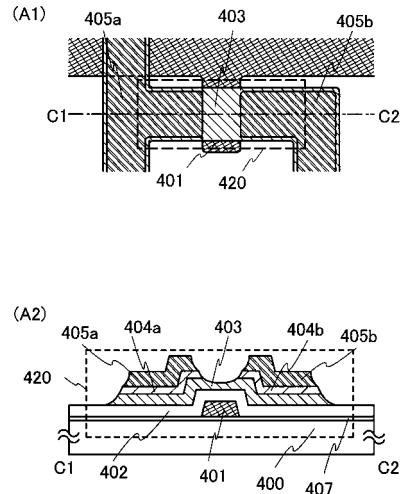
図 2 9 (B) も携帯電話機の一例である。図 2 9 (B) の携帯電話機は、筐体 9 4 1 1 に、表示部 9 4 1 2、及び操作ボタン 9 4 1 3 を含む表示装置 9 4 1 0 と、筐体 9 4 0 1 に走査ボタン 9 4 0 2、外部入力端子 9 4 0 3、マイク 9 4 0 4、スピーカ 9 4 0 5、及び着信時に発光する発光部 9 4 0 6 を含む通信装置 9 4 0 0 とを有しており、表示機能を有する表示装置 9 4 1 0 は電話機能を有する通信装置 9 4 0 0 と矢印の 2 方向に脱着可能である。よって、表示装置 9 4 1 0 と通信装置 9 4 0 0 の短軸同士を取り付けることも、表示装置 9 4 1 0 と通信装置 9 4 0 0 の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9 4 0 0 より表示装置 9 4 1 0 を取り外し、表示装置 9 4 1 0 を単独で用いることもできる。通信装置 9 4 0 0 と表示装置 9 4 1 0 とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

10

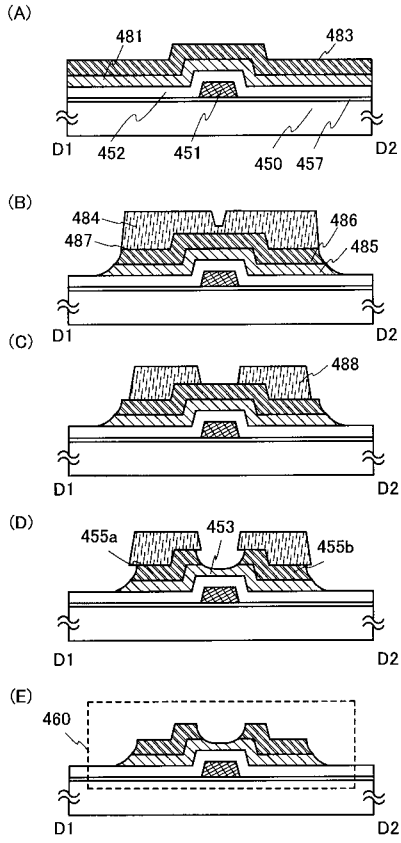
【 図 1 】



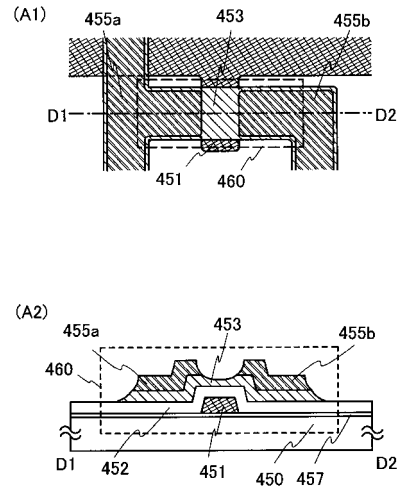
【 図 2 】



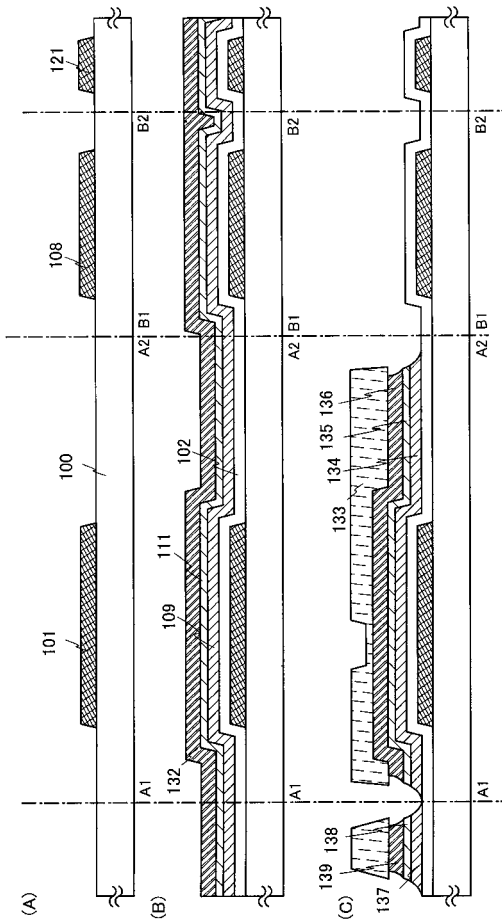
【 図 3 】



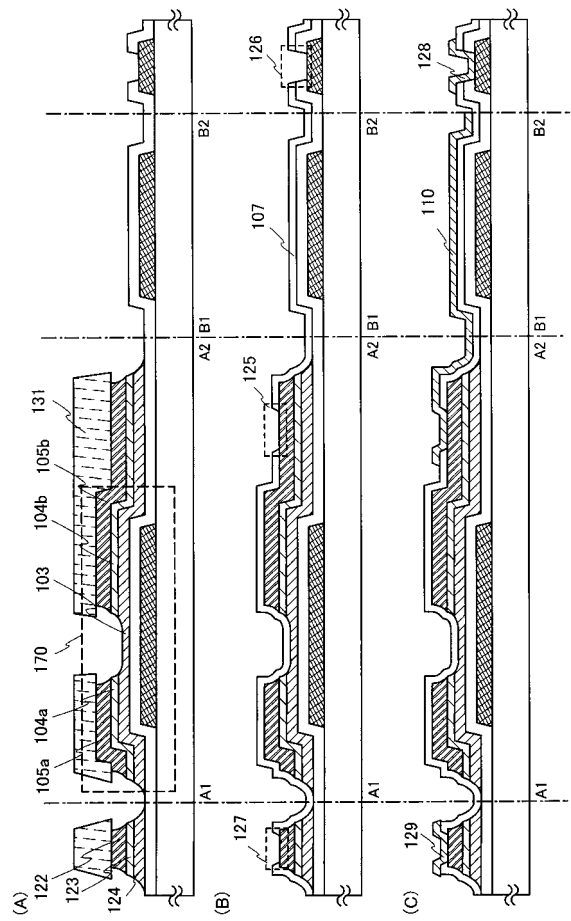
【 図 4 】



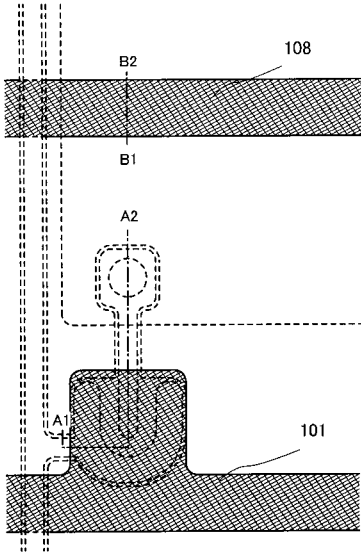
【 図 5 】



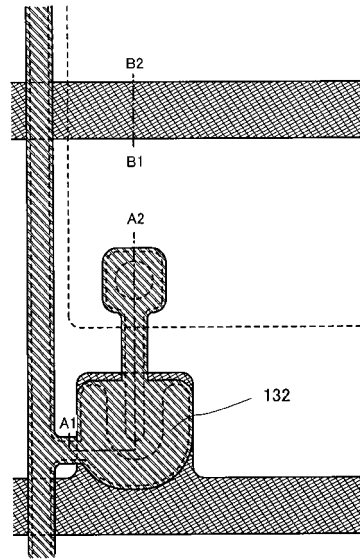
【 図 6 】



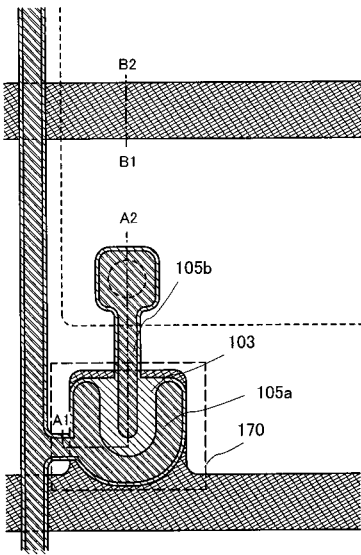
【 図 7 】



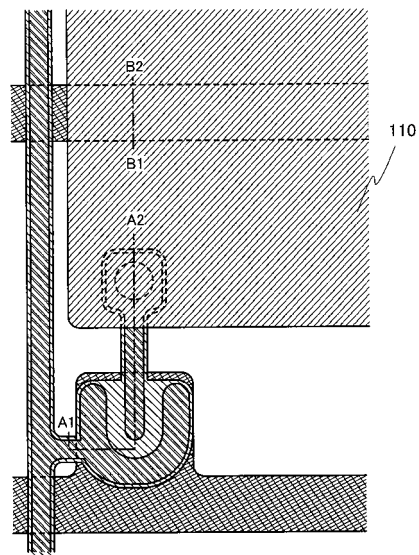
【 図 8 】



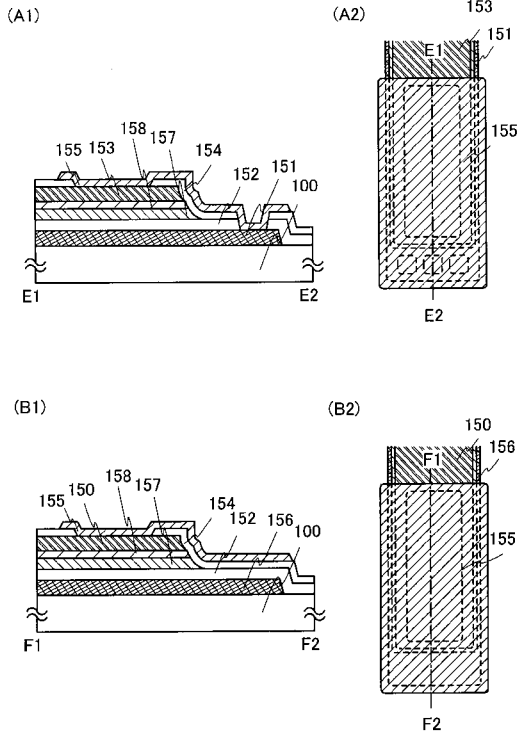
【 図 9 】



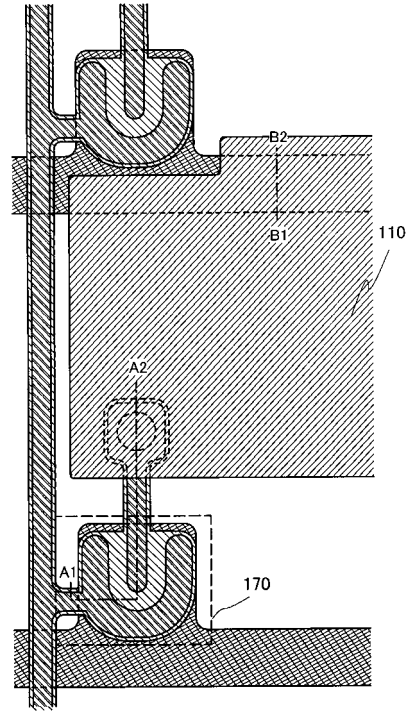
【 図 10 】



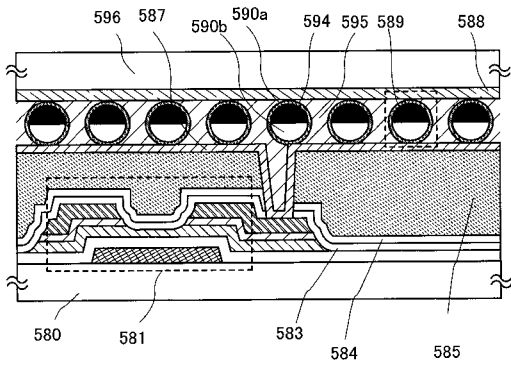
【図 1 1】



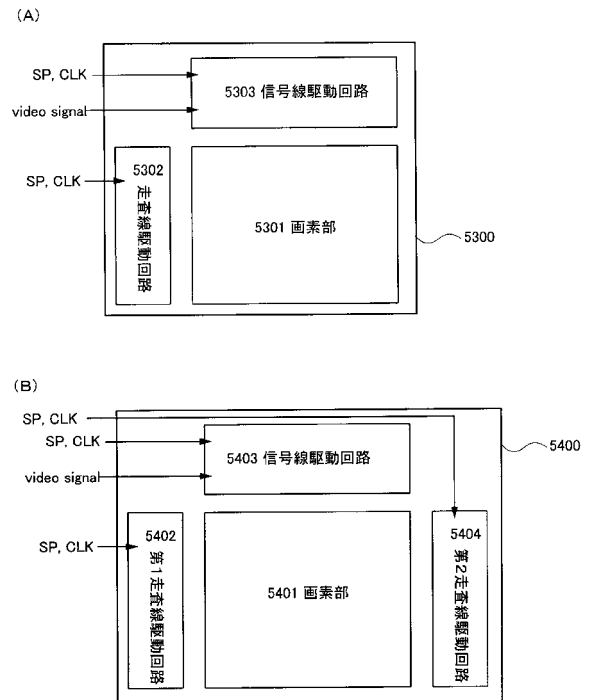
【図 1 2】



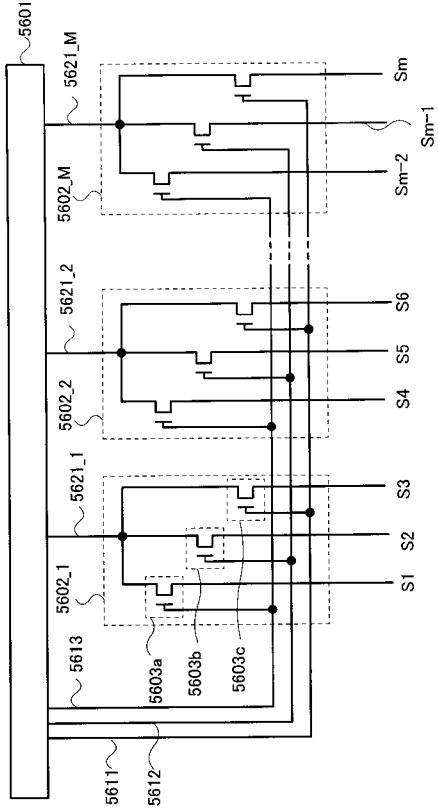
【図 1 3】



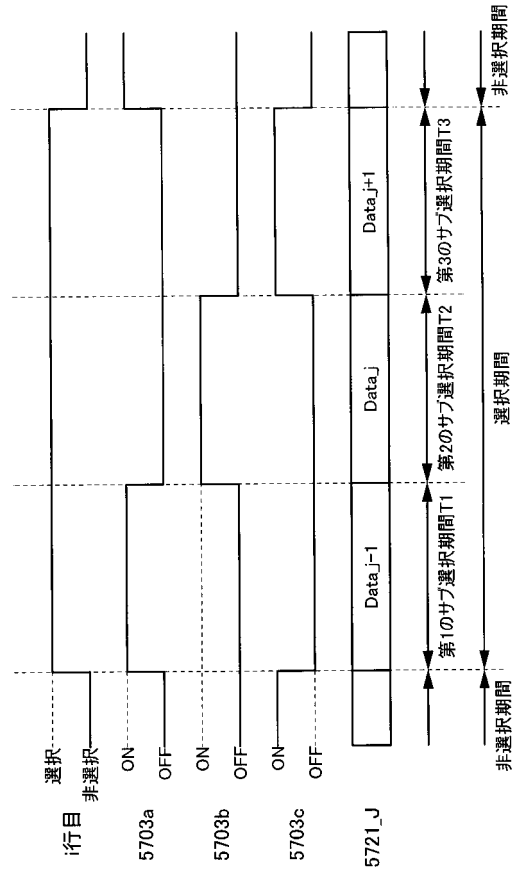
【図 1 4】



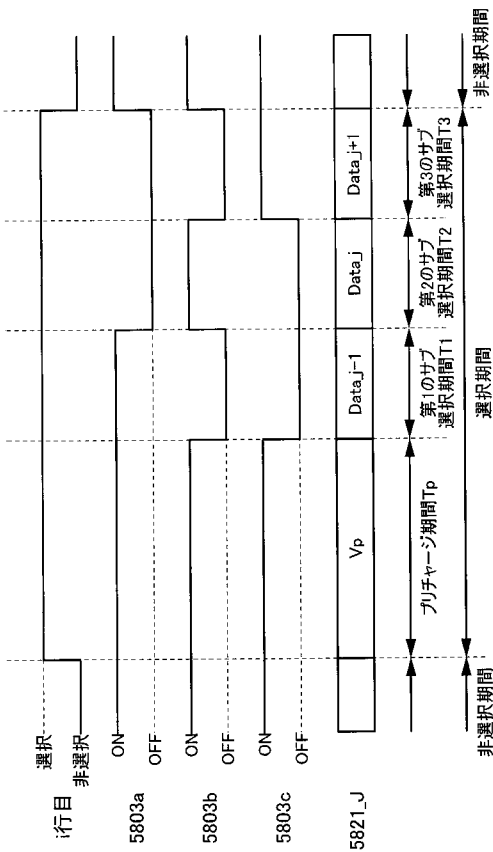
【 図 1 5 】



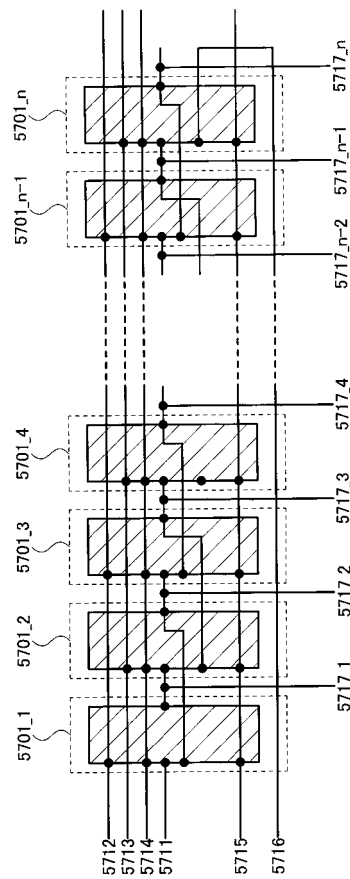
【 図 1 6 】



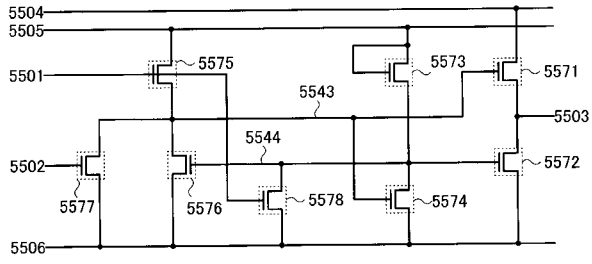
【 図 1 7 】



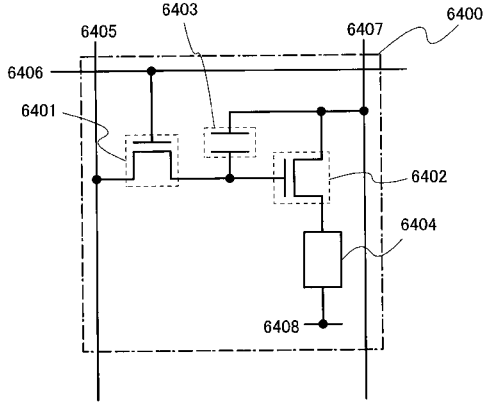
【 図 1 8 】



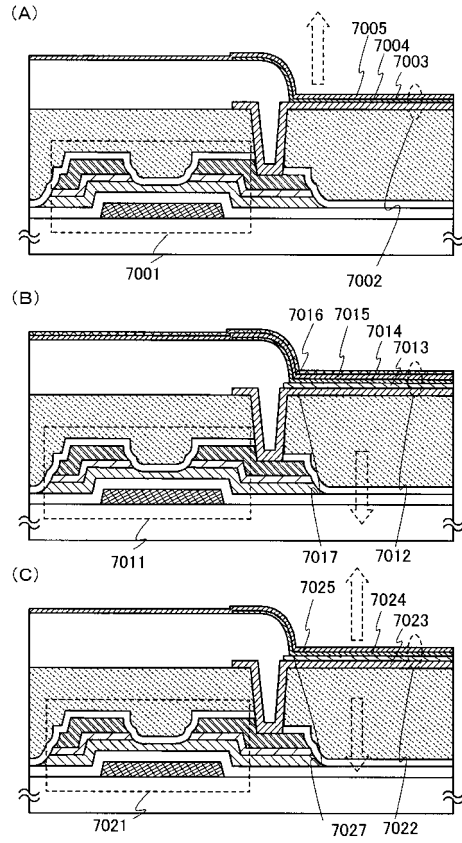
【 図 1 9 】



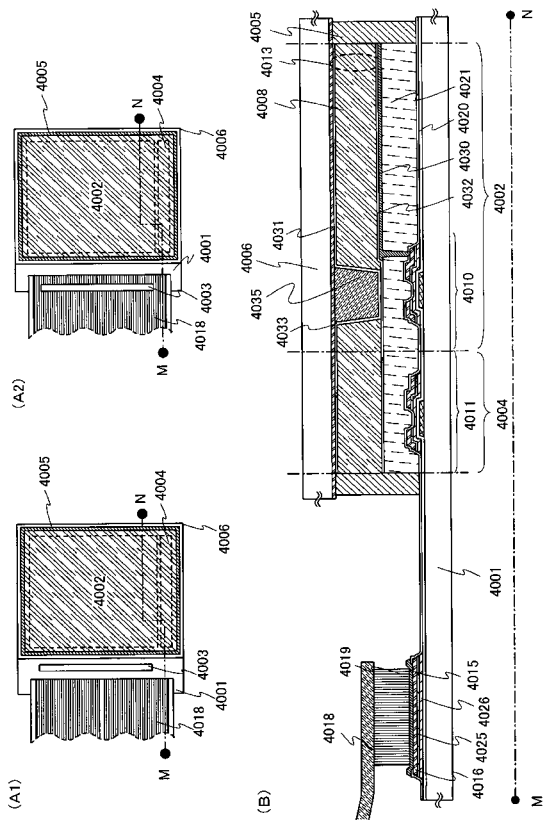
【 図 2 0 】



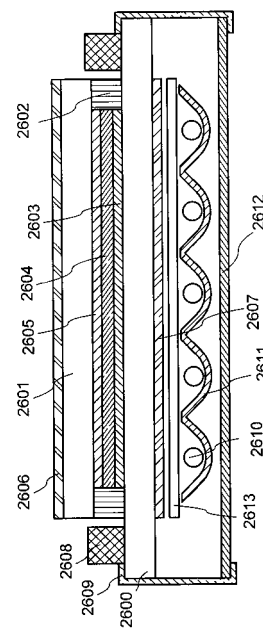
【 図 2 1 】



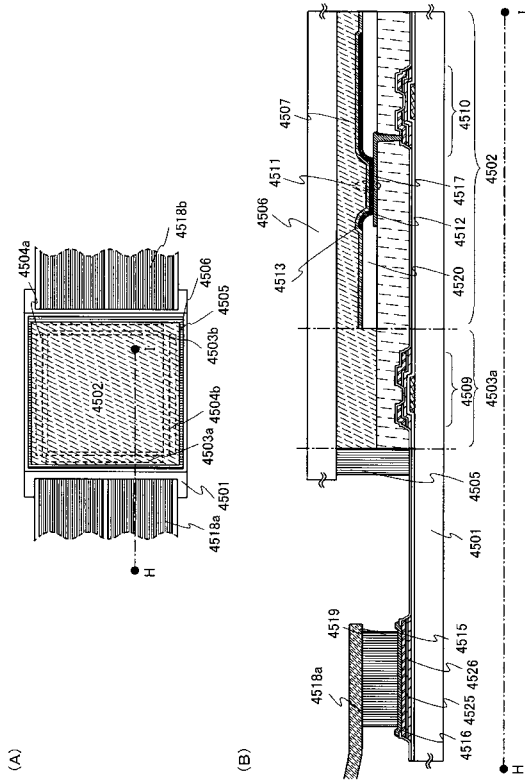
【 図 2 2 】



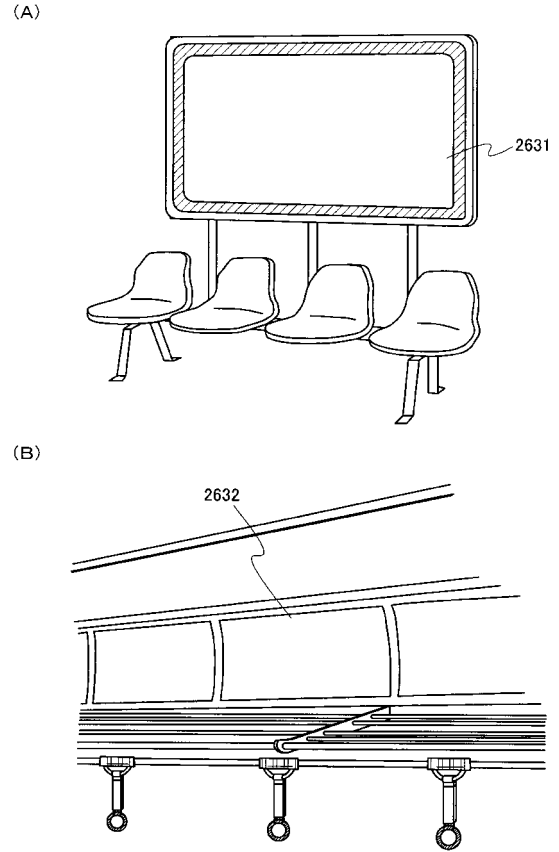
【 図 2 3 】



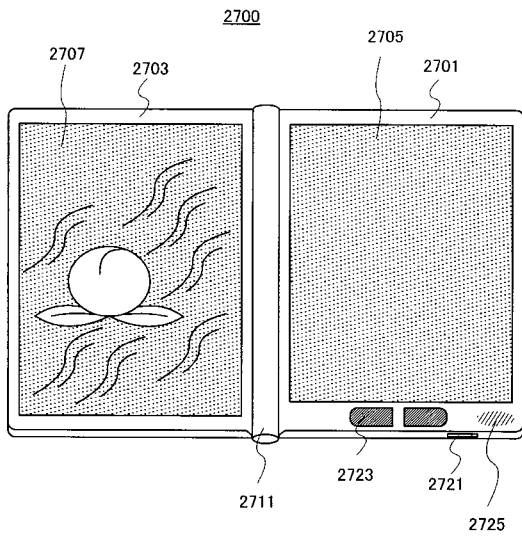
【 図 2 4 】



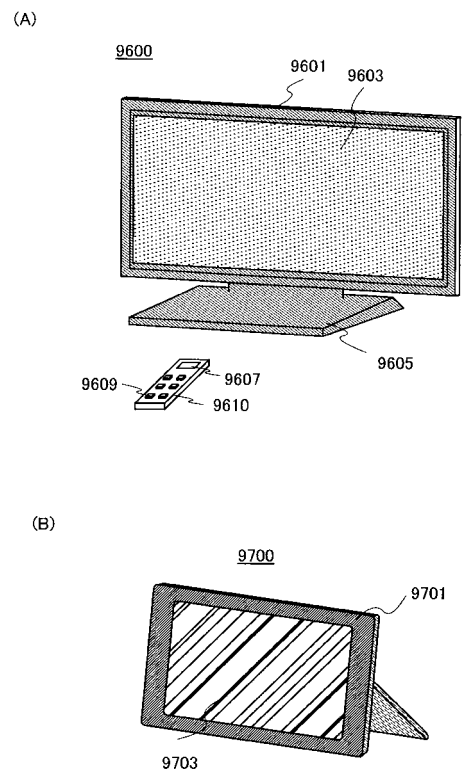
【 図 2 5 】



【 図 2 6 】

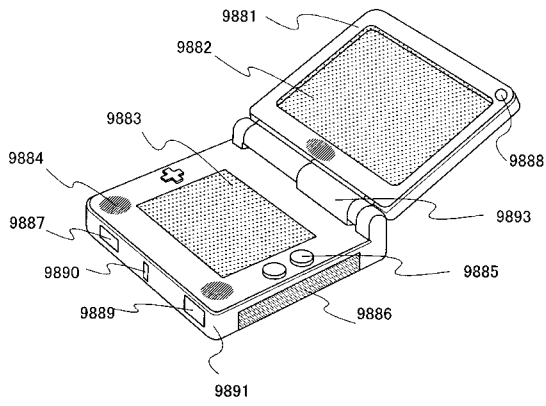


【 図 2 7 】

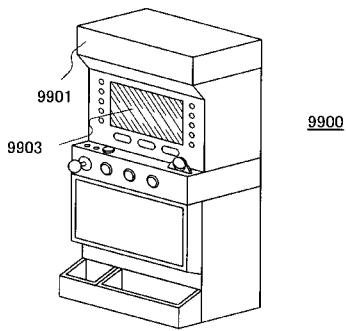


【 図 2 8 】

(A)

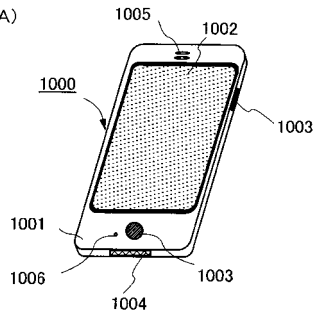


(B)

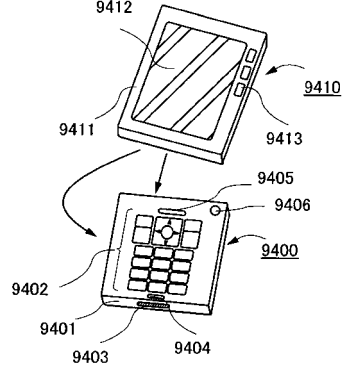


【 図 2 9 】

(A)

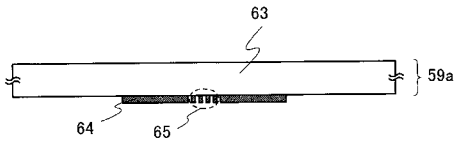


(B)

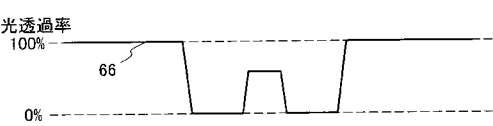


【 図 3 0 】

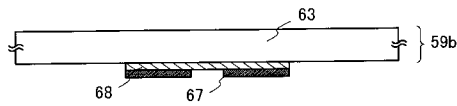
(A)



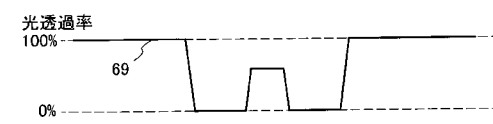
(B)



(C)



(D)



フロントページの続き

Fターム(参考) 5F110 AA16 BB02 CC07 DD01 DD02 DD13 DD14 DD15 DD17 EE01
EE02 EE03 EE04 EE06 EE14 EE15 EE23 FF01 FF02 FF03
FF04 FF09 FF28 FF29 FF30 GG01 GG06 GG15 GG22 GG24
GG25 GG43 GG57 GG58 HK02 HK03 HK04 HK06 HK08 HK15
HK17 HK21 HK22 HK32 HK33 HK41 HK42 HL01 HL07 HL09
HL22 HL23 HM03 HM04 HM12 NN03 NN22 NN23 NN24 NN25
NN27 NN33 NN34 NN36 NN72 QQ02 QQ05 QQ09