

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-187758  
(P2013-187758A)

(43) 公開日 平成25年9月19日(2013.9.19)

(51) Int.Cl.		F I	テーマコード (参考)
HO4N	13/04 (2006.01)	HO4N 13/04	2H088
GO2B	27/22 (2006.01)	GO2B 27/22	2H191
GO2F	1/1335 (2006.01)	GO2F 1/1335	2H199
GO2F	1/13 (2006.01)	GO2F 1/13 505	5C061

審査請求 未請求 請求項の数 9 O L (全 25 頁)

(21) 出願番号 特願2012-51830 (P2012-51830)  
(22) 出願日 平成24年3月8日(2012.3.8)

(71) 出願人 000002185  
ソニー株式会社  
東京都港区港南1丁目7番1号  
(74) 代理人 100095957  
弁理士 亀谷 美明  
(74) 代理人 100096389  
弁理士 金本 哲男  
(74) 代理人 100101557  
弁理士 萩原 康司  
(74) 代理人 100128587  
弁理士 松本 一騎  
(72) 発明者 坂本 祥  
東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

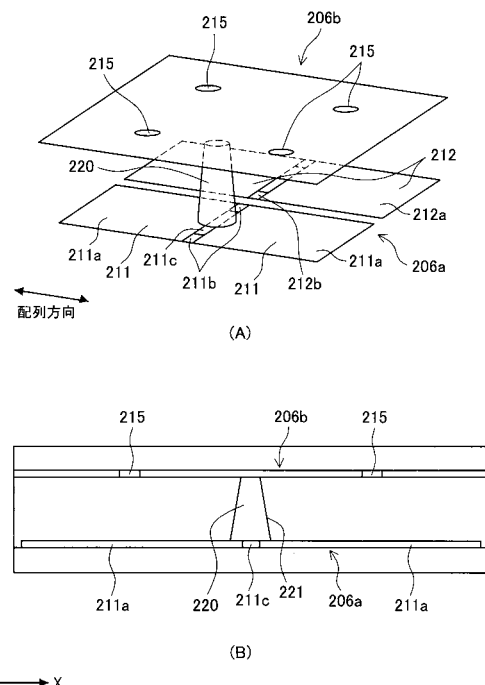
(54) 【発明の名称】 液晶バリア、表示装置、及び電子機器

(57) 【要約】

【課題】 立体視表示のVA方式のバリアにおいて、モアレに起因する画質劣化を抑制する方法を提案する。

【解決手段】 電圧が印加される電極が形成された第1基板と第2基板との間に封止され、光を透過又は遮断可能な液晶層であって、前記電圧が印加されない場合に前記光を遮断し、前記電圧が印加された場合に前記光を透過する液晶層と、前記第1基板と前記第2基板との間に設けられ、前記液晶層の厚みを制御する柱状のスペーサと、を備え、前記第2基板の第2電極は、配列方向に配列された複数の小電極を含み、前記第1基板の第1電極には、前記電圧が印加された際に、前記小電極と協働して前記液晶層における電界の向きを制御する孔が形成され、前記スペーサは、前記第2電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている、液晶バリア。

【選択図】 図10



**【特許請求の範囲】****【請求項 1】**

電圧が印加される電極が形成された第 1 基板と第 2 基板との間に封止され、光を透過又は遮断可能な液晶層であって、前記電圧が印加されない場合に前記光を遮断し、前記電圧が印加された場合に前記光を透過する液晶層と、

前記第 1 基板と前記第 2 基板との間に設けられ、前記液晶層の厚みを制御する柱状のスペーサと、

を備え、

前記第 2 基板の第 2 電極は、配列方向に配列された複数の小電極を含み、

前記第 1 基板の第 1 電極には、前記電圧が印加された際に、前記小電極と協働して前記液晶層における電界の向きを制御する孔が形成され、

前記スペーサは、前記第 2 電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている、

液晶バリア。

**【請求項 2】**

前記液晶層は、前記光を透過可能な透過領域と、前記光を遮断可能な遮断領域と、を有し、

前記スペーサは、前記透過領域と前記遮断領域のうちの前記遮断領域のみに設けられている、

請求項 1 に記載の液晶バリア。

**【請求項 3】**

前記スリット部は、前記配列方向において隣り合う前記小電極の境界部に形成されている、

請求項 1 に記載の液晶バリア。

**【請求項 4】**

前記スリット部は、前記小電極の中央部に形成されている、

請求項 1 に記載の液晶バリア。

**【請求項 5】**

前記複数の小電極のうちの前記スペーサが対向する小電極の前記中央部のみに、前記スリット部が形成されている、

請求項 4 に記載の液晶バリア。

**【請求項 6】**

前記スペーサは、前記第 2 基板から前記第 1 基板へ向かって前記スペーサの直径が小さくなる円錐状に形成されている、

請求項 1 に記載の液晶バリア。

**【請求項 7】**

前記液晶層は、前記光を透過可能な透過領域と、前記光を遮断可能な遮断領域と、を有し、

前記孔は、前記第 1 電極の前記透過領域及び前記遮断領域に対応する領域に、それぞれ形成されている、

請求項 1 に記載の液晶バリア。

**【請求項 8】**

表示部及び液晶バリアを有し、立体視表示が可能な表示装置であって、

前記液晶バリアは、

電圧が印加される電極が形成された第 1 基板と第 2 基板との間に封止され、光を透過又は遮断可能な液晶層であって、前記電圧が印加されない場合に前記光を遮断し、前記電圧が印加された場合に前記光を透過する液晶層と、

前記第 1 基板と前記第 2 基板との間に設けられ、前記液晶層の厚みを制御する柱状のスペーサと、

を備え、

10

20

30

40

50

前記第 2 基板の第 2 電極は、配列方向に配列された複数の小電極を含み、

前記第 1 基板の第 1 電極には、前記電圧が印加された際に、前記小電極と協働して前記液晶層における電界の向きを制御する孔が形成され、

前記スペーサは、前記第 2 電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている、

表示装置。

【請求項 9】

表示部及び液晶バリアを有し、立体視表示が可能な表示装置を具備する電子機器であって、

前記液晶バリアは、

電圧が印加される電極が形成された第 1 基板と第 2 基板との間に封止され、光を透過又は遮断可能な液晶層であって、前記電圧が印加されない場合に前記光を遮断し、前記電圧が印加された場合に前記光を透過する液晶層と、

前記第 1 基板と前記第 2 基板との間に設けられ、前記液晶層の厚みを制御する柱状のスペーサと、

を備え、

前記第 2 基板の第 2 電極は、配列方向に配列された複数の小電極を含み、

前記第 1 基板の第 1 電極には、前記電圧が印加された際に、前記小電極と協働して前記液晶層における電界の向きを制御する孔が形成され、

前記スペーサは、前記第 2 電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている、

電子機器。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、液晶バリア、表示装置、及び電子機器に関する。

【背景技術】

【0002】

近年、立体視表示を実現できる表示装置（立体表示装置）が注目を集めている。立体視表示は、互いに視差のある（視点の異なる）左眼用映像と右眼用映像を表示するものであり、観察者が左右の眼で左眼用映像と右眼用映像を見ることにより奥行きのある立体的な映像として認識することができる。

30

【0003】

上記の立体表示装置は、専用の眼鏡が必要なものと、専用の眼鏡が不要なものに大別される。観察者にとって、専用の眼鏡の装着は煩わしく感じるものであるため、専用の眼鏡が不要なものが望まれている。専用の眼鏡が不要な表示装置としては、例えば、レンチキュラーレンズ方式や、視差バリア（パララックスバリア）方式などがある。

【0004】

そして、パララックスバリア方式による立体表示装置は、例えば液晶表示装置（LCD：Liquid Crystal Display）を利用して、上記の左眼用映像および右眼用映像を空間分割的に表示すると共に、表示面に所定のバリア（例えば、特許文献 1 参照）を設けたものである。

40

【0005】

上記のバリアは、通常、光を透過または遮断する複数の開閉部を有しており、例えば透過状態の開閉部（透光部）と遮断状態の開閉部（遮光部）とを交互に配置することにより、表示映像を様々な視点方向に分離するようになっている。また、バリアには、一对の基板間に電極を介して液晶層を封止したもの（液晶セル）が用いられ、例えば一方の基板側の電極が、個別に電圧を供給可能な複数のサブ電極に分割されている。更に、上記のバリアには、一对の基板間において、上記の液晶層の厚み（セルギャップ）を制御するための

50

スペーサが設けられている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平3-119889号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

近年、立体表示装置のバリアにおいて、広視野角等を実現すべく、いわゆるVA (Vertical Alignment) 方式が採用されている。VA方式のバリアでは、電極に電圧を印加しない初期状態では液晶を垂直に配向させ、電圧を印加させて液晶を倒すことにより、光の非透過状態(黒)と透過状態(白)とを表現する。更に、VA方式のバリアにおいて、一对の基板のうちの一方の基板側の電極に、孔(ピンホール)を形成する方法が提案されている。

10

【0008】

そして、VA方式のバリアにおいて、上記のスペーサを設ける場合には、液晶層のスペーサの周囲で液晶分子の配向が乱れることが知られている。そして、液晶分子の配向が乱れることにより、立体視表示の際にモアレが発生し、画質が劣化する。特に、電極に孔を形成する場合には、スペーサの周囲において液晶分子の配向が乱れる領域が広くなり、モアレが顕著になる。なお、上記の特許文献1では、スペーサ周囲での液晶分子の配向の乱れに起因するモアレについては、何ら着目されていない。

20

【0009】

そこで、本開示は、立体視表示のVA方式のバリアにおいて、モアレに起因する画質劣化を抑制する方法を提案する。

【課題を解決するための手段】

【0010】

本開示によれば、電圧が印加される電極が形成された第1基板と第2基板との間に封止され、光を透過又は遮断可能な液晶層であって、前記電圧が印加されない場合に前記光を遮断し、前記電圧が印加された場合に前記光を透過する液晶層と、前記第1基板と前記第2基板との間に設けられ、前記液晶層の厚みを制御する柱状のスペーサと、を備え、前記第2基板の第2電極は、配列方向に配列された複数の小電極を含み、前記第1基板の第1電極には、前記電圧が印加された際に、前記小電極と協働して前記液晶層における電界の向きを制御する孔が形成され、前記スペーサは、前記第2電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている、液晶バリアが提供される。

30

【0011】

かかる構成によれば、前記スペーサは、前記第2電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている。かかる場合には、例えばスペーサが前記孔に対向する場合に比べて、液晶層のスペーサ周囲の液晶分子の配向の乱れを抑制できる。特に、VA方式のバリアにおける液晶分子の配向の乱れを有効に抑制できる。これにより、液晶分子の配向の乱れに起因するモアレの発生度合いを抑制でき、この結果モアレに起因する画質劣化も抑制できる。

40

【0012】

また、本開示によれば、表示部及び液晶バリアを有し、立体視表示が可能な表示装置であって、前記液晶バリアは、電圧が印加される電極が形成された第1基板と第2基板との間に封止され、光を透過又は遮断可能な液晶層であって、前記電圧が印加されない場合に前記光を遮断し、前記電圧が印加された場合に前記光を透過する液晶層と、前記第1基板と前記第2基板との間に設けられ、前記液晶層の厚みを制御する柱状のスペーサと、を備え、前記第2基板の第2電極は、配列方向に配列された複数の小電極を含み、前記第1基板の第1電極には、前記電圧が印加された際に、前記小電極と協働して前記液晶層におけ

50

る電界の向きを制御する孔が形成され、前記スペーサは、前記第2電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている、表示装置が提供される。

【0013】

また、本開示によれば、表示部及び液晶バリアを有し、立体視表示が可能な表示装置を具備する電子機器であって、前記液晶バリアは、電圧が印加される電極が形成された第1基板と第2基板との間に封止され、光を透過又は遮断可能な液晶層であって、前記電圧が印加されない場合に前記光を遮断し、前記電圧が印加された場合に前記光を透過する液晶層と、前記第1基板と前記第2基板との間に設けられ、前記液晶層の厚みを制御する柱状のスペーサと、を備え、前記第2基板の第2電極は、配列方向に配列された複数の小電極を含み、前記第1基板の第1電極には、前記電圧が印加された際に、前記小電極と協働して前記液晶層における電界の向きを制御する孔が形成され、前記スペーサは、前記第2電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている、電子機器が提供される。

10

【発明の効果】

【0014】

以上説明したように本開示によれば、立体視表示のVA方式のバリアにおいて、モアレに起因する画質劣化を抑制することが可能となる。

【図面の簡単な説明】

【0015】

20

【図1】本開示の一実施形態に係る表示装置の構成の一例を示すブロック図である。

【図2】一実施形態に係る表示装置の要部の構成例を表すものである。

【図3】一実施形態に係る表示駆動部と表示部の詳細構成の一例を示す図である。

【図4】図4(A)は、画素Pixelの回路図の一例を示す図であり、図4(B)は、画素Pixelを含む表示部の断面構成を示す図である。

【図5】一実施形態に係る液晶バリアにおける開閉部の配置構成の一例を示す図である。

【図6】一実施形態に係る液晶バリアの断面構成を示す図である。

【図7】一実施形態に係る液晶バリアにおける液晶分子の配向状態の一例を示す図である。

【図8】一実施形態に係る透明電極層206aの構成を示す図である。

30

【図9】一実施形態に係る透明電極層206bの構成を示す図である。

【図10】一実施形態に係るスペーサの配置状態を説明するための模式図である。

【図11】図10に示す構成の場合の、液晶層における液晶分子の配向状態のシミュレーション結果を示す図である。

【図12】図10に示すスペーサ周辺の液晶分子の配向状態を説明するための模式図である。

【図13】比較例に係るスペーサの配置状態を説明するための模式図である。

【図14】図13に示す構成の場合の、液晶層における液晶分子の配向状態のシミュレーション結果を示す図である。

【図15】図13に示すスペーサの周辺の液晶分子の配向状態を説明するための模式図である。

40

【図16】一実施形態に係るスペーサの配置の第1変形例を説明するための図である。

【図17】モアレの発生度合いを説明するための図である。

【図18】一実施形態に係るスペーサの配置の第2変形例を説明するための図である。

【図19】一実施形態に係る開閉部のグループ構成例を示すものである。

【図20】一実施形態に係る立体視表示および2次元表示を行う場合の液晶バリアの状態を模式的に表すものである。

【図21】一実施形態に係る表示部および液晶バリアの動作例を示す図である。

【図22】本開示の一実施形態に係る電子機器の一例であるテレビを示す図である。

【発明を実施するための形態】

50

## 【 0 0 1 6 】

以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。  
 なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

## 【 0 0 1 7 】

なお、説明は以下の順序で行うものとする。

## 1．表示装置の構成

1 - 1．表示装置の構成の概要

1 - 2．表示駆動部と表示部の構成

1 - 3．バックライトの構成

1 - 4．液晶バリアの構成

1 - 5．スペーサの構成

1 - 6．バリア駆動部の構成

## 2．表示装置の動作例

2 - 1．表示装置の全体動作の概要

2 - 2．立体視表示動作の詳細

## 3．まとめ

## 【 0 0 1 8 】

## &lt; 1．表示装置の構成 &gt;

( 1 - 1．表示装置の構成の概要 )

図 1 を参照しながら、本開示の一実施形態に係る表示装置 1 0 0 の構成の概要について説明する。図 1 は、本開示の一実施形態に係る表示装置 1 0 0 の構成の一例を示すブロック図である。

## 【 0 0 1 9 】

表示装置 1 0 0 は、立体視表示と 2 次元表示の双方を実現可能な表示装置である。図 1 に示すように、表示装置 1 0 0 は、制御部 1 1 0 と、表示駆動部 1 2 0 と、表示部 1 3 0 と、バックライト駆動部 1 4 0 と、バックライト 1 5 0 と、バリア駆動部 1 6 0 と、液晶バリア 1 7 0 ( 光バリア部、光バリア素子 ) と、を備える。

## 【 0 0 2 0 】

制御部 1 1 0 は、外部より供給される映像信号  $V_{disp}$  に基づいて、表示駆動部 1 2 0 、バックライト駆動部 1 4 0 、及びバリア駆動部 1 6 0 に対して、それぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する回路である。具体的には、制御部 1 1 0 は、表示駆動部 1 2 0 に対して映像信号  $V_{disp}$  に基づく映像信号  $S$  を供給し、バックライト駆動部 1 4 0 に対してバックライト制御命令を供給し、バリア駆動部 1 6 0 に対してバリア制御命令を供給する。ここで、映像信号  $S$  は、表示装置 1 0 0 が立体視表示を行う場合に、後述するように、それぞれが複数 ( この例では 6 つ ) の視点映像を含む映像信号  $S_A$ 、 $S_B$  から構成される。

## 【 0 0 2 1 】

表示駆動部 1 2 0 は、制御部 1 1 0 から供給される映像信号  $S$  に基づいて表示部 1 3 0 を駆動する。表示部 1 3 0 は、液晶素子を駆動して、バックライト 1 5 0 から射出した光を変調することにより表示を行う。

## 【 0 0 2 2 】

バックライト駆動部 1 4 0 は、制御部 1 1 0 から供給されるバックライト制御信号に基づいてバックライト 1 5 0 を駆動する。バックライト 1 5 0 は、表示部 1 3 0 に対して面発光した光を射出する機能を有する。

## 【 0 0 2 3 】

バリア駆動部 1 6 0 は、制御部 1 1 0 から供給されるバリア制御命令に基づいて液晶バリア 1 7 0 を駆動する。液晶バリア 1 7 0 は、光を透過または遮断する複数の開閉部 1 7 1、1 7 2 ( 後述 ) を有しており、表示部 1 3 0 から出射された映像光を、所定の方向に向けて分割する機能を有する。

10

20

30

40

50

## 【 0 0 2 4 】

図 2 は、表示装置 1 0 0 の要部の構成例を表すものであり、図 2 ( A ) は表示装置 1 0 0 の斜視図を示し、図 2 ( B ) は表示装置 1 0 0 の側面図を示す。図 2 ( A ) 及び図 2 ( B ) に示したように、表示装置 1 0 0 では、Z 方向において、バックライト 1 5 0、表示部 1 3 0、液晶バリア 1 7 0 の順に配置されている。つまり、バックライト 1 5 0 から射出した光は、表示部 1 3 0 および液晶バリア 1 7 0 を順に透過して、観察者に届くようになっている。なお、表示部 1 3 0 と液晶バリア 1 7 0 は、接着されていても良いし、接着されていなくても良い。

## 【 0 0 2 5 】

( 1 - 2 . 表示駆動部と表示部の構成 )

10

図 3 を参照しながら、一実施形態に係る表示駆動部 1 2 0 と表示部 1 3 0 の構成の一例について説明する。図 3 は、一実施形態に係る表示駆動部 1 2 0 と表示部 1 3 0 の構成の一例を示す図である。

## 【 0 0 2 6 】

図 3 に示すように、表示駆動部 1 2 0 は、タイミング制御部 1 2 2 と、ゲートドライバ 1 2 4 と、データドライバ 1 2 6 と、を備える。タイミング制御部 1 2 2 は、ゲートドライバ 1 2 4 およびデータドライバ 1 2 6 の駆動タイミングを制御する。また、タイミング制御部 1 2 2 は、制御部 1 1 0 から供給された映像信号 S を映像信号 S 1 としてデータドライバ 1 2 4 へ供給する。

## 【 0 0 2 7 】

20

ゲートドライバ 1 2 4 は、タイミング制御部 1 2 2 によるタイミング制御に従って、表示部 1 3 0 に配列された画素 P i x ( 後述 ) を行ごとに順次選択して、順次走査する。データドライバ 1 2 6 は、表示部 1 3 0 の各画素 P i x へ、映像信号 S 1 に基づく画素信号を供給する。具体的には、データドライバ 1 2 6 は、映像信号 S 1 に基づいて D / A ( デジタル / アナログ ) 変換を行うことにより、アナログ信号である画素信号を生成し、各画素 P i x へ供給する。

## 【 0 0 2 8 】

表示部 1 3 0 は、例えばガラスなどから構成される 2 枚の透明基板の間に液晶材料を封入したものである。透明基板の液晶材料に面した部分には、例えば I T O ( IndiumTin Oxide ) などから構成される透明電極が形成され、液晶材料とともに画素 P i x を構成している。表示部 1 3 0 における液晶材料としては、例えばネマチック液晶を用いた V A モードの液晶が用いられる。また、表示部 1 3 0 には、画素 P i x がマトリクス状に配置されている。以下、この表示部 1 3 0 ( 画素 P i x ) の構成について、図 4 ( A ) 及び図 4 ( B ) を参照しながら詳述する。

30

## 【 0 0 2 9 】

図 4 ( A ) は、画素 P i x の回路図の一例を示す図である。画素 P i x は、T F T ( Thin Film Transistor ) 素子 T r と、液晶素子 L C と、保持容量素子 C と、を備えている。T F T 素子 T r は、例えば M O S - F E T ( Metal Oxide Semiconductor-Field Effect Transistor ) から成り、ゲートがゲート線 G に接続され、ソースがデータ線 D に接続され、ドレインが液晶素子 L C の一端と保持容量素子 C の一端に接続されている。液晶素子 L C は、一端が T F T 素子 T r のドレインに接続され、他端は接地されている。保持容量素子 C は、一端が T F T 素子 T r のドレインに接続され、他端は保持容量線 C s に接続されている。ゲート線 G はゲートドライバ 1 2 4 に接続され、データ線 D はデータドライバ 1 2 6 に接続されている。

40

## 【 0 0 3 0 】

図 4 ( B ) は、画素 P i x を含む表示部 1 3 0 の断面構成を示す図である。表示部 1 3 0 は、断面で見ると、駆動基板 1 3 1 と対向基板 1 3 5 との間に、液晶層 1 3 3 を封止したものである。駆動基板 1 3 1 は、T F T 素子 T r を含む画素駆動回路が形成されたものであり、駆動基板 1 3 1 上には、画素 P i x 毎に画素電極 1 3 2 が配設されている。対向基板 1 3 5 には、図示しないカラーフィルタやブラックマトリクスが形成されており、更

50

に液晶層 133 側の面には、対向電極 134 が各画素  $P_{i \times}$  に共通の電極として配設されている。表示部 130 の光入射側（ここでは、バックライト 150 側）および光出射側（ここでは、液晶バリア 170 側）には、偏光板 136 a、136 b が、互いにクロスニコルまたは平行ニコルとなるように貼り合わせられている。

#### 【0031】

（1-3．バックライトの構成）

バックライト 150 は、例えば導光板の側面に例えば LED（Light Emitting Diode）を配設してなるものである。バックライト 150 は、あるいは、複数本の CCF L（Cold Cathode Fluorescent Lamp）等を配列させたものであってもよい。

#### 【0032】

（1-4．液晶バリアの構成）

次に、一実施形態に係る液晶バリア 170 の構成について説明する。液晶バリア 170 は、光を透過または遮断する複数の開閉部 171、172 を有し、表示部 130 から出射された映像光を、所定の方向に向けて分割する機能を有する。

#### 【0033】

図 5 は、一実施形態に係る液晶バリア 170 における開閉部 171、172 の配置構成の一例を示す図である。液晶バリア 170 は、いわゆるパララックスバリアであり、図 5 に示すように交互に配列された複数の開閉部 171、開閉部 172 を有する。開閉部 171、172 は、表示装置 100 が 2 次元表示および立体視表示のどちらを行うかにより、異なる動作を行う。

#### 【0034】

具体的には、開閉部 171 は、後述するように、2 次元表示の際には開放状態（透過状態）になり、立体視表示を行う際には、閉状態（遮断状態）となる。開閉部 172 は、後述するように、2 次元表示の際には開放状態（透過状態）、立体視表示の際には、時分割的に開閉動作を行う。開閉部 171、172 は、交互に複数設けられており、例えば、複数の開閉部 171、172 のうちの選択的な開閉部からなるグループ毎に駆動し、また、グループ毎の駆動を時分割的に行うことができる。

#### 【0035】

開閉部 171 および開閉部 172 は、境界部 S を隔てて、XY 平面における一方向（ここでは、例えば水平方向 X から所定の角度をなす方向）に延在して設けられている。開閉部 171 の幅 E1 及び 172 の幅 E2 の大きさは、互いに異なり、ここでは幅 E1 > 幅 E2 の関係となっている。但し、開閉部 171、172 の幅の大小関係はこれに限定されず、幅 E1 < 幅 E2 の関係であってもよく、また、幅 E1 = 幅 E2 の関係であってもよい。境界部 S は、例えば、後述のライン電極 211、212 間の溝（スリット）に対応する部分である。開閉部 171、172 は、液晶層（後述の液晶層 204）を含んで構成されており、液晶層 204 への駆動電圧によって、開閉が切り替わる。

#### 【0036】

図 6 は、一実施形態に係る液晶バリア 170 の断面構成を示す図である。液晶バリア 170 は、透明基板 202 a、202 b と、液晶層 204 と、透明電極層 206 a、206 b と、偏光板 208 a、208 b と、を有する。なお、本実施形態では、透明基板 202 b が第 1 基板に該当し、透明基板 202 a が第 2 基板に該当する。

#### 【0037】

液晶層 204 は、透明基板 202 a と透明基板 202 b の間に位置にて封止されている。液晶層 204 は、例えば VA（Vertical Alignment）モードの液晶（VA 液晶）を含む。すなわち、液晶バリア 170 は、いわゆる VA 方式のバリアである。本実施の形態では、液晶層 204 は、ノーマリーブラックモードで駆動され、駆動電圧の印加状態に応じて、光を透過し、又は光を遮断する。すなわち、液晶層 204 は、光を透過可能な透過領域（開閉部 172）と、光を遮断可能な遮断領域（開閉部 171）と、を有する。

#### 【0038】

図 7 は、一実施形態に係る液晶バリア 170 における液晶分子の配向状態の一例を示す

10

20

30

40

50



図である。図7(A)に示すように駆動電圧を印加していない状態では、液晶分子Lのダイレクタが、液晶層204の厚み方向(Z方向)に沿うように配列している。一方で、図7(B)に示すように駆動電圧を印加した状態では、液晶分子Lのダイレクタが、液晶層204の幅方向(X方向)に沿うように配列している。そして、図7(A)に示す駆動電圧を印加していない状態が、光が遮断する遮断状態(黒表示)となり、図7(B)に示す駆動電圧を印加した状態が、光が透過する透過状態(白表示)となる。このようにVA方式の液晶バリア170を用いることで、高コントラストを実現可能である。

#### 【0039】

透明電極層206a、206bは、例えばITO等からなる。図6に示すように、透明電極層206aは、透明基板202aの液晶層204側の面に形成され、透明電極層206bは、透明基板202bの液晶層204側の面に形成されている。透明電極層206a、206bの少なくとも一方は、個々に電圧を供給可能な複数のライン電極に分割されている。本実施形態では、透明電極層206aが複数のライン電極211、212に分割され、透明電極層206bが各ライン電極211、212に共通の電極として設けられている。このように本実施形態では、透明電極層206aが、第2電極が形成された層であり、透明電極層206bが、第1電極が形成された層である。

10

#### 【0040】

ライン電極211に対応する領域が開閉部171であり、ライン電極212に対応する領域が開閉部172である。このような構成により、液晶層204の選択的な領域にのみ電圧が印加され、開閉部171、172毎の透過(白表示)および遮断(黒表示)の切り替えが行われる。透明電極層206a、206bの液晶層204側の面には、図示しない配向膜が形成されている。

20

#### 【0041】

図8は、一実施形態に係る透明電極層206aの構成を示す図である。図8に示すように、透明電極層206aは、X方向に沿って交互に設けられたライン電極211とライン電極212を含む。ライン電極211は、図8に示す配列方向に沿って配列された複数の小電極211aを有する。複数の小電極211aは、正方形の形状を成している。また、隣り合う小電極211aは、間に位置する2つの接続部211bによって接続されている。また、2つの接続部211bの間には、第1スリット部211cが形成されている。すなわち、第1スリット部211cは、配列方向において隣り合う小電極211aの境界部に形成されている。なお、第1スリット部211c上には、後述するスペーサ220が設けられている。

30

#### 【0042】

同様に、ライン電極212も、配列方向に沿って配列された複数の小電極212aを有する。複数の小電極212aは、正方形の形状を成している。また、隣り合う小電極212aは、間に位置する2つの接続部212bによって接続されている。また、2つの接続部212bの間には、スリット部212cが形成されている。なお、図8では、説明の便宜上、小電極211aと小電極212aの大きさが同じように示されているが、これに限定されない。例えば、小電極211aと小電極212aの大きさが、ライン電極211、212のX方向の幅に応じて、異なることとしても良い。

40

#### 【0043】

図9は、一実施形態に係る透明電極層206bの構成を示す図である。透明電極層206bは、透明電極層206aとは異なり、ライン電極に分割されていない。透明電極層206bには、透明電極層206aと協働して液晶層204における電界の向きを制御する孔であるピンホール215が複数形成されている。ピンホール215は、透明電極層206aの、液晶層204の光の透過領域及び遮断領域に対応する領域に、規則的に形成されている。より詳細には、ピンホール215は、透明電極層206aの小電極211a、212aの中心に対応する位置に、形成されている。

#### 【0044】

偏光板208aは、図6に示すように、透明基板202aの光入射側に設けられ、偏光

50

板 208b は、透明基板 202b の光出射側に設けられている。そして、偏光板 208a、208b は、液晶層 204 への入射光および出射光の各偏光方向を制御する。

【0045】

(1-5. スペースの構成)

上述した液晶バリア 170 では、透明基板 202a、202b (具体的には、透明電極層 206a、206b) の間に、液晶層 204 の厚みを制御するスペース 220 (図 8 参照) が設けられている。スペース 220 は、例えば、フォトレジスト等の樹脂より成り、柱形状 (円錐状) に成型されている。スペース 220 は、液晶バリア 170 の XY 平面において複数の選択的な領域に、複数設けられている。

【0046】

ところで、上述した VA 方式の液晶バリア 170 の場合には、スペース 220 の周囲で液晶分子の配向が乱れることが知られている。そして、液晶分子の配向が乱れることにより、立体視表示の際にモアレが発生し、画質が劣化する。モアレは、表示部 130 の画素の周期性と、スペース 220 の配置の周期性とが干渉して、発生する。特に、透明電極層 206b にピンホール 215 を形成した場合には、スペース 220 の周囲において液晶分子の配向が乱れる領域が広くなり、立体視表示の際のモアレが顕著になる。そこで、本実施形態では、液晶分子の配向乱れを抑制すべく、以下に説明するようにスペース 220 を配置させている。

【0047】

図 10 は、一実施形態に係るスペース 220 の配置状態を説明するための模式図である。なお、図 10 (A) は、液晶バリア 170 の斜視図であり、図 10 (B) は、図 10 (A) の部分拡大図である。

【0048】

図 10 (A) に示すように、スペース 220 は、スペース 220 の一方の端面 (透明電極層 206b 側の端面) が透明電極層 206b 上においてピンホール 215 に対向しない (非重畳となる) ように、配置している。図 10 (A) では、スペース 220 が、透明電極層 206b の、配列方向 (図 10 (B) の X 方向) において隣り合うピンホール 215 の間に位置する。

【0049】

スペース 220 は、透明電極層 206b のライン電極 211、212 のうちのライン電極 211 上に位置し、ライン電極 212 上には位置しない。上述したように、ライン電極 211 は開閉部 171 に対応し、ライン電極 212 は開閉部 172 に対応する。このため、スペース 220 は、液晶層 204 の光を透過可能な透過領域 (開閉部 172) と、光を遮断可能な遮断領域 (開閉部 171) と、のうちの遮断領域のみに設けられている。このように、遮断領域にスペース 220 を配置させることで、仮にスペース 220 の周囲の液晶分子の配向が乱れても、スペース 220 の周囲で十分な黒表示が得られるので、画像に与える影響を小さくできる。

【0050】

また、スペース 220 は、スペース 220 の他方の端面 (透明電極層 206a 側の端面) がライン電極 211 の第 1 スリット部 211c に対向する (第 1 スリット部 211c 上に位置する) ように、配置されている。ここで、第 1 スリット部 211c は、ライン電極 211 の、配列方向においてピンホール 215 から離れた位置に位置する。具体的には、第 1 スリット部 211c は、配列方向において隣り合うピンホール 215 の境界部の位置に位置する。このため、スペース 220 は、ライン電極 211 の、配列方向においてピンホール 215 から離れた第 1 スリット部 211c に対向するように、設けられている。また、スペース 220 は、ライン電極 211 の接続部 211b とは非重畳となっている。なお、スペース 220 は、ライン電極 211 の全ての第 1 スリット部 211c 上に設けても良いし、一部の第 1 スリット部 211c (例えば、配列方向において所定間隔の第 1 スリット部 211c) 上に設けても良い。

【0051】

10

20

30

40

50

スペーサ 220 は、透明電極層 206 a と透明電極層 206 b のうちの透明電極層 206 a 側から成型されている。このため、スペーサ 220 の外周面には、透明電極層 206 a から透明電極層 206 b へ向けてスペーサ 220 の直径が小さくなるテーパ部 221 が形成されている。

#### 【0052】

なお、図 10 (A)、図 10 (B) では、スペーサ 220 の透明電極層 206 b 側の端面が、透明電極層 206 b と接触しているように示されているが、透明電極層 206 b と接触していなくても良い。具体的には、液晶バリア 170 の XY 平面に設けられた複数のスペーサ 220 の一部が、透明電極層 206 b と接触し、スペーサ 220 の残りが、透明電極層 206 b と接触しない。

10

#### 【0053】

図 11 は、図 10 に示す構成の場合の、液晶層 204 における液晶分子の配向状態のシミュレーション結果を示す図である。図 12 は、図 10 に示すスペーサ 220 周辺の液晶分子の配向状態を説明するための模式図である。図 11、図 12 とともに、駆動電圧が印加された際の液晶分子 L の配向状態を示している。なお、図 11 では、説明の便宜上、スペーサ 220 が示されていない。図 11 では、透明電極層 206 a と、透明電極層 206 a よりも電位が低い透明電極層 206 b との間の電界（透明電極層 206 a からピンホール 215 へ向かう電界）における等電位面が、実線で示されている。そして、図 11 に示すように、液晶層 204 における液晶分子 L は、等電位面に沿って規則正しく配向している。そして、図 11 及び図 12 を見ると分かるように、スペーサ 220 の周囲での液晶分子の配向乱れがほとんど無い。なお、上記では、透明電極層 206 b の電位が透明電極層 206 a の電位よりも低いこととしたが、これに限定されず、透明電極層 206 b の電位が透明電極層 206 a の電位よりも高いこととしても良い。かかる場合にも、図 11 に示すような等電位面が形成される。

20

#### 【0054】

ここで、図 13 に示す比較例の場合における液晶分子の配向状態について説明する。図 13 は、比較例に係るスペーサ 280 の配置状態を説明するための模式図である。図 13 (A) は、比較例に係る液晶バリアの斜視図であり、図 13 (B) は、図 13 (A) の部分拡大図である。

#### 【0055】

図 13 (A) に示すように、比較例に係るスペーサ 280 は、図 10 に示す第 1 スリット部 211 c 上に位置するスペーサ 220 とは異なり、小電極 211 a の中央部に位置しピンホール 215 と対向している。

30

#### 【0056】

図 14 は、図 13 に示す構成の場合の、液晶層 204 における液晶分子の配向状態のシミュレーション結果を示す図である。図 15 は、図 13 に示すスペーサ 280 の周辺の液晶分子の配向状態を説明するための模式図である。図 14、図 15 とともに、駆動電圧が印加された際の液晶分子 L の配向状態を示している。なお、図 14 では、説明の便宜上、スペーサ 220 が示されていない。図 14 では、透明電極層 206 a と、透明電極層 206 a よりも電位が低い透明電極層 206 b との間の電界（透明電極層 206 a からピンホール 215 へ向かう電界）における等電位面が、実線で示されている。そして、図 14 に示すように、液晶層 204 における液晶分子は、等電位面に沿って配向している。しかし、図 14 及び図 15 を見ると分かるように、スペーサ 280 の周囲での液晶分子 L の配向が、大きく乱れている。具体的には、本来なら液晶層 204 の XY 平面に平行に配列されるべき液晶分子の一部が、XY 平面と直交する方向（具体的には、図 14 の紙面に垂直な方向）に向かって配列している。なお、上記では、透明電極層 206 b の電位が透明電極層 206 a の電位よりも低いこととしたが、これに限定されず、透明電極層 206 b の電位が透明電極層 206 a の電位よりも高いこととしても良い。

40

#### 【0057】

上述したように、本実施形態の場合には、スペーサ 220 を配列方向においてピンホー

50

ル 2 1 5 から離れた第 1 スリット部 2 1 1 c に対向するように配置させることで、スペーサ 2 2 0 の周囲における液晶分子の配向乱れが小さい。特に、本実施形態のように V A 方式の液晶バリア 1 7 0 における液晶分子の配向乱れを有効に抑制できる。これにより、液晶分子の配向の乱れに起因するモアレの発生日合いを抑制できる。

【 0 0 5 8 】

( スペーサの配置の第 1 変形例 )

上記では、スペーサ 2 2 0 は、ライン電極 2 1 1 の配列方向において隣り合う小電極 2 1 1 a の間の第 1 スリット部 2 1 1 c 上に配置されることとしたが、これに限定されない。例えば、図 1 6 に示す第 1 変形例のように、スペーサ 2 2 0 は、小電極 2 1 1 a 内 ( 具体的には、小電極 2 1 1 a の中央部 ) に形成された第 2 スリット部 2 1 1 d 上に配置されることとしても良い。かかる場合にも、スペーサ 2 2 0 の周囲の液晶分子の配向乱れを抑制できる。

10

【 0 0 5 9 】

図 1 6 は、一実施形態に係るスペーサ 2 2 0 の配置の第 1 変形例を説明するための図である。図 1 6 に示すように、透明電極 2 0 6 a のライン電極 2 1 1 を構成する複数の小電極 2 1 1 a 内には、それぞれ第 2 スリット部 2 1 1 d が形成されている。第 2 スリット部 2 1 1 d は、小電極 2 1 1 a を 4 つに領域 R 1 ~ R 4 に分けるように、2 つの線分が交差する十字状に形成されている。なお、透明電極 2 0 6 b に形成される小電極 2 1 1 a に対応するピンホール 2 1 5 は、小電極 2 1 1 a の中心部に対応する位置では無く、図 1 6 において破線で示すように、4 つに分けられた領域 R 1 ~ R 4 のそれぞれを中心に対応する位置に形成される。すなわち、一つの小電極 2 1 1 a に対して、4 つのピンホール 2 1 5 が形成される。

20

【 0 0 6 0 】

同様に、ライン電極 2 1 2 を構成する複数の小電極 2 1 2 a 内にも、それぞれ第 2 スリット部 2 1 2 d が形成されている。第 2 スリット部 2 1 2 d も、第 2 スリット部 2 1 1 d と同様に、小電極 2 1 2 a を 4 つの領域 R 1 ~ R 4 に分けるように、十字状に形成されている。なお、透明電極 2 0 6 b に形成される小電極 2 1 2 b に対応するピンホール 2 1 5 は、小電極 2 1 2 a の中心部に対応する位置では無く、図 1 6 において破線で示すように、4 つに分けられた領域 R 1 ~ R 4 のそれぞれを中心に対応する位置に形成される。すなわち、一つの小電極 2 1 2 a に対して、4 つのピンホール 2 1 5 が形成される。

30

【 0 0 6 1 】

そして、第 1 変形例におけるスペーサ 2 2 0 は、ライン電極 2 1 1 とライン電極 2 1 2 のうちのライン電極 2 1 1 の小電極 2 1 1 a の中央部に形成された第 2 スリット部 2 1 2 d 上に位置する。具体的には、第 1 変形例におけるスペーサ 2 2 0 は、ライン電極 2 1 1 の配列方向において所定間隔 ( 図 1 6 では 3 つ間隔 ) 毎の第 2 スリット部 2 1 2 d 上に位置する。

【 0 0 6 2 】

ここで、図 1 6 に示す第 1 変形例に係るスペーサ 2 2 0 を用いた場合のモアレの発生日合いと、図 1 3 に示す比較例に係るスペーサ 2 8 0 を用いた場合のモアレの発生日合いとについて、図 1 7 を参照しながら説明する。

40

【 0 0 6 3 】

図 1 7 は、モアレの発生日合いを説明するための図である。図 1 7 A には、図 1 3 に示す比較例に係るスペーサ 2 8 0 を用いた場合のモアレの発生日合いが示されている。図 1 7 A に示すように、比較例の場合には、スペーサ 2 8 0 の周囲に大きさ渦が発生している ( 図 1 7 ( A ) の部分 C 1 参照 ) 。ここで、渦の発生は、液晶分子の配向の乱れの度合いと比例関係にあるので、比較例の場合にはスペーサ 2 8 0 の周囲の液晶分子の配向乱れが大きいことを意味する。そして、大きさ渦が発生することで、画質の劣化が生じることになる。

【 0 0 6 4 】

図 1 7 B には、図 1 6 に示す第 1 変形例に係るスペーサ 2 2 0 を用いた場合のモアレの

50

発生度合いが示されている。なお、図 17 A に示すスペーサ 280 と、図 17 B に示すスペーサ 220 は、配列方向において同じ間隔で配列されている。図 17 B に示すように、第 1 変形例の場合にも、スペーサ 220 の周囲に渦は発生するが、比較例の場合に比べて渦の大きさが小さい（図 17 (B) の部分 C 2 参照）。すなわち、第 1 変形例のスペーサ 220 の周囲の液晶分子の配向乱れが、比較例のスペーサ 280 の周囲の液晶分子の配向乱れよりも小さい。このため、第 1 変形例の場合には、比較例の場合に比べて画質の劣化を抑制できる。

#### 【0065】

（スペーサの配置の第 2 変形例）

上記では、図 16 に示すように、ライン電極 211 を構成する複数の小電極 211 a の全て、及びライン電極 212 を構成する複数の小電極 212 a の全てに、それぞれ第 2 スリット部 211 d、212 d が形成されることとしたが、これに限定されない。例えば、図 18 に示す第 2 変形例のように、ライン電極 211 を構成する複数の小電極 211 a のうちの一部の小電極 211 a のみに、第 2 スリット部 211 d が形成されることとしても良い。

10

#### 【0066】

図 18 は、一実施形態に係るスペーサ 220 の配置の第 2 変形例を説明するための図である。図 18 では、ライン電極 211 の複数の小電極 211 a のうちのスペーサ 220 が対向する小電極 211 a の中央部のみに、第 2 スリット部 211 d が形成されている。これにより、小電極 211 a にスリット部を設けることに起因する透過率低下を抑制できる。一方で、ライン電極 212 の複数の小電極 212 a のいずれにも、第 2 スリット部 212 d は、形成されていない。これにより、小電極 212 a にスリット部を設けることに起因する透過率低下を防止できる。なお、スリット部が形成されない小電極 211 a、212 a に対応するピンホール 215 は、図 18 において破線で示すように、透明電極 206 b において小電極 211 a、212 a の中心に対応する位置に形成される。

20

#### 【0067】

（1-6. バリア駆動部の構成）

バリア駆動部 160 は、立体視表示を行う際、複数の開閉部 171、172 が同じタイミングで開閉動作を行うように駆動するものである。具体的には、バリア駆動部 160 は、グループ A に属する複数の開閉部 172 と、グループ B に属する複数の開閉部 172 とを、時分割的に交互に開閉動作するように駆動する。

30

#### 【0068】

図 19 は、一実施形態に係る開閉部 172 のグループ構成例を示すものである。開閉部 172 は、例えば 2 つのグループ、具体的には、1 つおきに配置された複数の開閉部 172 A 同士がグループ A、及び複数の開閉部 172 B 同士がグループ B で構成されている。

#### 【0069】

図 20 は、立体視表示および 2 次元表示を行う場合の液晶バリア 170 の状態を模式的に表すものであり、図 20 (A) は立体視表示を行う一状態を示し、図 20 (B) は立体視表示を行う他の状態を示し、図 20 (C) は 2 次元表示を行う状態を示す。液晶バリア 170 には、開閉部 171 および開閉部 172 (グループ A に属する開閉部 172 A、グループ B に属する開閉部 172 B) が交互に配置されている。この例では、開閉部 172 A、172 B はそれぞれ、表示部 130 の 6 つの画素  $P_{ix}$  に 1 つの割合で設けられている。以下の説明では、画素  $P_{ix}$  が、RGB 3 つのサブピクセルからなるピクセルとするが、これに限定されるものではなく、例えば、画素  $P_{ix}$  がサブピクセルであってもよい。尚、液晶バリア 170 において、光が遮断される部分は斜線で示している。

40

#### 【0070】

立体視表示を行う場合には、表示部 130 において、映像信号 SA、SB に基づく映像表示を時分割で行い、かつ液晶バリア 170 において、表示部 130 の時分割表示に同期して、開閉部 172 (開閉部 172 A、172 B) を開閉する。この際、開閉部 171 は、閉状態 (遮断状態) に維持するようになっている。具体的には、図 20 (A) に示すよ

50

うに、映像信号 S A が供給された場合には、液晶バリア 170 では、開閉部 172 A が開状態、開閉部 172 B が閉状態になる。表示部 130 は、開閉部 172 A に対応した位置に配置された互いに隣接する 6 つの画素 P i x に、映像信号 S A に含まれる 6 つの視点映像を表示する。同様に、図 20 ( B ) に示すように、映像信号 S B が供給された場合には、液晶バリア 170 では、開閉部 172 B が開状態、開閉部 172 A が閉状態になる。表示部 130 は、開閉部 172 B に対応した位置に配置された互いに隣接する 6 つの画素 P i x に、映像信号 S B に含まれる 6 つの視点映像を表示する。

#### 【0071】

他方、2次元表示を行う場合には、図 20 ( C ) に示したように、表示部 130 において映像信号 S に基づく表示を行い、液晶バリア 170 において、開閉部 171 および開閉部 172 (開閉部 172 A、172 B) を共に開放状態 (透過状態) に維持するようになっている。

#### 【0072】

##### < 2 . 表示装置の動作例 >

上述した構成を有する表示装置 100 の動作例について説明する。以下では、表示装置 100 の全体動作の概要、立体視表示動作の詳細の順に説明する。

#### 【0073】

##### ( 2 - 1 . 表示装置の全体動作の概要 )

制御部 110 は、外部より供給される映像信号 Vdisp に基づいて、表示駆動部 120、バックライト駆動部 140、およびバリア駆動部 160 に対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する。

#### 【0074】

すなわち、バックライト駆動部 140 は、制御部 110 から供給されるバックライト制御信号に基づいてバックライト 150 を駆動する。バックライト 150 は、面発光した光を表示部 130 に対して射出する。表示駆動部 120 は、制御部 110 から供給される映像信号 S に基づいて表示部 130 を駆動する。表示部 130 は、バックライト 150 から射出した光を変調することにより表示を行う。バリア駆動部 160 は、制御部 110 から供給されるバリア制御命令に基づいて液晶バリア 170 を駆動する。液晶バリア 170 は、バックライト 150 から射出し表示部 130 を透過した光を、透過または遮断する。

#### 【0075】

##### ( 2 - 2 . 立体視表示動作の詳細 )

図 21 を参照しながら、立体視表示動作の詳細について説明する。図 21 は、表示部 130 および液晶バリア 170 の動作例を示す図であり、図 21 ( A ) は、映像信号 S A が供給された場合の動作例を示し、図 21 ( B ) は映像信号 S B が供給された場合の動作例を示す。

#### 【0076】

表示駆動部 120 は、図 21 ( A ) に示すように、映像信号 S A が供給された場合には、表示部 130 において、互いに隣接する 6 つの画素 P i x に、映像信号 S A に含まれる 6 つの視点映像にそれぞれ対応する 6 画素分の画素情報 P 1 ~ P 6 を表示する。画素情報 P 1 ~ P 6 を表示する 6 画素は、開閉部 172 A 付近において隣接配置された画素とする。一方、液晶バリア 170 では、上述のように、開放部 172 A が開放状態 (透過状態)、開放部 172 B が閉状態になるように制御される (この際、開閉部 171 は閉状態)。これにより、表示部 130 の各画素 P i x から出た光は、開閉部 172 A により出射角度が制限される。即ち、表示部 130 において空間分割的に表示された 6 つの視点映像が、開閉部 172 A によって分離される。このように分離された視点映像のうち、例えば画素情報 P 3 に基づく映像光が観察者の左眼において観察され、画素情報 P 4 に基づく映像光が観察者の右眼において観察されることで、観察者には立体的な映像として認識される。

#### 【0077】

映像信号 S B が供給された場合についても同様で、図 21 ( B ) に示すように、表示部 130 において、互いに隣接する 6 つの画素 P i x に、映像信号 S B に含まれる 6 つの視

10

20

30

40

50

点映像にそれぞれ対応する6画素分の画素情報P1~P6を表示する。画素情報P1~P6を表示する6画素は、開閉部172B付近において隣接配置された画素とする。一方、液晶バリア170では、上述のように、開放部172Bが開放状態(透過状態)、開放部172Aが閉状態になるように制御される(この際、開閉部171は閉状態)。これにより、表示部130の各画素Pixから出た光は、開閉部172Bにより出射角度が制限される。即ち、表示部130において空間分割的に表示された6つの視点映像が、開閉部172Bによって分離される。このように分離された視点映像のうち、例えば画素情報P3に基づく映像光が観察者の左眼において観察され、画素情報P4に基づく映像光が観察者の右眼において観察されることで、観察者には立体的な映像として認識される。

#### 【0078】

このように、観察者は、左眼と右眼とで、画素情報P1~P6のうちの異なる画素情報を見ることとなり、観察者は立体的な映像として感じることができる。また、開閉部172Aと開閉部172Bを時分割的に交互に開放して映像を表示することにより、観察者は、互いにずれた位置に表示される映像を平均化して見ることとなる。このため、表示装置100は、複数の開閉部172をグループ分けせずに一括駆動する場合に比べ、2倍の解像度を実現することが可能となる。言い換えれば、表示装置100の解像度は、2次元表示の場合に比べ1/3(=1/6×2)で済むこととなる。

#### 【0079】

ここで、上述した開閉部171、172を有する液晶バリア170は、透明基板202a、202b間に液晶層204を封止したものであり、開閉部171、172に対応する各領域へ個々に電圧を印加することによって、光の透過および遮断が切り替えられる。そのため、液晶層204へ電圧を印加するための透明電極層206a、206bのうち透明電極層206aが、複数のライン電極211、212に分割されている。

#### 【0080】

<3.まとめ>

上述したように、表示装置100の液晶バリア170には、電圧が印加される透明基板202a、202bの間に、液晶層204の厚みを制御する柱状のスペーサ220が設けられている。そして、スペーサ220は、透明電極層206a(具体的には、ライン電極211)の、配列方向においてピンホール215から離れたスリット部(図10に示す第1スリット部211c、図16及び図18に示す第2スリット部211d)に対向するように、設けられている。

#### 【0081】

かかる場合には、図11、図14を用いて説明したように、スペーサ220がピンホール215に対向する場合(図13参照)に比べて、液晶層204においてスペーサ220周囲の液晶分子の配向の乱れを抑制できる。特に、本実施形態のようにVA方式の液晶バリア170における液晶分子の配向乱れを有効に抑制できる。これにより、液晶分子の配向の乱れに起因するモアレの発生度合いを抑制でき、この結果モアレに起因する画質劣化を抑制できる。

#### 【0082】

上述した構成を有する表示装置100は、様々な電子機器に適用できる。ここで、図2を参照しながら、電子機器の一例であるテレビ300について説明する。図22は、本開示の一実施形態に係る電子機器の一例であるテレビ300を示す図である。テレビ300は、フロントパネルやフィルタガラス等から構成される映像表示画面部310を有する。映像表示画面部310、上述した立体視表示が可能な表示装置100を用いることにより作製される。このような表示装置100によれば、立体視表示する際に、VA方式の液晶バリア170による液晶分子の配向乱れを有効に抑制できるので、モアレに起因する画質劣化を抑制できる。

#### 【0083】

なお、上記では、電子機器としてテレビ300を例に挙げて説明したが、これに限定されない。例えば、電子機器は、例えばノート型パーソナルコンピュータ、携帯電話、PD

10

20

30

40

50

A、デジタルカメラ、ビデオカメラ等であっても良い。すなわち、表示装置100を、電子機器に入力された映像信号、または電子機器内で生成した映像信号を、画像又は映像として表示するあらゆる分野の電子機器の表示装置に適用できる。

【0084】

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

【0085】

また、上記実施の形態等では、液晶バリア170において光を透過又は遮断する複数の開閉部171、172が、XY平面において斜め方向に延在する(図5参照)場合を例に挙げて説明したが、これに限定されない。例えば、光を透過又は遮断する複数の開閉部が、交互に、かつY方向に沿って延在するように設けられていてもよい。

【0086】

また、上記実施の形態では、立体視表示の際に、液晶バリア170の複数の開閉部171、172において、開閉部171を閉状態に維持し、開閉部172を映像信号に基づいて開状態となるように駆動する場合について説明したが、これに限定されない。例えば、開閉部172を閉状態に維持し、開閉部171を映像信号に基づいて開状態となるように駆動してもよい。かかる場合には、スペーサ220は、ライン電極211、212のうちのライン電極212の小電極212aに対向する。

【0087】

また、上記実施の形態では、高解像度を得るために、開閉部171、172のうち、開閉部172を更に2つのグループA、Bに分け、グループA、Bを時分割的に駆動して映像表示することとしたが、これに限定されない。例えば、液晶バリア170における全ての開閉部171を閉状態、全ての開閉部172を開状態となるように駆動して、視点映像を分離するようにしてもよい。あるいは逆に、開閉部172のグループ数を3つ以上にし、これら3つ以上のグループを順次駆動するようにしてもよい。

【0088】

また、上記実施の形態等では、映像信号SA、SBが6つの視点画像を含むようにしたが、これに限定されるものではなく、5つ以下または7つ以上の視点映像を含むようにしてもよい。例えば、映像信号に5つの視点画像が含まれる場合には、開閉部172は、表示部130の5つの画素Pixに1つの割合で設けるようにすればよい。但し、必ずしも、視点映像の数と、それらを表示する画素数が一致していなくともよい。即ち、例えば、隣接する複数の画素Pixに表示する画素情報が、必ずしも互いに異なる視点のものでなくともよく、同一の視点の映像についてのものを含んでいてもよい。

【0089】

なお、以下のような構成も本開示の技術的範囲に属する。

(1)

電圧が印加される電極が形成された第1基板と第2基板との間に封止され、光を透過又は遮断可能な液晶層であって、前記電圧が印加されない場合に前記光を遮断し、前記電圧が印加された場合に前記光を透過する液晶層と、

前記第1基板と前記第2基板との間に設けられ、前記液晶層の厚みを制御する柱状のスペーサと、

を備え、

前記第2基板の第2電極は、配列方向に配列された複数の小電極を含み、

前記第1基板の第1電極には、前記電圧が印加された際に、前記小電極と協働して前記液晶層における電界の向きを制御する孔が形成され、

前記スペーサは、前記第2電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている、

10

20

30

40

50



液晶バリア。

( 2 )

前記液晶層は、前記光を透過可能な透過領域と、前記光を遮断可能な遮断領域と、を有し、

前記スペーサは、前記透過領域と前記遮断領域のうちの前記遮断領域のみに設けられている、

請求項 1 に記載の液晶バリア。

( 3 )

前記スリット部は、前記配列方向において隣り合う前記小電極の境界部に形成されている、

請求項 1 又は 2 に記載の液晶バリア。

( 4 )

前記スリット部は、前記小電極の中央部に形成されている、

請求項 1 又は 2 に記載の液晶バリア。

( 5 )

前記複数の小電極のうちの前記スペーサが対向する小電極の前記中央部のみに、前記スリット部が形成されている、

請求項 4 に記載の液晶バリア。

( 6 )

前記スペーサは、前記第 2 基板から前記第 1 基板へ向かって前記スペーサの直径が小さくなる円錐状に形成されている、

請求項 1 ~ 5 のいずれか 1 項に記載の液晶バリア。

( 7 )

前記液晶層は、前記光を透過可能な透過領域と、前記光を遮断可能な遮断領域と、を有し、

前記孔は、前記第 1 電極の前記透過領域及び前記遮断領域に対応する領域に、それぞれ形成されている、

請求項 1 ~ 6 のいずれか 1 項に記載の液晶バリア。

( 8 )

表示部及び液晶バリアを有し、立体視表示が可能な表示装置であって、

前記液晶バリアは、

電圧が印加される電極が形成された第 1 基板と第 2 基板との間に封止され、光を透過又は遮断可能な液晶層であって、前記電圧が印加されない場合に前記光を遮断し、前記電圧が印加された場合に前記光を透過する液晶層と、

前記第 1 基板と前記第 2 基板との間に設けられ、前記液晶層の厚みを制御する柱状のスペーサと、

を備え、

前記第 2 基板の第 2 電極は、配列方向に配列された複数の小電極を含み、

前記第 1 基板の第 1 電極には、前記電圧が印加された際に、前記小電極と協働して前記液晶層における電界の向きを制御する孔が形成され、

前記スペーサは、前記第 2 電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている、

表示装置。

( 9 )

表示部及び液晶バリアを有し、立体視表示が可能な表示装置を具備する電子機器であって、

前記液晶バリアは、

電圧が印加される電極が形成された第 1 基板と第 2 基板との間に封止され、光を透過又は遮断可能な液晶層であって、前記電圧が印加されない場合に前記光を遮断し、前記電圧が印加された場合に前記光を透過する液晶層と、

10

20

30

40

50

前記第 1 基板と前記第 2 基板との間に設けられ、前記液晶層の厚みを制御する柱状のスペーサと、

を備え、

前記第 2 基板の第 2 電極は、配列方向に配列された複数の小電極を含み、

前記第 1 基板の第 1 電極には、前記電圧が印加された際に、前記小電極と協働して前記液晶層における電界の向きを制御する孔が形成され、

前記スペーサは、前記第 2 電極の、前記配列方向において前記孔から離れたスリット部に対向するように、設けられている、

電子機器。

【符号の説明】

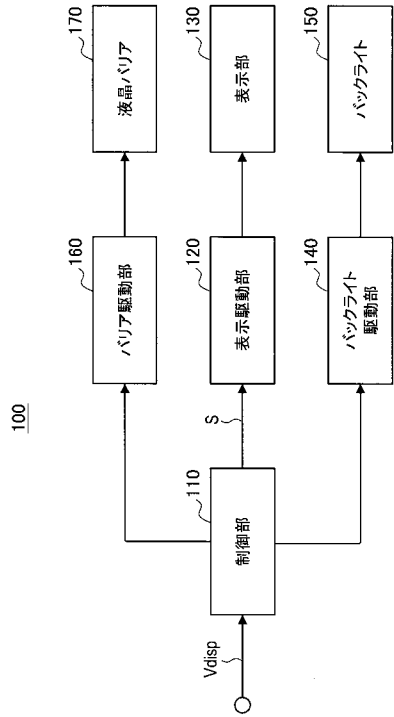
10

【0090】

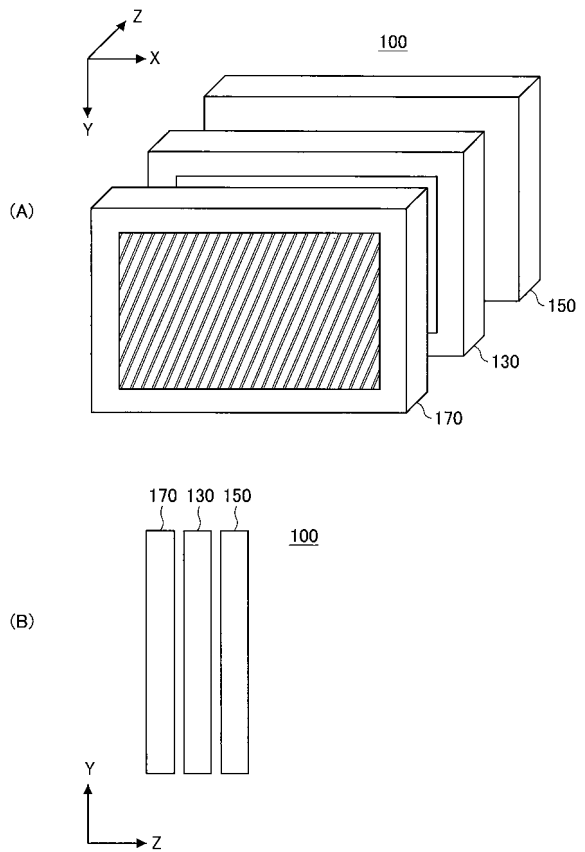
100 表示装置  
 130 表示部  
 170 液晶バリア  
 171、172 開閉部  
 202 a、202 b 透明基板  
 204 液晶層  
 206 a、206 b 透明電極層  
 208 a、208 b 偏光板  
 211、212 ライン電極  
 211 a、212 a 小電極  
 211 b、212 b 接続部  
 211 c 第 1 スリット部  
 211 d、212 d 第 2 スリット部  
 215 ピンホール  
 220 スペーサ  
 221 テーパ部  
 300 テレビ

20

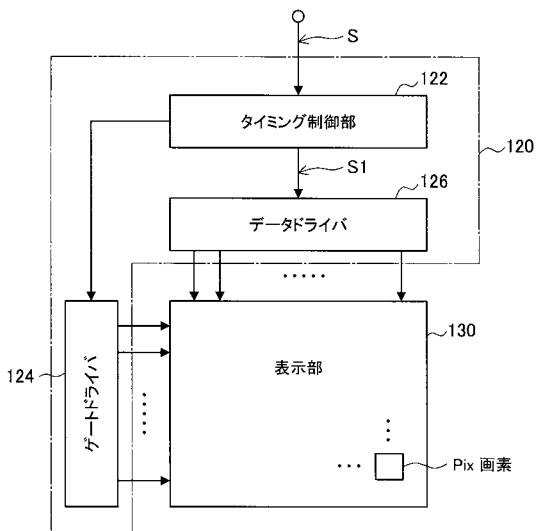
【図 1】



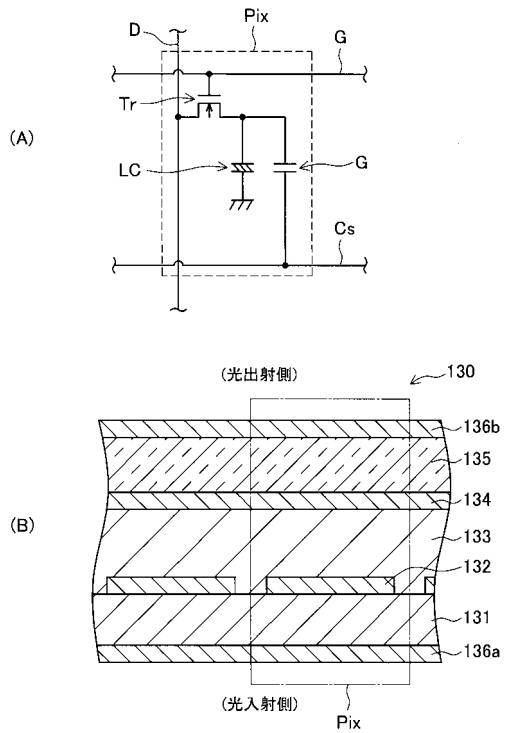
【図 2】



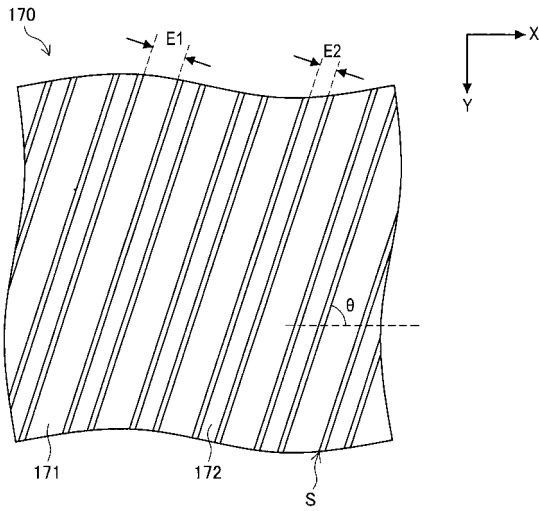
【図 3】



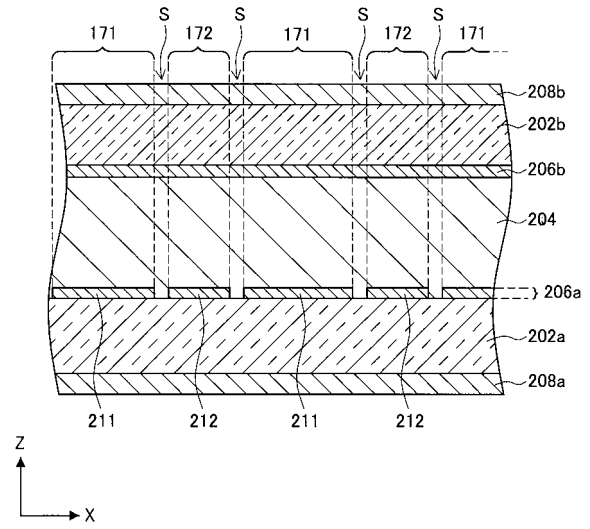
【図 4】



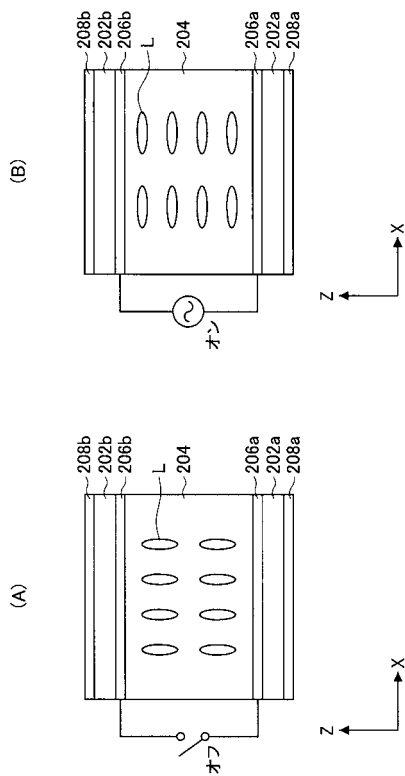
【 図 5 】



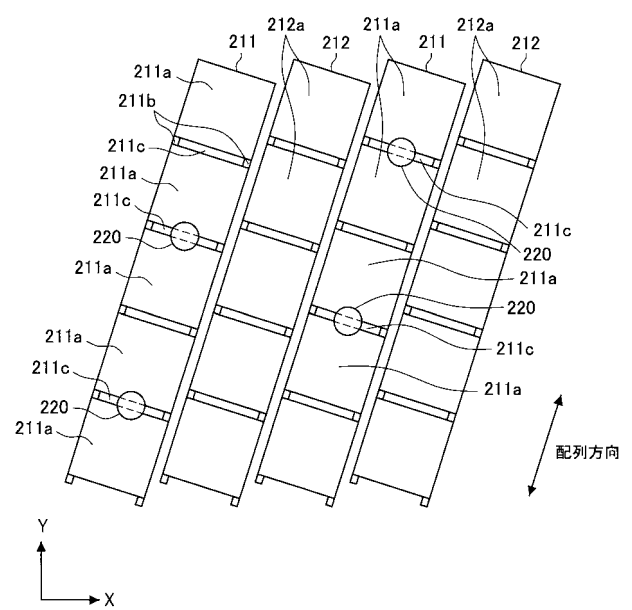
【 図 6 】



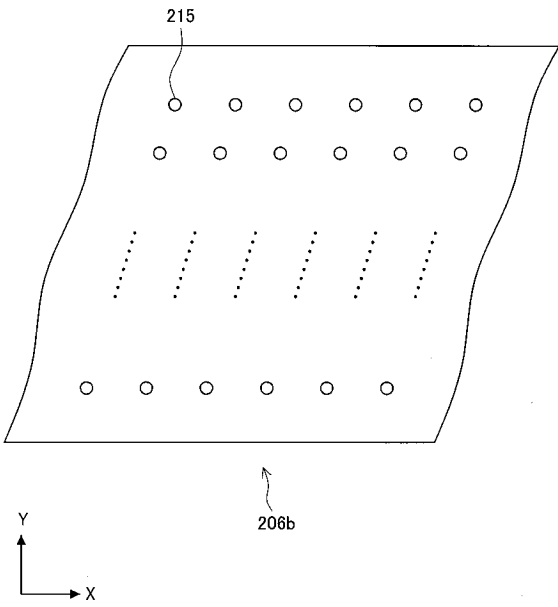
【 図 7 】



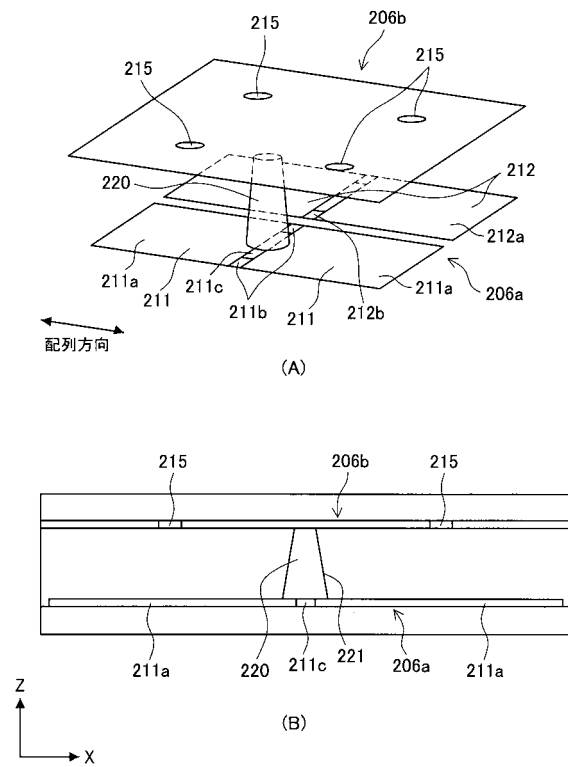
【 図 8 】



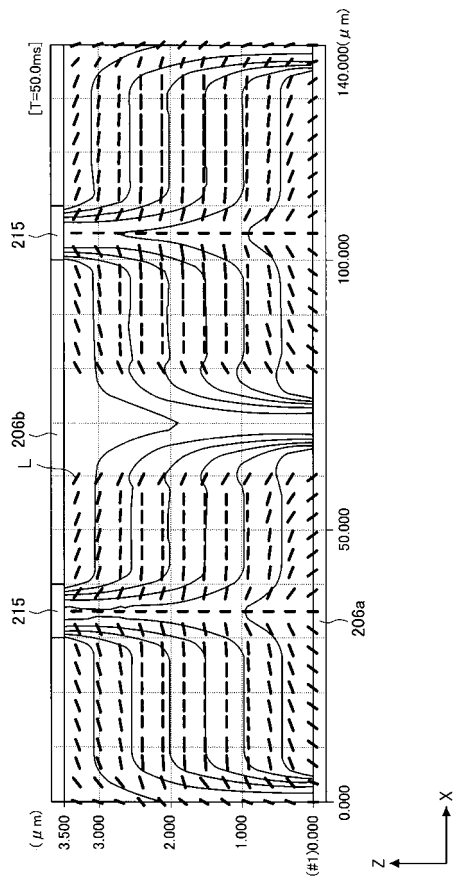
【 図 9 】



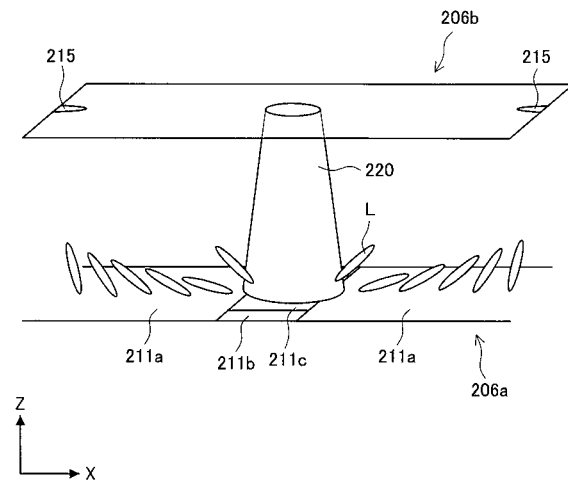
【 図 10 】



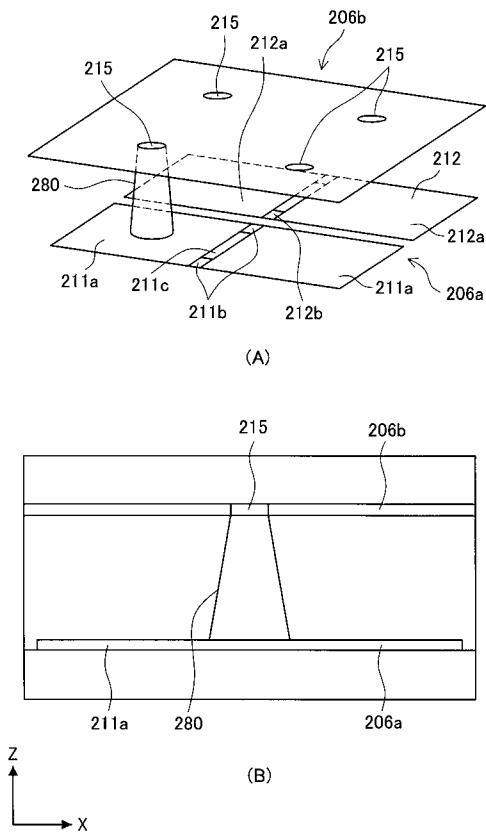
【 図 11 】



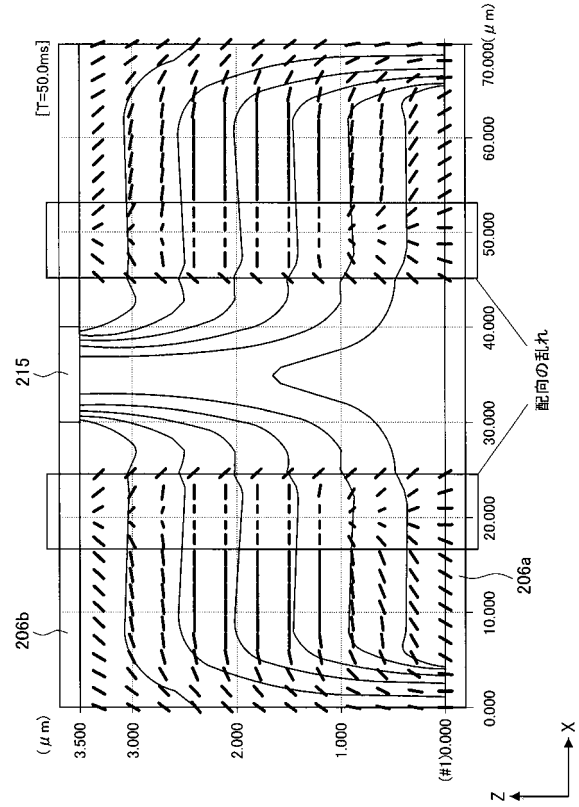
【 図 12 】



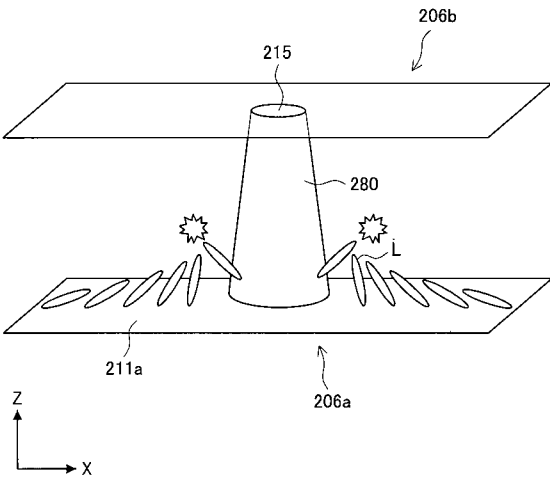
【 図 1 3 】



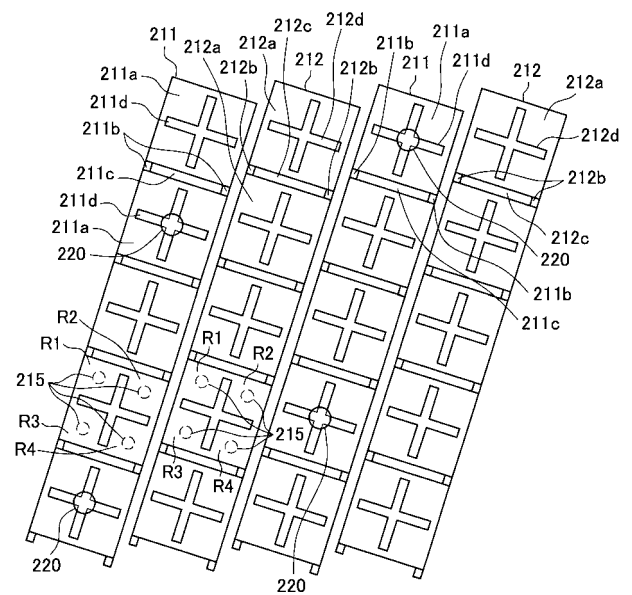
【 図 1 4 】



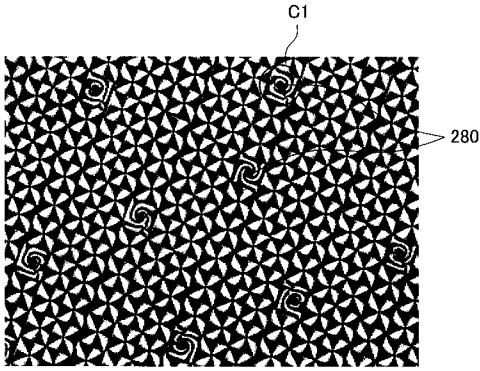
【 図 1 5 】



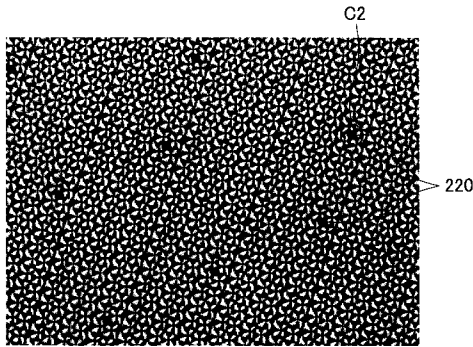
【 図 1 6 】



【 図 1 7 】

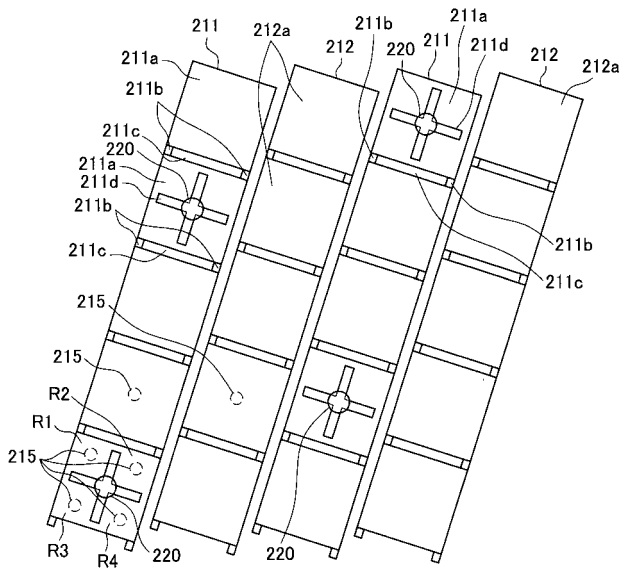


(A)

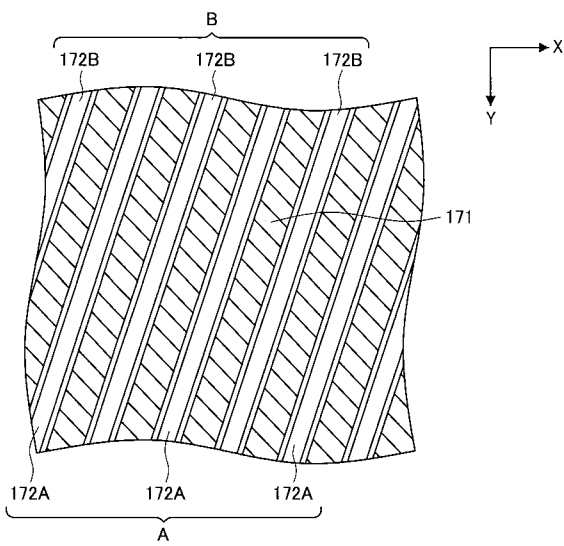


(B)

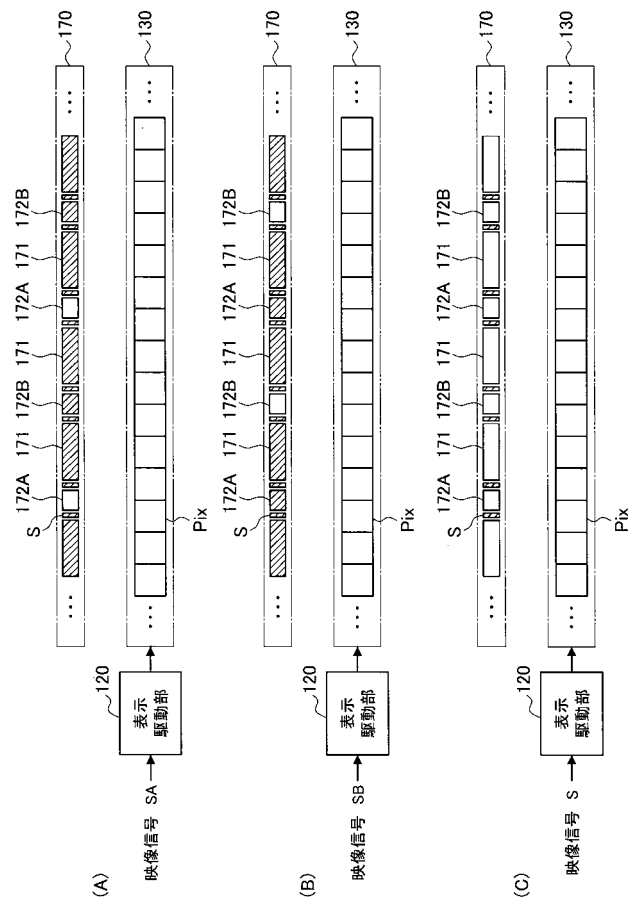
【 図 1 8 】



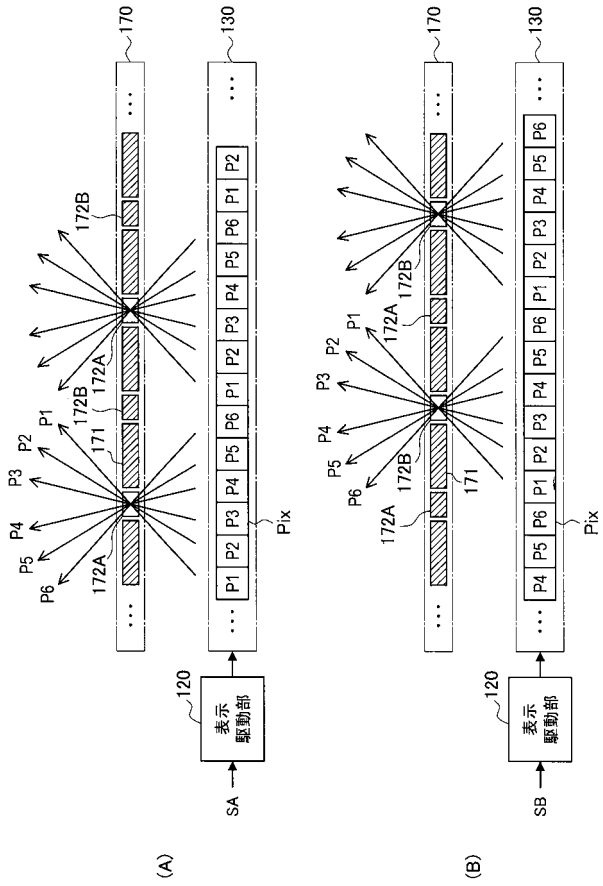
【 図 1 9 】



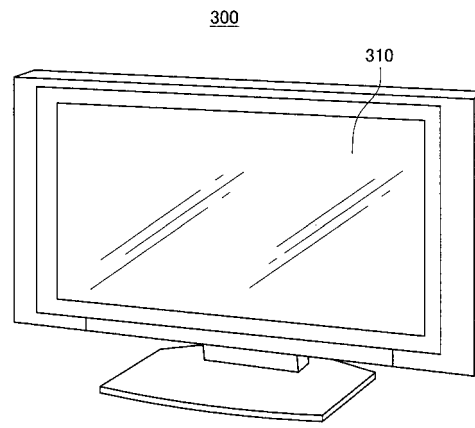
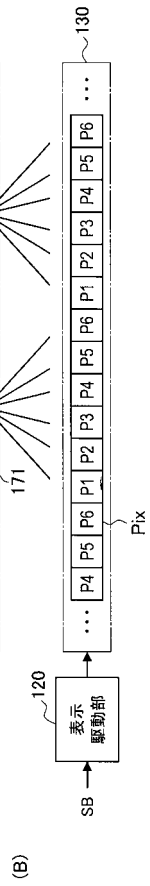
【 図 2 0 】



【 2 1 】



【 2 2 】





---

フロントページの続き

(72)発明者 高橋 賢一  
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 井ノ上 雄一  
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 吉海江 憲  
東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 2H088 EA40 HA02 HA18 HA28 JA10 MA20  
2H191 FA17X FA22X FA22Z FA82Z FA85Z FB05 FD09 GA05 GA11 GA19  
HA11 LA28 MA01 NA74 NA76  
2H199 BA09 BA17 BA29 BA42 BA55 BB43 BB52 BB65 BB66  
5C061 AA08 AB14 AB18