

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3940743号
(P3940743)

(45) 発行日 平成19年7月4日(2007.7.4)

(24) 登録日 平成19年4月6日(2007.4.6)

(51) Int. Cl. F I
H03K 19/0185 (2006.01) H03K 19/00 I01E

請求項の数 6 (全 24 頁)

(21) 出願番号	特願2005-187215 (P2005-187215)	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成17年6月27日(2005.6.27)	(74) 代理人	100089071 弁理士 玉村 静世
(62) 分割の表示	特願平9-359273の分割	(72) 発明者	田中 一雄 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内
原出願日	平成9年12月26日(1997.12.26)	(72) 発明者	水野 弘之 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 所中央研究所内
(65) 公開番号	特開2005-348427 (P2005-348427A)		
(43) 公開日	平成17年12月15日(2005.12.15)		
審査請求日	平成17年6月29日(2005.6.29)		

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびレベル変換回路

(57) 【特許請求の範囲】

【請求項1】

第1電源電圧で動作する第1回路ブロックと、
上記第1電源電圧よりも高い第2電源電圧で動作する第2回路ブロックと、
上記第1回路ブロックの出力をレベル変換して上記第2回路ブロックの入力に伝達する
レベル変換回路とを有し、

上記レベル変換回路は、上記第1回路ブロックに上記第1電源電圧の供給が停止された
場合に、上記レベル変換回路に流れる貫通電流経路を遮断する第1の手段と、上記レベル
変換回路の出力を所定の電位に制御する第2の手段とを含み、

上記レベル変換回路は、上記第1回路ブロックから出力される互いに逆相の第1出力信
号と第2出力信号とにそれぞれ応答する第1CMOS回路と第2CMOS回路とを含み、

上記レベル変換回路は、上記第2電源電圧と上記第1CMOS回路の電源電圧供給ノ
ードとの間にソース・ドレイン経路が接続され上記第2CMOS回路の出力信号によりゲ
ートが駆動される第1負荷MOSFETと、上記第2電源電圧と上記第2CMOS回路の電
源電圧供給ノードとの間にソース・ドレイン経路が接続され上記第1CMOS回路の出力
信号によりゲートが駆動される第2負荷MOSFETを含むことを特徴とする半導体集積
回路装置。

【請求項2】

請求項1において、

上記第1回路ブロックに上記第1電源電圧が供給されている場合、上記第1回路ブロッ

10

20

クを動作させないときにもサブスレッシュホールドリーク電流が流れることにより電力を消費する半導体集積回路装置。

【請求項 3】

請求項 1 において、

上記第 1 回路ブロックへの上記第 1 電源電圧の供給を停止させるスイッチを 1 チップ上に集積した半導体集積回路装置。

【請求項 4】

請求項 1 において、

上記レベル変換回路は論理演算機能を有する半導体集積回路装置。

【請求項 5】

第 1 電源電圧で動作する第 1 回路ブロックと、

上記第 1 電源電圧よりも高い第 2 電源電圧で動作する第 2 回路ブロックと、

上記第 1 回路ブロックの出力をレベル変換して上記第 2 回路ブロックの入力に伝達するレベル変換回路とを有し、

上記レベル変換回路は、上記第 2 回路ブロックから出力される制御信号がゲートに入力される第 1 導電型 MOS F E T と第 2 導電型 MOS F E T とを含み、

上記第 1 回路ブロックに上記第 1 電源電圧の供給が停止された場合に、上記第 1 導電型 MOS F E T は上記レベル変換回路に流れる貫通電流経路を遮断するものであり、上記第 2 導電型 MOS F E T は上記レベル変換回路の出力を所定の電位に制御するものであり、

上記レベル変換回路は、上記第 1 回路ブロックから出力される互いに逆相の第 1 出力信号と第 2 出力信号とにそれぞれ応答する第 1 C M O S 回路と第 2 C M O S 回路とを含み、

上記レベル変換回路は、上記第 2 電源電圧と上記第 1 C M O S 回路の電源電圧供給ノードとの間にソース・ドレイン経路が接続され上記第 2 C M O S 回路の出力信号によりゲートが駆動される第 1 負荷 MOS F E T と、上記第 2 電源電圧と上記第 2 C M O S 回路の電源電圧供給ノードとの間にソース・ドレイン経路が接続され上記第 1 C M O S 回路の出力信号によりゲートが駆動される第 2 負荷 MOS F E T を含むことを特徴とする半導体集積回路装置。

【請求項 6】

請求項 5 において、

上記第 1 C M O S 回路と上記第 2 C M O S 回路とは互いに相補な論理演算を行う半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置およびレベル変換回路に関するものであり、特に、ひとつの半導体基板上に複数種類の電源によって駆動される複数の回路部を有する場合に適用して好適な半導体装置およびその半導体装置に用いられるレベル変換回路に関するものである。

【背景技術】

【0002】

大規模 L S I 等の半導体集積回路装置では、特に C M O S による集積回路を中心に、低消費電力化のための電源電圧の低電圧化が進んでいる。かかる半導体集積回路装置は、例えば 1.2 ボルトのような低い電圧の電源で駆動されるが、外部の 3.3 ボルト電源で駆動される回路とのインターフェース部となる I/O 部は 3.3 ボルト電源で駆動される回路を有することになる。

【0003】

また、I/O 部に限らず、一つの半導体チップ内で異なる電圧の電源で駆動される複数の回路部を有する場合もある。

【0004】

このような半導体集積回路装置においては、レベルダウンやレベルアップのレベル変換回

10

20

30

40

50

路が必要になるが、ここで、図2(a)に、従来使用されているレベルダウン回路(大振幅信号を小振幅信号に変換する回路)の回路図およびその動作波形図を示す。以下、VDDQは3.3V、VDDは1.2V、VSSは接地電位、大きな振幅の信号をVDDQ電位の振幅、小さな振幅の信号をVDD電位の振幅とする。

【0005】

200はP型MOSトランジスタ(以下、PMOSと記す)、201はN型MOSトランジスタ(以下、NMOSと記す)である。IN0は波形図に示すように3.3V振幅の入力信号で、1.2V振幅のout0を出力として得ている。

【0006】

200および、201はゲート・ソース間に最大3.3Vの電位が印加させる可能性があるため、酸化膜厚の厚いMOSトランジスタで構成する。

10

【0007】

図2(b)に従来使用されているレベルアップ回路(小振幅信号を大振幅信号に変換する回路)の回路図およびその動作波形図を示す。202、203はPMOS、204、205はNMOSである。

【0008】

in0およびin0bが1.2Vの小振幅入力信号で、in0とin0bとは相補な関係にあるデュアルレベル信号である。OUT0は3.3Vの大振幅出力信号である。202から205までのMOSトランジスタは図2(a)の200や201と同様の厚酸化膜で構成されたMOSトランジスタである。

【0009】

【特許文献1】特開平06-209256号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0010】

図2(a)のような従来構成のレベルダウン回路では、論理しきい値は約VDD/2、すなわち、0.6V付近となる。一般に大振幅信号はその振幅が大きいためからグラウンドレベルが揺らぐタイプのノイズが発生しやすい。大振幅信号のグラウンドレベルが0.6V以上揺らぐと図2の回路では'H'レベルと判断されてしまい、out0には'L'レベルが出力されてしまう。

【0011】

従って、従来のレベルダウン回路では、VDDが低電圧化されるに従い、上記論理しきい値は低くなり、少しのノイズによって誤った論理値がout0に出力されるという欠点があった。

30

【0012】

また、図2(b)のような構成のレベルアップ回路では、VDDQ電源が投入されてVDD電源が投入されない電源投入時にin0およびin0bが不定値となり、VDDQとVSS間に貫通電流が流れるという問題がある。これにより、VDD電源をVDDQ電源からDC-DCコンバータで作っているシステムの場合、VDDQ電源に大きな負荷が加わってVDD電源が投入できないという現象が発生する。VDD電源が投入されないとき先のin0およびin0bは不定値のまま、永遠にこのシステムは正常起動されないことになる。

【0013】

また、電源投入時のみならず、VDDQ電源を投入したままでVDD電源を遮断することでもできない。なぜなら、VDD電源の遮断によりin0およびin0bの値が不定値となるからである。これによりVDDQに貫通電流が流れシステムの消費電力が著しく増加してしまう。

40

【0014】

また、レベル変換回路部だけでなく、出力バッファ回路部を含む入出力回路部においても、従来の入出力回路においては、VDDQ電源が投入されてVDD電源が投入されない電源投入時に、出力バッファの入力信号値が不定値となり、出力バッファ回路のVDDQとVSS間に貫通電流が流れるという問題があった。

【0015】

本発明の目的は、大振幅信号のグラウンドレベルが揺らいでもノイズが発生しにくいレベルダウン回路およびこのレベルダウン回路を用いた半導体集積回路装置を提供することで

50

ある。

【0016】

また、本発明の他の目的は、高電圧と低電圧の複数の電源を用いた集積回路装置において、高電圧電源が投入されて低電圧電源が投入されていない間においても、高電圧電源と接地電源間に貫通電流が流れることのないレベル変換回路および半導体集積回路装置を提供することである。

【課題を解決するための手段】

【0017】

上記の目的を達成するために、本発明においては、以下の手段を採用した。

- (1)レベルダウン回路の入力を差動入力にした。
- (2)レベルダウン回路中でゲート・ドレイン間およびゲート・ソース間に3.3V電位が加わらないMOSトランジスタについては、薄酸化膜MOSトランジスタを用いた。
- (3)レベルアップ回路に論理演算機能を設けた。
- (4)出力バッファのどちらか一方のMOSのみをONすることで出力バッファに貫通電流が流れるのを防止するための素子を出力バッファ回路の入力側に設けた。

【発明の効果】

【0018】

本発明によれば、大振幅信号のグラウンドレベルが揺らいでもノイズが発生しにくいレベルダウン回路を実現できる。

【0019】

また、本発明によれば、高電圧と低電圧の複数の電源を用いた集積回路装置において、高電圧電源が投入されて低電圧電源が投入されていない間においても、高電圧電源と接地電源間に貫通電流が流れにくい。

【発明を実施するための最良の形態】

【0020】

本発明、本発明の更に他の目的及び特徴は図面を参照した以下の説明から明らかとなるであろう。

【0021】

以下説明する実施例で、論理“1”は論理信号の2値のうちの「正」側を指し、論理“0”は「負」側を指すものとする（いわゆる正論理体系で説明する）。

【0022】

MOSFET (Metal - Oxide - Semiconductor Field - Effect - Transistor) で代表される絶縁ゲート型電界効果トランジスタ (Insulated - Gate FET 又は Metal - Insulator - Semiconductor FET) は以下の説明ではMOSと称す。また、多数キャリアが電子であるNチャンネルMOSはNMOSと、多数キャリアが正孔であるPチャンネルMOSはPMOSと称す。

【0023】

しきい値電圧 (V_{th}) は、定性的にはドレイン電流が流れはじめるときのゲートとソース間の電位差を指すが、定量的にはドレイン電流がゲート・ソース間電圧としきい値電圧の差の二乗曲線であらわされる、いわゆるMOSの飽和領域を何点がプロットすれば、実測値が導かれる。しきい値は反転チャンネルが誘起される半導体基板表面の濃度やゲート絶縁膜の厚さなどいくつかのパラメータに依存する。以下の実施例ではしきい値の大小の比較がなされるが、PMOS及びNMOSともエンハンスメント・モードで動作し絶対値で比較していると理解されたい。また、チャンネルコンダクタンスを決めるプロセスパラメータが同じ場合は、チャンネル幅Wとチャンネル長Lのデバイス設計パラメータを同じと仮定した場合に同じゲート・ソース間電圧でドレイン電流が多く流れるほうがしきい値 V_{th} が低いと考えてもよい。

【0024】

MOSのソース、ドレインは本回路のバイアスによって決まるものであるが、本出願

10

20

30

40

50

の図面ではソースとなるほうに矢印を付し、PMOSは内向きに、NMOSは外向きに表示する。また、トランスマッションゲートのように動作中にバイアス方向が変わるものは双方に矢印を付してある。また、ソースとドレインを区別せずに総称するときはソース・ドレインと表現する。

【0025】

大きなコンダクタンスが必要とされるMOSは、実際の集積回路では複数のMOSのゲート、ソース・ドレインを共通に接続したり(ソース・ドレイン間の電流通路が並列に接続される)、或いは等価的にそのように分布しているケースが多いが、断りの無い限り本出願では1個のMOSとして説明する。また、同様に複数のMOSのソース・ドレイン間の電流通路が直列に接続され、ゲートに事実上同じ信号が印加される場合も断りの無い限り本出願では1個のMOSとして説明する。

10

【0026】

図1に本発明のレベルダウン回路の回路図およびその動作波形図を示す。IN0およびIN0Bが3.3Vの大振幅入力信号で、IN0とIN0Bとは相補な関係にあるデュアルレール信号である。out0は1.2Vの小振幅出力信号である。

【0027】

以下、図1から図13までの説明中では、大文字の信号名(IN,OUT)で示した信号は3.3V振幅の信号を、小文字の信号名(in,out)で示した信号は1.2V振幅の信号を示すこととする。

【0028】

102, 103は図2の201と同様の厚酸化膜NMOSである。100, 101はPMOSである。100および101のゲート・ドレイン間およびゲート・ソース間に加わる電位差は高々VDD(1.2V)であるため、102や103ほど酸化膜厚耐圧が必要しない。このため、100, 101は102および103と比較して酸化膜厚が薄い薄酸化膜PMOSで、特に限定しないが102および103よりも低しきい値なMOSトランジスタで構成する。

20

【0029】

上記実施例によれば、入力がIN0とIN0Bの差動入力となっているため、グラウンドレベルが揺らぐタイプのノイズが発生しても、誤った論理レベルをout0に出力することがない。また、VDD電圧が低電圧化してもノイズの影響を受け難いという特徴をもつ。

【0030】

また、上記実施例によれば、100, 101を薄酸化膜MOSトランジスタで構成しているため、高速動作が可能である。

30

【0031】

100および101を、出力out0が接続される回路を構成するMOSトランジスタと同様の酸化膜厚およびしきい値電圧に設定し、102および103を、入力IN0, IN0Bを出力している回路のMOSトランジスタと同様の酸化膜厚およびしきい値電圧に設定すれば、プロセスの工数が削減できる。例えば102, 103はI/O回路の出力段MOSトランジスタあるいは保護回路に使用するMOSトランジスタと同じものにすればよい。

【0032】

図3は、レベルアップ回路の回路図およびその動作波形図である。in0およびin0bがVDD(1.2V)の小振幅入力信号で、in0とin0bとは相補な関係にあるデュアルレール信号である。OUT0は3.3Vの大振幅出力信号である。300, 301, 302, 303は図2(a)の200と同様の厚酸化膜PMOSである。304, 305は図2(a)の201と同様の厚酸化膜NMOSである。図中の波形図のように、in0の論理レベルを振幅を大きくしてOUT0に出力する。入力が差動になっているため、ノイズに対して強いという特徴をもつ。

40

【0033】

図4は、図3と同様、レベルアップ回路の回路図と動作波形図である。

【0034】

図3の回路は、1.2V(VDD)~0V(VSS)の1.2V振幅の信号を、3.3V(VDDQ0~0V(VSS)の3.3V振幅の信号に変換する回路であるが、図4は1.2V(VDD)~0V(VSS)の1.2V振幅の信号を、1.2V(

50

VDD) ~ -2.1V(VSSQ)の3.3V振幅の信号に変換する回路である。VSSQは-2.1Vの負電源である。in0およびin0bがVDD(1.2V)の小振幅入力信号で、in0とin0bとは相補な関係にあるデュアルレール信号である。OUT0は1.2V ~ -2.1Vまでの3.3Vの大振幅出力信号である。400, 401, 402, 403は図2(a)の200と同様の厚酸化膜PMOSである。404, 405は図2(a)の201と同様の厚酸化膜NMOSである。

図中の波形図のように、in0の論理レベルを振幅を大きくしてOUT0に出力する。

図3の回路と同様に入力が差動になっているため、ノイズに対して強いという特徴をもつ。

【 0 0 3 5 】

図3と図4は、相補な関係にあるため、以下、図3の回路をもとに本発明のレベル変換回路を示すこととする。以下の発明においても、図4のように負電圧方向にも拡張できることは明かである。

【 0 0 3 6 】

図5は、図3の回路をさらに低VDD電圧でも使用できるようにしたものである。

【 0 0 3 7 】

図3と比較すると、電流源として使用しているPMOS 306が付加されている。VDDQの電位が固定されていて、VDDの電位が小さくなると、NMOS 304, 305のオン電流(ソース・ゲート電位差がVDDの時の電流)がPMOS 302, 303のオフ電流(ソース・ゲート電位差がVDDの時の電流)より小さくなってしまふ。すると、PMOS 300, 301からなるクロスカップルPMOSが反転しなくなる。これを防ぐには、PMOS 300, 301, 302, 303のゲート幅を小さくし、NMOS 304, 405のゲート幅を大きくする必要がある。しかし、これは面積増加につながり、かつ、in0やin0bの入力容量を大きくすることになる。図5では、PMOS 306を電源VDDQに接続している。このようにすることで、PMOS 300, 301, 302, 303のゲート幅を小さくし、NMOS 304, 405のゲート幅を大きくする必要があるなくなる。面積増加はPMOS 306分だけとなり、in0やin0bの入力容量も大きくならない。

【 0 0 3 8 】

PMOS 306は電流を制限できるものであれば何でもよい。NMOSでもよい。また、挿入場所についても、PMOS 300と302の間と、PMOS 301と303の間に挿入してもよい。特に挿入場所は限定しないが、要は300から305までのゲート幅を調整するだけでなく、電流制限素子を回路中に挿入すればよい。

【 0 0 3 9 】

図6(a)は、図3の回路でさらに出力段にインバータ回路331を接続したものである。図3の出力OUT0はレベル変換回路の内部ノードにも成っているため、OUT0に接続される回路によってレベル変換回路の内部ノード電位の振る舞いが変わってしまう。これはレベル変換セルの遅延時間に影響をあたえ、ひいては誤動作の原因となる。図6(a)のように出力段にインバータを入れることで、OUT0に接続される回路がレベル変換セル内のノードに悪影響を与えることがなくなる。また、図3と比較するとOUT0の出力インピーダンスが小さくできるため、OUT0に多くの回路を接続した場合にトータルの遅延時間を削減できる。

【 0 0 4 0 】

レベル変換セルを自動配置配線ツールで使用するセルとして登録する場合、図6(a)の構成にすることで、耐ノイズ性にすぐれた高速レベル変換セルを構成することができる。また、出力の負荷に対する遅延依存性がCMOSインバータと同じになるため、タイミング解析にCMOSのそれをそのまま適用することができる。

【 0 0 4 1 】

図6(b)は図6(a)の波形図である。インバータ331の挿入により、内部ノード333のスルーレートが遅いのに対し出力OUT0のスルーレートは速くなっている。

【 0 0 4 2 】

図1の回路にも出力にインバータ回路を付加することで同様の効果を得ることができる。以下、レベル変換回路には図6(A)のインバータは付加しないが、付加することができることは明かである。

10

20

30

40

50

【 0 0 4 3 】

図7は、図3のレベルアップ回路に論理演算機能を付加したものである。in0およびin1が1.2V振幅の小振幅入力信号で、in0bおよびin1bはその相補信号である。OUT0は3.3V振幅の大振幅出力信号である。図3と比較すると、302および304から成るインバータと、303および305から成るインバータを、それぞれ502, 504, 506, 508から成るNORと、03, 505, 507, 509から成るNANDに置き換えている。このような構成にすることで、 $OUT0 = in0 \text{ or } in1$ の論理演算が可能となる。

【 0 0 4 4 】

またさらに、502, 504, 506, 508から成るNORをLOG1の演算を行う論理回路に置き換え、そのLOG1の回路に相補な回路を503, 505, 507, 509から成るNANDと置き換えれば、 $OUT0 = LOG1(\text{インバートを意味する})$ の論理演算機能を持つレベルアップ回路が構成できる。なお、図7では2入力(相補な信号を含むと4入力)信号であるが、それ以上の多入力な回路構成にすることも可能である。

【 0 0 4 5 】

図8は、図7のレベルアップ回路を出力固定機能付きレベルアップ回路に応用したものである。513が出力固定機能付きレベルアップ回路である。図7と比較すると、インバータ512が付加され、in1bを3.3Vの大振幅信号IN1に変更し、in1をインバータ512でIN1から作っている。

【 0 0 4 6 】

510は電源電圧1.2Vで動作する回路ブロックで、511は電源電圧3.3Vで動作する回路ブロックである。IN1=0Vにすることによって、in0およびin0bの電位がいかなる電位であってもOUT0=3.3Vが出力される。この状態では出力固定機能付きレベルアップ回路513の電源間VDDQからVSSに流れる貫通電流もない。

【 0 0 4 7 】

IN1=0Vにすることによって、回路ブロック510の電源をオフできる。in0およびin0bの電位が不定になるが、513に貫通電流は流れないし、その出力OUT0も確定するので回路ブロック511が誤作動することはない。

【 0 0 4 8 】

回路ブロック510を低しきい値MOSトランジスタで構成した場合、回路ブロックを動作させないスタンバイ時にもサブスレッショルドリーク電流が流れ、電力を消費する。図8の構成にすることで、スタンバイ時に回路ブロック510の電源をオフにすることができ、上記サブスレッショルドリーク電流による電力消費を抑えることができる。

【 0 0 4 9 】

また、図8ではMOSトランジスタのゲート幅等の回路定数については記述していないが、IN1に大振幅の信号が入力されるため、MOS 503, 509, 504, 508のゲート長を、MOS 505, 507, 502, 506のゲート長よりも小さくすればよい。以下のレベル変換の図でも同様に回路定数は記述しないが、一般に大振幅が入力されるMOSトランジスタと小振幅が入力されるMOSトランジスタによってCMOS回路が構成されている場合、大振幅が入力されるMOSトランジスタのゲート長を、小振幅が入力されるMOSトランジスタのゲート長よりも小さくすれば、対称性を保つことができる。

【 0 0 5 0 】

図9の出力固定機能付きレベルアップ回路514は、IN1=3.3Vの時にOUT0=0Vに固定する出力固定機能付きレベルアップ回路である。OUT0=3.3Vで固定したい場合は図8の513を、OUT0=0Vで固定したい場合は図9の514を使用すればよい。

【 0 0 5 1 】

図10および図11はそれぞれ図8および図9の機能を別の方法で実現したものであり、図10の515および図11の516は出力固定機能付きレベルアップ回路である。回路ブロック510の電源をオフしても、IN1を適切な値に設定することで515ないし516の電源間に流れる貫通電流を防ぐことができ、出力OUT0を安定させることができる。

【 0 0 5 2 】

10

20

30

40

50

図8から図11はあるレベルに出力OUT0を固定する出力固定機能付きレベルアップ回路を示したが、これらの回路とラッチ回路を用いるとIN1がある値になったときのOUT0のレベルを保持する回路を構成せきる。図12がその一例である。513は図8の出力固定機能付きレベルアップ回路で、522はラッチ回路である。IN1が3.3Vから0Vに変化すると、そのときの521の信号レベルをOUT0にラッチする。上記のように、IN1が0Vの状態では、回路ブロック510の電源をオフできる。in0およびin0bの電位が不定になるが、513に貫通電流は流れないし、その出力OUT0も確定するので回路ブロック511が誤作動することはない。

【 0 0 5 3 】

また、この実施例は、513に限らず、図9から図11までの出力固定機能付きレベルアップ回路を用いて同様のことができることは言うまでもない。

【 0 0 5 4 】

図13に以上で示した出力固定機能付きレベルアップ回路とレベルダウン回路を用いた回路システム600の実施例を示す。

【 0 0 5 5 】

601はVDD=1.2Vが供給された低電圧回路ブロックで、低しきい値MOSトランジスタで構成されている。一方、602はVDDQ=3.3が供給された高電圧回路ブロックで、601を構成するMOSトランジスタよりも高いしきい値のMOSトランジスタで構成されている。したがって、回路ブロック602の電源間に流れるサブスレッシュリーク電流は回路ブロック601のそれに比較して無視できる量である。6031から603nは図8から図13で示した出力固定機能付きレベルアップ回路である。6041から604nはレベルダウン回路でたとえば図1に示すものである。

【 0 0 5 6 】

回路ブロック601を低しきい値MOSトランジスタで構成しているため、回路ブロック601を動作させないスタンバイ時にもサブスレッシュリーク電流が流れ、電力を消費する。スタンバイ時にレベルアップ回路群603のIN1にそれぞれ適切な値を入力することで、回路ブロック601の電源をオフにすることができ、上記サブスレッシュリーク電流による電力消費を抑えることができる。レベルアップ回路群603の出力OUT0も固定されるため回路ブロック602が誤作動することもない。

【 0 0 5 7 】

回路ブロック602に搭載する回路機能等は限定しないが、時計機能やメモリ等の電源をオフにできない回路群を納めることにより、回路ブロック601の電源を頻繁にオフすることができる。

【 0 0 5 8 】

回路ブロック601の電源をオフにする手段は特に限定しないが、回路ブロック601と電源VDDとの間にPMOSを挿入してもよい。それらの回路システム600を1チップ上に集積すれば、チップ外部に回路ブロック601の電源をオフするスイッチを装備する必要がない。

【 0 0 5 9 】

図14は、さらに、回路ブロック601を2系統の回路ブロック601Aおよび601Bに分離したものである。

【 0 0 6 0 】

図13の回路ブロック601は電源がオフすると回路ブロック601内のノードの電位は不定となり、回路ブロック601内にSRAMやDRAM等のメモリ回路があった場合にその情報が保持できないという欠点がある。

【 0 0 6 1 】

図14ではメモリ等の電源がオフできない回路を回路ブロック601aに、オフしてもよい回路を回路ブロック601bに搭載する。PSCは電源スイッチ制御回路で、PSCからの信号701aおよび701bで電源スイッチPMOS702a、702bをオン・オフする。603a、603b出力固定機能付きレベルアップ回路群である。604aと604bはレベルダウン回路群である。601aと601bの間にも、回路ブロック601bの電源をオフした時、回路ブロック601aが誤作動しないように固定回路が必要であるが、NANDやNORといったCMOS回路を使用すれば簡単に実現できるのでこ

10

20

30

40

50

こでは省略している。

【0062】

図14の構成のシステムでは、スタンバイに2状態が設けられる。一つは電源スイッチPMOS 702bをオフして、回路ブロック601bの電源をオフにする状態(以下、スタンバイ1と記す)である。もう一つはスタンバイ1の状態に加えて、電源スイッチPMOS 702aをオフにして回路ブロック601aの電源をオフにする状態(以下、スタンバイ2と記す)である。スタンバイ1では回路ブロック601bのサブスレッシュヨルドリーク電流を削減できる。回路ブロック601bは電源がオフからオンに遷移してもメモリ等の回路が搭載されていないので誤作動しない。したがって、スタンバイ1からの復帰は高速にできる。それに対して、回路ブロック601aの電源をオフにするスタンバイ2に遷移すると、回路ブロック601a内のメモリ等の内容が消去されるため、スタンバイ2からの復帰に時間がかかる。しかし、スタンバイ2ではスタンバイ1の状態に加えてさらに回路ブロック601aのサブスレッシュヨルドリーク電流も削減でき、より低電力になる。比較的短い時間だけ回路ブロック601aおよび601bの動作を止めるのであればスタンバイ1の状態に、長い時間止めるのであれば、スタンバイ2の状態にすればよい。

10

【0063】

図15はさらに図14に基板バイアス制御回路VBCaおよびVBCbを付加したものである。上記説明のようにスタンバイ1の状態では回路ブロック601aにはサブスレッシュヨルドリーク電流が流れる。図14の発明ではスタンバイ1状態の時に、基板バイアス制御回路VBCaにより回路ブロック601a中のMOSトランジスタの基板電位を以下のように制御する。

20

(1) PMOSについては、電源電位よりも高い電位にする。

(2) NMOSについては、電源電位よりも低い電位にする。

これにより、回路ブロック601a中のMOSトランジスタのしきい値電圧が上がり、サブスレッシュヨルドリーク電流が低減できる。電源はオンのままであるため、回路ブロック601a中のメモリ等の内容は保持されたままになる。

【0064】

回路ブロック601bに接続されている基板バイアス制御回路VBCbはIDDQテスト時に使用することができる。IDDQテスト時には被測定回路を電源ラインから遮断することになるため、電源スイッチPMOS 702aおよび702bがオフできない。基板バイアス制御回路VBCaおよびVBCbを用いて回路ブロック601aおよび601bを構成するMOSトランジスタのしきい値電圧を上げ、サブスレッシュヨルドリーク電流を小さくすることでIDDQテストが実行できる。

30

【0065】

本発明は、構成は特に図15のものに限定する必要はなく、高しきい値MOSトランジスタで構成され、高電圧が印加された回路ブロック1と、低しきい値MOSトランジスタで構成され、低電圧が印加された回路ブロック2からなるシステムにおいて、回路ブロック1と回路ブロック2間は出力固定機能付きレベルアップ回路群とレベルダウン回路群でインターフェースする。回路ブロック1には高速動作が要求されるものを搭載し、回路ブロック2には低速でもよく、あまり電力を消費しないRTC等の回路を搭載する。さらに、回路ブロック1をメモリ等の電源をオフすれば復帰に時間がかかる回路を含む回路ブロック1Aと、それ以外の回路ブロック1Bに分け、それぞれの回路ブロック1の電源を制御する。さらにそれぞれの回路ブロック1に基板バイアス制御回路を付加すればよい。

40

【0066】

図16(a)は図14および図15で用いた電源スイッチPMOS 702aの制御方法の実施例である。図16(a)では電源スイッチに高しきい値のPMOSを使用している。アクティブ時には電源スイッチPMOS 702aのゲート酸化膜耐圧が許す限りなるべく負電位にゲート端子の電位701aを制御している。これにより多くの電流をPMOSに流すことができる。印加する負電位は例えば基板バイアス制御の際に使用する負電圧が使用できる。一方、スタンバイ時にはゲート電位701aをVDD電位の1.2Vに制御している。上記のように電源スイッチPMOS 702aは高しきい値MOSトランジスタであるため、この電位で十分に電源スイッチPMOS 702aをオフできる。

50

【 0 0 6 7 】

図16(b)は図16(a)の電源スイッチPMOS 702aを低しきい値PMOSで構成した場合の電源スイッチPMOS 702aの制御方法の実施例である。アクティブ時には電源スイッチPMOS 702aのゲート電圧702aは0Vに制御している。電源スイッチPMOS 702aは低しきい値なMOSトランジスタで構成されているため、多くの電流を流すことが可能である。一方、スタンバイ時にはゲート電位701aをゲート酸化膜耐圧が許す限りなるべく正電位に制御している。ここでは3.3Vに制御している。このように制御することで電源スイッチPMOS 702aは低しきい値MOSトランジスタであるが十分なオンオフ特性が得られる。

【 0 0 6 8 】

図16(a)および図16(b)の制御方法は特にPMOSに限らない。NMOSの電源スイッチを用いた場合にも極性が異なるだけで、まったく同様なことができることは明かである。

10

【 0 0 6 9 】

図17は図16(A)で示したゲート電圧701aの生成方法の実施例を示したものである。710は負電圧発生回路で、3.3Vから-2.1Vを生成して、712に出力している。711はゲート電圧701aを制御する電源スイッチ制御回路で、VDD(1.2V)と、さきほどの712(-2.1V)が電源として供給されている。712は基板バイアスで、601aを構成するMOSトランジスタの基板電位がこの電圧で制御される。

【 0 0 7 0 】

このように、基板バイアス制御に用いる負電源電圧712と、電源スイッチ702aを制御するのに必要な負電源電圧を共通化することで、図16(a)の制御を実現するのに必要な回路の規模を大幅に削減できる。

20

【 0 0 7 1 】

次に、これまで述べてきたレベル変換回路を用いてIC(半導体集積回路)の外部端子(ピン)に接続される入出力回路を構成した例について説明する。

【 0 0 7 2 】

図18は本発明によるIC(半導体集積回路)の外部端子(ピン)に接続される入出力回路の例を示す。

【 0 0 7 3 】

PB1とNB1はそれぞれ外部端子I/Oに接続されるべき外部回路の負荷を駆動するに十分高いコンダクタンスを有するPMOSとNMOSであり、両者は出力バッファ回路を構成する。図の左端にあるインバータINV7、NANDゲートNAND1及びNORゲートNOR1は、出力制御信号/OEが“0”のときに出力信号Outの情報が出力バッファを通じて外部端子I/Oに導かれるようにし(出力バッファはどちらか一方のMOSが導通し、低出力インピーダンスになる)、/OEが“1”のときに出力信号Outの状態に関らず出力バッファの両MOSを共に非導通にして、出力バッファを高出力インピーダンスにするトライステート論理演算を行う回路である。

30

【 0 0 7 4 】

外部端子I/OはNORゲートNOR2にの入力側にも接続され入出力共用端子とされている。NORゲートNOR2は入力制御信号/IEが論理“0”のときは外部端子I/OにICの外部から供給される情報を図の左端にある端子/Inに伝達し(/In端子は外部端子I/Oに供給される信号の反転レベルとなる)、入力制御信号/IEが論理“1”のときにその伝達をブロックする(/In端子は強制的に論理“0”にされる)。

40

【 0 0 7 5 】

P3はプルアップ用のPMOSであり、論理“0”と開放(open、高インピーダンス)の2状態のうちの一つで外部入力I/O端子に供給される場合に使用される。P3はプルアップ制御信号/PUが論理“0”のとき導通し、外部入力I/O端子が論理“0”のときは論理“0”を、外部入力I/O端子が開放のときは論理“1”となる信号をNORゲートNOR2に伝達する。P3の導通時のインピーダンスは外部入力の論理“0”のときのインピーダンスよりも十分大きくなるよう、P3のチャンネル長はそのチャンネル幅Wよりも大きくされる。

50

【 0 0 7 6 】

図の左側点線枠で囲まれたブロックは低電圧電源の回路であり、図示された範囲内においては、全てのPMOSのN型基板（N型ウェル）N-SUBはPMOS用ウェル電源V_{bp}に接続され、全てのNMOSのP型基板（P型ウェル）P-SUBはNMOS用ウェル電源V_{bn}に接続される。電源は0VのV_{ss}と1.2VのV_{dd}が使われる。また、殆どのMOSは後述する高電圧電源の回路よりも低しきい値電圧とされ、ゲート絶縁膜も薄く形成される。最小チャンネル長は一例として0.2 μ mと高電圧電源の回路の最小チャンネル長0.32 μ mよりも短くされる。

【 0 0 7 7 】

インバータ回路INV4～INV9としては図21の(c)が、NAND回路NAND1とNOR回路NOR1はそれぞれ(b)及び(a)が使用される。 10

【 0 0 7 8 】

図の右側点線枠で囲まれたブロックは高電圧電源の回路であり、電源は0VのV_{ssq}と3.3VのV_{ddq}が使われる。図示された範囲内においては、全てのPMOSのN型基板（N型ウェル）N-SUBは電源V_{ddq}に、全てのNMOSのP型基板（P型ウェル）P-SUBは電源V_{ssq}に接続され、また全てのMOSは高しきい値電圧とされ、ゲート絶縁膜も厚く形成される。電源V_{ss}とV_{ssq}は、ICの外部で、例えばICを実装したプリント配線基板で接続されるが、外部端子（ピン）、ボンディングパッド、IC内配線は別に分けられる。このように、IC内で電源V_{ss}とV_{ssq}を分けるのは、負荷電流の変動が電源配線によって動作上のノイズになるのを防ぐためである。 20

【 0 0 7 9 】

低電源電圧の回路ブロックにあるLSDは、高電源電圧回路を経て供給される3.3Vの高振幅信号を、低電源電圧の回路で処理できるように1.2Vの低振幅信号にレベル変換するためのレベルシフト（レベルダウン）回路であり、図1に示した回路が使用される。MOS102と103は高電源電圧回路で使用されるMOSと同じゲート酸化膜形成プロセスでゲート絶縁膜が厚く形成される。MOS102と103のチャンネル長は低電源電圧の回路の最小チャンネル長の0.2 μ mではなく、高電圧電源の回路の最小チャンネル長0.32 μ mが適用される。

【 0 0 8 0 】

図18の左側低電圧ブロックは図示した範囲では上述のレベルダウン回路LSDを除きゲート絶縁膜は薄く形成され、チャンネル長は低電源電圧の回路の最小チャンネル長の0.2 μ mが適用される。 30

【 0 0 8 1 】

高電源電圧回路にあるLSU1～LSU4は低電源電圧の回路から供給される1.2Vの低振幅信号を3.3Vの高振幅信号にレベルアップするためのレベルシフト回路であり、図3に示す回路が使用される。

【 0 0 8 2 】

INV1とINV2は出力バッファPB1・NB1を駆動するためのプリ・バッファ回路であり、図21(C)の反転回路が使用される。出力バッファPB1・NB1は低出力インピーダンスとなるよう大きな面積で作られるためその入力容量（ゲート）は大きくなる。このプリ・バッファは下記の役割・構成とされる。 40

【 0 0 8 3 】

(1) レベルシフト回路LSU1、LSU2の負荷容量を小さくでき、レベルシフト回路の設計パラメータの設定が出力バッファの大きな入力容量で制約を受けない。

【 0 0 8 4 】

(2) レベルシフト回路LSU1、LSU2は入力信号Iと/Iで前の出力状態を反転させることができるように、入力側NMOS304と305よりもクロスカップル側のPMOS300～303の導通時インピーダンスを大きくする。クロスカップル側のインピーダンスを小さくして出力バッファを直接駆動しようとする、入力MOSのインピーダンスを一層小さくしなければならず、占有面積や消費電力の面でそれは得策ではない。 50

従って、レベル変換機能はレベルシフト回路で、出力バッファの駆動はプリバッファと役割分担させる。図3のように入力側がNMOSの場合、論理“1”を出力するときの各回路の出力インピーダンスは小さい方から出力バッファ、プリバッファ、レベルシフト回路の順序とされる。論理“0”を出力するときの各回路の出力インピーダンスは殆どの場合上述と同じ順に設定されるが、後述する出力バッファのスイッチング特性を考慮して、小さい方から出力バッファ、レベルシフト回路、プリバッファの順序とされることもある。同様に、図4のように入力側がPMOSの場合、論理“0”を出力するときの各回路の出力インピーダンスは小さい方から出力バッファ、プリバッファ、レベルシフト回路の順序とされる。論理“1”を出力するときの各回路の出力インピーダンスは殆どの場合上述と同じ順に設定されるが、後述する出力バッファのスイッチング特性を考慮して、小さい方から出力バッファ、レベルシフト回路、プリバッファの順序とされることもある。

10

【0085】

(3) 出力バッファが前の出力状態から反転状態に移り変わるとき両方のMOSが同時に導通することは避けたいものであり、せめて同時に導通する期間は短くしたいものである。つまり、双方のMOSはターンオフは早目、ターンオンは遅目にしたいということになる。また、出力端子I/Oに出力する信号の波形は立ち下がりや立ち上がりが急峻すぎると微分ノイズが周りの外部ピンやプリント基板の周辺の配線にのり易くなるのである程度なまらせるのが良い。プリバッファは以上の点を考慮して出力インピーダンスが設定される。

20

【0086】

プリバッファの入力側にドレインが接続されたN1とP1のMOSは、応用システムの電源投入時等に、電源V_{ddq}は立ち上がっているが、電源V_{dd}が未だ立ち上がっていないときに(電源投入シーケンスはV_{ddq}がV_{dd}よりも早く立ち上がるように設定される)、低電源電圧の回路からの信号が不定であるためにPB1とNB1のバッファMOSの両方が同時に導通し大きな貫通電流が流れてしまうことを、防ぐために設けられたものである。P1はPB1のゲート電位がロウレベル“L”のときに、N1はNB1のゲート電位がハイレベル“H”のときに導通する。通常動作時を考えると、PB1とNB1が共にオフの高出力インピーダンスモードでは、N1とP1も共にオフであり通常動作に影響を与えない。PB1とNB1のいずれか一方のみがオンする低出力インピーダンスモードではN1とP1のオンした方のMOSはPB1とNB1のオフした他方をオフにするよう働くので通常動作に事実上影響を与えない。通常動作ではPB1とNB1の両方をオンにすることは禁止され、そのような入力電位(異常状態: PB1のゲート電位が“L”でNB1のゲート電位が“H”)は供給されない。上述の低電源電圧の回路からの信号が不定の場合、このような異常状態になる可能性があるが、異常状態に近づくとN1とP1が導通し始めPB1とNB1のゲート電位を同じ方向に動かそうとするので、最終的にはPB1とNB1のいずれか一方のみがオンするよう働くことになる。

30

【0087】

N2~N5のMOSは上記電源投入時の貫通電流対策を更に確実にするための回路である。電源投入時、レベルシフト回路LSU1の出力Qと/Qが上昇し始めると、N3が導通し始め入力/Iは“L”レベル側に引き込まれ、出力Qは“H”レベル側に引き込まれる。同様に、N2も導通し始め出力/Qが“L”レベル側に引き込まれ、出力Qは“H”レベル側に引き込まれる。つまり、N2及びN3は電源投入時共にレベルシフト回路LSU1の出力Qを“H”レベルに引き込むように作用する。なお、通常動作時は、入力Iが“H”レベルのときは出力Qは“H”レベルになるが、そのときN2とN3は出力Qを“H”レベルに、つまり同じ方向に動かせるので、また、入力Iが“L”レベルのときはN2とN3は非導通となり、N2とN3は入力Iと/Iに基づく出力Qと/Qの論理動作に悪影響を与えない。

40

【0088】

N4とN5は同様な動作をするので説明を省略するが、レベルシフト回路LSUの入出

50

力端子への接続が、レベルシフト回路LSU1の場合と逆になっているため、電源投入時出力Qは“L”側に引き込まれるようになる点が相違する。

【0089】

このように、N2～N5は電源投入時LSU2の出力Qを“L”、LSU1の出力Qを“H”側に引き込むため、出力バッファPB1とNB1を共に非導通にするよう作用する。したがって、電源投入時N1とP1の方が早く動作すれば出力バッファPB1とNB1はいずれか一方のみが導通し、N2～N5の方が早く動作すれば出力バッファPB1とNB1が共に非導通となるので、いずれの場合でも出力バッファPB1とNB1が共に導通してしまうことを防ぐことができる。

【0090】

N6は同様に電源投入時レベルシフト回路LSU3の出力Qを“H”レベルに引き込み、入出力端子I/Oの状態が内部回路Inに伝達されないようにしている。

【0091】

N7も同様に電源投入時レベルシフト回路LSU4の出力Qを“H”レベルに引き込み、プルアップ用のP3が非導通になるようにしている。

【0092】

なお、LSU2に接続されたN4とN5の一方、LSU1に接続されたN2とN3の一方はLSU3、4と同様に省略しても良い。

【0093】

ESD1とESD2は図21の(d)に示される静電破壊保護回路であり、入出力端子I/Oにサージ電圧飛び込んだときに出力バッファPB1、NB1のゲート絶縁膜が破壊することを防ぐための回路である。

【0094】

図18に戻るが、抵抗R1とP2とN8のMOSは入出力端子I/Oにサージ電圧飛び込んだときにNORゲートNOR2のMOSのゲート絶縁膜が破壊することを防ぐための回路である。抵抗R1とN9のMOSは入出力端子I/Oにサージ電圧飛び込んだときにP3のプルアップ用MOSのゲート絶縁膜が破壊することを防ぐための回路である。

【0095】

ESD3～ESD10は図21の(e)に示される静電破壊保護回路であり、異種電源VddとVddq間、VddとVssq間、VssとVddq間又はVssとVssq間(VssとVssqは実装状態ではプリント基板上で接続されるが、サージ対策が特に必要とされるIC単体の取り扱い状態では開放されている)にサージ電圧が飛び込んだときに、図18の左側の低電圧電源負荷回路と右側の高電圧電源負荷回路を通じて、レベルシフト回路LSU1～LSU4のMOSのゲート絶縁膜が破壊することを防ぐための回路である。抵抗R3は、寄生容量と共にサージ電圧Iの波形をなまらしたり、保護素子N16又はP16によるバイパス電流が流れたときに電圧降下を発生し、レベルシフト回路LSU1～LSU4のMOSのゲートにつながる出力端子Oへサージ電圧が加わることを抑制する働きがある。P16は、サージによりノードIが電源Vddqよりも正になった場合、P16のノードI側に接続されたソース接合(PN junction)が順方向にバイアスされ、その接合と電源Vddqに接続されたN基板(Nウェル)を通じて、サージのバイパス路をノードIと電源Vddqとの間に形成する。サージによりノードIが電源Vddqよりも負になった場合、P16のノードI側に接続されたドレイン接合(PN junction)が逆方向で降伏(breakdown)し、その接合と電源Vddqに接続されたN基板(Nウェル)を通じて(又は、更には反対側のソース接合をも通じて)、サージのバイパス路をノードIと電源Vddqとの間に形成する。P16のゲートは電源Vddqに接続されているため、ドレイン接合の電界集中が大きく、降伏電圧は低くなっている(絶対値)。

【0096】

ノードIと電源Vssqとの間にサージ電圧が加わった場合は、前記と逆の正負関係でN16がノードIと電源Vssq間にバイパス路を形成する。

【0097】

10

20

30

40

50

なお、通常の動作では、前述したノードI側のP16とN16のドレイン接合は順方向にバイアスされることもないし、降伏電圧を超える逆バイアス電圧も加わらず、またP16とN16は共にゲートとソースが短絡されているので非導通であり、保護回路は通常の論理動作に影響を与えない。

【0098】

以上説明した静電破壊保護素子は図18の右側点線枠で囲まれた高電圧電源の回路ブロック内に形成されており、ゲート絶縁膜は厚く形成され保護素子そのものが破壊されないようにしている。

【0099】

図18に示す入出力回路は多数組みチップのボンディングパッド周辺に配列され、回路としては標準装備される。各用途、各品種に応じて、入出力端子I/Oは入力専用端子であったり、出力専用端子であったり、入出力兼用端子であったりする。各入出力回路で不要な回路は図19に示す方法で事実上動作しないようにできる。C1~C10は低電圧電源の回路と高電圧電源の回路間の配線を施さないことにより、高電圧電源の特定の回路を動作させないようにするための「断線」個所を示す。S1~S10は入力経路がそのような形で遮断されている場合、入力を特定の論理に低いインピーダンスで固定することを示すもので、Icの内部配線でVssq又はVddqに接続される。例えば、端子I/Oを入力専用とする場合、C7~C10の個所で配線が断たれ(配線パターンを設けない)、レベルシフト回路LSU1、2の入力Iと/Iは図示したように電源に接続することにより、出力バッファPB1とNB1は共に非導通とされる。レベルシフト回路の入力を特定の論理レベルに固定すれば、ノイズによりスイッチング動作することもなく、誤動作や電力の無駄を防止できる。また、できるだけ前段の回路の入力を固定することにより、後続の回路での細工も不要とすることができる。

【0100】

図20は出力バッファPB1とNB1の電源投入時の貫通電流防止回路を示す他の実施例である。同図で、図18と同じ部分は同符号を付してある。OGは電源Vddq投入後に特定の期間パルスOSPを発生するワン・ショット・パルス発生回路である。電源投入後、このパルスOSPによりN1とP1のMOSが導通し、インバーターINV1と2の出力はそれぞれ“L”、“H”となり、後続の出力バッファPB1とNB1は共に非導通となる。このワン・ショット・パルス発生回路OGは他の入出力回路の同様な部分へ共通に(バッファを介して)接続すれば入出力回路をコンパクトに集積化でき、また、レベルシフト回路LSU1~4の電源投入時の初期状態設定にも使用することができる。

【0101】

図22は、図18に示した入出力回路のレイアウトの一実施例を示した図である。

【0102】

図22に示すように、チップ端部2201に沿って、チップ端部辺に平行な方向に複数のI/Oパッド2202が配列されている。そして、チップ端部辺に垂直な方向に、図18中で説明した回路が配列されている。NMOSバッファ2203およびPMOSバッファ2204は、図18の出力バッファのMOSトランジスタNB1およびPB1であり、図のようにI/Oパッドのそばに配置される。さらに、チップの内部に向かって、図18で説明した静電破壊保護回路ESD1およびESD2(2205)、プルアップ回路(2206)、プリバッファ(2207)、レベルシフト回路(2208)、トライステート論理演算回路(2209)が順次配置されている。

【0103】

これらの各回路上には、隣接する回路ブロック間にまたがってチップ端部辺と平行な方向に、金属配線層第3層目および第4層目配線を用いて、電源配線が布線されている。2203上にはVssqおよびVddqが、2204上にもVssqおよびVddqが、2205上にはVssqが、2206上にはVddqが、2207上にはVssqが、2208上にはVddqが、2209上にはVssおよびVddがそれぞれ配線されている。

【0104】

10

20

30

40

50

次に、本発明の半導体集積回路装置のように、複数の電源電圧を使用するチップに適用して好適な電源間保護素子の構成について説明する。本実施例の半導体集積回路装置は、特に3重ウエル構造を採用しているものであり、以下に3重ウエル構造のチップにおける、最も効率的な電源間保護素子の構成について説明する。

【0105】

複数の電源電圧を使用するチップ、又は、同じ電源電圧でもその電源ノイズの大小に対応して電源を分離しているチップでは、電源ピンの種類が複数ある。このようなチップでは、静電気を逃がしやすくして静電耐圧を向上させるために、電源-GND間や異なる種類の電源間にMOSやダイオード等の素子を入れることが有効である。この場合、当然のことではあるが、通常使用状態のバイアス状態では順方向に電流が流れないように接続しておき、数百～数千ボルトの静電気が入ってきたときだけ逆方向の電流を流して電荷を逃がす。

10

【0106】

ここで、3重ウエル構造のチップの場合、例えばダイオードを作る場合、P型基板とN型素子領域の間、N型素子領域とP型ウエルの間、P型ウエルとN型拡散層の間、N型ウエルとP型拡散層の間、と4通りの方法がある。この中で、最も面積が小さく寄生素子効果の少ないダイオードの構成方法は、それに接続する電源の種類によって異なる。

【0107】

本発明の実施例においては、以下に、このような保護素子の最も効率的な構成を示す。

【0108】

図23(a)は、Si基板がP型で、そこにVSSを給電する場合のチップにおいて、図23(b)のようなダイオード接続をする際に、最も効率的なダイオードの構成方法を示した例である。

20

【0109】

図23(a)中、2301はSi基板(P型)、2302は素子領域(N型)、2303はN型ウエル、2304はP型ウエル、2305はN型拡散層、2306はP型拡散層、2307はP基板上に形成したP型ウエルとN型拡散層の間のダイオード、2308はN型素子領域(VDDQでバイアス)上に形成したN型ウエルとP型拡散層の間のダイオード、2308aはN型素子領域(VDDでバイアス)上に形成したN型ウエルとP型拡散層の間のダイオード、2309はN型素子領域上に形成したP型ウエルとN型拡散層の間のダイオード、2310はP基板上に形成したN型ウエルとP型拡散層の間のダイオードである。

30

【0110】

Si基板がP型で、そこにVSSを給電するチップの場合、第一に、VSSに接続するダイオードは、基板と同じP型のウエルを用いて、N型素子領域無しで、直接P基板上に形成するのが望ましい。これにより、このダイオードは最小の面積となり、寄生素子動作もなく、P型基板へのVSS給電も兼用することが出来る。

【0111】

第二に、VDDQに接続するダイオードは、N型ウエルを用いて、N型素子領域上に形成するのが望ましい。これにより、このダイオードは最小の面積となり、寄生素子動作もなく、N型素子領域へのVDDQ給電も兼用することが出来る。

【0112】

40

第三に、上記2種類以外のダイオードは、N型ウエルを用いて、N型素子領域無しで、直接P基板上に形成するのが望ましい。これにより、このダイオードは最小の面積となり、寄生素子動作もなくすることが出来る。

【0113】

図24に本発明における電源間保護素子の別の例を示す。

【0114】

図24(a)は、Si基板がP型で、そこにVSSを給電する場合のチップにおいて、図24(b)のようなMOS接続をする際に、最も効率的なMOSの構成方法を示した例である。

【0115】

図24(a)中、2401はSi基板(P型)、2402は素子分離領域(N型)、2403はN型

50

ウエル、2404はP型ウエル、2405はN型拡散層、2406はP型拡散層、2411はゲート、2407はP基板上に形成したP型ウエル上のNチャネル型MOS、2408はN型素子領域(VDDQでバイアス)上に形成したN型ウエル上のPチャネル型MOS、2409はN型素子領域(VDDQでバイアス)上に形成したP型ウエル上のNチャネル型MOS、2410はP基板上に形成したN型ウエル上のPチャネル型MOSである。

【0116】

Si基板がP型で、そこにVSSを給電するチップの場合、第一に、VSSに接続するNチャネル型MOSは、基板と同じP型のウエルであるから、N型素子領域無しで、直接P型基板上に形成するのが望ましい。これにより、このNチャネル型MOSは最小の面積となり、寄生素子動作もなく、P型基板へのVSS給電も兼用することが出来る。

10

【0117】

第二に、VSSQに接続するNチャネル型MOSは、P型のウエルであるが、VDDQでバイアスされたN型素子領域上に形成するのが望ましい。これにより、このNチャネル型MOSのP型ウエルにVSSQを給電でき、VSSが給電されているP型基板と電気的に分離され、寄生素子動作もなくすることが出来る。

【0118】

第三に、上記2種類以外のNチャネル型MOSは、P型のウエルであるが、VDD又はVDDQでバイアスされたN型素子領域上に形成する。これにより、このNチャネル型MOSのP型ウエルにVSSQを給電でき、VSSが給電されているP型基板と電気的に分離され、寄生素子動作もなくすることが出来る。

20

【図面の簡単な説明】

【0119】

【図1】本発明の一実施例であるレベルダウン回路の回路図および動作波形図である。

【図2】図2(a)は、レベルダウン回路の従来例を示す回路図および動作図、図2(b)はレベルアップ回路の従来例を示す回路図および動作図である。

【図3】本発明の一実施例であるレベルアップ回路の回路図および動作波形図である。

【図4】本発明の他の実施例であるレベルアップ回路の回路図および動作波形図である。

【図5】本発明の他の実施例であるレベルアップ回路の回路図である。

【図6】図6(a)は本発明の他の実施例であるレベルアップ回路の回路図、図6(b)はその動作波形図である。

30

【図7】図3のレベルアップ回路に論理演算機能を付加した回路の回路図である。

【図8】図7の論理演算機能付きレベル変換回路を出力固定機能付きレベルアップ回路に応用した例を示す図である。

【図9】図7の論理演算機能付きレベル変換回路を出力固定機能付きレベルアップ回路に応用した例を示す図である。

【図10】出力固定機能付きレベルアップ回路の他の実現例を示す図である。

【図11】出力固定機能付きレベルアップ回路の他の実現例を示す図である。

【図12】レベル変換後の出力を保持するタイプの出力固定機能付きレベルアップ回路の例を示す図である。

【図13】本発明のレベル変換回路を用いたシステムを示す図である。

40

【図14】図13の低しきい値MOSトランジスタで構成された回路ブロックを二つに分割した場合の、本発明のレベル変換回路を用いたシステムを示す図である。

【図15】図14にさらに基板バイアス制御を付加した、本発明のレベル変換回路を用いたシステムを示す図である。

【図16】図16(a)は図14および図15の電源スイッチ702aの制御方法の例を示す図、図16(b)は、電源スイッチ702aに低しきい値MOSを用いた場合の図14および図15の電源スイッチ702aの制御方法の例を示す図である。

【図17】図17は図16(a)で示したゲート電圧701aの生成方法の例を示した図である。

【図18】本発明によるIC(半導体集積回路)の外部端子(ピン)に接続される入出力

50

回路の例を示す図である。

【図 1 9】図 1 8 の入出力回路で不要な回路部を事実上動作しないようにした例を示す図である。

【図 2 0】出力バッファ P B 1 と N B 1 の電源投入時の貫通電流防止回路を示す他の実施例である。

【図 2 1】図 2 1 (a)は図 1 8 中の N O R の具体的回路の例を示す図、図 2 1 (b)は図 1 8 中の N A N D の具体的回路の例を示す図、図 2 1 (c)は図 1 8 中の I N V の具体的回路の例を示す図、図 2 1 (d)は図 1 8 中の E S D 1 及び E S D 2 の具体的回路の例を示す図、図 2 1 (e)は図 1 8 中の E S D 3 ~ E S D 1 0 の具体的回路の例を示す図である。

【図 2 2】図 1 8 の入出力回路のレイアウトの例を示す図である。

10

【図 2 3】電源間保護素子の構成例を示す図である。

【図 2 4】電源間保護素子の他の構成例を示す図である。

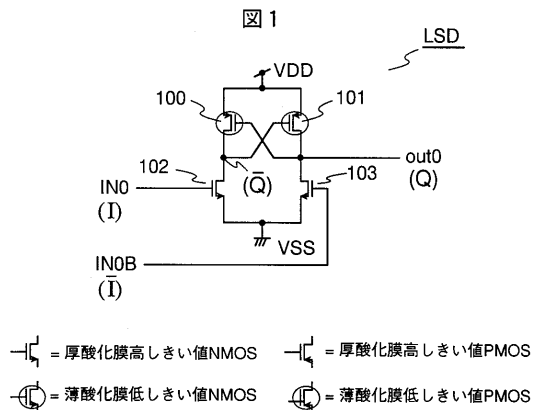
【符号の説明】

【 0 1 2 0 】

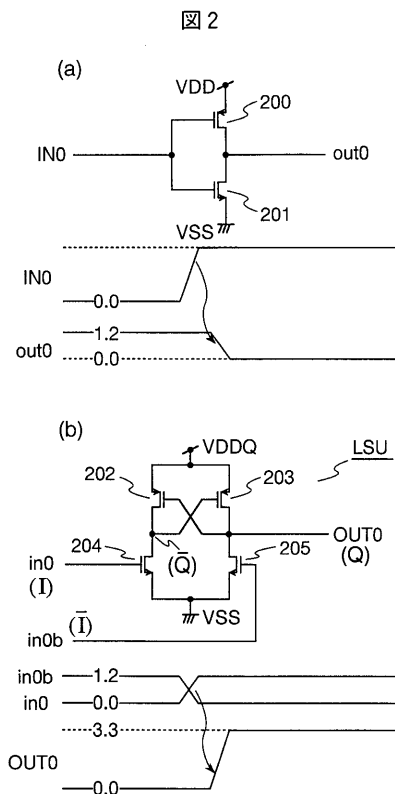
100, 101 薄酸化膜低しきい値 PMOS
 102, 103 厚酸化膜高しきい値 NMOS
 200, 300, 301, 302, 303, 400, 401, 402, 403, 306, 500, 501, 502, 503, 504, 505, 312, 314 厚酸化膜高しきい値 PMOS
 201, 304, 305, 402, 403, 404, 405, 506, 507, 508, 509, 311 厚酸化膜高しきい値 NMOS
 331, 512, 313 インバータ回路
 510, 511, 601, 602 回路ブロック
 522 ラッチ
 603 レベルアップ回路群
 604 レベルダウン回路群
 PSC 電源スイッチ制御回路
 VBCa, VBCb 基板バイアス制御回路
 702a, 702b 電源スイッチ PMOS

20

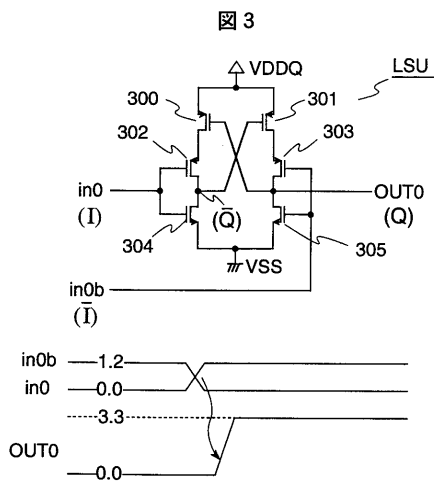
【 図 1 】



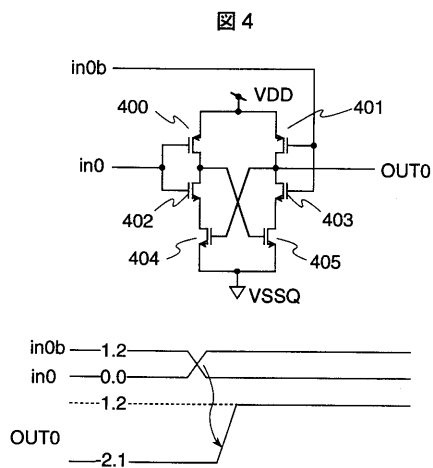
【 図 2 】



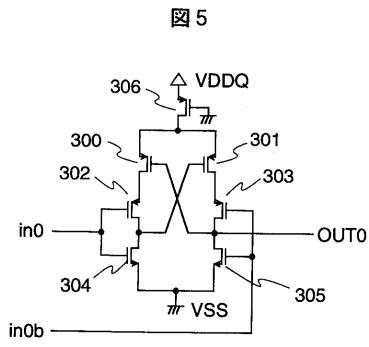
【 図 3 】



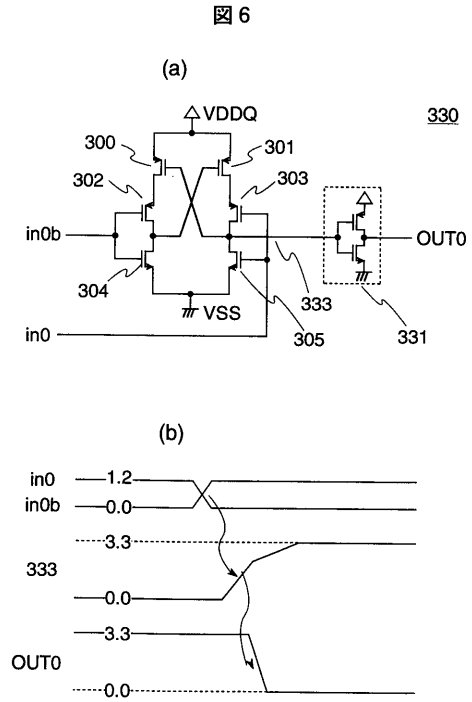
【 図 4 】



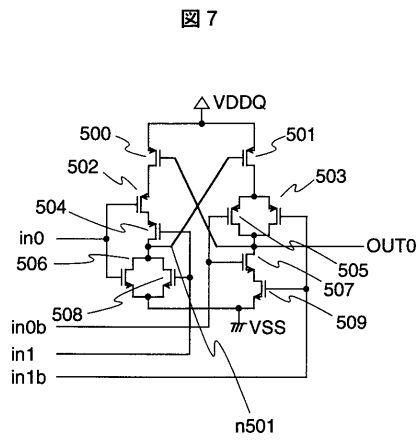
【 図 5 】



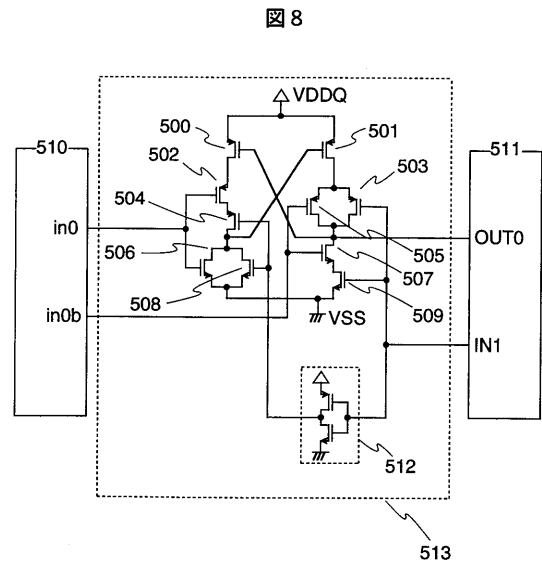
【 図 6 】



【 図 7 】

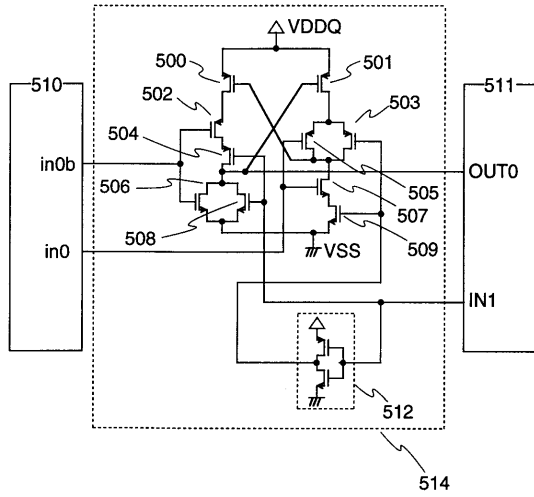


【 図 8 】



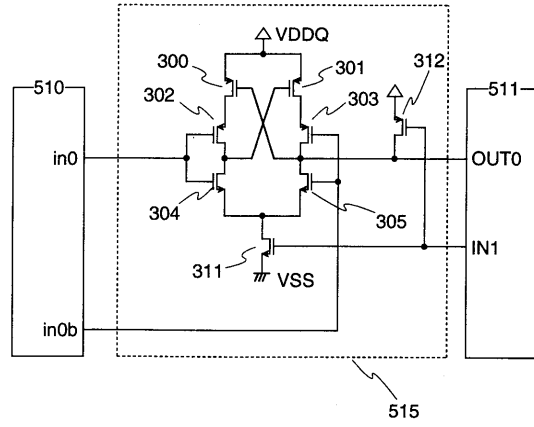
【 図 9 】

図 9



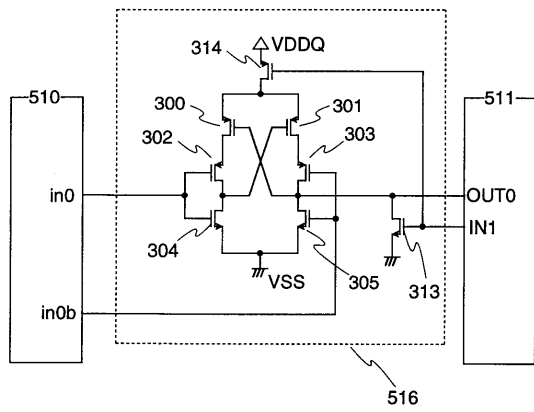
【 図 10 】

図 10



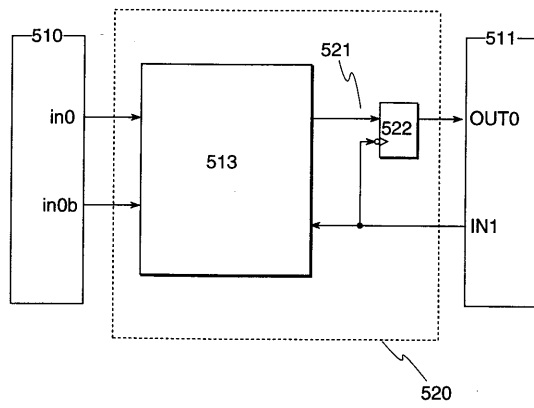
【 図 11 】

図 11

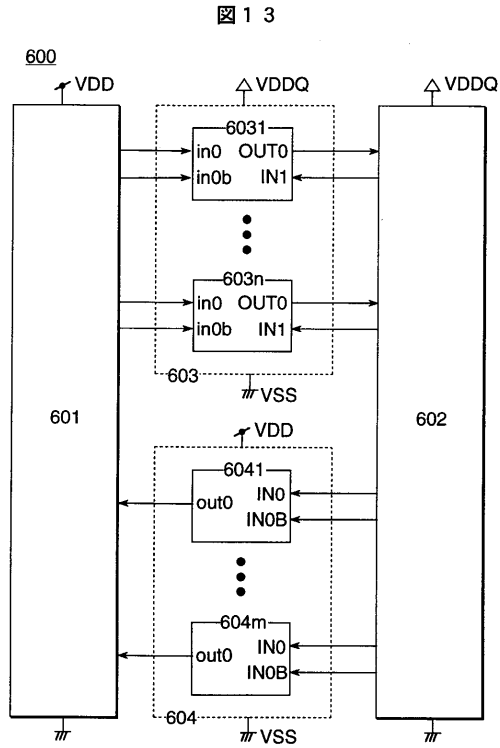


【 図 12 】

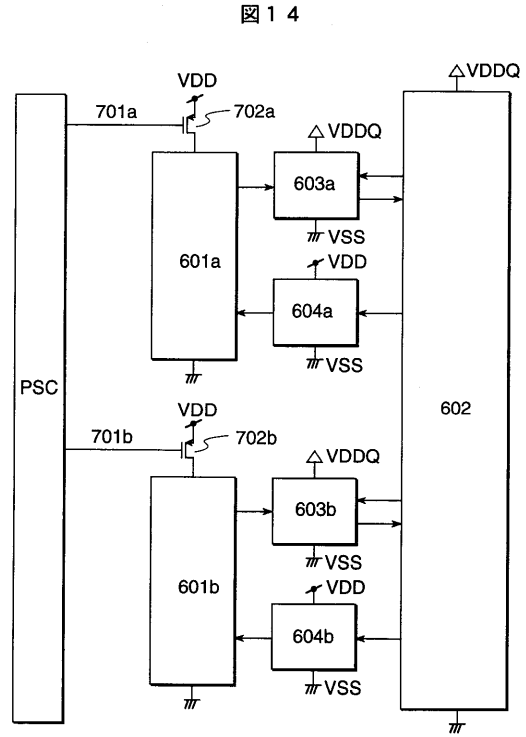
図 12



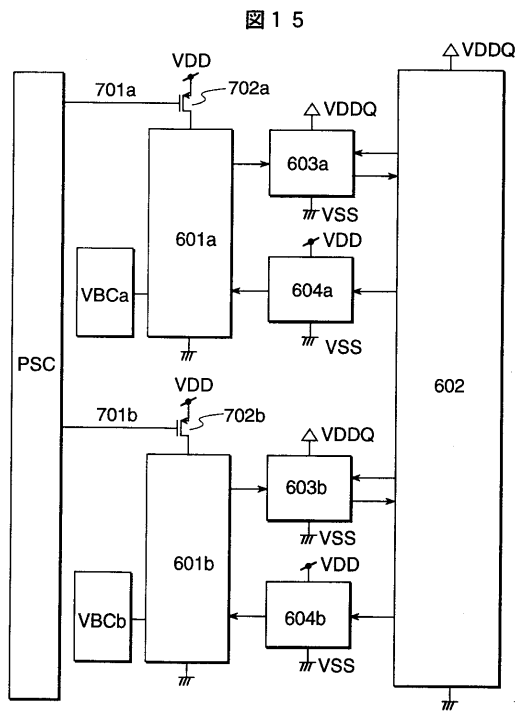
【 図 1 3 】



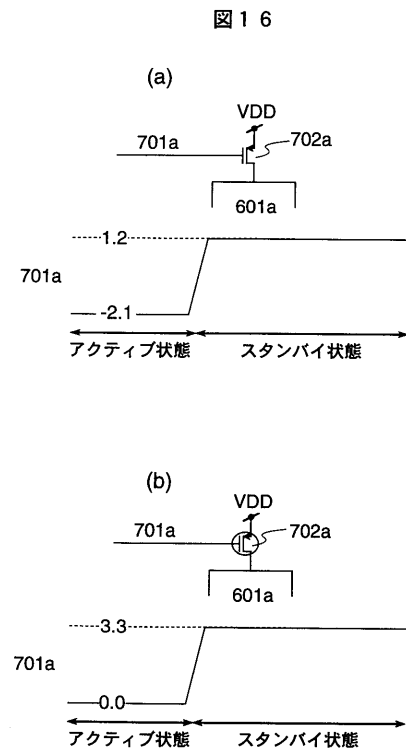
【 図 1 4 】



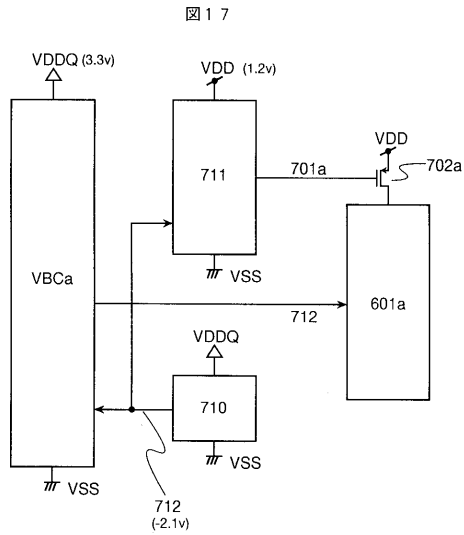
【 図 1 5 】



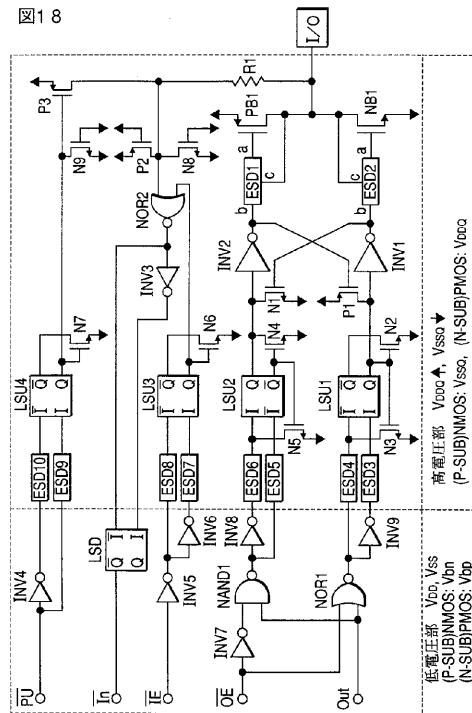
【 図 1 6 】



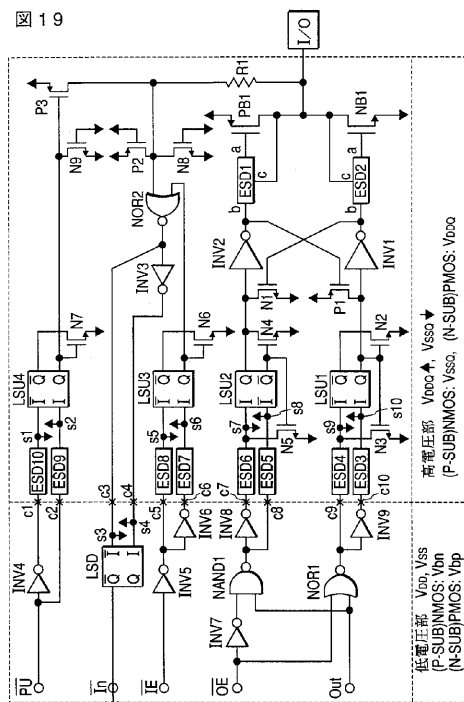
【 図 17 】



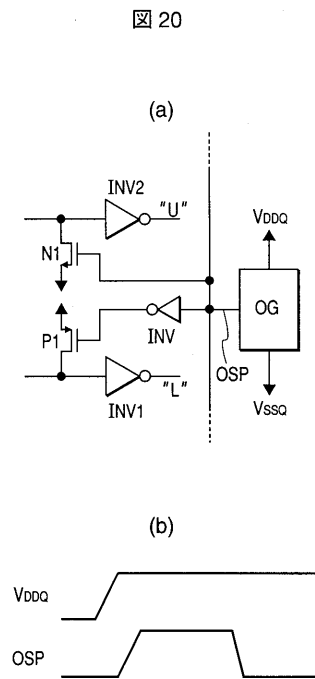
【 図 18 】



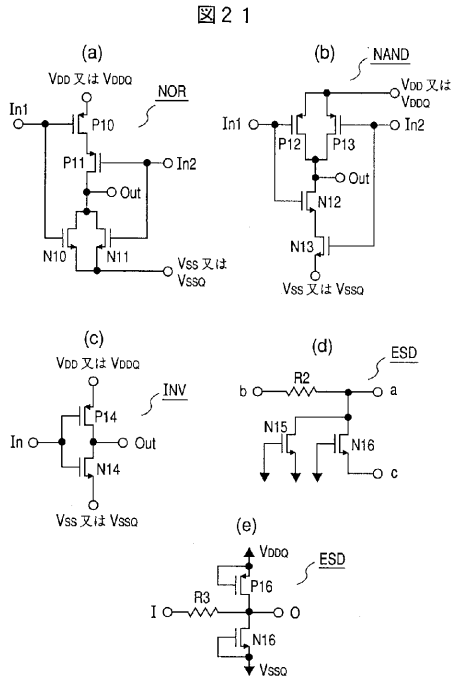
【 図 19 】



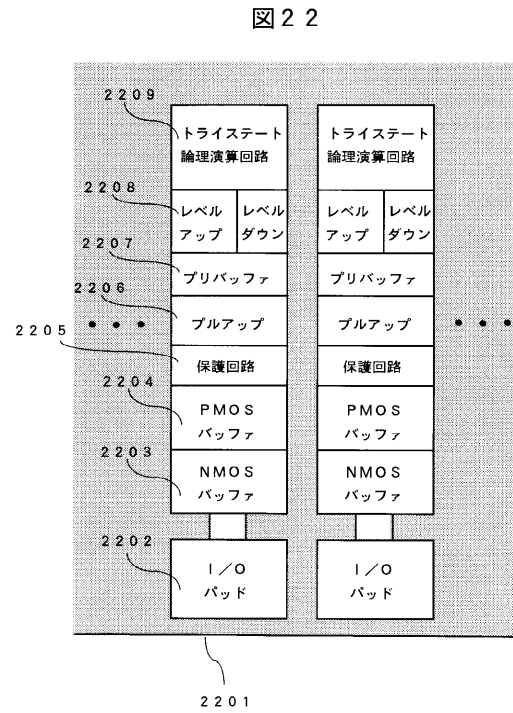
【 図 20 】



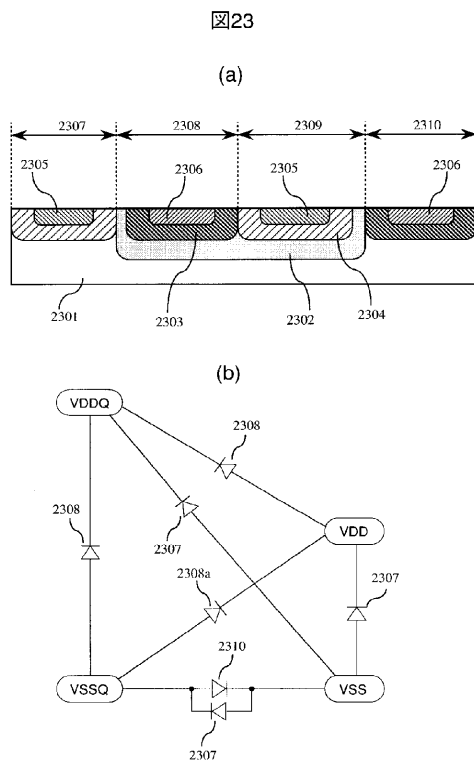
【 図 2 1 】



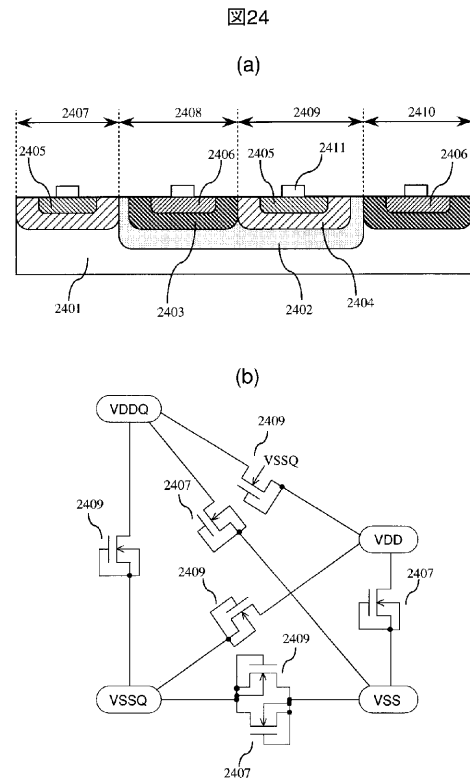
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

(72)発明者 西山 利恵
東京都国分寺市東恋ヶ窪三丁目1番地1
ニアリング株式会社内
日立超エル・エス・アイ・エンジ

(72)発明者 宮本 学
東京都小平市上水本町5丁目2番1号
株式会社日立マイコンシステム内

審査官 宮島 郁美

(56)参考文献 特開平10-084274(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H03K19/00,19/01-19/082,19/092-19/096