



[12] 发明专利申请公开说明书

[21] 申请号 200410047850.3

[43] 公开日 2005年3月30日

[11] 公开号 CN 1601449A

[22] 申请日 2004.5.31

[21] 申请号 200410047850.3

[30] 优先权

[32] 2003.9.26 [33] KR [31] 66944/2003

[32] 2003.12.10 [33] US [31] 10/732,868

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 孙汉求 孙海鼎 金世振 郑又燮

[74] 专利代理机构 北京市柳沈律师事务所

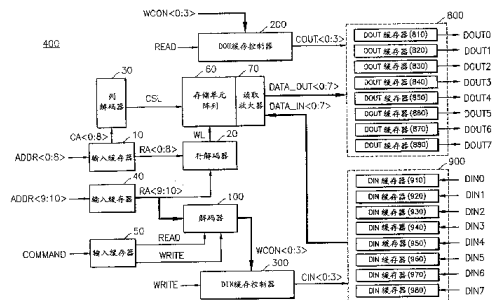
代理人 郭定辉 黄小临

权利要求书 4 页 说明书 12 页 附图 15 页

[54] 发明名称 提供可变数据输入输出宽度的电路与方法

[57] 摘要

用于控制半导体存储器设备中数据 I/O 操作以提供用于读、写、或有源存储器操作的可变数据 I/O 宽度的电路与方法。用于“现场”选择性地控制数据 I/O 缓存器的数据宽度以在存储器存取操作期间使能可变 I/O 宽度的电路与方法。



1. 一种半导体存储器设备，包括：
存储单元阵列；
- 5 数据缓存器，用于处理从所述存储单元阵列中读出或者写入所述存储单元阵列的数据；以及
数据宽度控制电路，用于响应于外部地址信号而选择性地控制所述数据缓存器的数据宽度。
2. 如权利要求1所述的设备，其中所述数据宽度控制电路包括：
10 解码器，用于响应于数据存取命令而解码所述外部地址信号，以生成第一控制信号；以及
数据缓存控制器，其响应于所述第一控制信号而生成用于控制所述数据缓存器的数据宽度的第二控制信号。
3. 如权利要求1所述的设备，其中所述数据宽度控制电路通过生成遮蔽或不遮蔽所述数据缓存器的一个或更多个位的控制信号，来选择性地控制所述数据缓存器的数据宽度。
- 15 4. 如权利要求3所述的设备，其中被遮蔽的位被防止从所述数据缓存器输入到所述存储单元阵列。
5. 如权利要求3所述的设备，其中被遮蔽的位被防止从所述数据缓存器
20 输出。
6. 如权利要求1所述的设备，其中所述数据缓存器具有n位的宽度，并且其中所述数据缓存器的数据宽度被选择性地控制为n位或更少位。
7. 如权利要求2所述的设备，其中所述解码器包括：
开关电路；以及
- 25 逻辑电路，其中所述开关电路响应于所述数据存取命令而将所述外部地址信号传递给所述逻辑电路，并且其中所述逻辑电路处理所述外部命令，以根据所述外部命令生成所述第一控制信号。
8. 如权利要求7所述的设备，其中所述逻辑电路包括多个并联连接的与门，这些与门用于接收所述外部地址信号，并且其中所述第一控制信号包括
30 由来自所述与门的输出信号组成的多位信号。
9. 如权利要求8所述的设备，其中所述数据缓存控制器包括：

开关电路，包括多个并联连接的开关，其中每个开关接收所述数据存取命令，并且其中响应于所述第一控制信号，一个或更多个开关被选择性地启动，以生成所述第二控制信号，所述第二控制信号包括由所述开关的输出信号组成的多位信号。

- 5 10. 一种半导体存储器设备，包括：
 存储单元阵列；
 数据输出缓存器，用于输出从所述存储单元阵列读出的数据；
 数据输入缓存器，用于输入待写入所述存储单元阵列的数据；以及
 数据宽度控制电路，用于响应于外部地址信号而选择性地控制所述数据
10 输出缓存器或数据输入缓存器的数据宽度。
11. 如权利要求 10 所述的设备，其中所述数据宽度控制电路包括：
 解码器，用于响应于读命令信号或写命令信号而被启动，以解码所述外部地址信号，从而生成第一控制信号；以及
 数据输入缓存控制器，其响应于所述写命令信号而被启动，以根据所述
15 第一控制信号生成用于控制所述数据输入缓存器的数据宽度的第二控制信号；以及
 数据输出缓存控制器，其响应于所述读命令信号而被启动，以根据所述
 第一控制信号生成用于控制所述数据输出缓存器的数据宽度的第二控制信号。
- 20 12. 如权利要求 10 所述的设备，其中所述数据宽度控制电路通过生成遮蔽或不遮蔽所述数据缓存器的一个或更多个位的控制信号，来选择性地控制所述数据输入缓存器或数据输出缓存器的数据宽度。
13. 如权利要求 12 所述的设备，其中被遮蔽的位被防止从所述数据输入缓存器输入到所述存储单元阵列。
- 25 14. 如权利要求 12 所述的设备，其中被遮蔽的位被防止从所述数据输出缓存器输出。
15. 如权利要求 10 所述的设备，其中所述数据输入与输出缓存器具有 n 位的宽度，并且其中所述数据缓存器的数据宽度被选择性地控制为 n 位或更少位。
- 30 16. 如权利要求 11 所述的设备，其中所述解码器包括：
 开关电路；以及

逻辑电路，其中所述开关电路响应于所述读或写命令信号，以将所述外部地址信号传递给所述逻辑电路，并且其中所述逻辑电路处理所述外部命令，以根据所述外部命令生成所述第一控制信号。

5 17. 如权利要求 16 所述的设备，其中所述逻辑电路包括多个并联连接的与门，这些与门用于接收所述外部地址信号，并且其中所述第一控制信号包括由来自所述与门的输出信号组成的多位信号。

18. 如权利要求 17 所述的设备，其中所述数据输入缓存控制器包括：
开关电路，包括多个并联连接的开关，其中每个开关接收所述写命令信号，并且其中响应于所述第一控制信号，一个或更多个开关被选择性地启动，
10 以生成所述第二控制信号，所述第二控制信号包括由所述开关的输出信号组成的多位信号。

19. 如权利要求 17 所述的设备，其中所述数据输出缓存控制器包括：
开关电路，包括多个并联连接的开关，其中每个开关接收所述读命令信号，并且其中响应于所述第一控制信号，一个或更多个开关被选择性地启动，
15 以生成所述第二控制信号，所述第二控制信号包括由所述开关的输出信号组成的多位信号。

20. 一种集成电路设备，包括：
数据缓存器；以及
数据宽度控制电路，用于响应于外部地址信号而选择性地控制所述数据
20 缓存器的数据宽度。

21. 一种存储器系统，包括
控制器，用于生成数据存取命令信号与地址信号；以及
半导体存储器设备，包括：
存储单元阵列；
25 数据缓存器，用于处理从所述存储单元阵列中读出或者写入所述存储单元阵列的数据；以及

数据宽度控制电路，用于响应于外部地址信号而选择性地控制所述数据缓存器的数据宽度。

22. 如权利要求 21 所述的系统，其中所述控制器是微处理器单元。

30 23. 如权利要求 21 所述的系统，其中所述控制器是网络控制单元。

24. 如权利要求 21 所述的系统，其中所述控制器是存储器控制器。

25. 一种用于提供半导体存储器设备中数据 I/O(输入/输出)宽度控制的方法, 包括以下步骤:
响应于外部地址信号而生成数据宽度控制信号; 以及
响应于所述数据宽度控制信号而控制数据缓存器的数据宽度。
- 5 26. 一种半导体存储器设备, 包括:
存储单元阵列;
数据缓存器, 用于处理通过读命令或写命令从所述存储单元阵列中读出或者写入所述存储单元阵列的数据; 以及
数据宽度控制电路, 用于响应于与所述读命令或写命令相伴随的外部地
10 址信号而选择性地控制所述数据缓存器的数据宽度。
27. 一种半导体存储器设备, 包括:
存储单元阵列;
数据缓存器, 用于处理通过读命令或写命令从所述存储单元阵列中读出或者写入所述存储单元阵列的数据; 以及
15 数据宽度控制电路, 用于响应于与所述读命令或写命令相伴随的冗余外部地址信号而选择性地控制所述数据缓存器的数据宽度。

提供可变数据输入输出宽度的电路与方法

5 优先权

本申请要求于2003年9月26日向韩国知识产权局提交的韩国申请号为2003-66944的优先权。

技术领域

10 本发明通常涉及控制数据 I/O(输出/输出)操作的电路与方法,以使能可变 I/O 宽度的半导体存储器设备。更具体地,本发明涉及用于在半导体存储器设备中控制数据 I/O 操作以提供用于读取、写入以及有源存储器操作的可变数据 I/O 宽度的电路与方法。

15 背景技术

现有的半导体集成电路(IC)存储器设备被设计来以固定数据 I/O 宽度运行。例如,在具有 8 位数据总线的处理系统中,8 位数据字可以在单一存储器读写周期内存储到存储器中、或者从中检索(称为“X8 操作”)。

例如,图 1A 示意性地图解了现有的具有固定 I/O 宽度的半导体 IC 存储器设备(1)。一般地,半导体 IC 存储器设备(1)包括第一地址输入缓存器(10)、行解码器(20)、列解码器(30)、第二地址输入缓存器(40)、命令缓存器(50)、存储单元阵列(60)、读取放大器阵列(70)、数据输出缓存器(80)、以及数据输入缓存器(90)。半导体 IC 存储器设备(1)进一步包括连接到数据输出缓存器(80)的八个数据输出引脚(DOUT0~DOUT7),用于输出从存储器(60)读取的 8 位数据字(Data_Out<0:7>),以及八个数据输入引脚(DIN0~DIN7),用于输入要写入存储器(60)的 8 位数据字(Data_In<0:7>)。

第一地址缓存器(10)缓存从地址线锁存的 9 位外部地址信号(ADDR<0:8>),其既可以是列地址信号也可以是行地址信号的首 9 位,所述列地址信号和行地址信号分别用列地址选通(CAS)或行地址选通(RAS)锁存。

30 在图 1 的示范性实施方式中,假定行地址位(RA<0:8>)与列地址位(CA<0:8>)通过相同的地址引脚复用,以最小化与地址总线接口所需的引脚数目。第二

地址输入缓存器(40)缓存外部行地址信号的最后两位(ADDR<9:10>)。行解码器(20)解码从缓存器(10)与(40)接收的行地址位(RA<0:10>),并且生成字线信号(WL),以存取存储阵列(60)中相应于该行地址位(RA<0:10>)的一行存储单元。列地址解码器(30)解码从缓存器(10)接收的列地址位(CA<0:8>),以生成列选信号(CSL),以存取所存取的行中的一块存储地址,其在图1的示范性实施方式中为相应于8块组的存储位置。

根据是否按照由命令缓存器(50)缓存在的输入命令(READ、WRITE)所表示的正在进行读或写操作,从所存取的存储地址读出8位数据字(Data_Out<0:7>),或者将8位数据字(Data_In<0:7>)写入所存取的存储地址。

10 读取放大器阵列(70)使数据能够被读出或者写入存储单元阵列(60)。

数据输出缓存器(80)包括多个输出缓存器(81~88),用来缓存在读操作期间从存储单元阵列(60)读出的数据字(Data_Out<0:7>)。数据输入缓存器(90)包括多个输入缓存器(91~98),用来缓存在写操作期间写入到存储单元阵列(60)中的数据字(Data_In<0:7>)。每个输出缓存器(81~88)连接到数据输出引脚(DOUT0~DOUT7)的相应一个引脚,每个输入缓存器(91~98)连接到数据输入引脚(DIN0~DIN7)的相应一个引脚(然而,在图1B所示的另一种实施方式中,多个数据I/O引脚(DQ0~DQ7)连接到输出缓存器(81~88)与输入缓存器(91~98)的相应一个缓存器,并且用于数据输出与数据输入两者)。

如上所述,现有半导体IC存储器设备(1)提供固定的X8操作,即在单个存储器存取操作期间从存储器(8)中读出8位字或写入8位字。更具体地,图2为图解在半导体IC存储器设备(1)的存储器读操作期间用于输出数据的方法的示范性时序图。如图2所示,读命令(READ)与列地址(CA)与时钟CLK信号同步地在时钟周期C1输入(假定已经启动字线)。作为响应,大约在输入读命令与列地址之后两个时钟周期,包括Q0~Q7位的8位数据字同时从输出缓存器(80)输出到各自的输出引脚(DOUT0~DOUT7)。

另外,图3为图解在半导体IC存储器设备(1)的存储器写操作期间用于输入数据的方法的示范性时序图。如图3所示,写命令(WRITE)与列地址(CA)与时钟CLK信号同步地在时钟周期C1输入(假定已经启动字线)。作为响应,在与输入写命令与列地址相同的时钟周期C1中,包括Q0~Q7位的8位数据字同时从各自的数据输入引脚(DIN0~DIN7)输入到数据输入缓存器(90)。

如上所述的现有半导体存储器设备,使用固定的数据I/O宽度控制方案,

只可以在固定 I/O 宽度上进行读、写或有源操作。当用于数据字不等于或者倍数于该固定 I/O 宽度的系统或应用时，此类现有半导体存储器设备的设计效率较低。例如，用于笔记本 PC 与移动应用(蜂窝式电话、PDA 等等)的 RGB(红、绿、蓝)数据由 18 位表示(每个分量，即 R、G、B，包括 6 位的数据字(X6))，但是用于桌上计算机(PC)与服务器的 RGB 数据由 24 位表示(每个分量，即 R、G、B，包括 8 位的数据字(X8))。在这种情况下，如果这类笔记本 PC 与移动应用使用具有固定 X8 操作的存储器系统，这些应用将处理 6 个冗余数据位、即对于 18 位数据块至少要存取 24 个数据位。这种冗余会导致此类设备/应用中由于处理此类冗余所引起的不必要的功率消耗。

10

发明内容

本发明的示范性实施方式包括用于控制半导体存储器设备中数据 I/O 操作以提供用于读、写、或有源存储器操作的可变数据 I/O 宽度的电路与方法。本发明的示范性实施方式还包括用于“现场”选择性地控制数据 I/O 缓存器的数据宽度以在存储器存取操作期间使能可变 I/O 宽度的电路与方法。

在本发明的一种示范性实施方式中，一种半导体存储器设备包括：存储单元阵列；数据缓存器，用于处理从所述存储单元阵列中读出或者写入所述存储单元阵列的数据；以及数据宽度控制电路，用响应于外部地址信号而选择性地控制所述数据缓存器的数据宽度。

在本发明的另一种示范性实施方式中，所述数据宽度控制电路包括：解码器，用于响应于数据存取命令而解码所述外部地址信号，以生成第一控制信号；以及数据缓存控制器，其响应于所述第一控制信号而生成用于控制所述数据缓存器的数据宽度的第二控制信号。在本发明的另一种示范性实施方式中，所述数据宽度控制电路通过生成遮蔽或不遮蔽所述数据缓存器的一个或更多个位的控制信号来选择性地控制所述数据缓存器的数据宽度，其中被遮蔽的位被防止从所述数据缓存器输入所述存储单元阵列或者其中被遮蔽的位被防止从所述数据缓存器输出。

在本发明的另一种示范性实施方式中，一种半导体存储器设备，包括：存储单元阵列；数据输出缓存器，用于输出从所述存储单元阵列读出的数据；数据输入缓存器，用于输入待写入所述存储单元阵列的数据；以及数据宽度控制电路，用于响应于外部地址信号而选择性地控制所述数据输出缓存器或

- 数据输入缓存器的数据宽度。在本发明的一种示范性实施方式中，所述数据宽度控制电路包括：解码器，用于响应于读命令信号或写命令信号而被启动，以解码所述外部地址信号，从而生成第一控制信号；以及数据输入缓存控制器，其响应于所述写命令信号而被启动，以根据所述第一控制信号生成用于
- 5 控制所述数据输入缓存器的数据宽度的第二控制信号；以及数据输出缓存控制器，其响应于所述读命令信号而被启动，以根据所述第一控制信号生成用于控制所述数据输出缓存器的数据宽度的第二控制信号。所述数据宽度控制电路通过生成遮蔽或不遮蔽所述数据缓存器的一个或多个位的控制信号，从而选择性地控制所述数据输入缓存器或数据输出缓存器的数据宽度。
- 10 本发明的这些以及其他实施方式、目的、方面、特征以及优点将在以下对优选实施方式的详细描述中进行描述并变得显而易见，请结合附图阅读所述描述。

附图说明

- 15 图 1A 与 1B 为示意性地图解了半导体 IC 存储器设备的现有的结构的图。
- 图 2 为图解在半导体 IC 存储器设备的存储器读操作期间用于输出数据的现有方法的时序图。
- 图 3 为图解在半导体 IC 存储器设备的存储器写操作期间用于输入数据的现有方法的时序图。
- 20 图 4 为示意性地图解了根据本发明示范性实施方式的、具有对读、写或有源操作的可变 I/O 宽度控制的半导体 IC 存储器设备的图。
- 图 5 为图解根据本发明示范性实施方式的、用于可变控制存储器读操作的数据输出宽度的方法的示范性时序图。
- 图 6 为图解根据本发明示范性实施方式的、用于可变控制存储器写操作
- 25 的数据输入宽度的方法的示范性时序图。
- 图 7 为图解根据本发明示范性实施方式的解码器的电路图，该解码器可以实现于图 4 的示范性半导体 IC 存储器设备。
- 图 8 为图解根据本发明示范性实施方式的的数据输出缓存控制器的电路图，该缓存控制器可以实现于图 4 的示范性半导体 IC 存储器设备。
- 30 图 9 为图解根据本发明示范性实施方式的的数据输入缓存控制器的电路图，该缓存控制器可以实现于图 4 的示范性半导体 IC 存储器设备。

图 10 为图解根据本发明示范性实施方式的数据输出缓存器的电路图，该缓存器可以实现于图 4 的半导体 IC 存储器设备。

图 11 为图解根据本发明示范性实施方式的缓存器的电路图，该缓存器可以实现于图 10 的数据输出缓存器。

5 图 12 图解根据本发明示范性实施方式的数据输入缓存器，该缓存器可以实现于图 4 的半导体 IC 存储器设备。

图 13 为图解根据本发明示范性实施方式的缓存器的电路图，该缓存器可以实现于图 10 的数据输入缓存器。

图 14 为图解其中可以实现本发明的存储器系统的示意性方框图。

10

具体实施方式

本发明的示范性实施方式包括用于控制半导体存储器设备中数据 I/O 操作以提供读、写与有源存储器操作的可变数据 I/O 宽度的电路与方法。本发明的示范性实施方式还包括用于“现场”(on the fly)选择性地控制数据 I/O 缓存器的数据宽度以使能在存储器存取操作时可变数据 I/O 宽度的电路与方法。

15 现在参照图 4，该方框图示意性地图解了根据本发明示范性实施方式的、提供了对读、写或有源操作的可变 I/O 宽度控制的半导体 IC 存储器设备(400)。该示范性半导体 IC 存储器设备(400)包括第一地址输入缓存器(10)、行解码器(20)、列解码器(30)、第二地址输入缓存器(40)、命令缓存器(50)、存储单元阵列(60)、读取放大器阵列(70)，其运行(例如)基本与上面参照附图 1A 所述方式相同。

20 半导体 IC 存储器设备(400)还包括用于使能可变 I/O 宽度控制的电路。更具体地讲，在一个示范性实施方式中，半导体 IC 存储器设备(400)包括解码器(100)、用于控制数据输出缓存器(800)的数据输出(DOUT)缓存控制器(200)、以及用于控制数据输入缓存器(900)的数据输入(DIN)缓存控制器(300)。数据输出缓存器(800)包括多个连接到各自输出引脚(DOUT0~DOUT7)的输出缓存器(810~880)。数据输入缓存器(900)包括多个连接到各自输入引脚(DIN0~DIN7)的输入缓存器(910~980)，然而，应该理解数据输出缓存器(800)与数据输入缓存器(900)可以共同连接到数据 I/O 引脚(诸如图 1B 所示)。

30 一般地，在本发明的一个示范性实施方式中，半导体 IC 存储器设备(400)通过以下方式提供对于单一存储器存取操作的可变 I/O 宽度控制：控制数据

输出缓存器(800)以遮蔽从存储器(60)读取的数据字(Data_Out<0:7>)的零个或多个数据位, 或者通过控制数据输入缓存器(900)以遮蔽待写入存储器(60)的数据字(Data_In<0:7>)的零个或多个数据位。

更具体地讲, 响应于从命令缓存器(50)接收的 READ 或 WRITE 命令, 解
5 码器(100)被启动并解码外部 I/O 宽度控制信号, 以生成内部 I/O 宽度控制信号(例如, WCON<0:3>)。在图 4 的示范性实施方式中, 外部 I/O 宽度控制信号包括两位信号(AD<9:10>), 其通过地址位线(ADDR<9:10>)输入到输入缓存器(40)。所有的地址信号 AD<0:10>用于启动字线信号(WL)。在读或写操作期间, 不使用(即冗余)伴随读或写命令的 2 位信号 AD<9:10>。在 READ 操作期
10 间, DOUT 缓存控制器(200)响应于从解码器(100)输出的内部 I/O 宽度控制信号(WCON<0:3>), 以生成输出缓存控制信号(COUT<0:3>), 该输出缓存控制信号控制数据输出缓存器(800)的输出宽度。类似地, 在 WRITE 操作期间, DIN 缓存控制器(300)响应于从解码器(100)输出的内部 I/O 宽度控制信号(WCON<0:3>), 以生成输入缓存控制信号(CIN<0:3>), 该输入缓存控制信号
15 控制数据输入缓存器(900)的输入宽度。

在图 4 的示范性实施方式中, 假定存储器设备(400)在具有 8 位宽数据 I/O 总线的系统中实现。在此类实施方式中, 如下所述, 响应于外部两位 I/O 宽度控制信号(AD<9:10>), 可以动态配置半导体 IC 存储器设备(400), 以提供 X2、X4、X6、X8 操作之一。

图 5 为图解根据本发明示范性实施方式的、用于可变控制存储器读操作的数据输出宽度的方法的示范性时序图。更具体地讲, 图 5 图解了示范性半
20 导体存储器设备(400)用于动态控制数据输出宽度以提供存储器读操作的 X8、X6、或 X2 操作的操作模式。如图 5 所示, 在时钟周期 C1、C5、与 C9 的开始处, READ 命令与列地址 CA 同步输入, 以从存储器读取数据。假定在图 5
25 中, 对于每个读操作, 已经输入了行 RA 地址, 并且已经启动了字线。

对于 X8 存储器读操作, 在 C1 开始处, 与 READ 和 CA 同步, 从地址线(ADDR<9>)与(ADDR<10>)输入逻辑电平“11”的外部 I/O 宽度控制位。作为响应, 解码器(100)输出逻辑“1000”的 4 位内部 I/O 宽度控制信号(WCON<0:3>), 该控制信号被输入到 DOUT 缓存控制器(200)。作为响应,
30 DOUT 缓存控制器(200)输出逻辑“1111”的 4 位输出缓存控制信号(COUT<0:3>)。DOUT 缓存器(800)响应于该逻辑“1111”的输出缓存控制信

号(COUT<0:3>), 以输出 8 位数据字(Q0~Q7), 而不遮蔽从存储器读取的任何数据位。

对于 X6 存储器读操作, 在 C5 开始处, 与 READ 和 CA 同步, 从地址线(ADDR<9>)与(ADDR<10>)输入逻辑电平“10”的外部 I/O 宽度控制位。作为响应, 5 解码器(100)输出逻辑“0100”的 4 位内部 I/O 宽度控制信号(WCON<0:3>), 该控制信号被输入到 DOUT 缓存控制器(200)。作为响应, DOUT 缓存控制器(200)输出逻辑“0111”的 4 位输出缓存控制信号(COUT<0:3>)。DOUT 缓存器(800)响应于该逻辑“0111”的输出缓存控制信号(COUT<0:3>), 以通过遮蔽从存储器读取的数据字的最后两位 10 (Data_Out<6:7>)来输出 6 位数据字(Q0~Q5)。

另外, 如图 5 所示, 对于 X2 存储器读操作, 在 C9 开始处, 与 READ 和 CA 同步, 从地址线(ADDR<9>)与(ADDR<10>)输入逻辑电平“00”的外部 I/O 宽度控制位。作为响应, 解码器(100)输出逻辑“0001”的 4 位内部 I/O 宽度控制信号(WCON<0:3>), 该控制信号被输入到 DOUT 缓存控制器(200)。作为 15 响应, DOUT 缓存控制器(200)输出逻辑“0001”的 4 位输出缓存控制信号(COUT<0:3>)。DOUT 缓存器(800)响应于该逻辑“0001”的输出缓存控制信号(COUT<0:3>), 以通过遮蔽从存储器读取的数据字的最后六位(Data_Out<2:7>)来输出 2 位数据字(Q0~Q1)。

图 6 为图解根据本发明示范性实施方式的、用于可变控制存储器写操作 20 的数据输入宽度的方法的示范性时序图。更具体地讲, 图 6 图解示范性半导体存储器设备(400)用于动态控制数据输入宽度以提供存储器写操作的 X8、X6、或 X2 操作的操作模式。如图 6 所示, 在时钟周期 C1、C5、和 C9 的开始处, 同步输入 WRITE 命令与列地址 CA, 以向存储器写入数据。另外, 对于每个写操作, 在时钟周期 C1、C5、和 C9 的开始处, 与 WRITE 和 CA 同 25 步, 在数据输入缓存器(900)中输入 8 位数据字(D0~D7)。假定在图 6 中, 对于每个写操作, 已经输入了行 RA 地址, 并且已经启动了字线。

对于 X8 存储器写操作, 在 C1 开始处, 与 WRITE 和 CA 同步, 从地址线(ADDR<9>)与(ADDR<10>)输入逻辑电平“11”的外部 I/O 宽度控制位。作为响应, 解码器(100)输出逻辑“1000”的 4 位内部 I/O 宽度控制信号(WCON<0:3>), 该控制信号被输入到 DIN 缓存控制器(300)。作为响应, 30 DIN 缓存控制器(300)输出逻辑“1111”的 4 位输入缓存控制信号(CIN<0:3>)。DIN

缓存器(900)响应于该逻辑“1111”的输入缓存控制信号(CIN<0:3>),以输出待写入存储器的8位数据字(DI0~DI7),即不遮蔽任何数据输入位(DI0~DI7),以提供待写入存储器的8位数据字(Data_In<0:7>).

对于 X6 存储器写操作,在 C5 开始处,与 WRITE 和 CA 同步,从地址线(ADDR<9>)与(ADDR<10>)输入逻辑电平“10”的外部 I/O 宽度控制位。作为响应,解码器(100)输出逻辑“0100”的4位内部 I/O 宽度控制信号(WCON<0:3>),该控制信号被输入到 DIN 缓存控制器(300)。作为响应,DIN 缓存控制器(300)输出逻辑“0111”的4位输入缓存控制信号(COUT<0:3>),DIN 缓存器(900)响应于该逻辑“0111”的输入缓存控制信号(COUT<0:3>),以输出6位数据字(DI0~DI5),即遮蔽输入数据(D0~D7)的最后两个数据位,以生成待写入存储器的6位数据字(Data_In<0:5>).

另外,如图5所示,对于 X2 存储器写操作,在 C9 开始处,与 WRITE 和 CA 同步,从地址线(ADDR<9>)与(ADDR<10>)输入逻辑电平“00”的外部 I/O 宽度控制位。作为响应,解码器(100)输出逻辑“0001”的4位内部 I/O 宽度控制信号(WCON<0:3>),该控制信号被输入到 DIN 缓存控制器(300)。作为响应,DIN 缓存控制器(300)输出逻辑“0001”的4位输入缓存控制信号(CIN<0:3>),DIN 缓存器(900)响应于该逻辑“0001”的输入缓存控制信号(CIN<0:3>),以输出2位数据字(DI0~DI1),即遮蔽输入数据(D0~D7)的最后6个数据位,以生成待写入存储器的2位数据字(Data_In<0:1>).

图7为图解根据本发明示范性实施方式的解码器(100)的电路图,该解码器可以实现于图4的示范性半导体 IC 存储器设备(400)。一般地,该示范性解码器(100)包括并行连接到开关电路(150)的输出端的多个逻辑电路(110、120、130、140)。开关电路(150)接收外部 I/O 控制信号(例如,在冗余地址线上输入的2位控制信号输入 AD<9:10>)。解码器(100)还包括 OR 逻辑门(160),其在存储器存取操作期间接收作为输入的 READ 或 WRITE 命令。作为对于 READ 或 WRITE 命令的响应,启动开关电路(150)。根据外部 I/O 控制信号的控制位 AD<9:10>的逻辑电平,在读或写操作期间,内部 I/O 宽度控制信号(WCON<0:3>)位之一将为逻辑“1”。以下表1示出了在 READ 或 WRITE 操作期间根据对于不同 I/O 宽度的外部 I/O 控制信号(AD<9:10>)的控制位的逻辑电平所生成的缓存控制信号(WCON<0:3>)的逻辑电平。

表 1

I/O 宽度	AD <9>	AD <10>	WCON <0>	WCON <1>	WCON <2>	WCON <3>
X8	1	1	1	0	0	0
X6	1	0	0	1	0	0
X4	0	1	0	0	1	0
X2	0	0	0	0	0	1

图 8 为图解根据本发明示范性实施方式的数据输出缓存控制器(200)的电路图, 该缓存控制器可以实现于图 4 的示范性半导体 IC 存储器设备(400)。一般地, 该示范性 DOUT 缓存控制器(200)包括多个开关(210、220、230、240)与多个 OR 逻辑门(215、225、235)。作为对于 READ 命令的响应, 启动该 DOUT 缓存控制器(200)。具体地讲, 每个开关(210、220、230、240)都接收作为输入的 READ 命令信号, 并根据从解码器(100)输出的内部 I/O 宽度控制信号(WCON<0:3>)的逻辑电平而输出各自的输出缓存控制位(COUT<0>、COUT<1>、COUT<2>、COUT<3>)。以下表 2 示出了在 READ 操作期间根据对于不同 I/O 宽度的内部 I/O 控制信号(WCON<0:3>)的逻辑电平所生成的输出缓存控制信号(COUT<0:3>)的逻辑电平。

表 2

I/O 宽度	WCON <0>	WCON <1>	WCON <2>	WCON <3>	COUT <0>	COUT <1>	COUT <2>	COUT <3>
X8	1	0	0	0	1	1	1	1
X6	0	1	0	0	0	1	1	1
X4	0	0	1	0	0	0	1	1
X2	0	0	0	1	0	0	0	1

图 9 为图解根据本发明示范性实施方式的数据输入缓存控制器(300)的电路图, 该缓存控制器可以实现于图 4 的示范性半导体 IC 存储器设备(400)。一般地, 该示范性 DIN 缓存控制器(300)包括多个开关(310、320、330、340)与多个 OR 逻辑门(315、325、335)。作为对于 WRITE 命令的响应, 启动该 DIN 缓存控制器(300)。具体地讲, 每个开关(310、320、330、340)都接收作为输

入的 WRITE 命令信号，并根据从解码器(100)输出的内部 I/O 宽度控制信号 (WCON<0:3>)的逻辑电平而输出各自的输入缓存控制位(CIN<0>、CIN<1>、CIN<2>、CIN<3>)。以下表 3 显示在 WRITE 操作期间根据对于不同 I/O 宽度的内部 I/O 控制信号(WCON<0:3>)的逻辑电平所生成的输入缓存控制信号 (CIN<0:3>)的逻辑电平。

表 3

I/O 宽度	WCON <0>	WCON <1>	WCON <2>	WCON <3>	CIN <0>	CIN <1>	CIN <2>	CIN <3>
X8	1	0	0	0	1	1	1	1
X6	0	1	0	0	0	1	1	1
X4	0	0	1	0	0	0	1	1
X2	0	0	0	1	0	0	0	1

图 10 为图解根据本发明示范性实施方式的数据输出缓存器(800)的电路图,该缓存器可以实现于图 4 的示范性半导体 IC 存储器设备(400)。具体地讲,图 10 图解图 4 的数据输出缓存器(800)的每个 DOUT 缓存器(810~880)的输入与输出。DOUT 缓存器(810~880)接收从存储器读出的各自的数据位 (Dout_Out<0>~Dout_Out<7>), 以及输出缓存控制信号(COUT<0:3>)的控制位。具体地,在图 10 的示范性实施方式中, DOUT 缓存器(810)与(820)接收作为输入的 COUT<3>控制位, DOUT 缓存器(830)与(840)接收作为输入的 COUT<2>控制位, DOUT 缓存器(850)与(860)接收作为输入的 COUT<1>控制位, DOUT 缓存器(870)与(880)接收作为输入的 COUT<0>控制位。根据输入到 DOUT 缓存器(810~880)的控制位 COUT<i>的逻辑电平, DOUT 缓存器(810~880)可以运行来遮蔽读取数据字(Dout_Out<0: 7>)的某些数据位, 并防止这些位被输出到数据输出引脚(DOUT0~DOUT7)。

更具体地讲, 参照作为示例的图 11, 其中的电路图图解了根据本发明示范性实施方式的 DOUT 缓存器。图 11 所示的示范性电路结构可以实现为图 10 所示的每个 DOUT 缓存器(810~880)。该示范性 DOUT 缓存器包括第一逻辑电路(L1)、第二逻辑电路(L2)、以及包括 PMOS 晶体管(MP4)与 NMOS 晶体管(MN4)的反相器。在运行时, 当控制位(COUT<i>)具有逻辑电平“1”时, 输出数据位(DOUT(i))的逻辑电平将等于从存储器读出的数据位(Dout_Out<i>)

的逻辑电平。例如，假定 Data_Out $\langle i \rangle$ 与 COUT $\langle i \rangle$ 都为逻辑电平“1”，L1的输出将为逻辑“0”，L2的输出将为逻辑“0”。这样，NMOS晶体管(MN4)将关“断”，PMOS晶体管(MP4)将接“通”，由此将输出节(A)拉到逻辑电平“1”。

另一方面，当 COUT $\langle i \rangle$ 为逻辑“0”时，L1的输出将为逻辑“1”，L2的输出将为逻辑“0”，而不管数据位 Dout_Out $\langle i \rangle$ 的逻辑电平。在这种情况下，两个晶体管(MP4)与(MN4)都将关“断”，由此“遮蔽”数据使之不能输出到 DOUT(i)。再一次地，在本发明的一种实施方式中，图10的每个 DOUT 缓存器(810~880)都具有如图11所示的相同的电路结构，并且以相同方式运行。

图12图解根据本发明示范性实施方式的数据输入缓存器(900)，该缓存器可以实现于图4的示范性半导体IC存储器设备(400)。具体地讲，图12图解根据本发明示范性实施方式的、图4的数据输入缓存器(900)的每个 DIN 缓存器(910~980)的输入与输出。DIN 缓存器(910~980)接收待写入存储器的各自的数据位(DIN0~DIN7)，以及输入缓存控制信号(CIN $\langle 0:3 \rangle$)的控制位 CIN $\langle i \rangle$ 。具体地，在图12的示范性实施方式中，DIN 缓存器(910)与(920)接收作为输入的 CIN $\langle 3 \rangle$ 控制位，DIN 缓存器(930)与(940)接收作为输入的 CIN $\langle 2 \rangle$ 控制位，DIN 缓存器(950)与(960)接收作为输入的 CIN $\langle 1 \rangle$ 控制位，以及 DIN 缓存器(970)与(980)接收作为输入的 CIN $\langle 0 \rangle$ 控制位。根据输入到 DIN 缓存器(910~980)的控制位 CIN $\langle i \rangle$ 的逻辑电平，DIN 缓存器(910~980)可以运行来遮蔽某些输入数据位(DIN0~DIN7)。

更具体地讲，参照作为示例的图13，其中的电路图图解了根据本发明示范性实施方式的 DIN 缓存器。图13所示的示范性电路结构可以实现为图10所示的每个 DIN 缓存器(910~980)。一般地，图13中的 DIN 缓存器的示范性电路结构包括差分放大器类型的输入缓存器，其包括用于接收输入数据(DIN $\langle i \rangle$)的 NMOS 晶体管(NM2)，用于接收基准电压(REF)的 NMOS 晶体管(MN1)，由 PMOS 晶体管(MP1)与(MP2)构成的电流镜，接收作为输入的、用于控制 NMOS 晶体管(MN3)到/从接地电压(VSS)连接/断开差分放大器的控制位(CIN $\langle i \rangle$)的 NMOS 晶体管(MN3)，以及用于将来自节点(B)的数据反相并输出待写入存储器的数据位(Data_In $\langle i \rangle$)的反相器(INV1)。

在运行时，当控制位 CIN $\langle i \rangle$ 为逻辑电平“1”时，NMOS 晶体管(MN3)接通，并且差分放大器在节点(B)上生成具有近似相反于输入数据 DIN(i)逻辑电平的逻辑电平的输出信号。反相器(INV1)将节点(B)上的信号反相，以输出

数据位 Data_In<i>(并且还改变该位的电平以输出 CMOS 电平信号)。另一方面,当控制位 CIN<i>为逻辑“0”时,NMOS 晶体管(MN3)关断,由此“遮蔽”该输入数据 DIN(i)使之不能被缓存并作为 Data_In<i>输出。再一次地,在本发明的一种实施方式中,图 12 的每个 DIN 缓存器(910~980)都具有如图 5 13 所示的相同的电路结构,并且以相同方式运行。

图 14 为图解其中可以实现本发明的存储器系统的示意性方框图。该存储器系统(1000)包括 CPU(1001)、存储器控制器(1002)、以及多个存储器模块(1003)。所述 CPU 可以是微处理器单元(MPU)或者网络处理单元(NPU)等等。每个存储器模块(1003)包括多个半导体存储器设备(400)。CPU(1001)通过第一 10 总线系统(B1)(例如,控制总线、数据总线、地址总线)连接到存储器控制器,并且存储控制器(1002)通过第二总线系统(B2)(控制总线、数据总线、地址总线)连接到存储器模块(1003)。在图 14 的示范性框架中,CPU(1001)控制存储器控制器(1002),存储器控制器(1002)控制存储器(1003、004)(但是,应该理解 CPU 可以实现来直接控制存储器,而不使用分离的存储器控制器)。

15 在图 14 的示范性实施方式中,每个存储器模块(1003)可以表示(例如)存储器体,并且根据本发明,给定存储器模块(1003)的每个存储器设备(400)可以表示半导体存储器设备,其具有用于提供可变数据 I/O 宽度的控制电路,其中所述控制电路也位于存储器设备(400)之内。

根据本发明另一实施方式的存储器系统可以包括:一个或更多个分离的 20 半导体存储器设备(而不是如图 14 所示的具有多个存储器设备的存储器模块),以及中央处理单元(并且没有存储器控制器)。在该实施方式中,存储器设备与中央处理单元直接通信。在另一实施方式中,根据本发明的存储器系统包括直接与存储器控制器通信的一个或更多个分离的半导体存储器设备(而不是如图 14 所示的具有多个存储器设备的存储器模块)。

25 虽然此处参考附图描述了示范性实施方式,但是应该理解本发明并不局限于此处所述的系统与方式的精确的实施方式,并且本领域技术人员可以进行各种修改与改进,而不脱离本发明的原理或范围。所有这些修改与改进都包括在权利要求书所限定的范围之内。

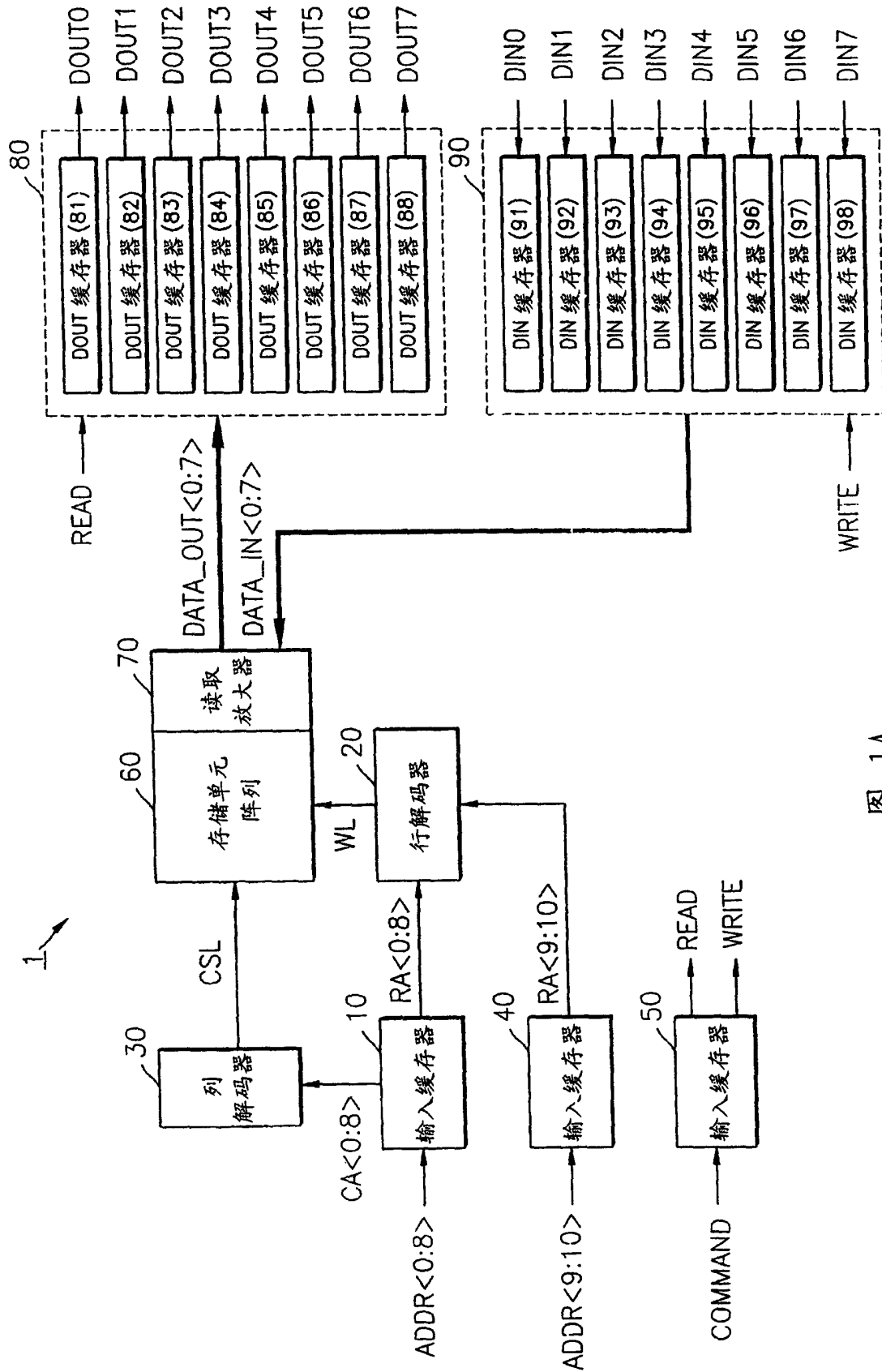


图 1A

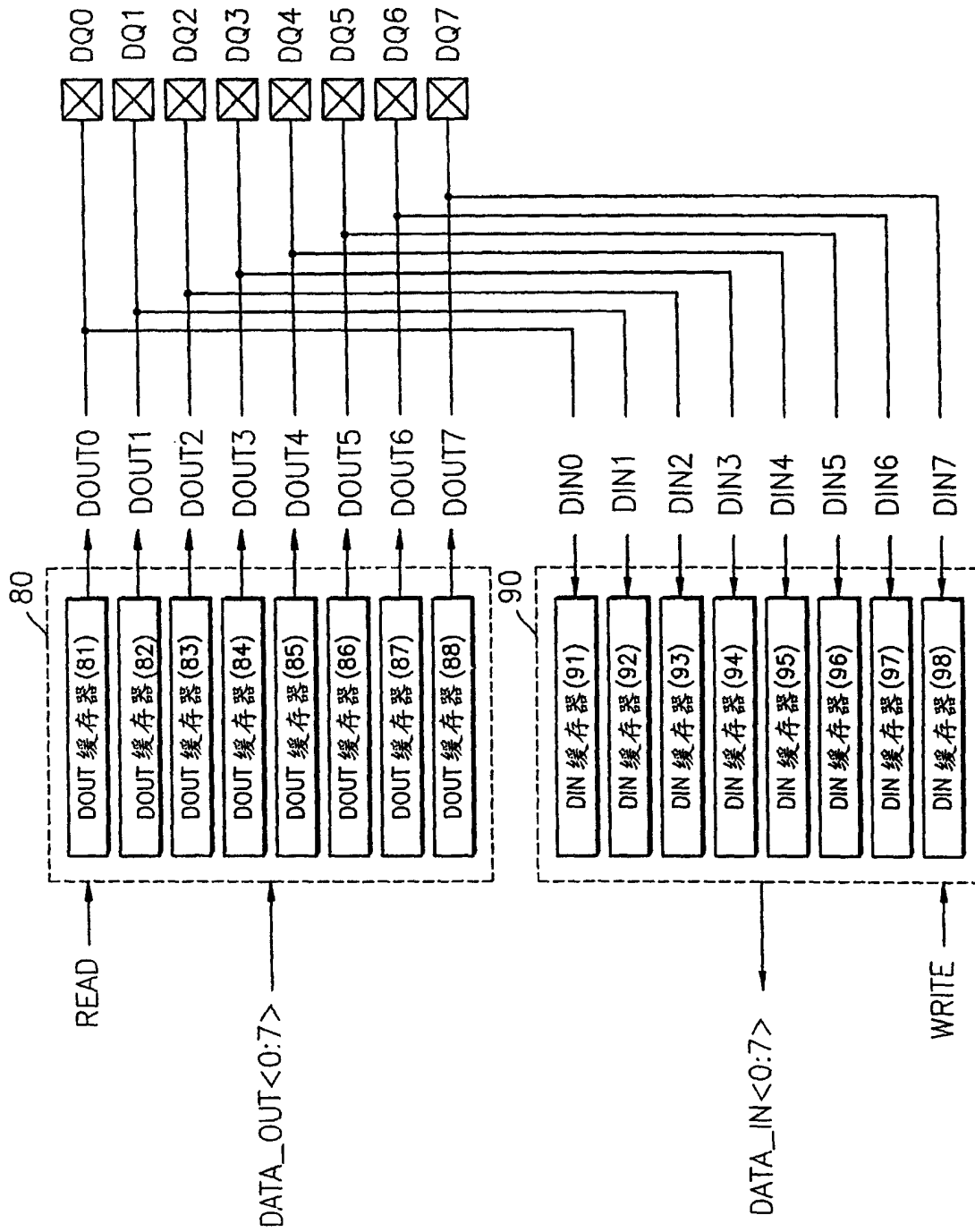


图 1B

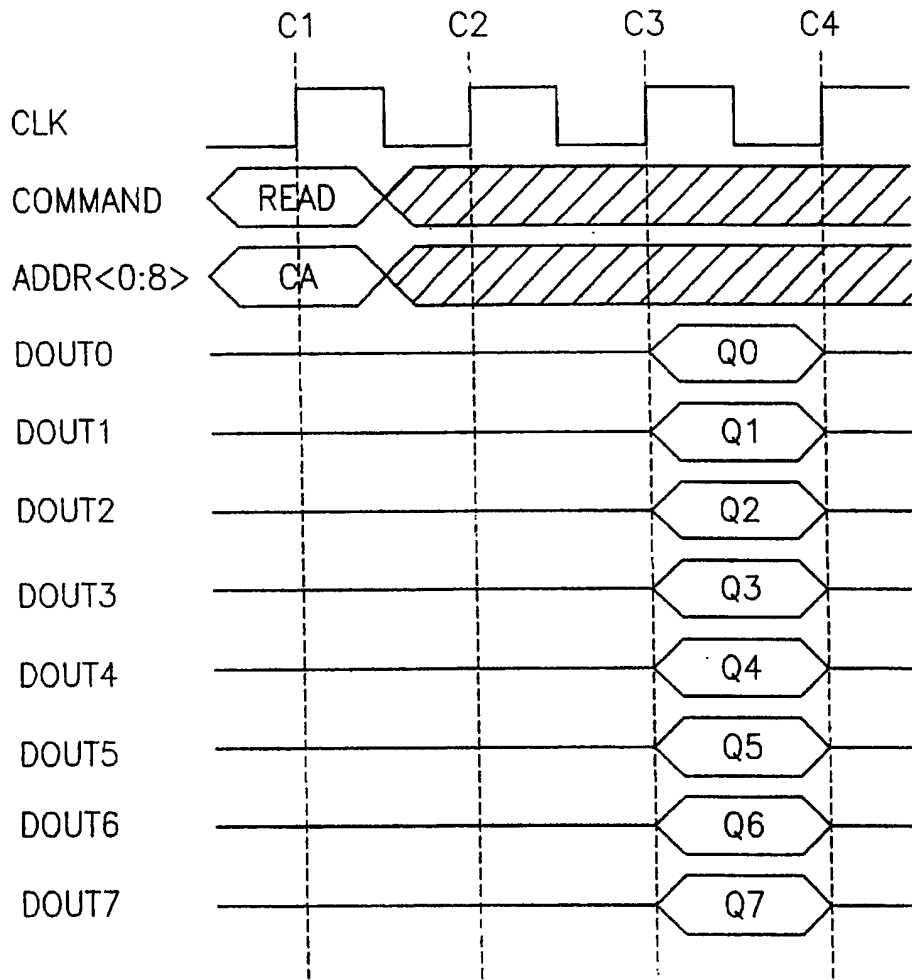


图 2

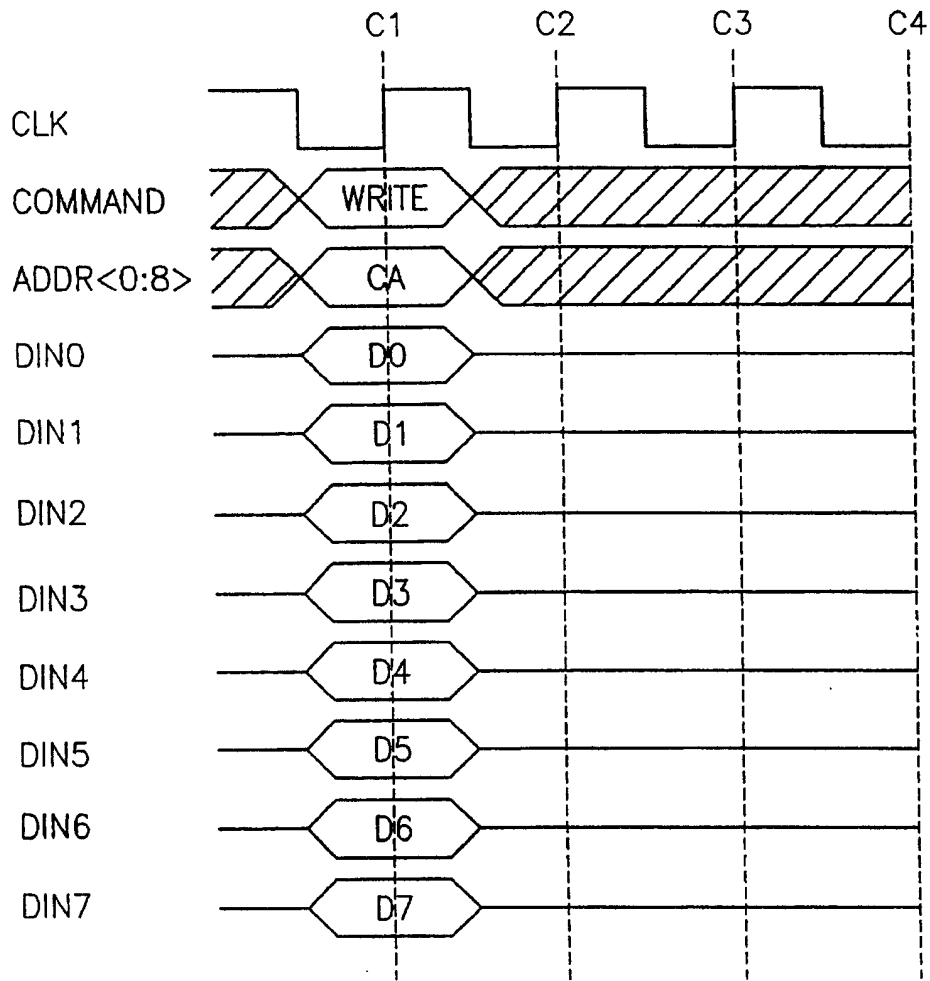


图 3

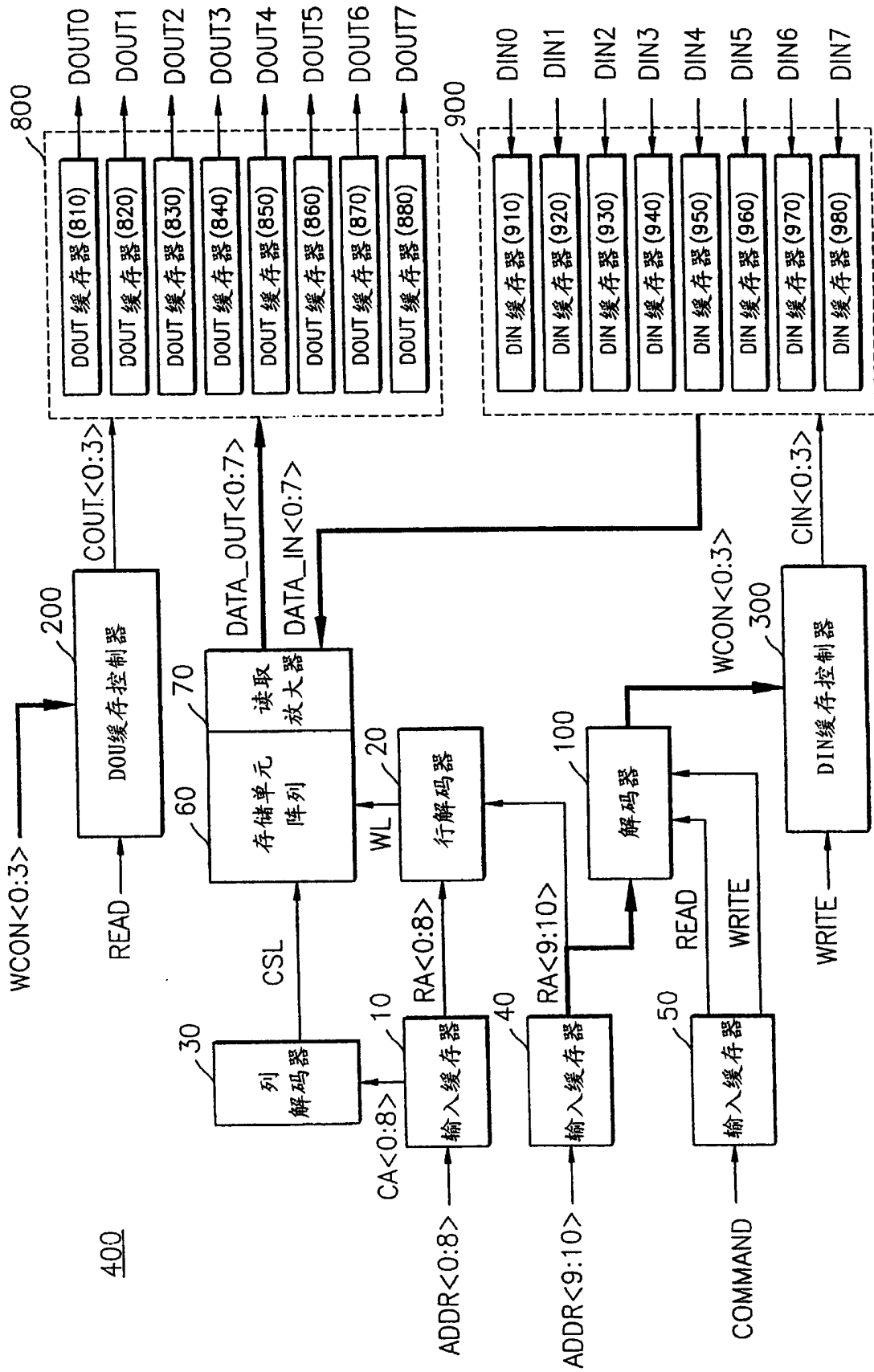


图 4

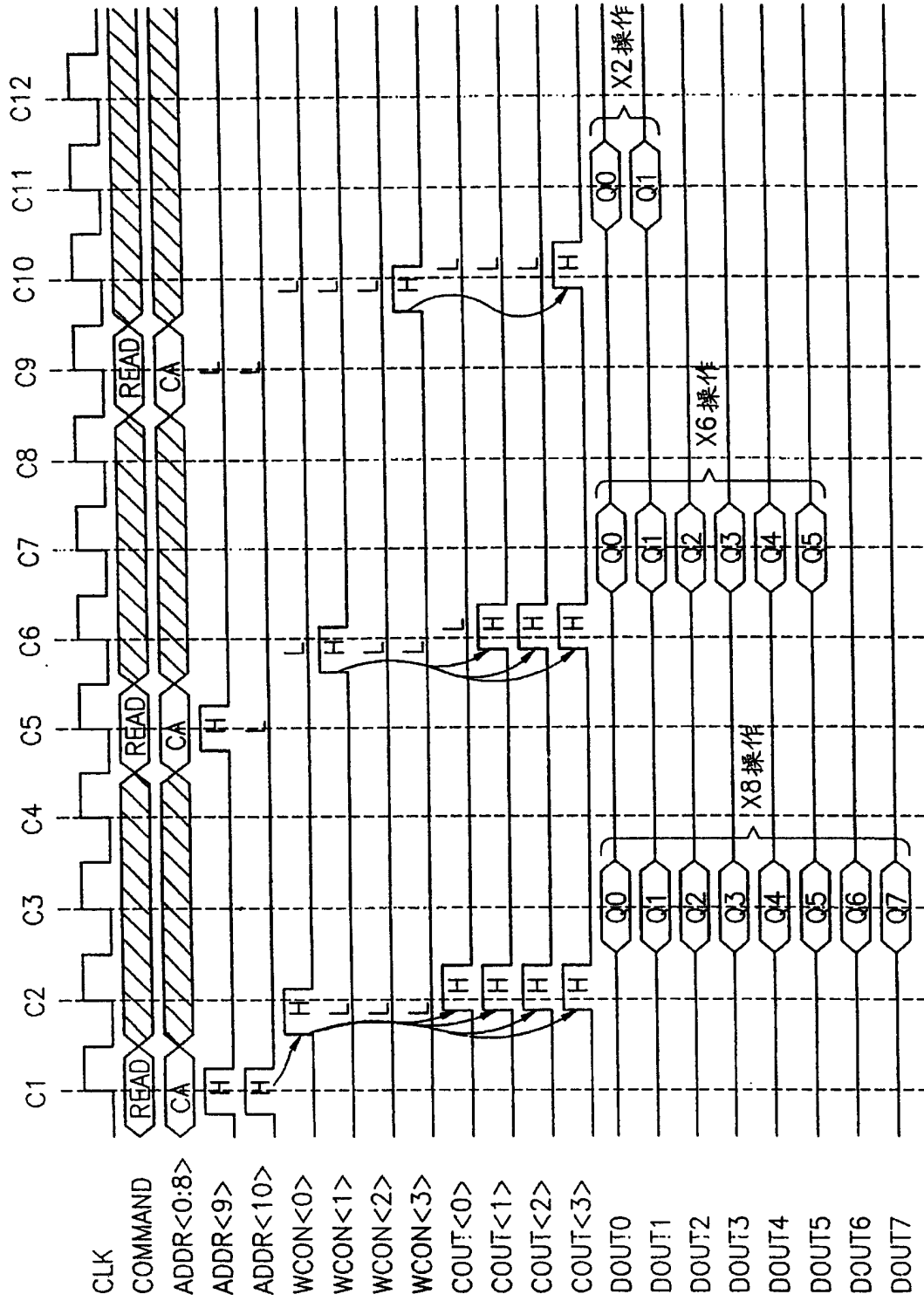


图 5

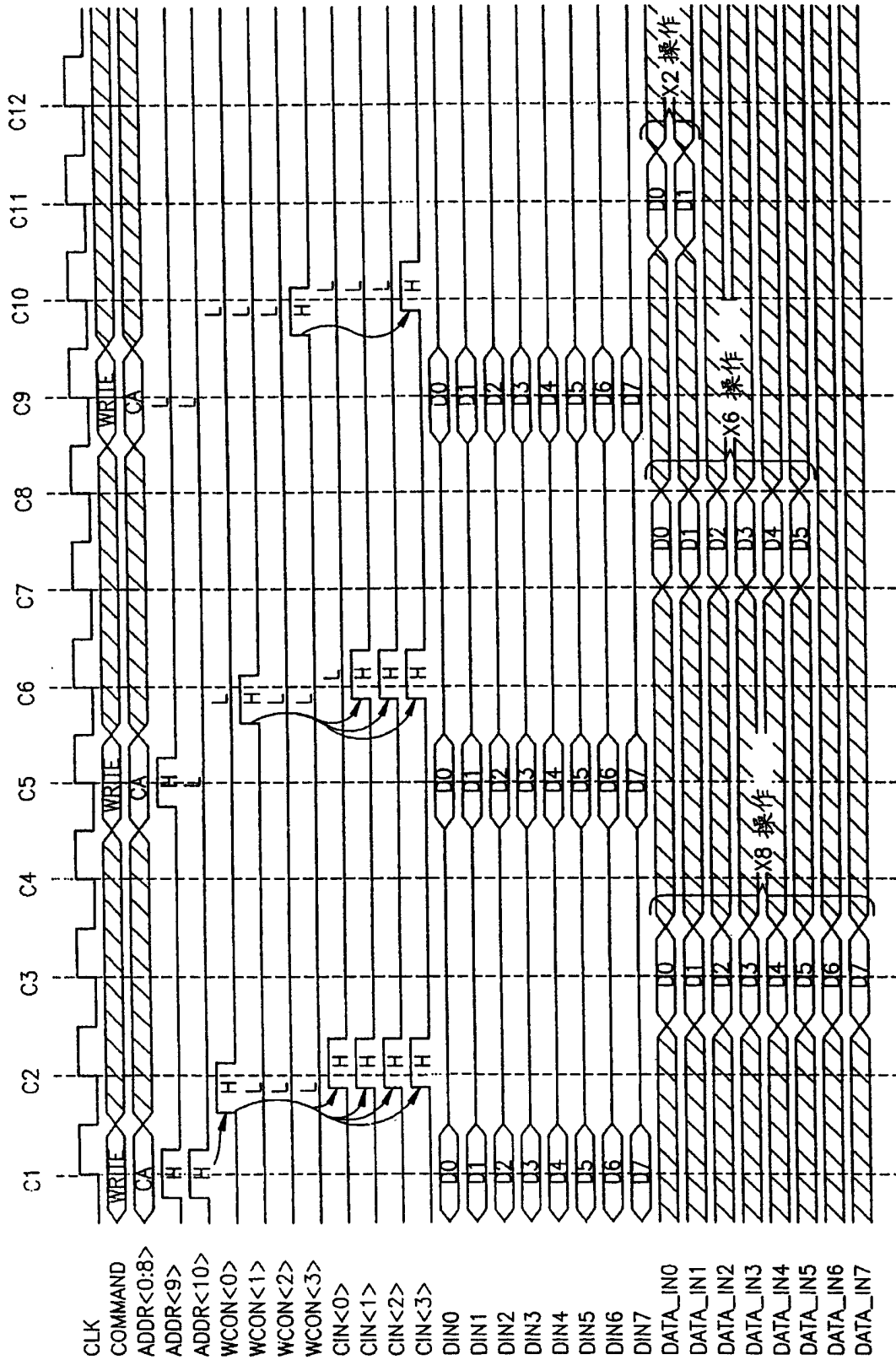


图 6

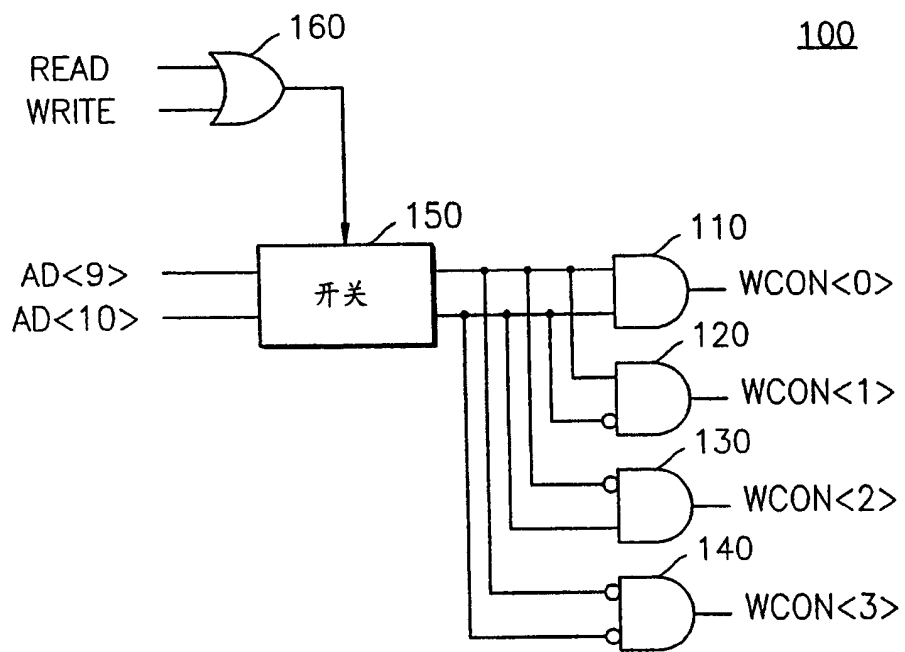


图 7

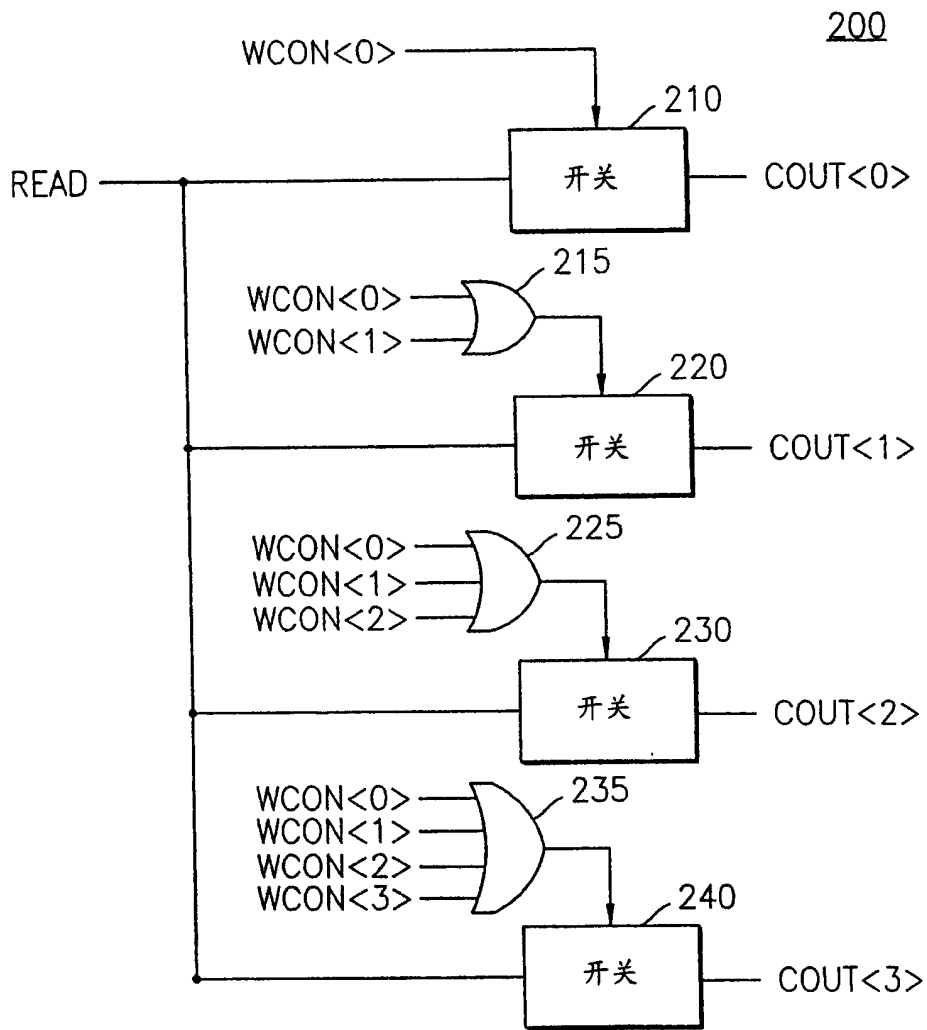


图 8

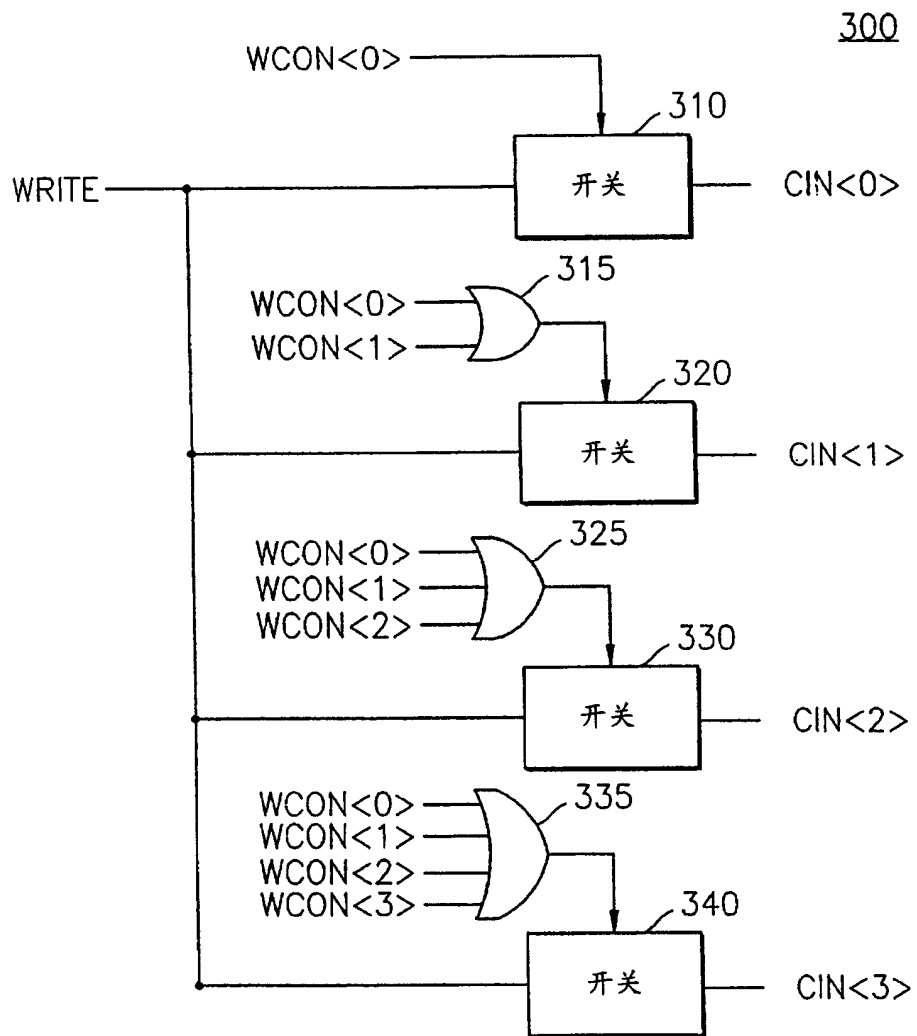


图 9

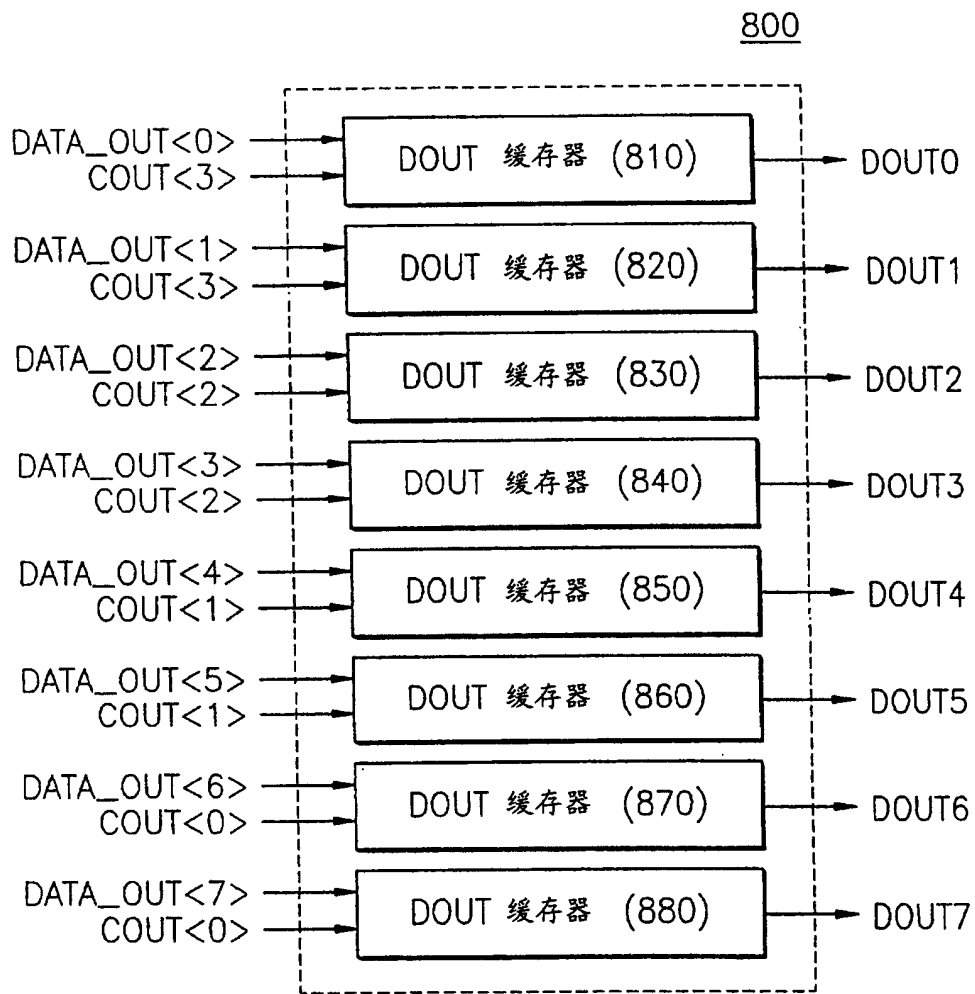


图 10

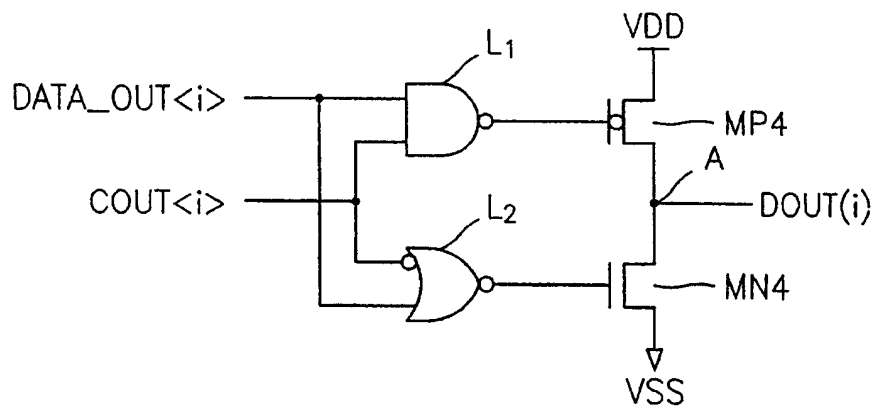


图 11

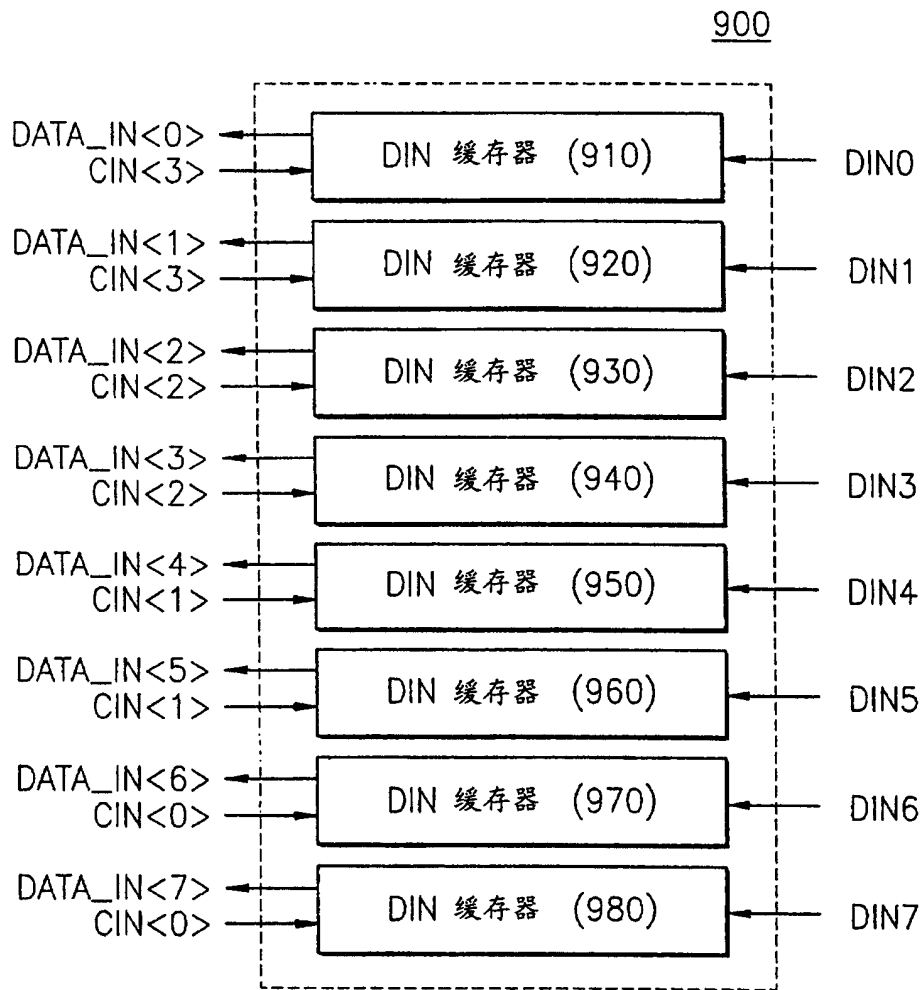


图 12

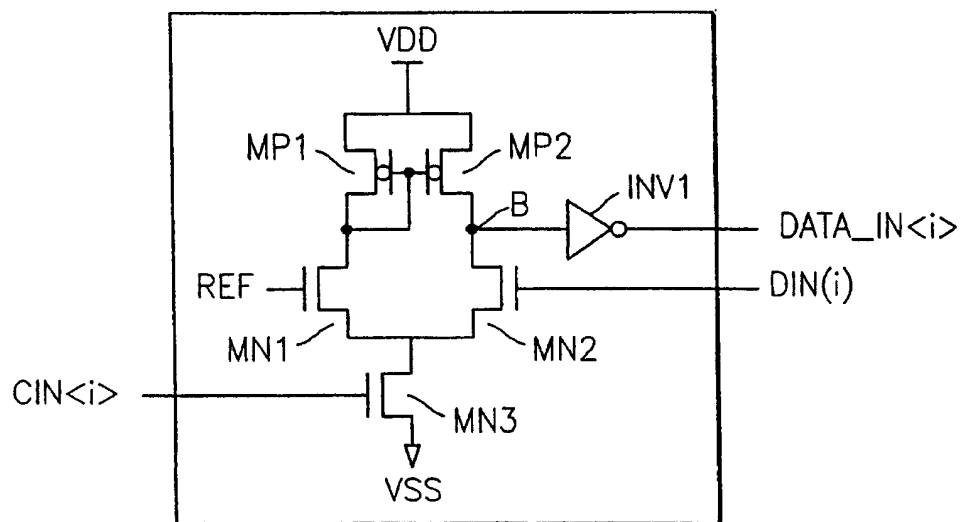


图 13

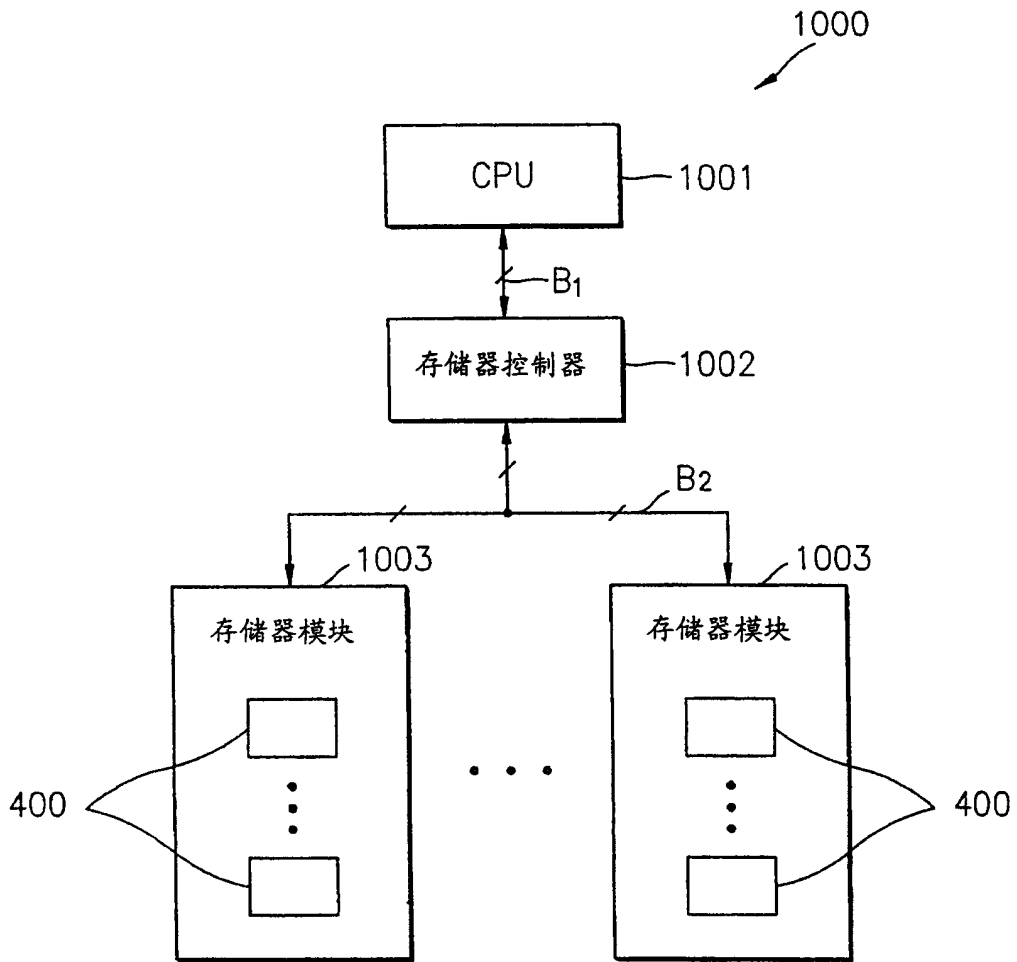


图 14